

하는 전기 접촉들(21)을 제공하는 단계와; c) 각 세그먼트(5)의 벽들(7a,7b)에 실질적으로 수직으로 연장하는 일련의 분할 라인들(25)을 따라 그들을 절단함으로써(severing), 상기 세그먼트들(5)을 각각의 블록형 소자들(23)로 절단하는 단계를 포함한다. 이러한 방법은 박막 저항기들, 퓨즈들, 커패시터들 및 인덕터들과 같은 여러 형태들의 소자(23)뿐만 아니라, RC 및 LCR 네트워크들과 같은 수동 네트워크들을 제조하는 데에도 사용될 수 있다.

대표도

도 1

색인어

주요 표면, 세그먼트, 슬롯, 전기 접촉, 소자

명세서

기술분야

본 발명은 복수의 박막의 표면 실장가능한 전자 소자들을 제조하는 방법에 관한 것이다. 그러한 소자들의 예들은 예를 들어, 저항기들, 커패시터들, 인덕터들 및 퓨즈들을 포함하지만, RC 및 LCR 네트워크들과 같은 수동(passive) 네트워크들도 포함한다.

배경기술

이러한 방법은 특히 복수의 박막 커패시터들의 제조에 관한 미국특허 US 4,453,199호에 공지되어 있다. 상기 특허에 기재된 방법은 기판으로서 유리판을 사용한다. 마스크 기술들을 이용하여, 불연속 박막 전극 구조들의 직교 매트릭스가 예를 들어 스퍼터링(sputtering) 또는 증발(evaporation) 공정을 이용하여, 이 판의 주요 표면 상에 제공된다. 그러한 각 전극 구조는 상부(top)와 하부(bottom) 전극층을 포함하며, 이들은 삽입된 절연체층(insulator layer)에 의해 분리되며, 그 전극층들은 단지 부분적으로만 서로 중첩하는 방식으로 오프셋된다. 상기 전극 구조들의 제공 후, 그 판이 스트립들로 절단되고, 이러한 각 스트립이 전극 구조들의 선형 배열을 갖는다. 각 스트립은 하부 전극들 모두가 스트립의 제 1의 긴 에지에서 끝나지만 대향 위치하는 제 2의 긴 에지에서는 끝나지 않는 반면, 상부 전극들 모두는 스트립의 제 2의 긴 에지에서 끝나지만, 대향 위치하는 제 1의 긴 에지에서는 끝나지 않는 방식으로 절단된다. 이어서 각 스트립에는 스퍼터-코팅과 같은 기술을 이용하여, 제 1 및 제 2의 긴 에지들을 따라 전기 접촉이 제공된다. 이러한 접촉들이 일단 제공되면, 상기 스트립 각각은 전극 구조와 두 개의 전기 접촉들을 포함하는 개별 블록형 소자들로 절단된다.

앞서 기재된 방법은 그 판이 전기 접촉들이 제공되기 전에 스트립들로 절단되어야 한다는 심각한 단점을 갖는다. 이것은 제조과정이 (가장 효율적이고 경제적인 대량생산 시나리오인) 판 레벨로 완료될 수 없으며, 대신 (시간이 더욱 많이 소비되고, 그러므로 값 비싼) 최초의 기판의 서브 유닛들을 이용하여 조금씩 완료되어야 함을 의미하기 때문에 바람직하지 못하다.

발명의 상세한 설명

본 발명의 목적은 이러한 단점을 경감시키기 위한 것이다. 특히, 본 발명의 목적은 다수의 전자 소자들을 제조하는 효과적이고 경제적인 방법을 제공하는 것이다. 특히, 본 발명의 목적은 전체 소자가 기판이 절단되기(severing) 전에, 판 레벨에서 완료되도록 하는 소자-제조 방법을 제공하는 것이다.

이들 및 다른 목적들이 서두에서 지정된 바와 같은 방법으로 본 발명에 따라 달성되며, 본 발명은 다음의 연속적인 단계들:

- a) 상호 평행한 제 1 및 제 2 주요 표면을 갖는 실질적으로 평평한 세라믹 기판을 제공하는 단계로서, 상기 기판은 상기 제 1 주요 표면에서 상기 제 2 주요 표면까지 연장하는 일련의 상호 평행한 슬롯들을 포함하며, 그러한 슬롯들은 상기 기판을 상기 슬롯들에 평행하게 연장하고 그 연속하는 쌍들 사이에 위치한 기다란 세그먼트들로 세분하는 역할을 하며, 각 세그먼트는 상기 인접한 슬롯들의 에지들을 따라 연장하는 두 개의 마주 보게 위치한 벽들을 가지며, 각 세그먼트는 제 1 및 제 2 주요 표면들 중 적어도 하나 상에 박막 전극 구조를 갖는, 상기 기판 제공 단계와;

b) 리소그래픽 기술의 도움으로, 각 세그먼트의 양 벽들을 따라 연장하고 각 세그먼트 상의 상기 전극 구조와 전기 접촉을 하는 전기 접촉들을 제공하는 단계와;

c) 각 세그먼트의 길이 방향에 실질적으로 수직으로 연장하는 일련의 분할 라인들을 따라 그들을 제공함으로써 상기 세그먼트들을 개별의 블록형 소자들로 제공하는 단계를 포함하는 것을 특징으로 한다.

본 발명에 따르는 방법은 앞서 기재된 목적들을 달성하기 위해서 많은 특정 기술들을 이용한다. 특히, 단계 (a)내의 세라믹 기관은 전기 접촉(electric contact)들의 제공 전에는, (서로에 부착되어 있는) 스트립형 세그먼트들로 세분되지만, 전기 접촉들의 제공 후에는, 실제로 (서로로부터 완전히 분리된) 느슨한 블록형 소자들로 절단된다. 그러한 세분(subdivision)은 3차원 리소그래픽 기술들의 사용이 (종래 기술의 방법에서와 같이) 먼저 그 세그먼트들을 서로로부터 물리적으로 절단하지 않고, 모든 세그먼트들의 노출된 측면들 상에 (즉, 판 레벨로) 전기 접촉들을 제공하는 것을 가능하게 한다.

이 명세서 전체에 사용되는 용어 "세라믹"은 넓은 범위를 가지도록 의도된 것이며, (전기적으로 절연) 물질들의 다음 카테고리들:

- 알루미늄, 실리콘 카바이드 및 다이아몬드와 같은 연마제와;
- 실리카, 수정, 알루미늄실리케이트(aluminosilicate), 마그네사이트(magne site)와 지르코니아(zirconia)와 같은 내화 물질과;
- 유리, 유리 세라믹들 및 에나멜들과 같은 유리 물질과;
- 여러가지 다른 산화물들, 탄화물들 및 질화물들을 갖는, 세르멧들과 세라믹 혼합물들과 같은 공학 세라믹들을 포함하는 것으로 해석되어야 한다.

특히, 일반 용어 "유리"는 소다 유리, 보로실리케이트 유리, 플린트 유리(flint glass), 석영 유리 등과 같은 여러가지 특정 형태의 유리를 포함한다.

본 발명에 따르는 방법의 단계(a)는 다른 방법들로 실현될 수 있다. 한편, 슬롯들이 전극 구조의 제공 전에, 세라믹 판 내에 생성될 수 있다. 다른 한편, 상기 전극 구조는 슬롯들의 생성 전에 세라믹 판 상에 제공될 수 있다.

본 발명에 따르는 방법의 특정 실시예는 단계(a) 내의 슬롯들은 (전극 구조가 이미 존재하거나 또는 존재하지 않는) 연속적인 세라믹 판을 국부적으로 파우더 블라스팅(powder-blasting)함으로써 형성되는 것을 특징으로 한다. 이것은 예를 들어, 형성되는 슬롯들에 대응하는 구멍들을 포함하는 마스크를 만들고, 이어서 형성된 슬롯들이 판을 통해 연장되는 시간까지 구멍들을 통해 판을 파우더 블라스팅함으로써 달성될 수 있다. 이렇게 사용된 마스크는 예를 들어, 세라믹 판 상에 배치된 제거가능한 그리드(grid) 형태를 갖거나, 또는 경화성 레지스트의 적층물(lamination), 노출과 발생에 의해서 세라믹 판의 표면 상에 생성되는 리소그래픽 마스크가 될 수 있다.

이전 단락의 실시예에 대한 대안의 실시예는 단계(a)에서의 슬롯들이:

- (전극 구조가 이미 존재하거나 또는 존재하지 않는) 연속적인 세라믹 판의 폭을 가로질러 적어도 하나의 단단한 지지 스트립을 부착하는 단계와;
- 그 지지 스트립으로 연장되지만, 관통하지는 않는 슬롯들을 그 세라믹 판을 통해 절단하는 단계에 의해 형성되는 것을 특징으로 한다.

절단 동작은 예를 들어, 와이어 쏘(wire saw) 또는 레이저 빔을 이용하여 수행될 수 있다. 이 실시예에서는, 세라믹 판의 인테그리티(integrity)가 단단한 지지 스트립의 존재에 의해 유지되며, 상기 스트립은 예를 들어 금속 또는 세라믹과 같은 물질로 구성될 수 있다.

본 발명 방법은 다른 형태들의 소자의 제조에 적합하다.

예를 들어:

(i) 특정한 실시예에서, 단계(a)의 전극 구조는 각 세그먼트의 양 벽들 사이에 연장되는 단일 박막의 전도성 물질로 구성 되어 있고; 결과로 얻는 소자는 박막 저항기 또는 퓨즈로서 사용될 수 있다.

(ii) 다른 실시예는 단계(a)에서의 전극 구조는:

- 각 세그먼트의 제 1 벽으로 연장하지만 제 2 벽으로는 연장하지 않는 전도성 물질의 하부층과;
- 그 하부층을 덮는 절연 물질층과;
- 각 세그먼트의 제 2 벽으로는 연장하지만 제 1 벽으로는 연장하지 않는 전도성 물질의 상부층을 연속적으로 포함하는 것을 특징으로 한다.

이 경우, 결과로 얻는 소자는 박막 커패시터로서 사용될 수 있다. 필요하다면, 이러한 설계의 변형이 가능하며, 전도성 물질들의 몇몇 층들은 대안의 층들이 각 세그먼트의 대안의 벽들로 연장되는 방식으로 스택에 배열되며; 이러한 방식으로, 다층 커패시터가 실현된다.

(iii) 또 다른 실시예는 각 소자가 직렬-접속된 커패시터 쌍이며, 단계(a)에서의 전극 구조는:

- 전도성 물질의 하부층과;
- 절연 물질의 중간층과;
- 전도성 물질의 상부층을 포함하고,

이러한 층들 각각은 실질적으로 각 세그먼트의 전체 표면을 덮기 위해서 적용되는 것을 특징으로 한다.

(iv) 또 다른 실시예는, 각 소자가 인덕터이며, 단계(a)에서의 전극 구조가:

- 전도성 물질의 하부층으로서, 상기 층은 각 세그먼트를 따라 길이 방향으로 배열된 셀들의 선형 배열의 형태를 가지며, 각 셀은 나선형으로 감겨져 있는 스트립을 포함하며, 상기 스트립의 제 1 단부는 상기 세그먼트의 제 1 벽으로 연장하고, 상기 스트립의 제 2 단부는 상기 나선의 중앙에 놓여 있는, 상기 하부층과;
- 절연 물질의 중간층으로서, 상기 층에는 상기 하부층 내의 스트립의 제 2 단부로 통과하는 비아 접속(via connection)이 제공되는, 절연 물질의 중간층과;
- 전도성 물질의 상부층으로서, 상기 층은 각 세그먼트를 따라 길이 방향으로, 상기 하부층의 셀들과 레지스트리로 배열된 셀들의 선형 배열의 형태를 가지며, 각 셀은 상기 중간층 내의 비아 접속으로부터 상기 세그먼트의 상기 제 2 벽으로 통하는 스트립을 포함하는, 상기 상부층을 포함하는 것을 특징으로 한다.

전 단락의 실시예(ii)는 국제 특허 출원 WO-A 96/30916(PHN 15.692)에 기술되어 있는 것과 같은 방법에 의해 실현될 수 있다. 그러한 방법의 기초는, 만약 시준된 보관(depository) 빔 물질이 그 빔이 기관의 법선에 대해 예각을 이루며, 그 기관 내의 세그먼트들의 긴 에지에 대해 수직인 방식으로 기관에서 진행된다면, 각 세그먼트의 본체(body)는 보관 플럭스(depository flux)로부터 세그먼트 벽 "다운윈드(downwind)" 상에 "그림자(shadow)"를 캐스팅할 것이고; 이 그림자에서, 물질의 어떠한 증착도 발생되지 않을 것이며; 예를 들어, 만약 그 빔이 각 세그먼트의 제 1 벽을 향해 진행된다면, 각 세그먼트의 제 2 벽은 어떠한 보관 플럭스도 수신하지 않을 것이다.

단계(b)에서 언급된 (3차원) 리소그래픽 기술은 일반적으로 다음 단계들:

- I. 단계(a)로부터 기인한 기관의 경화성 포토레지스트(curable photoresist)의 적용 단계와;
- II. 포토레지스트의 로컬라이징된 영역들의 선택적 경화 단계로서, 그러한 경화는 화학선 방사(actinic radiation)로 하나 보다 많은 측면으로부터 상기 기관을 조사함으로써 수행되며, 상기 조사는 마스크(mask)를 통해 일어나는, 상기 경화 단계와;
- III. 적절한 현상액(developer)을 이용하여, 레지스트의 부분들을 선택적으로 용해시키는 단계와;

IV. 레지스트에 의해 덮혀 있지 않은 세그먼트들의 모든 부분들 상에 비교적 두꺼운 금속층을 제공하는 단계와;

V. 적절한 스트리퍼(stripper)를 이용하여, 레지스트의 나머지 부분들을 제거하는 단계와 같은 절차들을 포함한다.

이러한 절차에 대한 많은 해석들이 다음과 같이 이루어질 수 있다:

단계(II)에서 언급된 방식은 많은 방법들로 달성될 수 있다. 예를 들어:

- 특정 실시예에서, 세그먼트들의 벽들 및 제 1 주요 표면에 대한 방사적 액세스(radiative access)는 법선에 대해 예각으로 그 기관을 방사함으로써 달성되는 반면, 제 2 주요 표면에 대한 방사적 액세스는 방사 소스(radiative source)로부터 떨어진 기관의 측면에 반사 표면(거울)을 배치하고, 제 2 주요 표면을 향해 방사를 진행시키기 위해 그러한 반사 표면을 이용함으로써 달성된다.

- 대안으로, 양 면들로부터 그 기관을 직접적으로 방사시킬 수가 있으며; 이어서 제 2 주요 표면에 대한 방사 액세스는 반사 표면을 요구하지 않고 달성된다.

- 단계(I)에 적용된 경화성 포토레지스트는 네가티브(negative) 또는 포지티브(positive) 포토레지스트가 된다. 포지티브 포토레지스트의 경우, 레지스트의 방사된(노출된) 부분들이 단계(III)에서 제거된다. 한편, 네가티브 포토레지스트의 경우, 레지스트의 방사되지 않은(노출되지 않은) 부분들이 단계(III)에서 제거된다.

- 단계(a)로부터 기인한 기관의 비교적 복잡한 형태 때문에, 단계(I)를 수행하는 특히 유리한 방법은 전기영동 증착(electrophoretic deposition)을 이용하는 것이다. 이 경우에, 그 기관은 단계(I)가 수행되기 전에, 금속화된 표면을 가져야 한다. 필요하다면, 이는 박형 금속층을 (노출된(bare) 세라믹) 기관 상에 스퍼터-코팅(sputter-coating)함으로써 실현/보충될 수 있다.

여러 시나리오들이 다수의 전기 접촉들과 위치 결정에 관해 단계(b)에서 달성될 수 있다. 예를 들어:

A) 단계(b)에서 생성된 전기 접촉들은 각 세그먼트의 마주보는 벽들 상에서 서로 직접적으로 마주보고 위치될 수 있으므로, 그 전기 접촉들은 세그먼트들의 길이 방향에 실질적으로 수직으로 연장하는 곧은 일직선의 축들을 따라 놓여 있게 된다. 그러므로, 만약 단계(c)의 분할 라인들이 임의의 인접한 분할 라인들의 쌍 사이에 위치되어, 단지 하나의 일직선 축이 존재한다면, 결과적인 소자는 두 개의 단자들, 즉, 블록형의 세라믹 본체의 두 개의 마주보게 위치된 면들 각각에 하나씩의 단자를 가질 것이다.

B) 만약 경우(A)의 분할 라인들이 임의의 인접하는 분할 라인들의 쌍 사이에 위치되어, 복수(n)의 일직선 축들($n > 1$)이 존재한다면, 그 결과적인 소자는 $2n$ 개의 단자들, 즉, 블록형의 세라믹 본체의 두 개의 마주보게 위치된 면들 각각에 n 개씩의 단자를 가질 것이다.

C) 만약 각 세그먼트의 하나의 벽 상의 전기 접촉들의 분리(separation)가 다른 벽들 상의 전기 접촉들의 분리와 다르다면, 홀수 개의 단자들을 갖는 소자들을 생성하는 것이 가능하다. 예를 들어, 만약 각각의 인접한 분할 라인들의 쌍 사이에, 각 세그먼트의 제 1 벽 상에 두 개의 전기 접촉들이 존재하고, 다른 벽 상에는 단지 하나의 전기 접촉이 존재한다면, 각각의 결과적인 소자는 3개의 단자들을 가질 것이다.

그러므로, 시나리오들 (B)와 (C)는 수동 배열들(RC, LCR, LC 네트워크들 등)과 같은 다중-단자 소자들의 생성을 허용한다.

본 발명의 절단 단계(c)는 일반적으로 본 기술 분야에 공지되어 있는 예를 들어, 쏘잉(sawing), 다이싱(dicing), 스코어(score) 라인들을 따른 브레이킹(breaking) 및 레이저 절단과 같은 방법을 포함하는, 많은 다른 방법들로 수행될 수 있다.

소망된다면, 임의의 수의 추가적인 단계들이 본 발명의 방법의 임의의 지점에서 수행될 수 있다. 예를 들어, 많은 다른 가능성들 중에서:

- 단계들 (a)와 (b) 사이의 갈바니 시드층(galvanic seed layer) 또는 부착 촉진층(adhesion promoting layer)의 증착과;

- 단계들 (b)와 (c)사이의 레지스트 제거 절차 또는 (부분적인) 에칭 동작과;
 - 단계 (c)로부터 기인한 소자(의 부분들) 상에 보호층 증착을 생각할 수 있다.
- 본 발명 및 부수적인 이점들은 예시적인 실시예들 및 첨부한 개략적인 도면들을 이용하여 더 명료해 질 것이다.

도면의 간단한 설명

- 도 1은 본 발명에 따르는 방법의 특정 실시예에 이용될 수 있는 세라믹 판의 투시도.
- 도 2는 단계(a)에 기재된 바와 같이, 슬롯들의 제공 후의 도 1의 물체를 도시한 도면.
- 도 3a는 포지티브 레지스트를 사용하여, 단계(a)에 따르는 전극 구조의 제공 후에, 도 2의 물체의 부분적인 단면도를 도시하고, 단계(b)에서 언급된 바와 같이 3차원 리소그래픽 절차의 단계(II)를 도시한 도면.
- 도 3b는 네가티브 레지스트가 사용되는 것을 제외하면, 도 3a와 대체로 대응하는 도면.
- 도 4는 단계(III)에 따라, 포토레지스트의 방사되지 않는 부분들의 제거 후에, 도 3b의 물체의 부분의 투시도.
- 도 5는 단계(IV)에 따른 접촉 전극들의 성장 후와, 단계(V)에 따른 포토레지스트의 방사된 부분들의 제거 후에, 도 4의 물체를 도시한 도면.
- 도 6은 도 5의 물체의 확대된 평면도를 도시하고, 기관이 절단될 많은 분할 라인들을 묘사한 도면.
- 도 7은 도 6의 물체에 관한 단계(c)의 수행으로부터 기인한 소자의 투시도.
- 도 8은 단단한 지지 스트립이 부착되어 있는 연속적인 세라믹 판의 투시도를 도시하고, 복합 구조가 본 발명에 따른 방법의 또 다른 실시예에 이용될 수 있는, 도면.
- 도 9는 도 8의 물체의 반전된 정면도를 도시하고, 그 슬롯은 단계(a)에 기재된 바와 같이 판을 길이의 세그먼트들로 세분하기 위해 절단되므로, 도 2에 대한 대안의 시나리오를 생성하는, 도면.
- 도 10은 전극 구조가 제공되어 있는 연속하는 세라믹 판의 단면도.
- 도 11은 도 10의 물체에 관한 본원의 방법의 수행에 기인한 전기 소자를 도시한 도면.
- 도 12는 전기 접촉들의 다른 배치를 묘사하는 것을 제외하고는 도 5와 대체로 대응하는 도면.
- 여러 도면들에서 대응하는 특징들은 동일한 참조 기호들로 표시된다.

실시예

실시예 1

도 1 내지 도 7은 본 발명에 따르는 방법의 특정 실시예에 관한 것이다.

도 1은 제 1 및 제 2 주요 표면들(1a, 1b)을 각각 갖는 평평한 세라믹 판(1)을 도시한다. 판(1)은 예를 들어, 소다 유리(soda glass)로 구성되어 있고, 대략 0.5mm의 두께를 가지며; 측면 크기들은 약 350×300mm 정도이다.

도 2에서, 판(1)이 선택적인 파우더-블라스팅 공정에 놓인다. 이것은 제 1 주요 표면(1a)으로부터 제 2 주요 표면(1b)으로 연장되는 일련의 상호 평행한 슬롯들(3)을 생성한다. 이러한 슬롯들(3)은 기관(1)을 슬롯들(3)에 평행하게 연장되고, 그 연속적인 쌍들 사이에 위치된 세그먼트들(5)로 세분되도록 하는 역할을 한다. 각 세그먼트(5)는 인접한 슬롯들(3)의 에지들을 따라 연장하는 두 개의 서로 대향하는 벽들(7a, 7b)을 갖는다. 판(1)은 일련의 접속 브릿지들(4)의 존재에 의해 완전

히 유지되며, 이는 그 길이를 따라 일정한 간격들로 인접한 세그먼트들(5)을 결합시킨다. 이 특정 경우에, 세그먼트들(5)은 1.5mm의 폭을 가지며, 연속적인 브릿지들(4) 사이에서 대략 25mm의 길이를 갖는다. 파우더-블라스팅 절차는 예를 들어, 다음의:

- 유리판(1), 예를 들어, SCHOTT AF45를 제공하는 단계와;
- 판(1)의 면(1a) 상에 ORDYL BF405(TOKYO OHKA)의 레지스트 시트를 적층하는 단계와;
- 슬롯들(3), 브릿지들(4) 및 세그먼트들(5) 중 원하는 패턴에 따라 레지스트 시트를 방사하는 단계와;
- 예를 들어, Na₂CO₃로 상기 방사 시트를 디벨롭(develop)하고, 이어서 포스트베이킹하는 단계와;
- 파우더 블라스팅하는 단계와;
- 예를 들어, 에타놀 아민으로 레지스트의 나머지 부분들을 스트리핑 (stripping)하는 단계로서 수행될 수 있다.

도 3a, 도 3b는 도 2의 물체의 단면도를 도시한 것이다. 각 세그먼트(5)에는 전극 구조(9)가 제공되어 있다(단계(a)). 이 특정 경우에, 구조(9)는:

- 전도성 물질의 하부층(9a)(예를 들어, 1 μ m Al)과;
- 절연 물질의 중간층(9b)(예를 들어, 0.5 μ m의 Ta₂O₅ 또는 Si₃N₄)과;
- 전도성 물질의 상부층(9c)(예를 들어, 1 μ m Al)을 연속적으로 포함하며,

이러한 각 층들(9a, 9b, 9c)은 각 세그먼트(5)의 전체 표면을 실질적으로 덮기 위해 적용된다. 층들(9a, 9b)은 스퍼터 증착을 이용하여 적용될 수 있는 반면, 층(9b)은 예를 들어, 화학 기상 증착(CVD)을 이용하여 적용된다. 본 명세서에 기재되어 있는 바와 같이, 층(9c)은 0.1 μ m Ti/1 μ m Cu를 포함하는 스퍼터링된 이중층(bilayer)(9d)에 의해 오버레이(overlay)되며; 이 층(9d)은 나중에 전기 접촉들의 갈바니 성장을 촉진시키는 역할을 할 것이며, 즉, 그것은 플레이팅 베이스(도 5 참조)로 작용한다.

전극 구조(9)는 포토레지스트 층(11)에 의해 덮혀 있다(단계(b), 단계(D)). 이는 예를 들어, 레지스트 배스(resist bath) 내에 전체 기관(1)을 담그거나 또는 레지스트 층(11) 상에 스프레이함으로써(spraying) 달성될 수 있으며; 대안으로, 층(9d)은 전기영동 방식으로 적절한 레지스트를 적용하기 위해 플레이팅 베이스로서 사용될 수 있다(도 5 참조).

도 3a에서, 상기 레지스트 층(11)은 포지티브 포토레지스트를 포함한다. 전체 구조(1, 5, 9, 11)는 제 1 주요 표면(1a)을 향한 도시되지 않은 소스들로부터의 화학선 방사(actinic radiation) 빔들(15)(예를 들어, UV 광)을 이용하여 방사된다(단계 II). 그러므로, 이러한 소스들은 빔들(15)이 표면(1a)에 대한 법선과 예각을 이루도록 배향되고; 이러한 방식으로, 빔들(15)도 측면들(7a, 7b)을 향해 진행된다. 반사 표면(거울)(17)은 주요 표면(1b)을 향하도록 위치된다. 이 거울(17)에 입사하는 빔(15)은 표면(1b)에 충돌하는 빔(15')으로서 반사된다. 이러한 방식으로, 3차원 방사가 달성된다. 방사는 소망의 패턴에 따라 상호 위치된 투명 부분들(13)과 불투명 부분들(13')을 포함하는 마스크를 통해 이루어진다. 결과적으로, 층(11)의 모든 부분들이 방사되지 않는 것이다. 본 명세서에 기재된 바와 같이, 마스크가 기관(1)의 양 측면들 상에 사용되지 만; 원칙적으로, 이것이 불필요하고, 상부 마스크 내의 추가적인 불투명 부분들(13')의 적절한 배치가 분리된 하부 마스크에 대한 필요성을 제거할 수 있다.

한편, 도 3b에서는, 레지스트층(11)이 네가티브 포토레지스트(예를 들어, 100볼트, 30°C에서 30초의 코팅 단계로 전기영동 방법으로 인가되고 이어서 포스트베이킹되어, 약 10 μ m의 두께를 갖는 층(11)을 초래하는 SHIPLEY ED 2100)을 포함한다. 다시 한 번, 전체 구조(1, 5, 9, 11)는 도시되지 않은 소스들로부터 화학선 방사의 비스듬한(angled) 빔들(15)을 이용하여 방사된다. 그러나, 이 경우, 소스들이 제 1 및 제 2 주요 표면(1a, 1b) 둘 모두를 향하도록 위치되며, 미러(17)가 사용되지 않는다. 그 방사는 (도 3a의 패턴의 네가티브인) 원하는 패턴에 따라 상호 위치되어 있는 투명 부분들(13)과 불투명 부분들(13')을 포함하는 마스크를 통해 이루어진다.

이 실시예의 나머지는 도 3b의 시나리오(네가티브 포토레지스트)를 기초로 하여 기재될 것이다.

도 4는 도 3b의 물체의 부분을 도시하고 있다. 이 단계에서는, 도 3b에서 방사되지 않았던 레지스트 층(11)의 영역들은 용해되어(단계 III), 방사된 부분들만을 남기며, 이는 예를 들어, SHIPLEY 2005와 같은 현상액을 이용하여 수행된다. 결과적으로, 빈 공간들(19)이 전극 구조(9) 상에 생성된다. (시드 층(9d)의 상부에서) 갈바니 절차를 사용하면, 전기 접촉들이 이러한 빈 공간들(19)에 성장될 것이다.

삭제

도 5에는, 이전 단락에서 언급된 전기 접촉들(21)이 성장해 있다(단계 IV). 본 명세서에 기재된 바와 같이, 이러한 접촉들은 Cu의 10 μ m 층(21a) 및 Pb₄₀Sn₆₀의 10 μ m 층(21b)을 포함한다. 더구나, 도 4에 도시된 방사된 레지스트 부분들(11)은 예를 들어, 아세톤(acetone) 또는 SHIPLEY 2010과 같은 스트리퍼를 이용하여, 제거된다(단계 V). 또한, 층들(9c, 9d)의 노출된 영역들(즉, 접촉들(21)에 의해 커버되지 않은 영역들)은 다음의 부식제(etchant)를 이용하여 제거된다:

- 층(9d) 내의 Cu에 대해서는: (NH₄)₂S₂O₈ ;
- 층(9d) 내의 Ti에 대해서는: H₂O₂ ;
- 층들(9a, 9b, 9c)에 대해서는: H₃PO₄/HAc/HNO₃

도 6은 도 5의 물체의 확대된 평면도이다. 그 도면은 분할 라인들(25)을 따라 기판(1)을 절단함으로써, 상호 분리될 수 있는 개별 블록형 소자들(23)의 매트릭스를 도시한다. 그러한 절단은 라인들(25)을 따라 쏘잉(sawing), 다이싱(dicing) 또는 레이저 빔 조사를 이용하여 수행될 수 있다. 그러므로 획득된 각각의 블록형 소자(23)는 직렬 접속된 커패시터 쌍이고, 이는,

- 벽(7a) 상의 층(9c)은 (접촉(21)이 제공된) 제 1 (자유) 전극이며;
- 벽(7b) 상의 층(9c)은 (접촉(21)이 제공된) 제 2 (자유) 전극이고;
- 층(9a)은 공통 전극이고;
- 층(9b)은 유전체층이다.

도 7은 SMD-호환성(SMD-compatible) 전기 접촉들(21)을 갖는 완성된 소자(23)의 투시도이다.

실시예 2

다른 점은 도 1의 실시예와 동일하며, 도 3의 전극 구조(9)가 전도층(9a)만으로 구성된다. 완성된 소자(23)는 박막 저항기 또는 퓨즈로서 역할을 한다. 이러한 소자(23)의 저항은:

- 층(9a)의 두께와;
- 층(9a)내의 물질의 저항과;
- (세그먼트들(5)의 길이에 평행한 방향으로의) 층(9a)의 폭과;
- (세그먼트들(5)의 마주보는 벽들 상의 접촉들(21)의 종료 예지들 사이에서의) 층(9a)의 길이에 의해 결정된다.

실시예 3

도 8 및 도 9는 본 발명에 따르는 방법의 실시예를 도시하고 있다. 그리고 도 1 및 도 2에 대한 대안을 나타낸다.

도 8은 단단한 지지 스트립(2)이 장착되어 있는 (전극 구조가 이미 존재하거나 또는 존재하지 않는) 연속적인 평평한 세라믹 판(1)을 도시한다. 스트립(2)은 방향(y)에서 판(1)의 폭을 가로질러 연장된다. 소망된다면, 그러한 추가의 스트립들이 x축을 따른 다른 위치들로 판을 가로질러 부착될 수 있다. 스트립(2)은 예를 들어, 알루미늄 또는 유리로 구성될 수 있다. 이러한 특정 경우에서, 5 × 5 mm의 단면 크기를 갖는다. 스트립(2)은 적절한 접착제를 이용하여 판(1)의 주요 표면(1b)에 부착된다.

도 9는 도 8의 물체를 반전된 정면도로 도시하며, 그에 의해 x축은 도면의 평면으로 연장되고, y축은 우측을 지시한다. 본 발명 방법의 단계(a)에 따라, 슬롯들(3)은 x축 방향에서 생성되며, 그에 의해 판(1)을 일련의 평행한 길이의 세그먼트들(5)로 세분한다. 그러한 슬롯들(3)은 예를 들어, 디스크 쏘(disc saw), 와이어 쏘(wire saw) 또는 레이저 빔을 이용하여 생성된다.

슬롯들(3)이 판(1)을 완전히 관통하는 반면, 지지 스트립(2)으로는 단지 부분적으로만 연장된다. 결과적으로, 스트립(2)의 부분들(4)은 그대로 유지되며, 세그먼트들(5) 사이에서 브릿지(bridge)들로서 작용하며, 세그먼트들이 평면 배치되어 함께 붙어 있도록 보장한다.

실시예 4

도 10 및 도 11은 본 발명에 따르는 방법의 특정 실시예에 관한 것이다.

도 10에서, 평평한 세라믹 판이 전극 구조(9)를 가진 하나의 주요 표면(1a) 상에 제공된다. 이 구조(9)는 전도성 하부층(9a), 중간 절연층(9b), 전도성 상부층(9c)을 포함한다. 상기 층들(9a, 9c)은 예를 들어, 알루미늄 또는 니켈로 구성되어 있는 반면, 층(9b)은 Si₃N₄, SiO₂ 또는 Al₂O₃와 같은 물질로 구성되어 있다.

층들(9a, 9c)은 증발(evaporation) 또는 스퍼터 증착(sputter deposition) 과 같은 기술을 이용하여 제공된다. 층들은 연속적이지는 않지만, 대신에 도면의 평면에 수직으로 연장하는 상호 분리된 아일랜드(island)들을 포함한다. 이는 예를 들어:

- 상기 아일랜드들을 남겨 두기 위해 선택적으로 에칭되는 연속적인 층들을 제공하고;
- 마스크를 통해 그 아일랜드들을 직접 증착함으로써 달성될 수 있다.

상기 블랭킹 층(blanketing layer)(9b)은 연속적이다. 그리고, CVD 또는 산화(oxidic) MBE와 같은 기술을 이용하여 제공된다.

패터닝된 보호층(9e)이 또한 도시되어 있으며, 이는 사실상 0.5 μm SiN/ 10 μm의 폴리이미드(polyimide)를 포함하며, 이 층(9e)은 그 아일랜드들(9a)을 덮는 아일랜드들을 포함한다.

삭제

도 10의 구조는 지시된 위치들에 슬롯들(3)을 생성함으로써, 단계(a)에서 지정된 구조로 변환될 수 있으며, 그러한 슬롯들(3)은 도면의 평면으로 연장된다. 이러한 방식으로, 또한 도면의 평면으로 연장되는 일련의 세그먼트들(5)이 생성된다. 이어서 전기 접촉들은 본 발명 방법의 단계(b)에 따라 그러한 세그먼트들(5)의 측면 상에 제공될 수 있다.

도 11은 도 10의 구조에서 수행되는 단계들 (b) 및 (c)의 결과들을 도시한다. 도시된 소자(23)는 직렬 접속된 커패시터 쌍이다. 전기 접촉들(21)은 실시예 1에서 기재된 바와 같은 공저울을 이용하여 제공된다.

실시예 5

도 12는 전기 접촉들(21)의 대안의 배열을 도시한다는 것을 제외하고는 도 5와 대체로 대응한다. 도 12에서, 세그먼트(5)의 벽(7a)을 따른 전기 접촉들(21)의 상호 이격은 벽(7b)을 따른 전기 접촉들(21)의 간격과는 다르다. 특히, 도시된 분할 라인들(25)을 이용하면, 개당 3개의 단자들(21, 21, 21')을 갖는 블록형의 소자들(23)을 실현시키는 것이 가능하다.

산업상 이용 가능성

삭제

(57) 청구의 범위

청구항 1.

복수의 박막의 표면 실장가능한 전자 소자들을 제조하는 방법에 있어서,

다음의 연속하는 단계들:

- a) 상호 평행한 제 1 및 제 2 주요 표면을 갖는 실질적으로 평평한 세라믹 기판을 제공하는 단계로서, 상기 기판은 상기 제 1 주요 표면으로부터 상기 제 2 주요 표면까지 연장되는 일련의 상호 평행한 슬롯들을 포함하며, 그러한 슬롯들은 상기 기판을 상기 슬롯들에 평행하게 연장되고 상기 슬롯들의 연속하는 쌍들 사이에 위치하는 기다란 세그먼트들로 세분하는 역할을 하며, 각 세그먼트는 상기 인접한 슬롯들의 에지들을 따라 연장되는 두 개의 대향 위치된 벽들을 가지며, 각 세그먼트는 제 1 및 제 2 주요 표면들 중 적어도 하나 상에 박막 전극 구조를 가지는(carrying), 상기 기판 제공 단계와;
- b) 리소그래픽 기술의 도움으로, 각 세그먼트의 양 벽들을 따라 연장되고 각 세그먼트 상의 상기 전극 구조와 전기 접촉을 하는 전기 접촉들을 제공하는 단계와;
- c) 각 세그먼트의 길이 방향에 실질적으로 수직 연장되는 일련의 분할 라인들을 따라 상기 세그먼트들을 절단함으로써 상기 세그먼트들을 개별 블록형 소자들로 절단하는 단계를 포함하는 것을 특징으로 하는, 제조 방법.

청구항 2.

제 1 항에 있어서,

단계(a)에서의 상기 슬롯들은 연속하는 세라믹 판을 국부적으로 파우더 블라스팅(powder-blasting)함으로써 형성되는 것을 특징으로 하는, 제조 방법.

청구항 3.

제 1 항에 있어서,

단계(a)에서의 상기 슬롯들은,

- 연속하는 세라믹 판의 폭을 가로질러 적어도 하나의 단단한 지지 스트립을 부착하는 단계와;
- 상기 세라믹 판을 통해 슬롯들을 절단하는 단계로서, 상기 슬롯들은 상기 지지 스트립으로 연장되지만 관통하지는 않는, 상기 절단 단계에 의해 형성되는 것을 특징으로 하는, 제조 방법.

청구항 4.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 소자들은 저항기들이며, 단계(a)에서의 상기 전극 구조는 각 세그먼트의 양 벽들 사이에 연장되는 전도성 물질의 단일 박막으로 이루어지는 것을 특징으로 하는, 제조 방법.

청구항 5.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 소자들은 커패시터들이며, 상기 단계(a)에서의 상기 전극 구조는,

- 각 세그먼트의 제 1 벽으로는 연장되지만 제 2 벽으로는 연장되지 않는 전도성 물질의 하부층(underlayer)과;
- 상기 하부층을 덮는 절연 물질층과;
- 각 세그먼트의 상기 제 2 벽으로는 연장되지만 상기 제 1 벽으로는 연장되지 않는 전도성 물질의 상부층(overlayer)을 연속적으로 포함하는 것을 특징으로 하는, 제조 방법.

청구항 6.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

각 소자는 직렬 접속된 커패시터 쌍이며, 단계(a)에서의 상기 전극 구조는:

- 전도성 물질의 하부층과;
- 절연 물질의 중간층과;
- 전도성 물질의 상부층을 포함하며,

이러한 층들 각각은 각 세그먼트의 전체 표면을 실질적으로 덮기 위해 적용되는 것을 특징으로 하는, 제조 방법.

청구항 7.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

각 소자는 인덕터(inductor)이며, 단계(a)에서의 상기 전극 구조는:

- 전도성 물질의 하부층으로서, 상기 층은 각 세그먼트를 따라 길이 방향으로 배열된 셀들의 선형 배열의 형태를 가지며, 각 셀은 나선형으로 감겨져 있는 스트립(strip)을 포함하며, 상기 스트립의 제 1 단부는 상기 세그먼트의 제 1 벽으로 연장되고, 상기 스트립의 제 2 단부는 상기 나선의 중앙에 놓여 있는, 상기 하부층과;
- 절연 물질의 중간층으로서, 상기 층에는 상기 하부층의 상기 스트립의 상기 제 2 단부를 관통하는 비아 접속(via connection)이 제공되는, 절연 물질의 중간층과;
- 전도성 물질의 상부층으로서, 상기 층은 각 세그먼트를 따라 길이 방향으로, 상기 하부층의 셀들과 레지스트리로(in registry) 배열된 셀들의 선형 배열의 형태를 가지며, 각 셀은 상기 중간층의 비아 접속으로부터 상기 세그먼트의 상기 제 2 벽으로 통하는 스트립을 포함하는, 상기 상부층을 포함하는 것을 특징으로 하는, 제조 방법.

청구항 8.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

단계(b)는 다음 단계들:

- I. 단계(a)로부터 얻어지는 기판에의 경화성 포토레지스트(curable photoresist)의 적용 단계와;
- II. 포토레지스트의 로컬라이징된 영역들의 선택적 경화 단계로서, 그러한 경화는 화학선 방사(actinic radiation)로 하나보다 많은 측면으로부터 상기 기판을 조사함으로써 수행되며, 상기 조사는 마스크(mask)를 통해 일어나는, 상기 경화 단계와;
- III. 적절한 현상액(developer)을 이용하여, 레지스트의 부분들을 선택적으로 용해시키는 단계와;
- IV. 레지스트에 의해 덮혀 있지 않은 세그먼트들의 모든 부분들 상에 비교적 두꺼운 금속층을 제공하는 단계와;
- V. 적절한 스트리퍼(stripper)를 이용하여, 레지스트의 나머지 부분들을 제거하는 단계를 포함하는 방법을 이용하여 수행되는 것을 특징으로 하는, 제조 방법.

청구항 9.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 단계(c)로부터 얻어지는 소자는 단계(b)에서 제공되는, 둘보다 많은 전기 접촉들을 갖는 것을 특징으로 하는, 제조 방법.

청구항 10.

블록 형상 박막의, 표면 실장 가능한 전자 소자로서,

상호 평행한 제 1 및 제 2 주요 표면과 상기 표면들 사이에 연장된 대향 위치하는 두 개의 벽과 상기 벽들에 실질적으로 수직으로 연장된 두 개의 분할 라인을 갖는 실질적으로 평평한 세라믹 기판과,

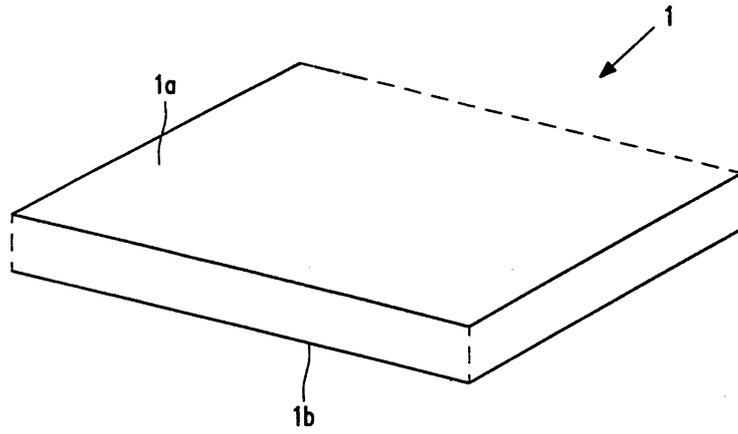
적어도 하나의 상기 표면 상의 박막 전극 구조와,

두 개의 벽을 따라 연장되며 상기 전극 구조와 전기 접촉을 이루는 전기 접촉을 포함하는 상기 전자 소자에 있어서,

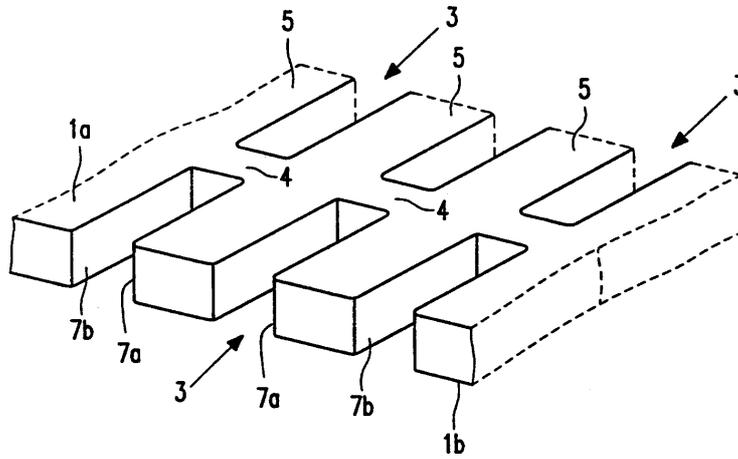
상기 소자들은 적어도 하나의 상기 벽들 상에 전기 접촉의 수가 하나보다 많은 다중 터미널 소자인 것을 특징으로 하는, 표면 실장 가능한 전자 소자.

도면

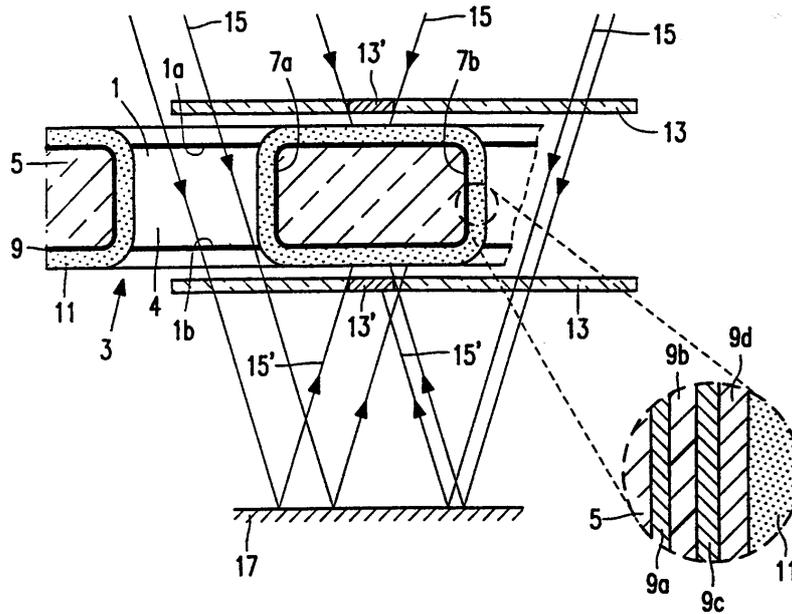
도면1



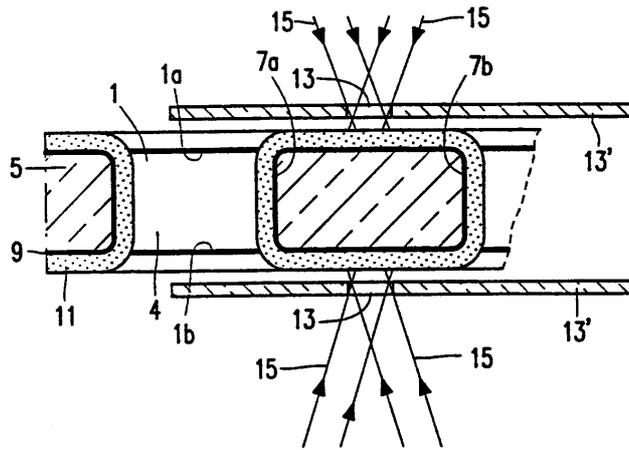
도면2



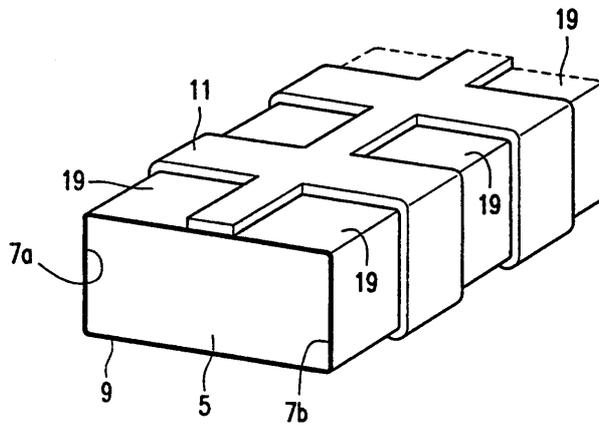
도면3a



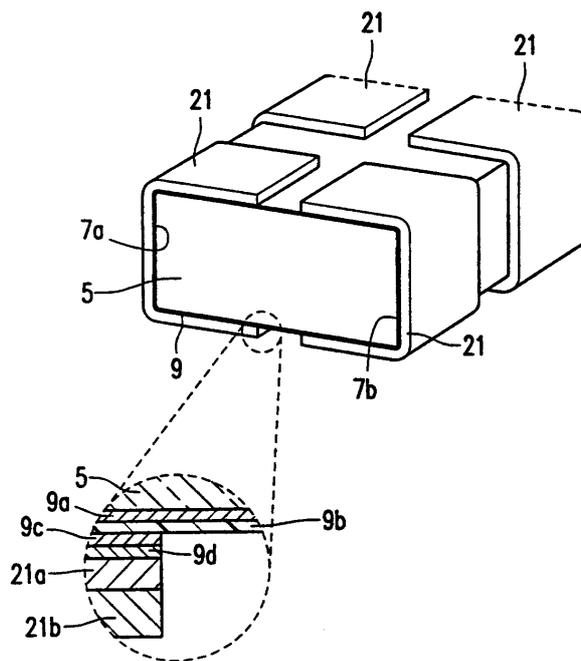
도면3b



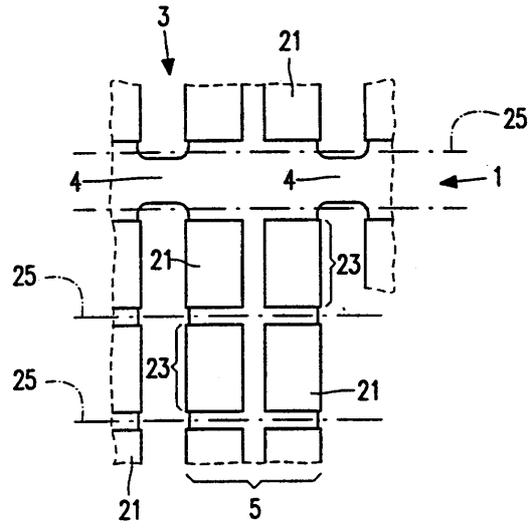
도면4



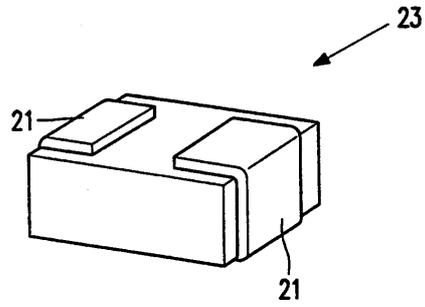
도면5



도면6



도면7



도면8

