



(12) 发明专利

(10) 授权公告号 CN 106373609 B

(45) 授权公告日 2021.01.26

(21) 申请号 201610056677.6

(51) Int.CI.

(22) 申请日 2016.01.27

G11C 16/10 (2006.01)

(65) 同一申请的已公布的文献号

G11C 16/08 (2006.01)

申请公布号 CN 106373609 A

审查员 杨静

(43) 申请公布日 2017.02.01

(30) 优先权数据

10-2015-0104594 2015.07.23 KR

(73) 专利权人 爱思开海力士有限公司

地址 韩国京畿道

(72) 发明人 金台勋

(74) 专利代理机构 北京路浩知识产权代理有限

公司 11002

代理人 瞿卫军 王朋飞

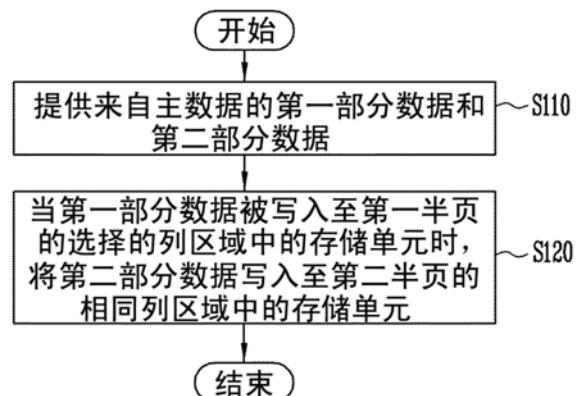
权利要求书2页 说明书15页 附图15页

(54) 发明名称

包括半导体存储装置的存储系统及其操作方法

(57) 摘要

本发明提供一种存储系统的操作方法，存储系统包括第一半页和第二半页，操作方法包括从主数据获取第一部分数据和第二部分数据；利用第一部分数据对所选择的页的第一半页执行第一程序操作；以及利用第二部分数据对所选择的页的第二半页执行第二程序操作。第一部分数据和第二部分数据可分别被编程在第一半页和第二半页中的相同的第一列区域中。



1. 一种存储系统的操作方法,所述存储系统包括多个页,每个页包括第一存储单元和与所述第一存储单元交替设置的第二存储单元,每个页包括由所述第一存储单元形成的第一半页和由所述第二存储单元形成的第二半页,所述操作方法包括:

从主数据获取第一部分数据和第二部分数据;

利用所述第一部分数据对所选择的页的所述第一半页执行第一程序操作;以及

利用所述第二部分数据对所选择的页的所述第二半页执行第二程序操作;

其中,所述第一部分数据和所述第二部分数据分别被编程在所述第一半页和所述第二半页中的相同的第一列区域中;以及

其中,第一虚拟数据在所述第一程序操作期间被编程在所述第一半页中的第二列区域中;以及

其中,第二虚拟数据在所述第二程序操作期间被编程在所述第二半页中的第二列区域中。

2. 根据权利要求1所述的操作方法,其中,所述第一虚拟数据和所述第二虚拟数据中的每个均具有预定的数据模式。

3. 根据权利要求1所述的操作方法,其中,所述第一程序操作和所述第二程序操作响应于单个程序命令被同时地执行。

4. 根据权利要求1所述的操作方法,其中,所述第一程序操作和所述第二程序操作响应于不同程序命令被顺序地执行。

5. 根据权利要求1所述的操作方法,其中,所述第一列区域被设置在所述第一半页和所述第二半页中的每个的中间的位置。

6. 根据权利要求1所述的操作方法,其中,所述主数据的大小小于整页的大小。

7. 根据权利要求1所述的操作方法,其中,所述第一部分数据和所述第二部分数据具有相同的大小。

8. 一种存储系统,其包括:

半导体存储装置,其包括多个页,每个页包括第一存储单元和与所述第一存储单元交替设置的第二存储单元,每个页包括由所述第一存储单元形成的第一半页和由所述第二存储单元形成的第二半页;以及

控制器,其适用于:

从主数据获取第一部分数据和第二部分数据;

利用所述第一部分数据对所选择的页的所述第一半页执行第一程序操作;以及

利用所述第二部分数据对所选择的页的所述第二半页执行第二程序操作,

其中,所述控制器分别将所述第一部分数据和所述第二部分数据编程在所述第一半页和所述第二半页中的相同的第一列区域中,以及

其中,所述控制器在所述第一程序操作期间将第一虚拟数据编程在所述第一半页中的第二列区域中,以及

其中,所述控制器在所述第二程序操作期间将第二虚拟数据编程在所述第二半页中的第二列区域中。

9. 根据权利要求8所述的存储系统,其中,所述第一虚拟数据和所述第二虚拟数据中的每个均具有预定的数据模式。

10. 根据权利要求8所述的存储系统,其中,所述控制器响应于单个程序命令同时执行所述第一程序操作和所述第二程序操作。

11. 根据权利要求8所述的存储系统,其中,所述控制器响应于不同程序命令顺序地执行所述第一程序操作和所述第二程序操作。

12. 根据权利要求8所述的存储系统,其中,所述第一列区域被设置在所述第一半页和所述第二半页中的每个的中间的位置。

13. 根据权利要求8所述的存储系统,其中,所述主数据的大小小于整页的大小。

14. 根据权利要求8所述的存储系统,其中,所述第一部分数据和所述第二部分数据具有相同的大小。

15. 一种多个页的控制方法,每个页均包括第一存储单元和与所述第一存储单元交替设置的第二存储单元,每个页包括由所述第一存储单元形成的第一半页和由所述第二存储单元形成的第二半页,所述控制方法包括:

    提供待被部分地储存在选择的页中的主数据;

    利用所述主数据对所选择的页的所述第一半页和所述第二半页中的相同的第一列区域执行程序操作;以及

    在所述程序操作期间,虚拟数据被编程在所选择的页的所述第一半页和所述第二半页中的相同的第二列区域中。

16. 根据权利要求15所述的控制方法,

    其中,所述主数据包括第一部分数据和第二部分数据,

    其中,所述虚拟数据包括第一虚拟数据和第二虚拟数据,

    利用所述第一部分数据对所述第一半页中的所述第一列区域执行第一程序操作;以及

    利用所述第二部分数据对所述第二半页中的所述第一列区域执行第二程序操作,以及

    在所述第一程序操作期间,所述第一虚拟数据被编程在所述第一半页中的所述第二列区域中;以及

    在所述第二程序操作期间,所述第二虚拟数据被编程在所述第二半页中的所述第二列区域中。

## 包括半导体存储装置的存储系统及其操作方法

[0001] 相关申请的交叉引用

[0002] 本申请要求2015年7月23日提交的申请号为10-2015-0104594的韩国专利申请的优先权，其公开全文通过引用并入本文。

### 技术领域

[0003] 各种实施例总体涉及一种电子装置，且更具体地，涉及一种半导体存储装置、包括该半导体存储装置的存储系统及该存储系统的操作方法。

### 背景技术

[0004] 半导体存储装置是由诸如硅(Si)、锗(Ge)、砷化镓(GaAs)和磷化铟(InP)的半导体材料制成的储存装置。半导体存储装置通常被分类为易失性存储装置和非易失性存储装置。

[0005] 当断电时，易失性存储装置丢失储存的数据。易失性存储装置的示例包括静态RAM(SRAM)、动态RAM(DRAM)和同步DRAM(SDRAM)。无论装置的电源是打开还是关闭，非易失性存储装置保留储存的数据。非易失性存储装置的示例包括只读存储器(ROM)、掩膜ROM(MROM)、可编程ROM(PROM)、可擦可编程ROM(EPROM)、电可擦可编程ROM(EEPROM)、闪速存储器、相变随机访问存储器(PRAM)、磁性RAM(MRAM)、电阻式RAM(RRAM)和铁电RAM(FRAM)。闪速存储装置被分类为NOR-型和NAND-型。

### 发明内容

[0006] 本发明的各种实施例涉及半导体存储装置、包括半导体存储装置的存储系统及存储系统的操作方法。本发明的装置、系统和方法展示提高的可靠性。

[0007] 根据本发明的一个实施例，提供一种存储系统的操作方法。存储系统可包括多个页，每个页包括第一半页和第二半页。方法可包括从主数据获取第一部分数据和第二部分数据；利用第一部分数据对所选择的页的第一半页执行第一程序操作；以及利用第二部分数据对所选择的页的第二半页执行第二程序操作。第一部分数据和第二部分数据可分别被编程在第一半页和第二半页中的相同的第一列区域中。

[0008] 第一虚拟数据可在第一程序操作期间被编程在第一半页中的第二列区域中。第二虚拟数据可在第二程序操作期间被编程在第二半页中的第二列区域中。

[0009] 第一虚拟数据和第二虚拟数据中的每个可具有预定的数据模式。

[0010] 第一程序操作和第二程序操作可响应于单个程序命令被同时地执行。

[0011] 第一程序操作和第二程序操作可响应于不同程序命令被顺序地执行。

[0012] 第一列区域可被设置在第一半页和第二半页中的每个的大体中间的位置。

[0013] 主数据的大小可小于整页的大小。

[0014] 第一部分数据和第二部分数据可具有大体相同的大小。

[0015] 第一半页和第二半页可以彼此交替的模式设置。

[0016] 根据另一个实施例，提供一种存储系统，存储系统包括半导体存储装置，半导体存储装置包括多个页。多个页中的每个可包括第一半页和第二半页。装置可包括控制器，控制器适用于：从主数据获取第一部分数据和第二部分数据；利用第一部分数据对所选择的页的第一半页执行第一程序操作；以及利用第二部分数据对所选择的页的第二半页执行第二程序操作。控制器可分别将第一部分数据和第二部分数据编程在第一半页和第二半页中的相同的第一列区域中。

[0017] 控制器可在第一程序操作期间将第一虚拟数据编程在第一半页中的第二列区域中。控制器可在第二程序操作期间将第二虚拟数据编程在第二半页中的第二列区域中。

[0018] 第一虚拟数据和第二虚拟数据中的每个可具有预定的数据模式。

[0019] 控制器可响应于单个程序命令同时执行第一程序操作和第二程序操作。

[0020] 控制器可响应于不同程序命令顺序地执行第一程序操作和第二程序操作。

[0021] 第一列区域可以相对于第一半页和第二半页中的每个的大体中间的布置来设置。

[0022] 主数据可具有小于整页的大小的大小。

[0023] 第一的部分数据和第二部分数据可具有大体相同的大小。

[0024] 第一半页和第二半页可以彼此交替的模式设置。

[0025] 根据一个实施例，每个都包括第一半页和第二半页的多个页的控制方法可包括提供待被部分地储存在所选择的页中的主数据；利用主数据对所选择的页的第一半页和第二半页中的相同的第一列区域执行主程序操作；以及在主程序操作期间利用虚拟数据对选择的页的第一半页和第二半页中的相同的第二列区域执行虚拟程序操作。

[0026] 主数据可包括第一部分数据和第二部分数据。虚拟数据可包括第一虚拟数据和第二虚拟数据。主程序操作的执行可包括：利用第一部分数据对第一半页中的第一列区域执行第一主程序操作；以及利用第二部分数据对第二半页中的第一列区域执行第二主程序操作。虚拟程序操作的执行可包括：在第一主程序操作期间利用第一虚拟数据对第一半页中的第二列区域执行第一虚拟程序操作；以及在第二主程序操作期间利用第二虚拟数据对第二半页中的第二列区域执行第二虚拟程序操作。

## 附图说明

[0027] 图1是说明根据本发明的一个实施例的存储系统的框图；

[0028] 图2是说明根据本发明的一个实施例的半导体存储装置的框图；

[0029] 图3是说明根据本发明的一个实施例的被应用在如图2所示的半导体存储装置的存储单元阵列中的存储块的框图；

[0030] 图4是说明根据本发明的一个实施例的包括偶数页和奇数页的存储块的框图；

[0031] 图5是说明根据本发明的一个实施例的被包括在如图2所示的半导体存储装置的存储单元阵列中的存储块的电路图；

[0032] 图6是说明根据本发明的一个实施例的可被包括在如图2所示的半导体存储装置的存储单元阵列中的存储块的另一个示例的电路图；

[0033] 图7是说明根据本发明的一个实施例的可被应用在如图2所示的半导体装置的存储单元阵列中的存储块的另一个示例的电路图；

[0034] 图8是说明根据本发明的一个实施例的存储系统的操作方法的流程图；

- [0035] 图9是根据本发明的一个实施例的主数据、第一部分数据和第二部分数据的简化说明；
- [0036] 图10是根据本发明的一个实施例的第一列区域和第二列区域的简化说明；
- [0037] 图11是根据本发明的一个实施例的数据被编程至其的偶数页和奇数页的区域的简化说明；
- [0038] 图12是示出根据本发明的一个实施例的列地址与偶数位线和奇数位线之间的关系的表格；
- [0039] 图13是根据本发明的一个实施例的数据被编程至其的偶数页的区域和奇数页的区域的示例的简化说明；
- [0040] 图14是根据本发明的一个实施例的数据被编程至其的偶数页和奇数页的区域的另一个示例的简化说明；
- [0041] 图15是根据本发明的一个实施例的数据被编程至其的偶数页的区域和奇数页的区域的另一个示例的简化说明；
- [0042] 图16是说明根据本发明的一个实施例的图8的步骤S120的示例的流程图；
- [0043] 图17是根据本发明的一个实施例的第一半页数据和第二半页数据的程序操作的说明；
- [0044] 图18是说明根据本发明的一个实施例的图8的步骤S120的另一个示例的流程图；
- [0045] 图19是根据本发明的一个实施例的响应于具体程序命令的第一部分数据和第二部分数据的程序操作的说明；
- [0046] 图20是说明根据本发明的一个实施例的存储系统的一个应用示例的框图；以及
- [0047] 图21是说明根据本发明的一个实施例的包括如图20所示的存储系统的计算系统的框图。

## 具体实施方式

[0048] 在下文中，将参照附图描述本发明的各种实施例。附图和实施例被提供以允许本领域的普通技术人员理解本发明。然而，本发明可以不同的形式来实施且不应被解释为限于提出的实施例。而是，这些实施例被提供使得本公开将是彻底且完整的。

[0049] 此外，如在此使用的“连接/联接”表示一个组件被“直接地电地”联接至另一个组件或通过另一个组件被“间接地电地”联接。

[0050] 现在参照图1，提供了根据本发明的一个实施例的存储系统1000。存储系统1000可包括半导体存储装置100和控制器200。

[0051] 半导体存储装置100可在控制器200的监控下操作。半导体存储装置100可包括存储单元阵列110和用于驱动存储单元阵列110的外围电路120。存储单元阵列110可包括多个非易失性存储单元。

[0052] 外围电路120可在控制器200的控制下操作。例如，外围电路120可在控制器200的控制下执行一个或多个操作，包括但不限于：利用数据对存储单元阵列110编程，从存储单元阵列110读取数据，输出读取的数据至控制器200以及擦除被储存在存储单元阵列110中的数据。

[0053] 在程序操作期间，外围电路120可从控制器200接收程序命令、物理块地址和数据。

然后,包括在其中的对应于物理块地址的单个存储块和单个页可被选择。外围电路120可利用数据对选择的页编程。

[0054] 在读取操作期间,外围电路120可从控制器200接收读取命令和物理块地址。然后,诸如对应于物理块地址的单个存储块和单个页的存储区域可被选择。外围电路120可从选择的存储区域读取数据并将读取的数据输出至控制器200。

[0055] 在擦除操作期间,外围电路120可从控制器200接收擦除命令和物理块地址。然后,诸如包括在其中的单个存储块和单个页的存储区域可被物理块地址选择。然后,外围电路120可随后擦除储存在所选择的存储区域中的数据。

[0056] 半导体存储装置可以是非易失性存储装置。例如,半导体存储装置可以是ROM、MROM、PROM、EPROM、EEPROM、闪速存储器、PRAM、MRAM、RRAM、FRAM等。根据一个实施例,半导体存储装置100可以是闪速存储装置。

[0057] 控制器200可以控制半导体存储装置100。因此,当控制器200控制写入操作时,半导体存储装置100可执行程序操作。当控制器200控制读取操作时,半导体存储装置100可执行读取操作。当控制器200控制擦除操作时,半导体存储装置100可执行擦除操作。

[0058] 控制器200可包括处理器210、缓冲存储器220、主机接口230和存储控制器240。

[0059] 处理器210可被联接至主总线250。处理器210可控制控制器200的一般操作。处理器210可作为闪速转换层(FTL)。处理器210可通过主机接口230接收来自主机的请求。

[0060] 处理器210可将包括在请求中的逻辑块地址转换成物理块地址。当来自主机的请求是程序请求时,数据可被进一步从主机提供。处理器210可生成对应于程序请求的程序命令并将程序命令、物理块地址和数据储存在缓冲存储器220中。储存在缓冲存储器220中的程序命令、物理块地址和数据可通过存储控制器240被转移到半导体存储装置100。

[0061] 根据一个实施例,处理器210可在没有来自主机的请求的情况下生成程序命令、物理块地址和数据,并将程序命令、物理块地址和数据转移到半导体存储装置100。例如,处理器210可生成用于后台操作的程序命令、物理块地址和数据,例如,用于耗损均衡的程序操作或用于垃圾收集的程序操作。

[0062] 缓冲存储器220可被联接至主总线250。缓冲存储器220可在处理器210的控制下操作。根据一个实施例,缓冲存储器220可以是或包括用于处理器210的操作存储器、半导体存储装置100和主机之间的缓存存储器、半导体存储装置100和主机之间的数据缓冲器或其任意组合。

[0063] 主机接口230可包括协议以执行主机和控制器200之间的通信。根据一个实施例,主机接口230可通过诸如以下的各种协议中的至少一个与主机通信:通用串行总线(USB)协议、多媒体卡(MMC)协议、外围组件互连(PCI)协议、PCI-高速(PCI-E)协议、高级技术附件(ATA)协议、串行-ATA协议、并行-ATA协议、小型计算机小型接口(SCSI)协议、增强型小型磁盘接口(ESDI)协议、集成驱动电子(IDE)协议、私有协议等。

[0064] 存储控制器240可被联接至主总线250。存储控制器240可在处理器210的控制下控制半导体存储装置100。存储控制器240可在处理器210的控制下通过将储存在缓冲存储器220中的程序命令、物理块地址和数据转移到半导体存储装置100来控制程序操作。

[0065] 现在参照图2,提供通常指定为数字100的半导体存储装置的示例。半导体存储装置可与图1中所示的存储系统一起使用。

[0066] 因此，半导体存储装置100可包括存储单元阵列110和外围电路120。

[0067] 存储单元阵列110可包括多个存储块。多个存储块中的每个可包括多个页。例如，如图3的示例中所示的，一个存储块BLK可包括第一至第n页PG1-PGn。每一页均可包括第一存储单元和与第一存储单元交替设置的第二存储单元。每个页可被分成两部分。例如，每个页可被分成两个半页。第一存储单元可形成第一半页HPG1，且第二存储单元可形成第二半页HPG2。换言之，每个页可包括第一半页HPG1和第二半页HPG2。

[0068] 根据一个实施例，第一半页HPG1可包括偶数存储单元且第二半页HPG2可包括奇数存储单元，即，第一存储单元和第二存储单元可以分别是偶数存储单元和奇数存储单元。在该实施例中，第一半页HPG1可被定义为偶数页且第二半页HPG2可被定义为奇数页。然而，根据另一个实施例，第一半页HPG1可包括奇数存储单元且第二半页HPG2可包括偶数存储单元（即，第一存储单元和第二存储单元可以分别是奇数存储单元和偶数存储单元）。在这种实施例中，第一半页HPG1可被称为奇数页，且第二半页HPG2可被称为偶数页。

[0069] 每个页可以是或包括偶数页或奇数页。如图4所示，一个存储块BLK可包括第一至第n偶数页EPG1-EPGn和第一至第n奇数页OPG1-OPGn。

[0070] 现在再次参照图2，存储单元阵列110可包括多个页，多个页可分别被连接至字线WL。在单个页中，存储单元可被联接至位线BL。偶数页的存储单元可被联接至偶数位线，而奇数页的存储单元可被联接至奇数位线。存储单元可以是非易失性存储单元。存储单元可以是易失性存储单元。

[0071] 半导体存储装置100的程序操作和读取操作可以页为单位执行。半导体存储装置100的擦除操作可以存储块为单位执行。

[0072] 外围电路120可包括地址解码器121、电压发生器122、读取和写入电路123、输入/输出电路124和控制逻辑125。

[0073] 地址解码器121可通过字线WL被联接至存储单元阵列110。地址解码器121可在控制逻辑125的控制下操作。

[0074] 地址解码器121可通过控制逻辑125接收物理块地址PA。半导体存储装置100的程序操作可以页为单位执行。例如，在程序操作期间，物理块地址PA可包括块地址和行地址。

[0075] 地址解码器121可解码物理块地址PA的块地址。地址解码器121可根据解码的块地址选择存储块中的一个。

[0076] 地址解码器121可解码物理块地址PA的行地址。地址解码器121可根据解码的行地址选择被选择的存储块的字线，使得单个页可被选择。

[0077] 根据一个实施例，地址解码器121可包括地址缓冲器、块解码器和行解码器。

[0078] 电压发生器122可通过使用供应至半导体存储装置100的外部电源电压来生成多个电压。电压发生器122可在控制逻辑125的控制下操作。

[0079] 根据实施例，电压发生器122可通过调节外部电源电压来生成内部电源电压。由电压发生器122生成的内部电源电压可被用作半导体存储装置100的操作电压。

[0080] 读取和写入电路123可在控制逻辑125的控制下操作。读取和写入电路123可通过位线BL被联接至存储单元阵列110。读取和写入电路123可被联接至输入/输出电路124。

[0081] 读取和写入电路123可解码物理块地址PA的列地址。读取和写入电路123可响应于解码的列地址选择位线BL的一部分或全部。

[0082] 在程序操作期间,读取和写入电路123可通过输入/输出电路124接收数据DATA。读取和写入电路123可通过选择的位线BL将数据DATA转移到所选择的页的相应的存储单元。根据一个实施例,读取和写入电路123可根据数据DATA将选择的位线BL偏移至程序允许电压(例如,接地电压)和程序禁止电压(例如,电源电压)。被联接至施加有程序允许电压的位线的存储单元可具有增加的阈值电压。被联接至施加有程序禁止电压的位线的存储单元的阈值电压可被保持。

[0083] 控制逻辑125可被联接至地址解码器121、电压发生器122、读取和写入电路123和输入/输出电路124。控制逻辑125可从控制器200接收命令CMD和物理块地址PA。控制逻辑125可响应于命令CMD来控制地址解码器121、电压发生器122、读取和写入电路123和输入/输出电路124。控制逻辑125可将物理块地址PA转移到地址解码器121及读取和写入电路123。

[0084] 图5说明通常指定数字为310的图1的存储单元阵列110的存储块中的一个。单元阵列110的余下的存储块可以与存储块310大体相同的方式来配置。存储块310可包括多个偶数页和多个奇数页。存储块310可通过第一至第m偶数位线EBL1-EBLm和第一至第m奇数位线OBL1-OBLm被联接至读取和写入电路123。存储块310可通过公共源线CSL、源极选择线SSL、第一至第n字线WL1-WLn和漏极选择线DSL被联接至地址解码器121。第一至第n字线WL1-WLn可被包括在图1所示的字线WL中。

[0085] 存储块310可包括多个单元字符串ECS1-ECSm和OCS1-OCSm。第一至第m偶数单元字符串ECS1-ECSm可分别被联接至第一至第m偶数位线EBL1-EBLm。第一至第m奇数单元字符串OCS1-OCSm可分别被联接至第一至第m奇数位线OBL1-OBLm。单元字符串中的每个可包括被联接至源极选择线SSL的源极选择晶体管SST、分别被联接至第一至第n字线WL1-WLn的第一至第n存储单元M1-Mn以及被联接至漏极选择线DSL的漏极选择晶体管DST。在每个单个单元字符串中,源极选择晶体管SST、第一至第n存储单元M1-Mn和漏极选择晶体管DST可串联地彼此联接。每个单元字符串的源极选择晶体管SST可被联接至公共源线CSL。每个单元字符串的漏极选择晶体管DST可被联接至对应的位线。

[0086] 被联接至偶数单元字符串ECS1-ECSm的单个字线的存储单元可形成单个偶数页(图4中的EPG)。以同样的方式,被联接至奇数单元字符串OCS1-OCSm的单个字线的存储单元可形成奇数页(图4中的OPG)。这种方式,存储块310可包括多个偶数页和多个奇数页。

[0087] 图6是说明可以是存储单元阵列110中的多个存储块中的一个的存储块的另一个示例320的电路图。其余存储块可以与存储块320大体相同的方式来配置。

[0088] 存储单元阵列110可具有三维结构。存储块320可包括多个偶数页和多个奇数页。根据一个实施例,提供具有三维结构的存储单元,其包括多个块,每个块具有多个偶数页和多个奇数页。

[0089] 参照图6,存储块320可包括多个单元字符串ECS和OCS。多个单元字符串ECS和OCS中的每个可形成为“U”形。为便于说明,图6示出两个单元字符串可被设置在第一存储块320中的列方向上。然而,多于两个单元字符串可被设置在列方向上(即,+Y方向)。

[0090] 为便于说明,图6示出第一行中的偶数单元字符串中的一个(ECS11)。然而,“m”个偶数单元字符串ECS11-ECS1m可被设置在第一行中。而且,图6示出第一行中的奇数单元字符串中的一个奇数单元字符串OCS1m。然而,“m”个奇数单元字符串OCS11-OCS1m可被设置在

第一行中。

[0091] 以同样的方式,  $m$ 个偶数单元字符串ECS<sub>1</sub>-ECS<sub>2m</sub>和 $m$ 个奇数单元字符串OCS<sub>1</sub>-OCS<sub>2m</sub>可被设置在第二行中。

[0092] 被设置在第一行中的偶数单元字符串ECS<sub>11</sub>-ECS<sub>1m</sub>和被设置在第一行中的奇数单元字符串OCS<sub>11</sub>-OCS<sub>1m</sub>可在X方向上彼此交替地设置。同样地,被设置在第一行中的偶数单元字符串ECS<sub>21</sub>-ECS<sub>2m</sub>和第二行中的奇数单元字符串OCS<sub>21</sub>-OCS<sub>2m</sub>可在X方向上彼此交替地设置。

[0093] 单元字符串中的每个可包括源极选择晶体管SST、多个存储单元MC<sub>1</sub>-MC<sub>n</sub>、管晶体管PT(pipe transistor) 和漏极选择晶体管DST。

[0094] 选择晶体管SST和DST和存储单元MC<sub>1</sub>-MC<sub>n</sub>可具有相似的结构。根据一个实施例,选择晶体管SST和DST和存储单元MC<sub>1</sub>-MC<sub>n</sub>中的每个可包括通道层、隧穿绝缘层、电荷储存层和阻断绝缘层。

[0095] 在每个单元字符串中,存储单元MC<sub>1</sub>-MC<sub>p</sub>和源极选择晶体管SST可被堆叠在穿过存储块320下的基板(未示出)的方向上,即,+Z方向上。在每个单元字符串中,存储单元MC<sub>p+1</sub>-MC<sub>n</sub>和漏极选择晶体管DST可被顺序地堆叠在+Z方向上。

[0096] 每个单元字符串的源极选择晶体管SST可被联接在公共源线CSL和存储单元MC<sub>1</sub>-MC<sub>p</sub>之间。根据一个实施例,设置在相同行中(+X方向上)的单元字符串的源极选择晶体管可被联接至在行方向上延伸的源极选择线。被设置在不同行中的单元字符串的源极选择晶体管可被联接至不同的源极选择线。被设置在第一行中的偶数单元字符串ECS<sub>11</sub>-ECS<sub>1m</sub>和奇数单元字符串OCS<sub>11</sub>-OCS<sub>1m</sub>可被联接至第一源极选择线SSL1。被设置在第二行中的偶数单元字符串ECS<sub>21</sub>-ECS<sub>2m</sub>和奇数单元字符串OCS<sub>21</sub>-OCS<sub>2m</sub>可被联接至第二源极选择线SSL2。

[0097] 每个单元字符串的第一至第n存储单元MC<sub>1</sub>-MC<sub>n</sub>可被联接在源极选择晶体管SST和漏极选择晶体管DST之间。

[0098] 第一至第n存储单元MC<sub>1</sub>-MC<sub>n</sub>可被分为第一至第p存储单元MC<sub>1</sub>-MC<sub>p</sub>和第(p+1)至第n存储单元MC<sub>p+1</sub>-MC<sub>n</sub>。第一至第p存储单元MC<sub>1</sub>-MC<sub>p</sub>和第(p+1)至第n存储单元MC<sub>p+1</sub>-MC<sub>n</sub>可通过管晶体管PT被联接。

[0099] 第一至第p存储单元MC<sub>1</sub>-MC<sub>p</sub>可被串联地联接在源极选择晶体管SST和管晶体管PT之间。第(p+1)至第n存储单元MC<sub>p+1</sub>-MC<sub>n</sub>可被串联地联接在管晶体管PT和漏极选择晶体管DST之间。第一至第n存储单元MC<sub>1</sub>-MC<sub>n</sub>的栅极可分别被联接至第一至第n字线WL<sub>1</sub>-WL<sub>n</sub>。

[0100] 每个单元字符串的管晶体管PT的栅极可被联接至管线PL。

[0101] 每个单元字符串的漏极选择晶体管DST可被联接在对应的位线和存储单元MC<sub>p+1</sub>-MC<sub>n</sub>之间。根据一个实施例,被设置在相同行中的单元字符串的漏极选择晶体管可被联接至在行方向上延伸的漏极选择线。被设置在不同行中的单元字符串的漏极选择晶体管可被联接至不同的漏极选择线。被设置在第一行中的偶数单元字符串ECS<sub>11</sub>-ECS<sub>1m</sub>和奇数单元字符串OCS<sub>11</sub>-OCS<sub>1m</sub>可被联接至第一漏极选择线DSL1。被设置在第二行中的偶数单元字符串ECS<sub>21</sub>-ECS<sub>2m</sub>和奇数单元字符串OCS<sub>21</sub>-OCS<sub>2m</sub>可被联接至第二漏极选择线DSL2。

[0102] 被设置在列方向(+Y方向)上的两个单元字符串可被联接至在列方向上延伸的位线。偶数位线EBL<sub>1</sub>-EBL<sub>m</sub>可在X方向上与奇数位线OBL<sub>1</sub>-OBL<sub>m</sub>交替地设置。偶数位线EBL<sub>1</sub>-EBL<sub>m</sub>中的每个可被联接至偶数单元字符串。奇数位线OBL<sub>1</sub>-OBL<sub>m</sub>中的每个可被联接至奇数

单元字符串。

[0103] 第一行中偶数单元字符串ECS11-ECS1m中被联接至相同字线的存储单元可形成一个偶数页(图4中的EPG)。第一行中奇数单元字符串OCS11-OCS1m中被联接至相同字线的存储单元可形成一个奇数页(图4中的OPG)。另外,第二行中偶数单元字符串ECS21-ECS2m中被联接至相同字线的存储单元可形成一个偶数页,且第二行中奇数单元字符串OCS21-OCS2m中被联接至相同字线的存储单元可形成一个奇数页。

[0104] 图7是说明根据存储块330的另一个示例的电路图。存储块330是包括在存储单元阵列110中的多个存储块中的一个。为了方便起见,图7仅示出存储块中的一个。然而,应该理解的是,其余存储块可以与存储块330相同或大体相同的方式配置。

[0105] 现在参照图7,存储块330的单元字符串中的每个可在+Z方向上延伸。

[0106] 而且,为了便于说明,图7仅示出第一行中的偶数单元字符串中的一个和奇数单元字符串中的一个,即,偶数单元字符串ECS11'和奇数单元字符串OCS1m'。然而,“m”个偶数单元字符串ECS11'-ECS1m'和“m”个奇数单元字符串OCS11'-OCS1m'可被设置在第一行中。

[0107] 以同样的方式,m个偶数单元字符串ECS21'-ECS2m'和m个奇数单元字符串OCS21'-OCS2m'可被设置在第二行中。

[0108] 被设置在第一行中的偶数单元字符串ECS11'-ECS1m'可与被设置在第一行中的奇数单元字符串OCS11'-OCS1m'交替地设置。设置在第二行中的偶数单元字符串ECS21'-ECS2m'可与设置在第二行中的奇数单元字符串OCS21'-OCS2m'交替地设置。

[0109] 单元字符串中的每个可包括源极选择晶体管SST、第一至第n存储单元MC1-MCn和漏极选择晶体管DST。

[0110] 选择晶体管SST和DST与存储单元MC1-MCn可具有相似的结构。根据一个实施例,选择晶体管SST和DST和存储单元MC1-MCn中的每个可包括通道层、隧穿绝缘层、电荷储存层和阻断绝缘层。

[0111] 在每个单元字符串中,源极选择晶体管SST、第一至第n存储单元MC1-MCn和漏极选择晶体管DST可被顺序地堆叠在穿过存储块330下的基板(未示出)的+Z方向上。

[0112] 每个单元字符串的源极选择晶体管SST可被联接在公共源线CSL和存储单元MC1-MCn之间。根据一个实施例,设置在相同行(+X方向)中的单元字符串的源极选择晶体管可被联接至在行方向上延伸的源极选择线。被设置在不同行中的单元字符串的源极选择晶体管可被联接至不同的源极选择线。被设置在第一行中的偶数单元字符串ECS11'-ECS1m'和奇数单元字符串OCS11'-OCS1m'可被联接至第一源极选择线SSL1。被设置在第二行中的偶数单元字符串ECS21'-ECS2m'和奇数单元字符串OCS21'-OCS2m'可被联接至第二源极选择线SSL2。

[0113] 在每个单元字符串中,第一至第n存储单元MC1-MCn可被串联地联接在源极选择晶体管SST和漏极选择晶体管DST之间。第一至第n存储单元MC1-MCn可分别被联接至第一至第n字线WL1-WLn。

[0114] 每个单元字符串的漏极选择晶体管DST可被联接在对应的位线和存储单元MC1-MCn之间。被设置在第一行中的偶数单元字符串ECS11'-ECS1m'和奇数单元字符串OCS11'-OCS1m'可被联接至第一漏极选择线DSL1。被设置在第二行中的偶数单元字符串ECS21'-ECS2m'和奇数单元字符串OCS21'-OCS2m'可被联接至第二漏极选择线DSL2。

[0115] 因此,除了管晶体管PT从每个单元字符串中被移除外,图7中所示的存储块330可具有与图6中所示的存储块320相似的等效电路。

[0116] 第一行中偶数单元字符串ECS11'-ECS1m'中被联接至相同字线的存储单元可形成图4中的单个偶数页EPG。第一行中奇数单元字符串OCS21'-OCS2m'中被联接至相同字线的存储单元可形成一个奇数页(图4中的OPG)。另外,第二行中偶数单元字符串ECS21'-ECS2m'中被联接至相同字线的存储单元可形成一个偶数页。第二行中奇数单元字符串OCS21'-OCS2m'中被联接至相同字线的存储单元可形成一个奇数页。

[0117] 从参照图6和图7的前述说明中将显而易见的是,三维存储单元阵列可在不脱离本发明的范围的情况下以各种实施例来实施。例如,各种实施例可由本领域技术人员在阅读本公开后想到,其中,存储单元阵列的存储块可包括多个页,且每个页可包括偶数页和奇数页。

[0118] 图8是说明图1的存储系统100的操作方法的示例的流程图。因此,参照图1和图8,在步骤S110中,控制器200可提供来自主数据的第一部分数据和第二部分数据。主数据可以指待被编程至半导体存储装置100的数据。

[0119] 主数据可被储存在单个页(图3中的PG)的一部分中。主数据的大小可小于单个页的整体大小。例如,当单个页的整体大小是8(八)千字节时,主数据的大小可小于8千字节。

[0120] 根据一个实施例,主数据可从主机提供的数据中生成。主数据可通过使主机提供的数据随机化来生成。用于随机化的元件可被进一步设置在控制器200中。根据一个实施例,主数据可通过将奇偶校验位通过错误修正码添加至主机提供的数据来生成。用于错误修正编码的元件可被进一步设置在控制器200中。根据一个实施例,主数据可由控制器200生成。

[0121] 在步骤S120中,当第一部分数据被编程至第一半页HPG1中所选择的列区域的存储单元时,控制器200可将第二部分数据写入第二半页HPG2的相同列区域的存储单元中。列区域可以指包括物理上邻近的位线的区域。例如,列区域可以指包括多个邻近的偶数位线和与偶数位线交替的多个邻近的奇数位线的区域。

[0122] 为便于说明,假定第一半页HPG1是偶数页且第二半页HPG2是奇数页。

[0123] 参照图9,主数据MDT可具有小于页PG的大小。根据一个实施例,主数据MDT的大小可大于页PG的半页的大小。根据另一个实施例,主数据MDT的大小可小于页PG的半页的大小。

[0124] 第一部分数据PD1和第二部分数据PD2可从主数据MDT被提供。第一部分数据PD1和第二部分数据PD2可具有几乎相同的大小。根据一个实施例,第一部分数据PD1和第二部分数据PD2中的每个的大小可以是主数据MDT的总大小的一半。

[0125] 处理器210可将第一部分数据PD1和第二部分数据PD2储存在缓冲存储器220中。

[0126] 图10说明根据本发明的一个实施例的第一列区域CR1和第二列区域CR2。

[0127] 参照图10,页PG可包括偶数存储单元和奇数存储单元,还如早前参照图4-图7所述的。偶数存储单元和奇数存储单元可彼此交替。

[0128] 选择的列区域可被定义。选择的列区域的大小可由第一部分数据PD1和第二部分数据PD2的大小决定。选择的列区域可被定义使得选择的列区域可包括与第一部分数据PD1和第二部分数据PD2中的一个中的数据位的数量相同数量的偶数存储单元(或奇数存储单

元)。

[0129] 图10说明表示为第一列区域CR1的选择的列区域和表示为第二列区域CR2的未选择的列区域。第二列区域CR2可包括第一子区域SR1和第二子区域SR2。图10例示第一列区域CR1可位于选择的页上的第一子区域SR1和第二子区域SR2中间或之间。

[0130] 第一部分数据PD1可被编程至包括在第一列区域CR1中的偶数存储单元(即,对应于偶数页的第一列区域CR1的存储单元)。第二部分数据PD2可被编程至包括在相同的列区域CR1中的奇数存储单元(即,对应于奇数页的第一列区域CR1的存储单元)。

[0131] 图11说明根据本发明的一个实施例的包括数据被编程至其的偶数页EPG和奇数页OPG的存储区域。

[0132] 现在参照图11,数据可被编程至选择的页PG的偶数页EPG和奇数页OPG两者中的第一列区域CR1的存储单元。第一部分数据PD1可被编程至偶数页EPG中的第一列区域CR1的存储单元,而偶数页EPG中的第一子区域SR1和第二子区域SR2的存储单元可保持被擦除或保持未被选择。第二部分数据PD2可被储存在奇数页OPG中的第一列区域CR1的存储单元中,而奇数页OPG中的第一子区域SR1和第二子区域SR2的存储单元可保持被擦除或保持未被选择。换言之,主数据可被编程至对应于偶数页EPG和奇数页OPG中的相同列区域的存储单元。

[0133] 当第一部分数据PD1和第二部分数据PD2被编程时,处理器210可生成程序命令和物理块地址。物理块地址可包括块地址、行地址和列地址。包括在单个页中的存储单元的一部分或全部可响应于物理块地址而被选择。物理块地址中的列地址可指示偶数页EPG中的第一列区域CR1的存储单元和奇数页OPG中的第一列区域CR1的存储单元。

[0134] 存储控制器240可通过在处理器210的控制下将程序命令、物理块地址、第一部分数据PD1和第二部分数据PD2转移至半导体存储装置100来控制半导体存储装置100的程序操作。半导体存储装置100可响应于物理块地址的块地址和行地址选择单个页。半导体存储装置100可响应于物理块地址的列地址选择偶数页EPG中的第一列区域CR1的存储单元和奇数页OPG中的第一列区域CR1的存储单元。半导体存储装置100可将第一部分数据PD1编程在选择的页的偶数页EPG中的第一列区域CR1的存储单元中,且可将第二部分数据PD2编程在选择的页的奇数页OPG中的第一列区域CR1的存储单元中。

[0135] 图12是分别示出根据本发明的一个实施例的列地址与偶数位线EBL1-EBL<sub>m</sub>和奇数位线OBL1-OBL<sub>m</sub>之间的关系的表格。

[0136] 例如,如图12所示,第零至第(m-1)列地址CADDR0-CADDR<sub>m</sub>-1可分别被分配给第一至第m偶数位线EBL1-EBL<sub>m</sub>。而且,第m至第(2m-1)列地址CADDR<sub>m</sub>-CADDR(2m-1)可分别被分配给第一至第m奇数位线OBL1-OBL<sub>m</sub>。

[0137] 在所示的实施例中,分别从偶数页和奇数页中的选择的列区域或第一列区域CR1选择第p至第(m-q)列地址CADDR<sub>p</sub>-CADDR<sub>m-q</sub>和第(m+p)至第(2m-q)列地址CADDR<sub>m+p</sub>-CADDR<sub>2m-q</sub>(p和q是大于0且小于m的自然数)。第p至第(m-q)列地址CADDR<sub>p</sub>-CADDR<sub>m-q</sub>可表示偶数页(图11中的EPG)中的第一列地址CR1。第(m+p)至第(2m-q)列地址CADDR<sub>m+p</sub>-CADDR<sub>2m-q</sub>可表示奇数页(图11中的OPG)中的第一列地址CR1。

[0138] 如图13所示,储存第一部分数据PD1的偶数页EPG中的选择的列区域和储存第二部分数据PD2的奇数页OPG中的选择的列区域可不同于彼此。因此,选择的偶数存储单元和选择的技术存储单元可位于不同的列区域中。

[0139] 未选择的偶数存储单元可位于如图13中所示的第三列区域CR3。第三列区域CR3的未选择的偶数存储单元可引起对奇数页OPG中的对应于第三列区域CR3的选择的奇数存储单元的干扰。同样地,未选择的奇数存储单元可位于如图13中所示的第四列区域CR4。第四列区域CR4的未选择的奇数存储单元可引起对偶数页EPG中的对应于第四列区域CR4的选择的偶数存储单元的干扰。

[0140] 偶数存储单元和奇数存储单元可彼此交替地设置。交替的偶数存储单元和奇数存储单元可能是有利的。

[0141] 例如,包括未选择的偶数存储单元的单元字符串的通道可在程序操作期间被升压(boostered)。在根据如图13中所示的偶数页EPG的选择的列区域和奇数页OPG的选择的列区域储存的数据不同于彼此的情况下,用于未选择的偶数存储单元的升压(boostered voltage)可干扰对邻近的选择的奇数存储单元的程序操作。当多个未选择的偶数存储单元位于第三列区域CR3时,对奇数页OPG中的对应于第三列区域CR3的选择的奇数存储单元的程序操作可被干扰。未选择的偶数存储单元的阈值电压可低于对应于擦除状态的电压(例如,接地电压)。选择的奇数存储单元的阈值电压可根据储存在选择的奇数存储单元中的数据增加。然而,由于干扰,位于第三列区域CR3的选择的奇数存储单元的阈值电压可能由于对应于第三列区域CR3的未选择的偶数存储单元的擦除状态的低电压(例如,接地电压)未上升到期望水平。

[0142] 根据一个实施例,当主数据被编程在单个页的部分中时,主数据可被编程至偶数页EPG和奇数页OPG两者中的相同列区域,如参照图11所例示的。因此,主数据可在没有干扰的情况下被稳定地编程至单个页。因此,具有提高的可靠性的存储系统1000可被提供。

[0143] 图14说明数据被编程至其的偶数页EPG和奇数页OPG的区域的另一个示例。

[0144] 参照图14,第一列区域CR1可被定义在偶数页EPG和奇数页OPG的左侧。第二列区域CR2可被定义在偶数页EPG和奇数页OPG的右侧。第一部分数据PD1可被编程至偶数页EPG中的第一列区域CR1的存储单元,且第二部分数据PD2可被编程至奇数页OPG中的相同列区域CR1的存储单元。第二列区域CR2的偶数存储单元和奇数存储单元可保持被擦除或保持未被选择。

[0145] 例如,当列地址被分配给如参照图12所述的偶数位线EBL1-EBL<sub>m</sub>和奇数位线OBL1-OBL<sub>m</sub>时,可为偶数页EPG中的第一列区域CR1选择第零至第r列地址CADDR0-CADDR<sub>r</sub>,且可为奇数页OPG中的第一列区域CR1选择第m至第(m+r)列地址CADDR<sub>m</sub>-CADDR<sub>m+r</sub>。

[0146] 图15说明数据被编程至其的偶数页EPG和奇数页OPG的区域的另一个示例。

[0147] 参照图15,第一列区域CR1可被定义在偶数页EPG和奇数页OPG的右侧。第二列区域CR2可被定义在偶数页EPG和奇数页OPG的左侧。第一部分数据PD1可被编程至偶数页EPG中的第一列区域CR1的存储单元,且第二部分数据PD2可被编程至奇数页OPG中的相同列区域CR1的存储单元。第二列区域CR2的偶数存储单元和奇数存储单元可保持被擦除或保持未被选择。

[0148] 例如,当列地址被分配给如参照图12所述的偶数位线EBL1-EBL<sub>m</sub>和奇数位线OBL1-OBL<sub>m</sub>时,可为偶数页EPG中的第一列区域CR1选择第(m-x)至第(m-1)列地址CADDR<sub>m-x</sub>至CADDR<sub>m-1</sub>,且可为奇数页OPG中的第一列区域CR1选择第(2m-x)至第(2m-1)列地址CADDR<sub>2m-x</sub>至CADDR<sub>2m-1</sub>。

[0149] 如参照图11、图14和图15所述的,第一列区域CR1和第二列区域CR2可以不同地定位。图16是说明图8所示的方法的步骤S120的示例的流程图。图17说明根据如图16所示的步骤S120的第一半页数据HPD1和第二半页数据HPD2的程序操作。

[0150] 现在参照图1、图8、图16和图17,在步骤S210和S310中,控制器200可通过将第一虚拟数据DD1填充至第一部分数据PD1来生成第一半页数据HPD1。第一虚拟数据DD1可被填充使得第一部分数据PD1可被编程至偶数页EPG中的第一列区域CR1的存储单元且第一虚拟数据DD1可被编程至偶数页EPG中的第二列区域CR2的存储单元,如图11和图17所例示。第一半页数据HPD1可被储存在缓冲存储器220中。

[0151] 根据一个实施例,第一半页数据HPD1的大小可与选择的页中的偶数页EPG的整个大小相同。

[0152] 在步骤S220和S320中,控制器200可通过将第二虚拟数据DD2填充至第二部分数据PD2来生成第二半页数据HPD2。第二虚拟数据DD2可被填充使得第二部分数据PD2可被编程至奇数页OPG中的第一列区域CR1的存储单元且第二虚拟数据DD2可被编程至奇数页OPG中的第二列区域CR2的存储单元,如图11和图17所例示。第二半页数据HPD2可被储存在缓冲存储器220中。

[0153] 根据一个实施例,第二半页数据HPD2的大小可与选择的页中的奇数页OPG的总大小相同。

[0154] 第一虚拟数据DD1和第二虚拟数据DD2中的每个可具有预定的数据模式。根据预定的数据模式,其中储存数据的选择的存储单元的阈值电压可被防止被其中未储存数据的未选择的存储单元的阈值电压改变。

[0155] 在步骤S230和S340中,控制器200可控制半导体存储装置100分别利用第一半页数据HPD1和第二半页数据HPD2执行对选择的页中的偶数页EPG和奇数页OPG的程序操作。

[0156] 根据一个实施例,第一半页数据HPD1和第二半页数据HPD2可通过单个程序操作被编程到偶数页EPG和奇数页OPG中。例如,控制器200可通过将程序命令、对应于偶数页EPG和奇数页OPG的物理块地址、第一半页数据HPD1和第二半页数据HPD2转移至半导体存储装置100来控制单个程序操作。物理块地址的列地址可表示偶数页EPG和奇数页OPG两者或整个选择的页。

[0157] 根据另一个实施例,第一半页数据HPD1和第二半页数据HPD2可通过不同程序操作被编程到偶数页EPG和奇数页OPG中。例如,控制器200可通过将第一程序命令、对应于偶数页EPG的第一物理块地址和第一半页数据HPD1转移至半导体存储装置100来控制不同程序操作。包括在第一物理块地址中的列地址可表示选择的页中的偶数页EPG。然后,控制器200可通过将第二程序命令、对应于奇数页OPG的第二物理块地址和第二半页数据HPD2转移至半导体存储装置100来控制不同程序操作。包括在第二物理块地址中的列地址可表示选择的页的奇数页OPG。

[0158] 图18是说明图8所示的方法的步骤S120的另一个示例的流程图。图19说明根据图18所示的步骤S120的第一部分数据PD1和第二部分数据PD2的程序操作。

[0159] 参照图1、图8、图18和图19,在步骤S310和S410中,控制器200可控制第一部分数据PD1和第二部分数据PD2到半导体存储装置100的程序操作。值得注意的是,步骤S310和S410不包括填充数据,这不同于图16和图17的示例。控制器200可将第一部分数据PD1和第二部

分数据PD2提供至半导体存储装置100。

[0160] 控制器200可将特定程序命令提供至半导体存储装置100使得半导体存储装置100可利用选择的页中的虚拟数据DD1和DD2编程未选择的存储单元。物理块地址的列地址可表示偶数页EPG和奇数页OPG两者中的第一列区域CR1。

[0161] 在步骤S320、S420和S440中，半导体存储装置100可利用第一虚拟数据DD1连同第一部分数据PD1编程偶数页。

[0162] 半导体存储装置100的读取和写入电路123可通过输入/输出电路124接收第一部分数据PD1。第一部分数据PD1可被储存在对应于读取和写入电路123中的偶数页EPG的第一列区域CR1的页缓冲器中。另外，半导体存储装置100的控制逻辑125可将第一虚拟数据DD1提供至读取和写入电路123。第一虚拟数据DD1可被储存在对应于读取和写入电路123中的偶数页EPG的第二列区域CR2的页缓冲器中。

[0163] 半导体存储装置100可通过将第一虚拟数据DD1填充至第一部分数据PD1利用第一虚拟数据DD1连同第一部分数据PD1编程偶数页EPG。第一虚拟数据DD1可被填充使得第一部分数据PD1可被编程至偶数页EPG中的第一列区域CR1的存储单元，且第一虚拟数据DD1可被编程至偶数页EPG中的第二列区域CR2的存储单元，如图11和19所例示。

[0164] 在步骤S330、S430和S440中，半导体存储装置100可利用第二虚拟数据DD2连同第二部分数据PD2编程奇数页。

[0165] 半导体存储装置100的读取和写入电路123可通过输入/输出电路124接收第二部分数据PD2。第二部分数据PD2可被储存在对应于读取和写入电路123中的奇数页OPG的第一列区域CR1的页缓冲器中。另外，半导体存储装置100的控制逻辑125可将第二虚拟数据DD2提供至读取和写入电路123。第二虚拟数据DD2可被储存在对应于读取和写入电路123中的奇数页OPG的第二列区域CR2的页缓冲器中。

[0166] 半导体存储装置100可通过将第二虚拟数据DD2填充至第二部分数据PD2利用第二虚拟数据DD2连同第二部分数据PD2编程奇数页OPG。第二虚拟数据DD2可被填充使得第二部分数据PD2可被编程至奇数页OPG中的第一列区域CR1的存储单元，且第二虚拟数据DD2可被编程至奇数页OPG中的第二列区域CR2的存储单元，如图11和19所例示。

[0167] 第一虚拟数据DD1和第二虚拟数据DD2中的每个可具有预定的数据模式。根据数据模式，选择的存储单元的阈值电压可被防止被未选择的存储单元的阈值电压改变。

[0168] 在步骤S440中，选择的页可利用被储存在读取和写入电路123中的数据来编程。因此，对应于偶数页EPG的第一列区域CR1的存储单元可利用第一部分数据PD1来编程，且对应于奇数页OPG的第一列区域CR1的存储单元可利用第二部分数据PD2来编程。对应于偶数页EPG的第二列区域CR2的存储单元可利用第一虚拟数据DD1来编程，且对应于奇数页OPG的第二列区域CR2的存储单元可利用第二虚拟数据DD2来编程。

[0169] 根据一个实施例，步骤S320和S330或步骤S420-S440可通过单个程序操作来执行。例如，控制器200可通过将程序命令、对应于偶数页EPG和奇数页OPG的物理块地址、第一部分数据PD1和第二部分数据PD2转移至半导体存储装置100来控制单个程序操作，使得具有第一虚拟数据DD1的第一部分数据PD1可被编程在偶数页EPG中，同时具有第二虚拟数据DD2的第二部分数据PD2可被编程在奇数页EPG中。物理块地址的列地址可表示偶数页EPG、奇数页OPG或整个选择的页或其任何组合。

[0170] 步骤S320和S330或步骤S420-S440可通过不同程序操作来执行。例如，控制器200可将第一特定程序命令、第一物理块地址和第一部分数据PD1转移至半导体存储装置100使得第一部分数据PD1可被编程在偶数页EPG中。随后，控制器200可将第二特定程序命令、第二物理块地址和第二部分数据PD2转移至半导体存储装置100使得第二部分数据PD2可被编程在奇数页OPG中。第一物理块地址的列地址可表示选择的页的偶数页中的第一列区域CR1。第二物理块地址的列地址可表示选择的页的奇数页的第一列区域CR1。

[0171] 图20是说明根据本发明的一个实施例的存储系统的应用示例(2000)的框图。因此，存储系统2000可包括半导体存储装置2100和控制器2200。半导体存储装置2100可包括多个半导体数据芯片。多个半导体数据芯片可被分为多个组。

[0172] 多个组可分别通过第一至第k通道CH1-CHk与控制器2200通讯，如图20所示。半导体数据芯片中的每个可以与上面参照图1所述的半导体存储装置100大体相同的方式配置和操作。

[0173] 组中的每个可通过单个公用通道与控制器2200通讯。控制器2200可以与上面参照图1所述的控制器200大体相同的方式配置，且被配置以通过多个通道CH1-CHk控制半导体存储装置2100的多个数据芯片。

[0174] 图20说明联接至单个通道的多个半导体数据芯片。然而，存储系统2000可被修改使得单个半导体数据芯片可被联接至单个通道。

[0175] 控制器2200和半导体存储装置2100可被集成在一个半导体装置中。根据一个实施例，控制器2200和半导体存储装置2100可被集成在单个半导体装置中以形成诸如以下的存储卡：PC卡(个人计算机存储卡国际协会(PCMCIA))、标准闪存(CF)卡、智能媒体卡(SMC)、记忆棒、多媒体卡(MMC、RS-MMC或微型MMC)、SD卡(SD、小型SD、微型SD或SDHC)、通用闪速储存装置(UFS)等。

[0176] 控制器2200和半导体存储装置2100可被集成在单个半导体装置中以形成固态驱动器(SSD)。SSD可包括用于将数据储存在半导体存储装置中的储存装置。当存储系统2000被用作SSD时，被联接至存储系统2000的主机的操作速率可被显著改善。

[0177] 在另一个示例中，存储系统2000可被用作诸如以下各种电子装置中的数个元件中的一个：计算机、超便携移动PC(UMPC)、工作站、上网本、个人数字助理(PDA)、便携式计算机、网络平板、无线手机、移动手机、智能手机、电子书、便携式多媒体播放器(PMP)、便携式游戏机、导航装置、黑匣子、数码相机、三维电视、数字音频记录器、数字音频播放器、数字图像记录器、数字图像播放器、数字视频记录器、数字视频播放器、用于在无线环境中传输/接收信息的装置、用于家庭网络的装置、用于计算机网络的装置、用于远程信息处理网络的装置、RFID装置、用于计算系统的其它装置等。

[0178] 根据一个示例性实施例，半导体存储装置100或存储系统1000可以多种形式封装。例如，半导体存储装置100或存储系统1000可通过诸如以下的各种方法来封装：叠层封装(PoP)、球栅阵列(BGA)、芯片尺寸封装(CSP)、塑料引线芯片载体(PLCC)、塑料双列直插式封装(PDIP)、叠片包装式管芯、晶片形式的管芯、板上芯片(COB)、陶瓷双列直插式封装(CERDIP)、塑料公制四方扁平封装(MQFP)、薄型四方扁平封装(TQFP)、小外形集成电路(SOIC)、收缩型小外形封装(SSOP)、薄型小外形封装(TSOP)、系统级封装(SIP)、多芯片封装(MCP)、晶片级焊接封装(WFP)、晶片级处理堆栈封装(WSP)等。

[0179] 图21说明具有上面参照图20所述的存储系统2000的计算系统3000。

[0180] 计算系统3000可包括中央处理单元3100、随机访问存储器(RAM)3200、用户接口3300、电源供应部3400、系统总线3500和存储系统2000。

[0181] 存储系统2000可通过系统总线3500被电连接至中央处理单元3100、RAM3200、用户接口3300和电源供应部3400。通过用户接口3300提供或由中央处理单元3100处理的数据可被储存在存储系统2000中。

[0182] 在图21中，半导体存储装置2100可通过控制器2200被联接至系统总线3500。然而，半导体存储装置2100可被直接联接至系统总线3500。中央处理单元3100和RAM3200可执行控制器2200的功能。

[0183] 如图21中所示，图20中所示的存储系统2000可被包括作为存储系统3000。然而，存储系统2000可用图1中所示的存储系统1000来替换。根据一个实施例，计算系统3000可包括上面分别参照图1和图20所述的存储系统1000和存储系统2000两者。

[0184] 根据本发明的各种实施例，当被部分储存在单个页中的主数据被编程时，第一部分数据和第二部分数据可分别被编程至第一半页和第二半页的相同列区域。因此，储存在页中的主数据的可靠性可被提高。

[0185] 根据本发明的各种实施例，具有提高的可靠性的存储装置和系统可被提供。

[0186] 将对本领域技术人员显而易见的是，在不脱离本发明的精神或范围的情况下，可对本发明的上述示例性实施例做出各种变型。因此，本发明旨在覆盖提供的进入权利要求和它们的等价方案的范围内的所有这种变型。

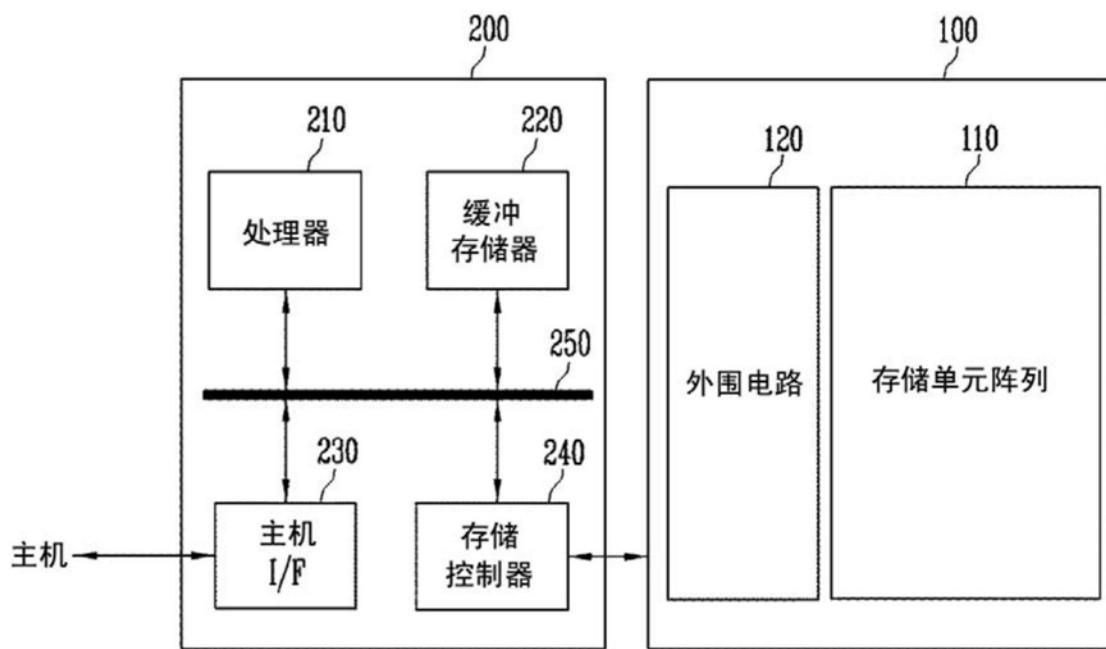
1000

图1

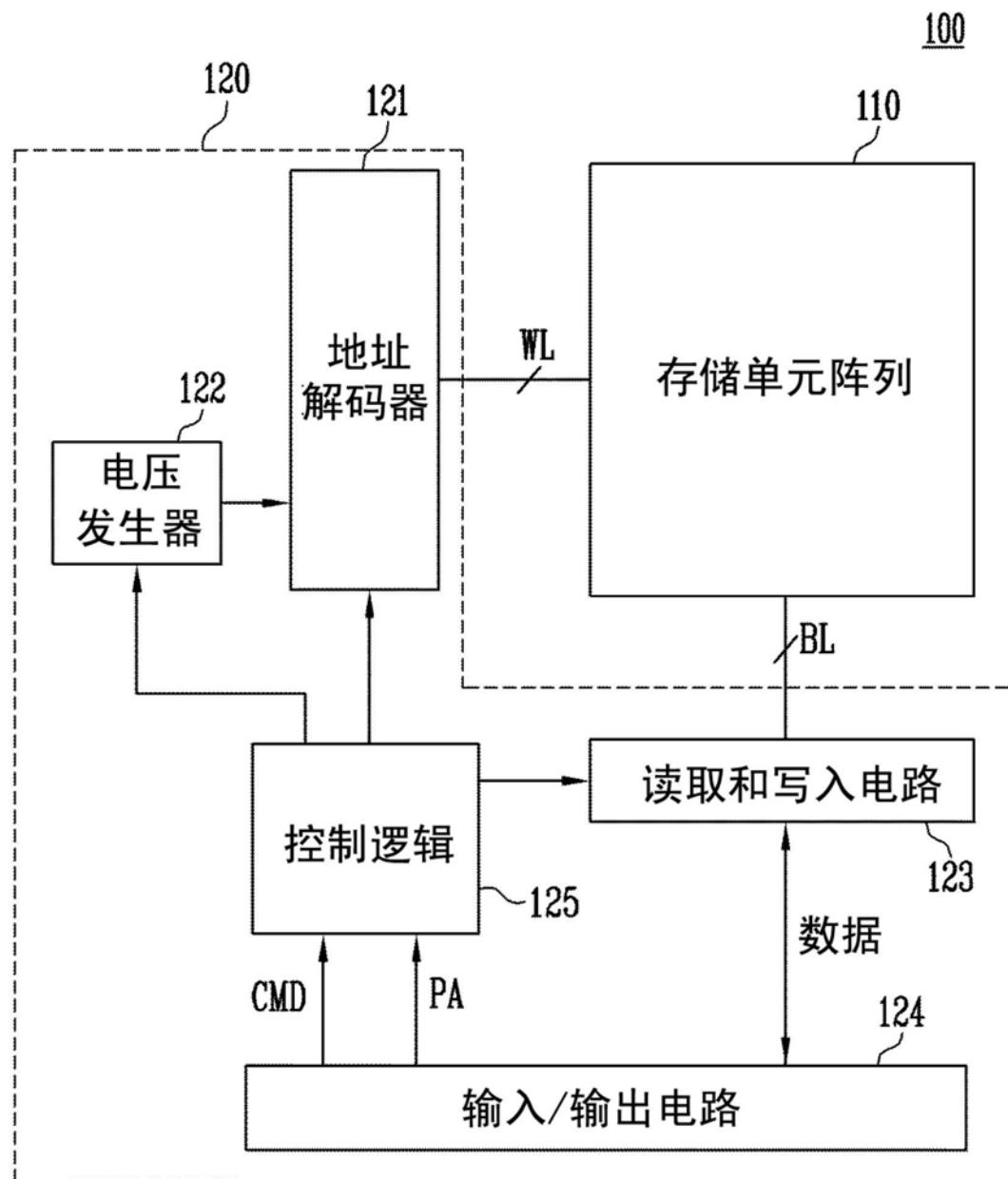


图2

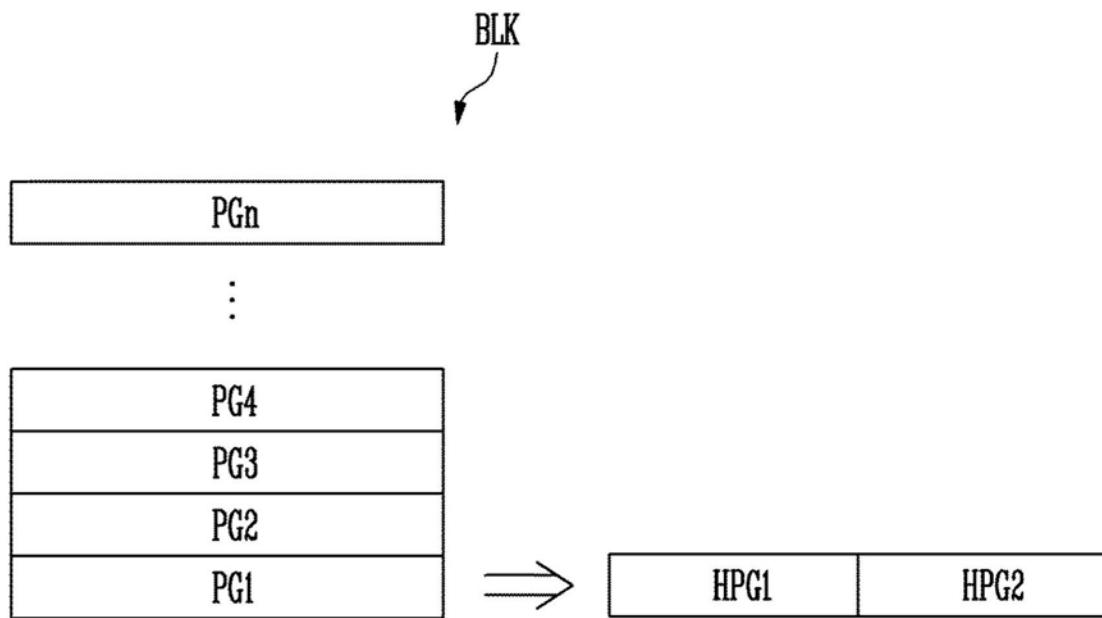


图3

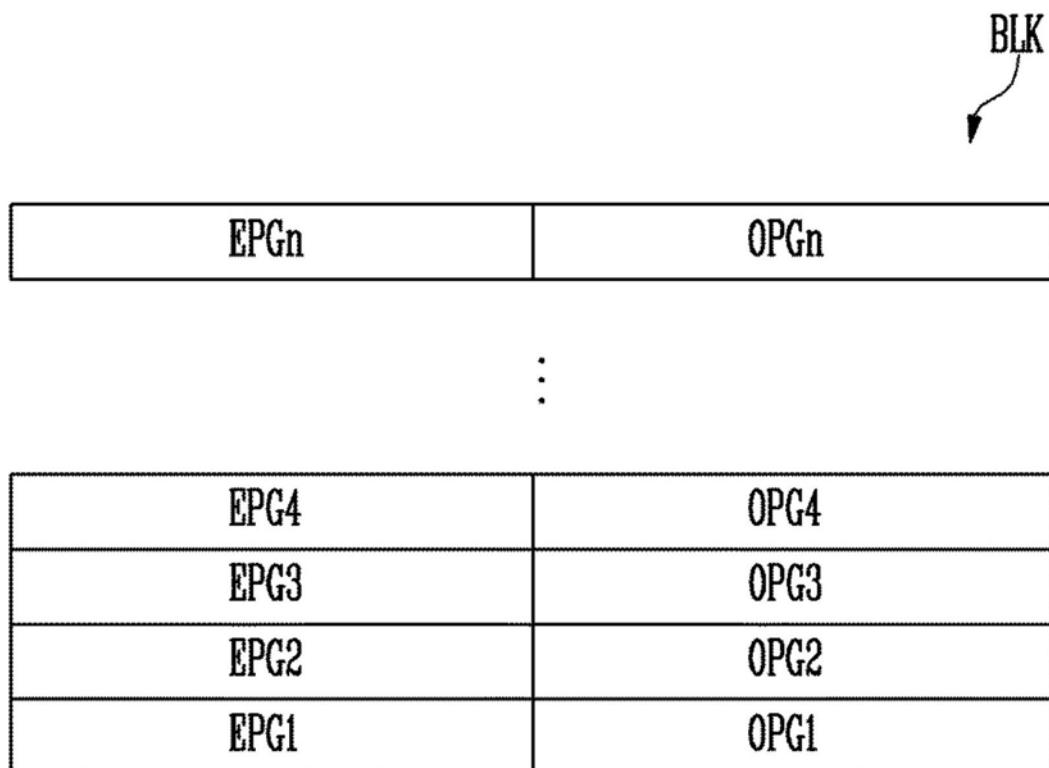


图4

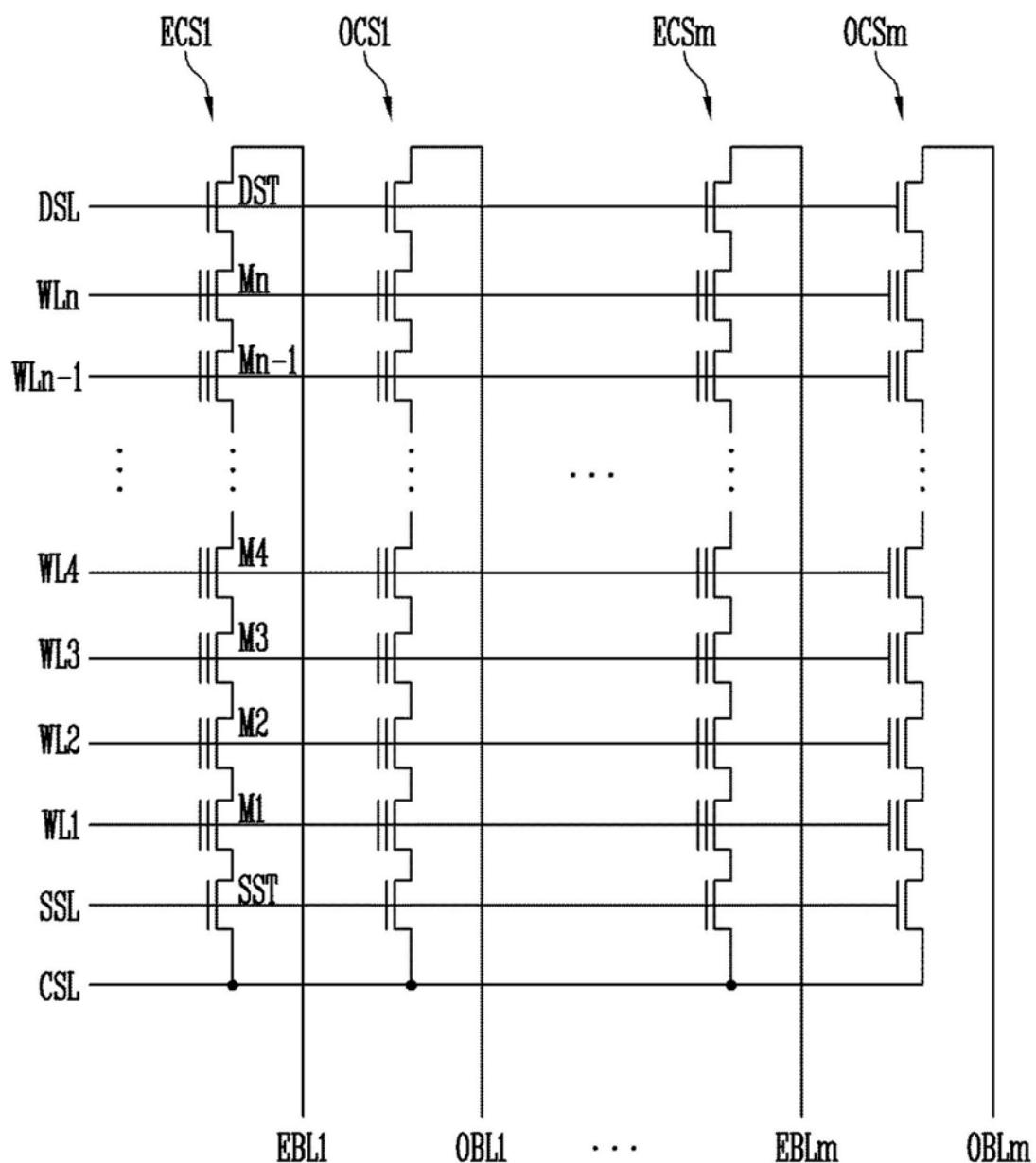
310

图5

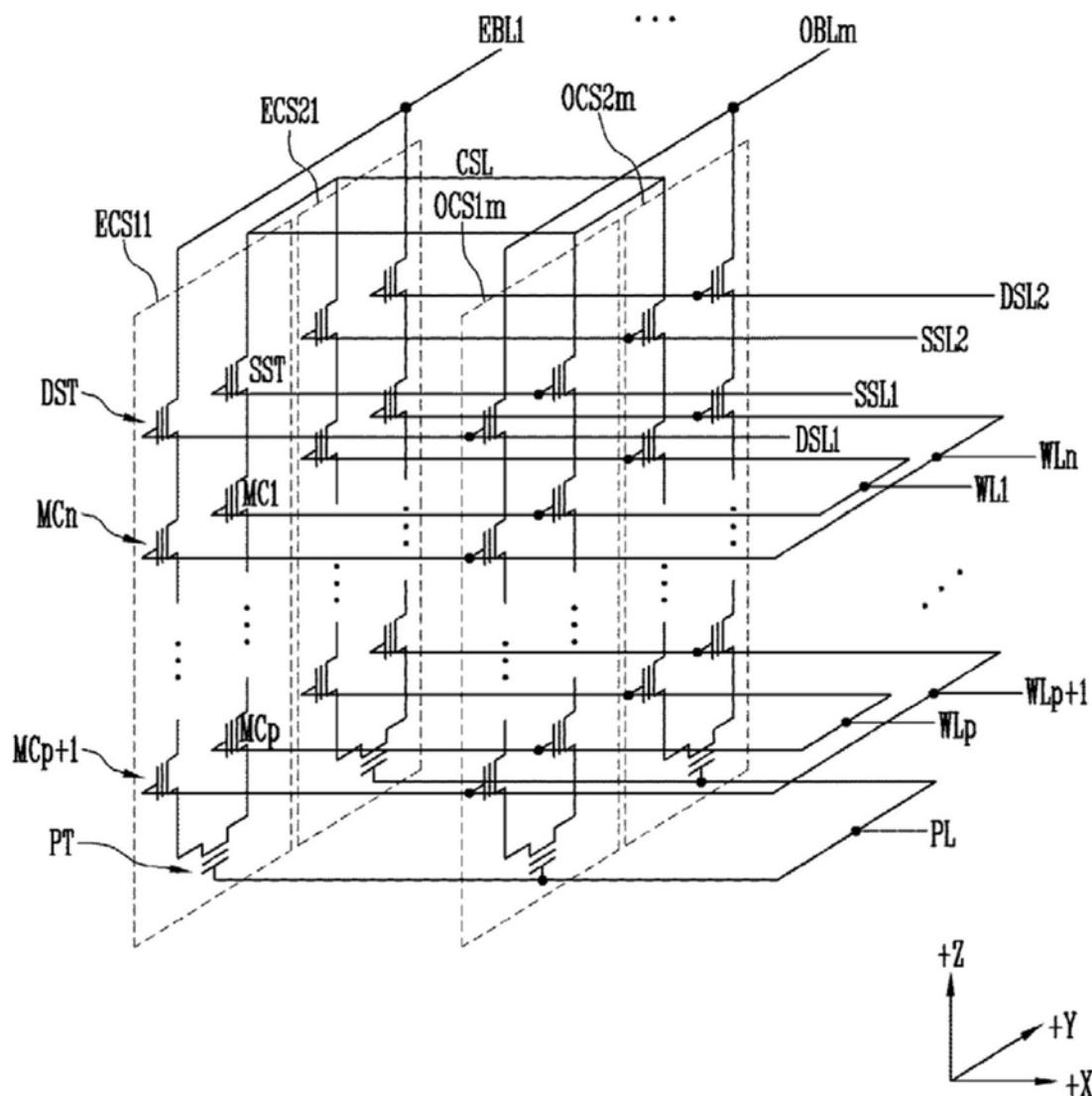
320

图6

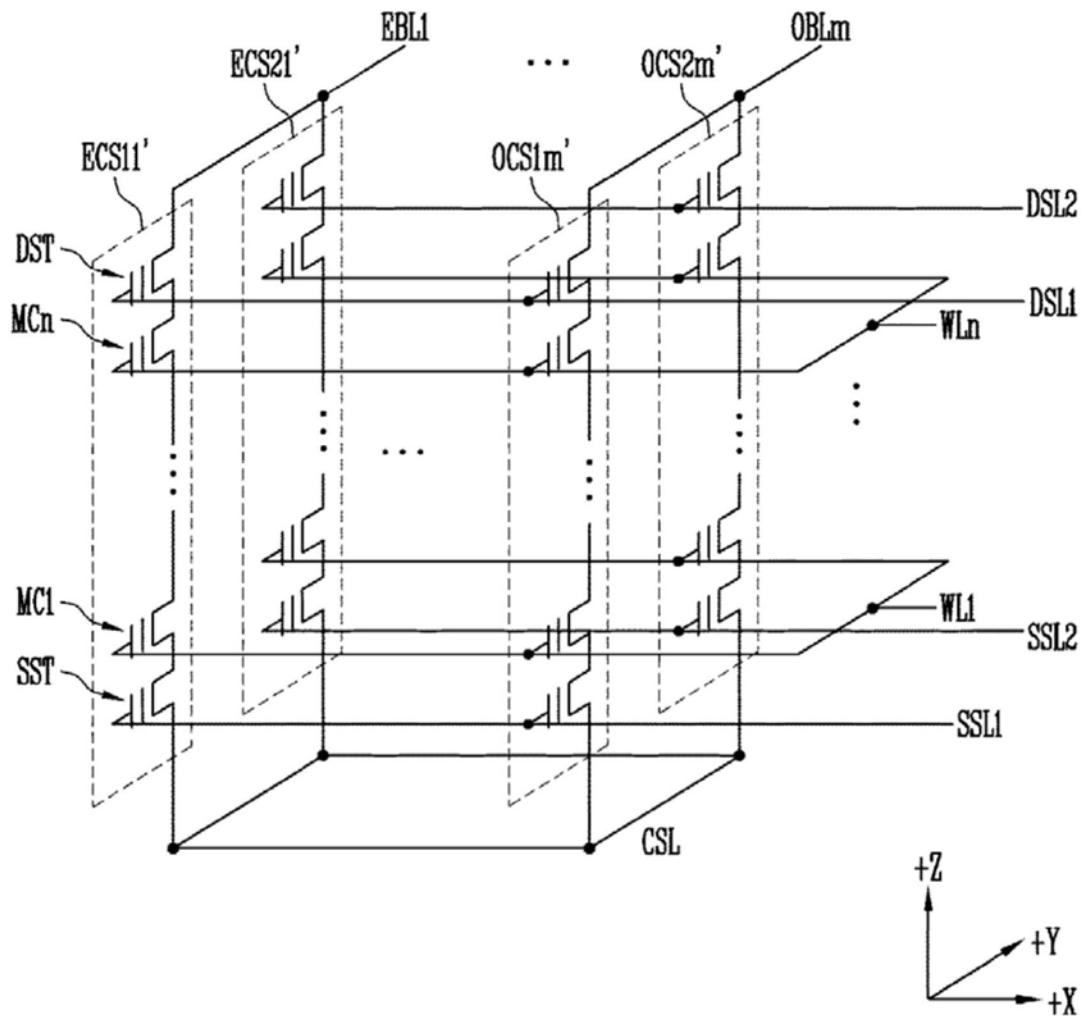


图7

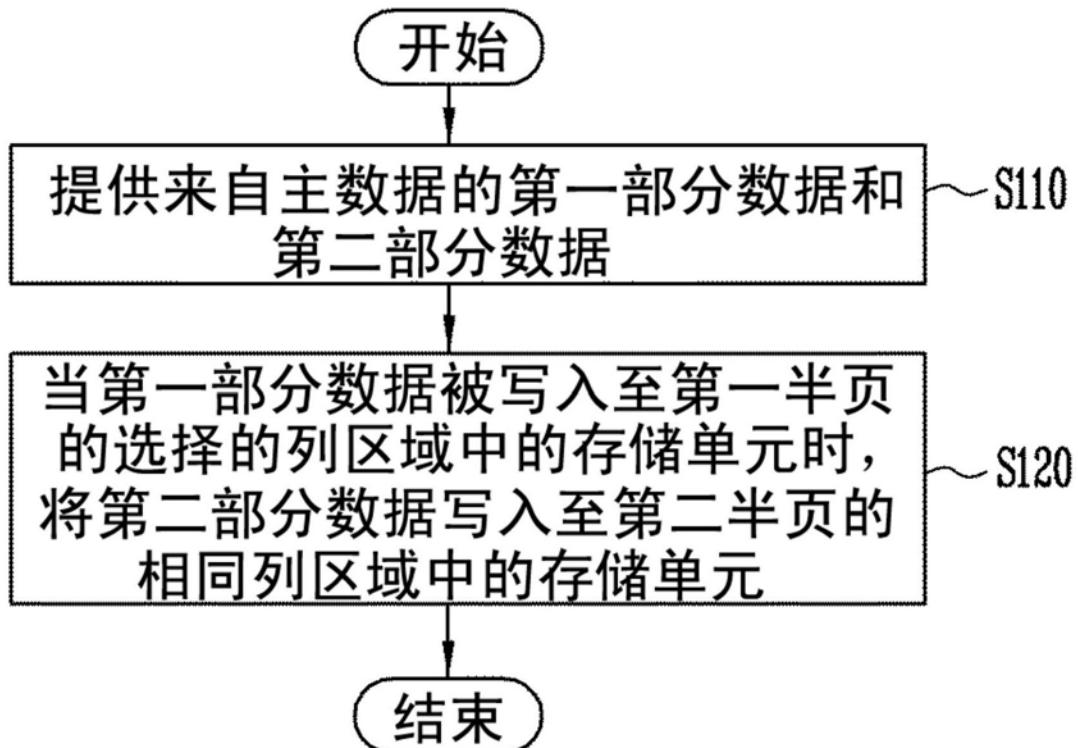


图8

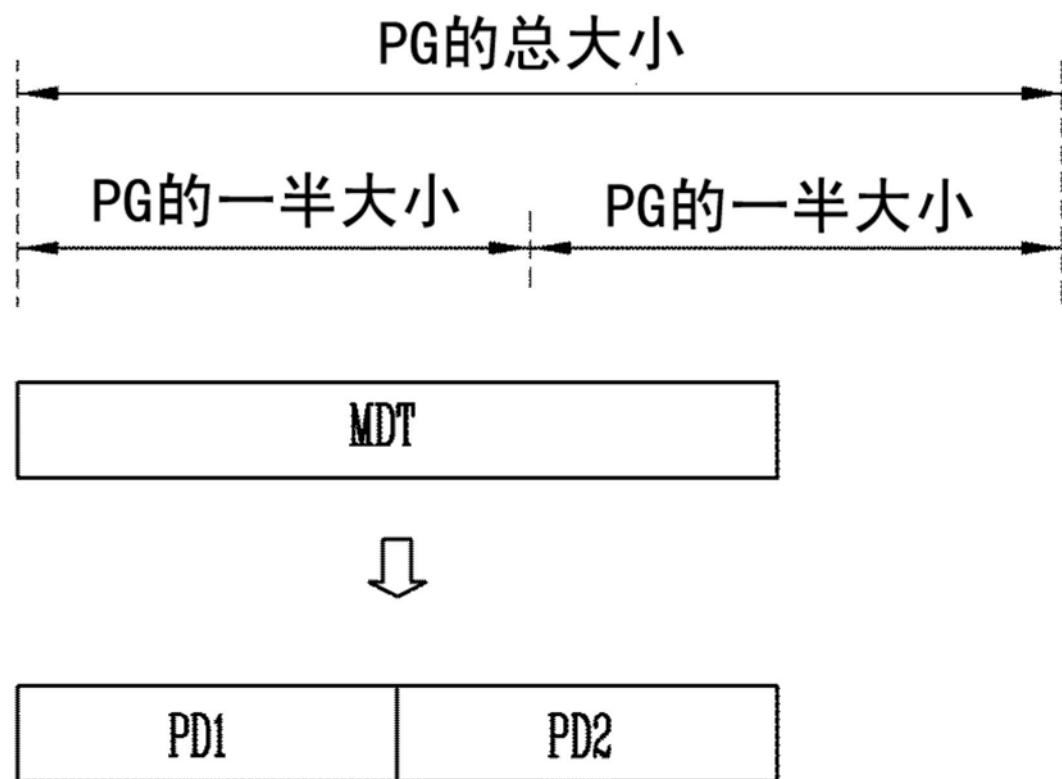


图9

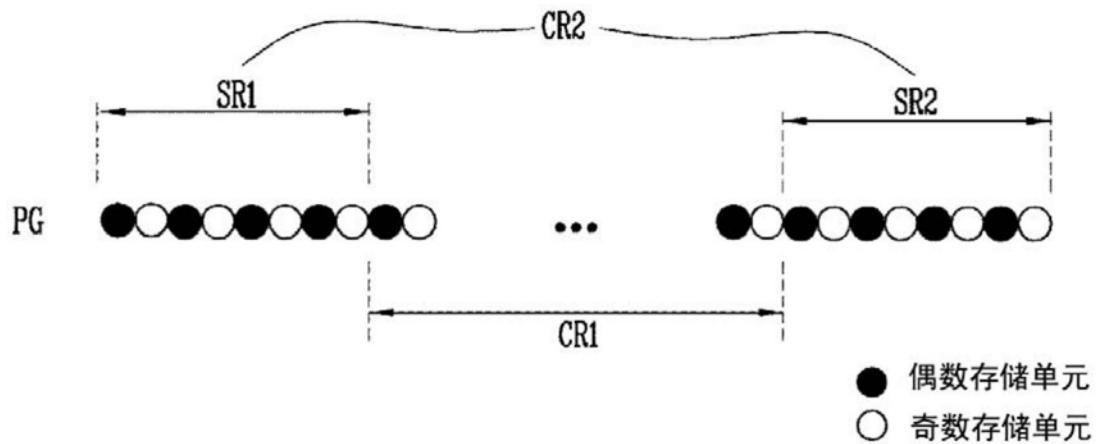


图10

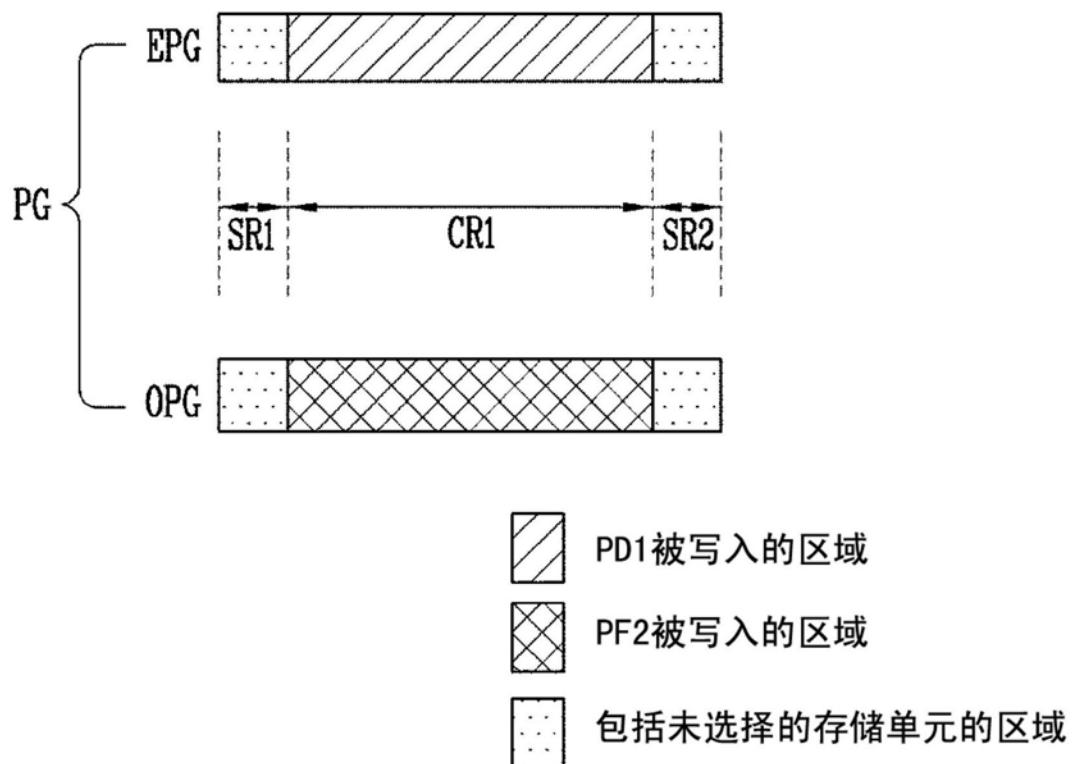


图11

位线	列地址
EBL1	CADDR0
EBL2	CADDR1
⋮	
EBLm	CADDRm-1
OBL1	CADDRm
OBL2	CADDRm+1
⋮	
OBLm	CADDR2m-1

图12

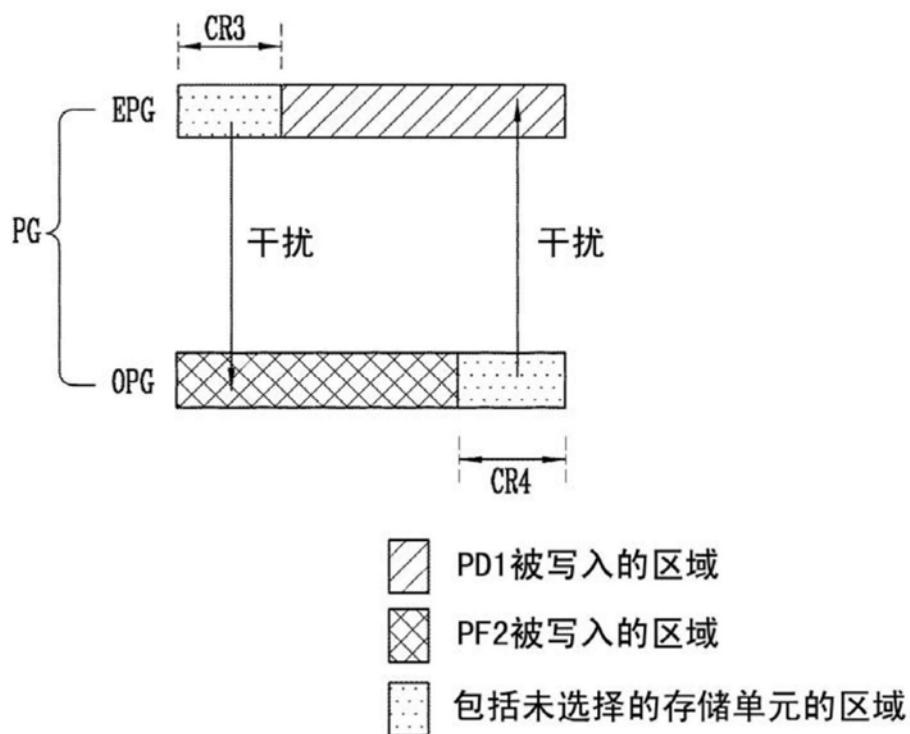


图13

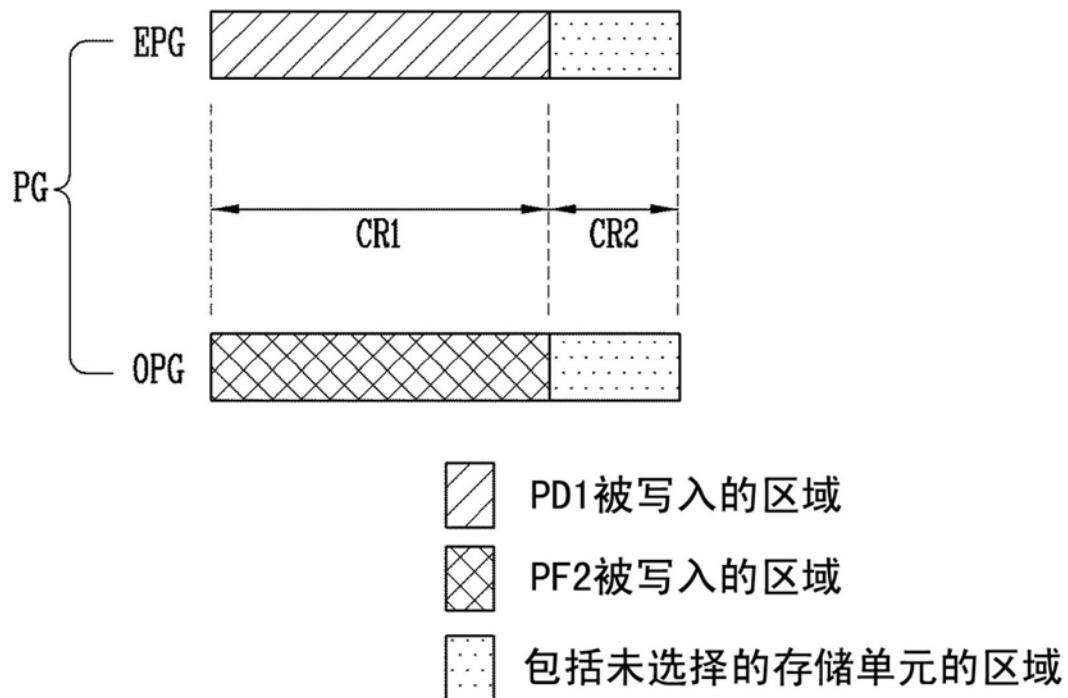


图14

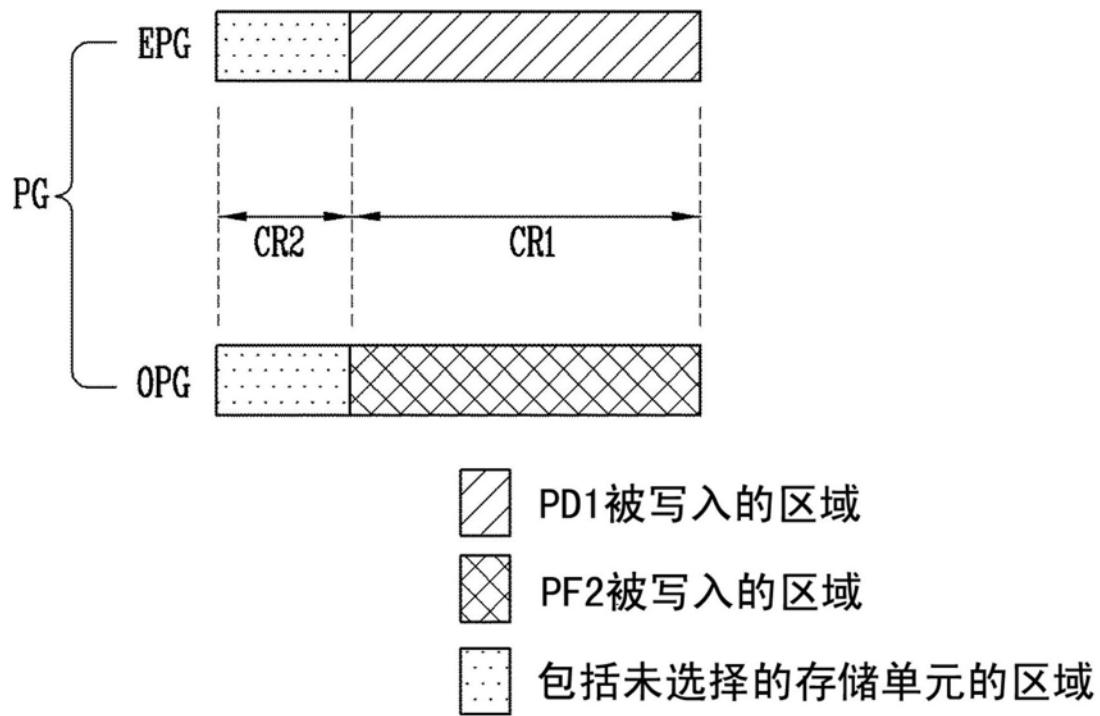


图15

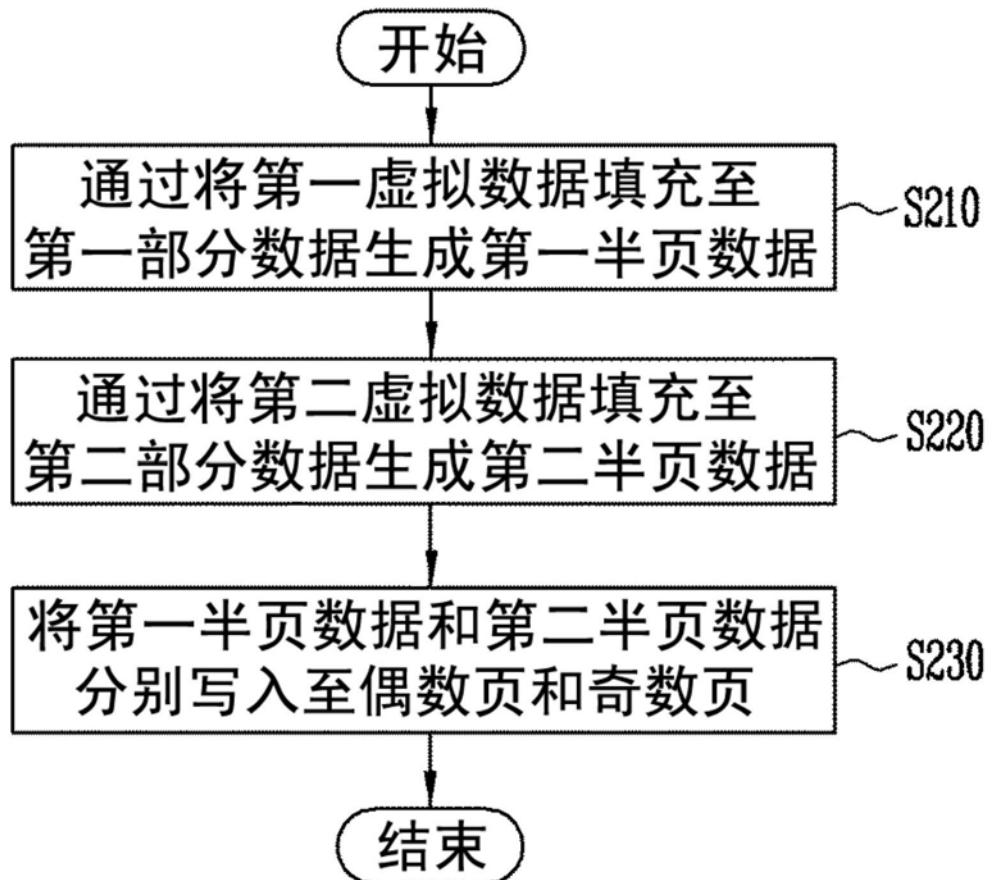


图16

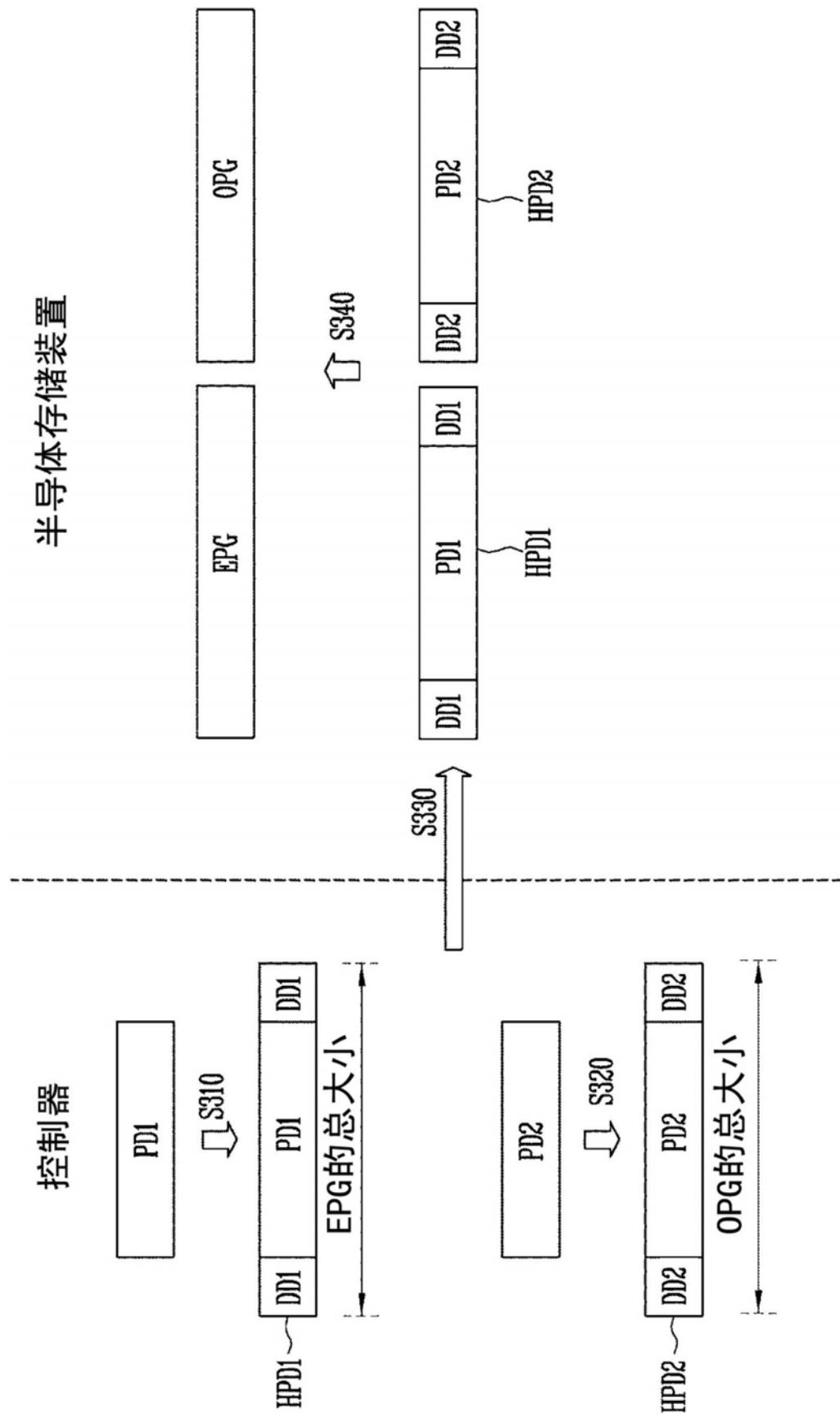


图17

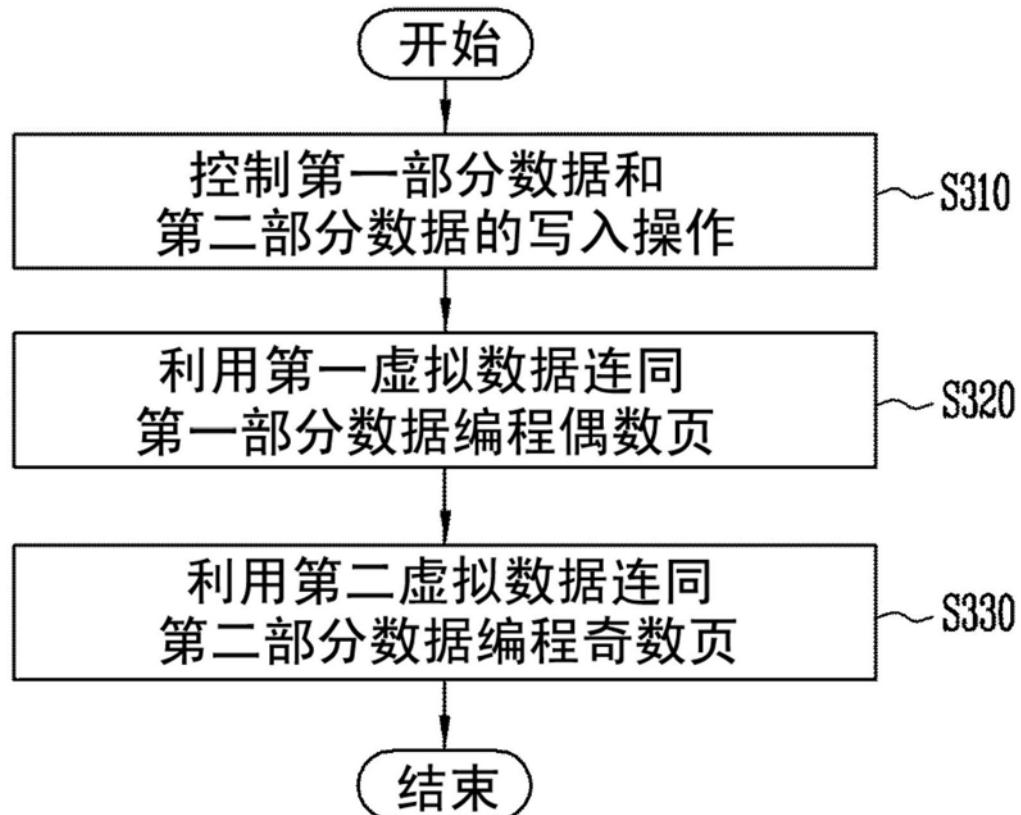


图18

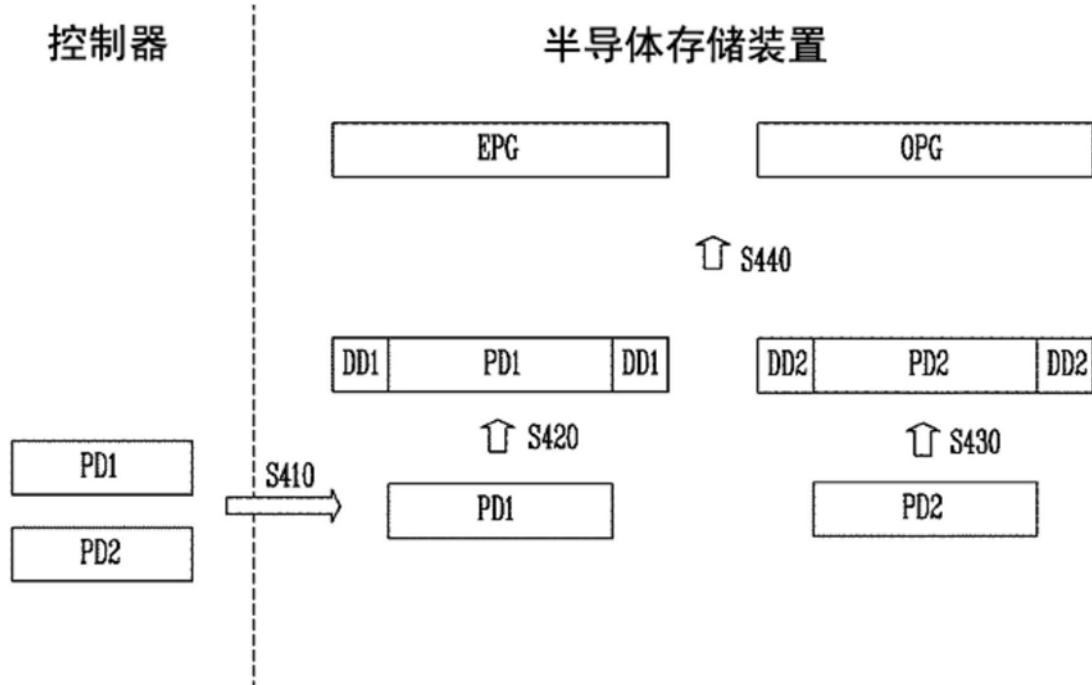


图19

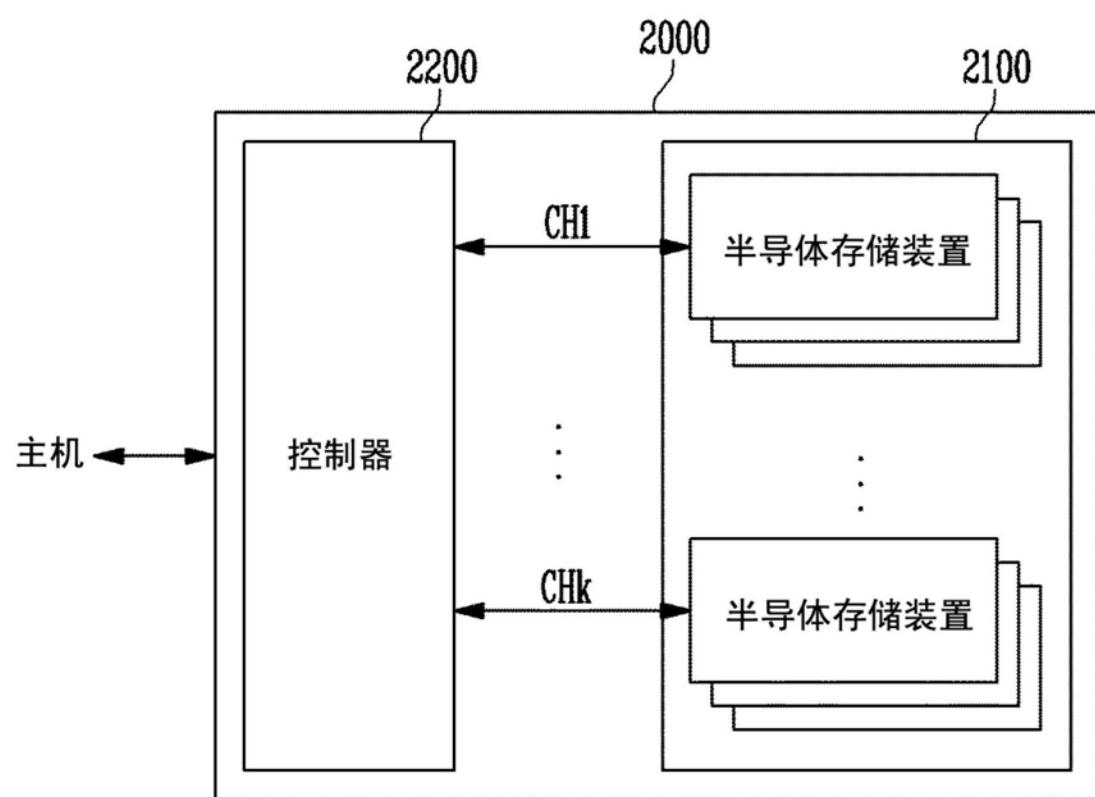


图20

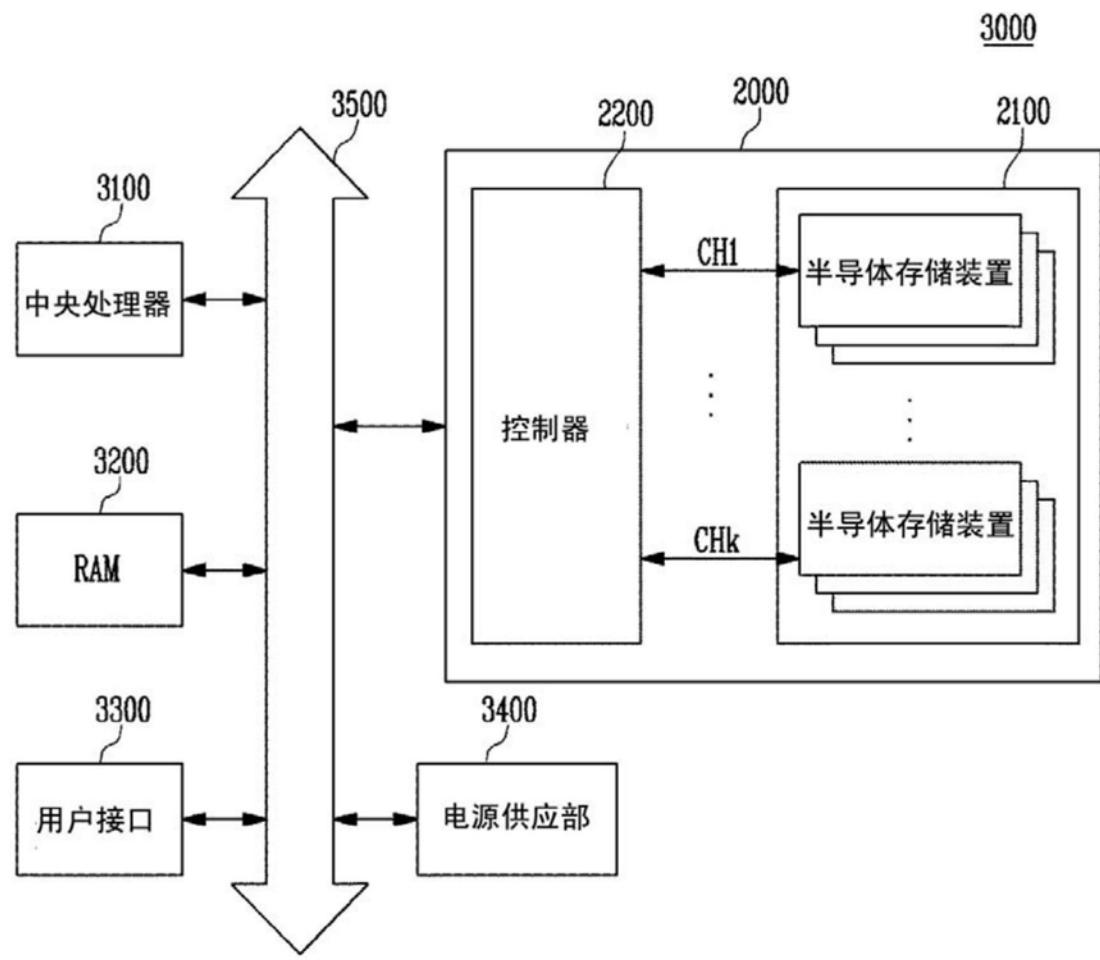


图21