



PCT

(10) 国際公開番号

WO 2006/095425 A1

(43) 国際公開日

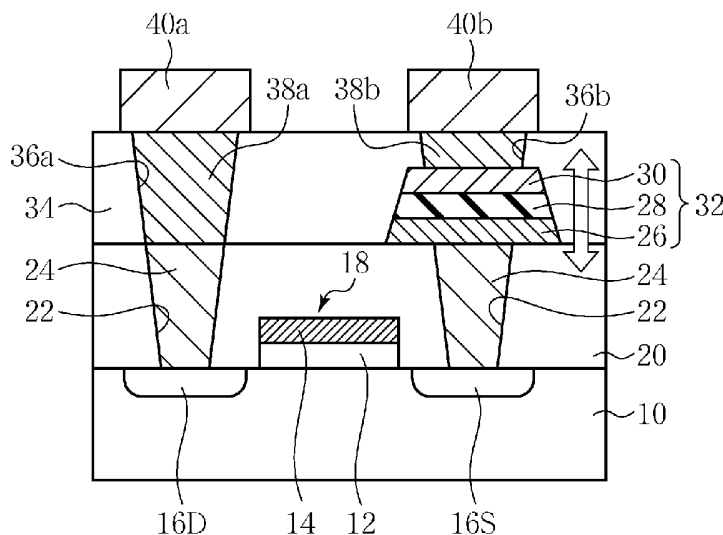
2006 年9 月14 日 (14.09.2006)

- | | |
|--|--|
| <p>(51) 国際特許分類:
 <i>H01L 27/105</i> (2006.01) <i>H01L 27/04</i> (2006.01)
 <i>H01L 21/822</i> (2006.01)</p> <p>(21) 国際出願番号: PCT/JP2005/004194</p> <p>(22) 国際出願日: 2005 年 3 月 10 日 (10.03.2005)</p> <p>(25) 国際出願の言語: 日本語</p> <p>(26) 国際公開の言語: 日本語</p> <p>(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).</p> <p>(72) 発明者; および</p> <p>(75) 発明者 / 出願人 (米国についてのみ): 佐藤 良夫 (SATO, Yoshio) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社</p> | <p>内 Kanagawa (JP). 有本 由弘 (ARIMOTO, Yoshihiro) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 佐脇 一平 (SAWAKI, Ippei) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 宮下 勉 (MIYASHITA, Tsutomu) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜 2 丁目 3 番地 1 2 富士通メディアデバイス株式会社内 Kanagawa (JP). 上田 政則 (UEDA, Masanori) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 松田 隆志 (MATSUDA, Takashi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).</p> <p>(74) 代理人: 北野 好人 (KITANO, Yoshihito); 〒1600015 東京都新宿区大京町 9 番地 エクシード四谷 2 階 Tokyo (JP).</p> |
|--|--|

[続葉有]

- (54) Title:** NONVOLATILE SEMICONDUCTOR STORAGE AND METHOD FOR MANUFACTURING SAME

- (54) 発明の名称: 不揮発性半導体記憶装置及びその製造方法



- (S7) Abstract:** Disclosed is a nonvolatile semiconductor storage comprising a capacitor (32) having a first electrode (26) formed on a substrate (10), a single crystal ferroelectric layer (28) formed on the first electrode, and a second electrode (30) formed on the ferroelectric layer. Since an extremely stable single crystal ferroelectric material is used as the material for the ferroelectric layer (28) of the capacitor (32), the capacitor (32) hardly deteriorates even when polarization reversals are repeated. Consequently, there can be obtained a nonvolatile semiconductor storage having a very long life. In addition, an extremely high remanent polarization (Pr) can be obtained since a single crystal ferroelectric material is used as the material for the ferroelectric layer (28) of the capacitor (32). Consequently, a sufficiently large signal can be obtained even when the capacitor (32) is miniaturized, thereby enabling to obtain a nonvolatile semiconductor storage with a high degree of integration.

- (57) 要約: 基板 10 上に形成された第 1 の電極 26 と; 第 1 の電極上に形成された単結晶の強誘電体層 28 と; 強誘電体層上に形成された第 2 の電極 30 とを有するキャパシタ 32 を有している。キャパシタ 32 の強誘電体層 28 の材料として、極め

〔続葉有〕



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

て安定な材料である単結晶の強誘電体が用いられているため、分極反転を繰り返し行っても殆ど劣化しない。このため、極めて寿命の長い不揮発性半導体記憶装置を提供することができる。また、キャパシタ32の強誘電体層28の材料として単結晶の強誘電体が用いられているため、極めて高い残留分極値Prを得ることができる。このため、キャパシタ32を微細化した場合であっても、十分に大きい信号を得ることが可能である。このため、集積度の高い不揮発性半導体記憶装置を提供することができる。

明 細 書

不揮発性半導体記憶装置及びその製造方法

技術分野

- [0001] 本発明は、不揮発性半導体記憶装置及びその製造方法に係り、特に強誘電体を用いたキャパシタを有する不揮発性半導体記憶装置及びその製造方法に関する。

背景技術

- [0002] 従来より、電源を切っても情報が失われない記憶装置である不揮発性メモリが、様々な情報機器、通信機器、家電機器において広く用いられている。
- [0003] 近時、メモリセルに強誘電体を用いたFRAM (Ferro-electric Random Access Memory) が注目されている。FRAMは、書き換え速度が30ns程度と比較的速く、駆動電圧が3〜5V程度と比較的低く、書換え可能回数が 10^{10} 〜 10^{12} 程度と比較的多い。このような理由により、FRAMは大きな注目を集めている。
- [0004] FRAMのメモリセルに用いられる強誘電体膜としては、PZT ($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$) 膜や SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) 膜等が知られている (非特許文献1、2参照)。
- [0005] なお、以下の文献は、本発明の背景技術を開示している。

特許文献1:特開2002-324895号公報

特許文献2:特開平10-261770号公報

非特許文献1: Takashi MIHARA, Hiroyuki YOSHIMORI, Hitoshi WATANABE and Carlos A. Paz de ARAUJO, 「Characteristics of Bismuth Layered $\text{SrBi}_2\text{Ta}_2\text{O}_9$ Thin-Film Capacitors and Comparison with $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 」, Jpn. J. Appl. Phys. Vol. 34, No. 9B, p. 5233-5239 (1995)

非特許文献2: 「電子情報通信学会誌」、2002年2月号、p. 138

非特許文献3: Kenji Kitamura and Yasunori Furukawa, 「Crystal growth and low coercive field 180° domain switching characteristics of stoichiometric LiTaO_3 」, Applied Physics Letters, Vol. 73, No. 21, p. 3073-3075 (1998)

非特許文献4:長康雄、平永良臣、藤本健二郎、”非線形誘電率顕微鏡を用いたTbit/inch²超の記録密度を持つ強誘電体記録”、圧電材料・デバイスシンポジウム 2003、pp. 13-16, 2003年2月

非特許文献5:Venkatraman Gopalan, Terence E. Mitchell, Y. Furukawa and K. Kitamura, 「The role of nonstoichiometry in 180° domain switching of LiNbO₃ crystals」, Applied Physics Letters, Vol. 72, No. 16, p. 1981-1983 (1998)

非特許文献6:Hideaki Takagi, and Ryutaro Maeda, 「WAFER-SCALE ROOM-TEMPERATURE BONDING BETWEEN SILICON AND CERAMIC WAFERS BY MEANS OF ARGON-BEAM SURFACE ACTIVATION」, IEEE MEMS 2001 Proceedings, p. 60-63 (2001)

発明の開示

発明が解決しようとする課題

[0006] しかしながら、PZT膜やSBT膜等を用いた従来の強誘電体キャパシタは、書き換えを繰り返し行くと残留分極値が徐々に低下してしまう。かかる現象は疲労劣化と称される。このため、従来の不揮発性半導体記憶装置では、必ずしも十分に長い寿命が得られなかった。例えばPZT膜を用いた場合には、書き換え可能回数は10¹⁰回程度であった。SBT膜を用いれば、書き換え可能回数を10¹²回程度まで向上することが可能であるが、必ずしも十分な回数とはいえない。このため、FRAMの書き換え回数をより向上し得る技術が待望されていた。また、PZT膜やSBT膜は、残留分極値が必ずしも十分に大きいとはいえず、しかも疲労劣化によって残留分極値が低下してしまう。このため、キャパシタのサイズをある程度大きく設定せざるを得なかった。このことは、不揮発性半導体記憶装置の高密度化・高集積化にとって阻害要因となっていた。

[0007] 本発明の目的は、寿命が長く、しかも高集積化を実現し得る不揮発性半導体記憶装置及びその製造方法を提供することにある。

課題を解決するための手段

[0008] 本発明の一観点によれば、基板上に形成された第1の電極と;前記第1の電極上に

形成された単結晶の強誘電体層と;前記強誘電体層上に形成された第2の電極とを有するキャパシタを有する不揮発性半導体記憶装置が提供される。

[0009] また、本発明の他の観点によれば、半導体より成る基板上に形成された単結晶の強誘電体層と、前記強誘電体層上に形成された電極と、前記強誘電体層の両側の前記基板内に形成されたソース/ドレイン領域とを有する不揮発性半導体記憶装置が提供される。

[0010] また、本発明の更に他の観点によれば、単結晶の強誘電体より成る基板の一部より成る強誘電体層と;前記強誘電体層の一方の側に形成された第1の電極と;前記強誘電体層の他方の側に形成された第2の電極とを有するキャパシタを有する不揮発性半導体記憶装置が提供される。

[0011] また、本発明の更に他の観点によれば、第1の基板の一方の面側及び単結晶の強誘電体より成る第2の基板の一方の面側のうちの少なくとも一方に、第1の導電層を形成する工程と、前記第1の基板の前記一方の面側と前記第2の基板の前記一方の面側とを接合する工程と、前記第2の基板が所定の厚さになるまで、前記第2の基板の他方の面側を除去し、前記第2の基板より成る強誘電体層を形成する工程と、前記強誘電体層上に第2の導電層を形成する工程と、少なくとも前記第2の導電層をパターンニングすることにより、前記第1の導電層より成る第1の電極と;前記強誘電体層と;前記第2の導電層より成る第2の電極とを有するキャパシタを形成する工程とを有する不揮発性半導体記憶装置の製造方法が提供される。

[0012] また、本発明の更に他の観点によれば、半導体より成る第1の基板の一方の面側に、ソース領域及びドレイン領域を形成する工程と、前記第1の基板の一方の面側と単結晶の強誘電体より成る第2の基板の一方の面側とを接合する工程と、前記第2の基板が所定の厚さになるまで、前記第2の基板の他方の面側を除去し、前記第2の基板より成る強誘電体層を形成する工程と、前記強誘電体層上に、導電層を形成する工程と、前記導電層及び前記強誘電体層をパターンニングすることにより、前記導電層より成る電極を前記ソース領域と前記ドレイン領域の間の前記第1の基板上に形成する工程とを有する不揮発性半導体記憶装置の製造方法が提供される。

[0013] また、本発明の更に他の観点によれば、単結晶の強誘電体より成る基板の所定領

域の両側の領域をエッチングすることにより、前記基板の一部より成る強誘電体層を前記所定領域に形成する工程と、前記強誘電体層の一方の側に第1の電極を形成し、前記強誘電体層の他方の側に第2の電極を形成することにより、前記第1の電極と;前記前記強誘電体層と;前記第2の電極とを有するキャパシタを形成する工程とを有する不揮発性半導体記憶装置の製造方法が提供される。

発明の効果

- [0014] 本発明によれば、キャパシタの強誘電体層の材料として、極めて安定した材料である強誘電体単結晶が用いられている。このため、本発明によれば、分極反転を繰り返して行っても、殆ど劣化しない。このため、本発明によれば、極めて寿命の長い不揮発性半導体記憶装置を提供することが可能となる。
- [0015] また、本発明によれば、キャパシタの強誘電体層の材料として単結晶の強誘電体を用いられているため、抗電界 E_c の極めて小さいキャパシタを得ることができる。このため、本発明によれば、比較的低い電圧をキャパシタに印加した場合であっても分極を反転させることが可能である。従って、本発明によれば、駆動電圧を低くすることが可能となり、消費電力の低い不揮発性半導体記憶装置を提供することが可能となる。
- [0016] また、本発明によれば、キャパシタの強誘電体層の材料として単結晶の強誘電体を用いられているため、極めて高い残留分極値 P_r を得ることができる。このため、本発明によれば、キャパシタに書き込まれた情報を読み出す際に、比較的大きい信号を得ることが可能となる。本発明によれば、残留分極値 P_r が極めて高いため、キャパシタを微細化した場合であっても、十分に大きい信号を得ることが可能である。このため、本発明によれば、集積度が高く、しかも小型の不揮発性半導体記憶装置を提供することが可能となる。
- [0017] また、本発明によれば、キャパシタの強誘電体層の材料として単結晶の強誘電体を用いられているため、 $P-E$ 特性の角型性が極めて良好であり、誘電損失が極めて小さい。このため、本発明によれば、抗電界 E_c が極めて低いことと相俟って、消費電力が極めて低い不揮発性半導体記憶装置を提供することが可能となる。
- [0018] また、本発明でキャパシタの強誘電体層の材料として用いられているタンタル酸リチウム単結晶やニオブ酸リチウム単結晶等は、比誘電率が極めて低い。このため、本

発明によれば、キャパシタに書き込まれた情報を読み出す際に、極めて大きい信号を得ることができる。

[0019] また、本発明でキャパシタの強誘電体層の材料として用いられているタンタル酸リチウム単結晶やニオブ酸リチウム単結晶等は、キュリー温度が極めて高い。このため、本発明によれば、キャパシタにデータを書き込んだ後にリフローはんだ付け等を行ったとしても、キャパシタからデータが消失してしまうのを防止することができる。

[0020] また、本発明でキャパシタの強誘電体層の材料として用いられているタンタル酸リチウム単結晶やニオブ酸リチウム単結晶等は、鉛を含まない材料である。このため、本発明によれば、環境に対して悪影響を及ぼすのを防止することが可能となる。

図面の簡単な説明

[0021] [図1]図1は、本発明の第1実施形態による不揮発性半導体記憶装置を示す断面図である。

[図2]図2は、各種強誘電体材料のP-E特性を示すグラフである。

[図3]図3は、一般的な強誘電体膜のP-E特性を示すグラフである。

[図4]図4は、本発明の第1実施形態による不揮発性半導体記憶装置を示す回路図である。

[図5]図5は、本発明の第1実施形態による不揮発性半導体記憶装置を示す工程断面図(その1)である。

[図6]図6は、本発明の第1実施形態による不揮発性半導体記憶装置を示す工程断面図(その2)である。

[図7]図7は、本発明の第2実施形態による不揮発性半導体記憶装置を示す断面図である。

[図8]図8は、本発明の第2実施形態による不揮発性半導体記憶装置の動作を示す概念図である。

[図9]図9は、本発明の第2実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その1)である。

[図10]図10は、本発明の第2実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その2)である。

[図11]図11は、本発明の第2実施形態の変形例による不揮発性半導体記憶装置を示す断面図である。

[図12]図12は、本発明の第2実施形態の変形例による不揮発性半導体記憶装置の製造方法を示す工程断面図(その1)である。

[図13]図13は、本発明の第2実施形態の変形例による不揮発性半導体記憶装置の製造方法を示す工程断面図(その2)である。

[図14]図14は、本発明の第3実施形態による不揮発性半導体記憶装置を示す断面図である。

[図15]図15は、本発明の第3実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その1)である。

[図16]図16は、本発明の第3実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その2)である。

[図17]図17は、本発明の第3実施形態の変形例による不揮発性半導体記憶装置を示す断面図である。

[図18]図18は、本発明の第3実施形態の変形例による不揮発性半導体記憶装置の製造方法を示す工程断面図(その1)である。

[図19]図19は、本発明の第3実施形態の変形例による不揮発性半導体記憶装置の製造方法を示す工程断面図(その2)である。

[図20]図20は、本発明の第4実施形態による不揮発性半導体記憶装置を示す断面図である。

[図21]図21は、本発明の第4実施形態による不揮発性半導体記憶装置のキャパシタを示す平面図及び断面図である。

[図22]図22は、本発明の第4実施形態による不揮発性半導体記憶装置のキャパシタを示す斜視図である。

[図23]図23は、本発明の第4実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その1)である。

[図24]図24は、本発明の第4実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その2)である。

[図25]図25は、本発明の第4実施形態の変形例(その1)による不揮発性半導体記憶装置を示す平面図である。

[図26]図26は、本発明の第4実施形態の変形例(その1)による不揮発性半導体記憶装置を示す斜視図である。

[図27]図27は、本発明の第4実施形態の変形例(その2)による不揮発性半導体記憶装置を示す断面図である。

[図28]図28は、本発明の第4実施形態の変形例(その2)による不揮発性半導体記憶装置の製造方法を示す工程断面図(その1)である。

[図29]図29は、本発明の第4実施形態の変形例(その2)による不揮発性半導体記憶装置の製造方法を示す工程断面図(その2)である。

[図30]図30は、本発明の第4実施形態の変形例(その3)による不揮発性半導体記憶装置を示す断面図である。

[図31]図31は、本発明の第4実施形態の変形例(その3)による不揮発性半導体記憶装置の製造方法を示す工程断面図である。

[図32]図32は、本発明の第5実施形態による不揮発性半導体記憶装置を示す断面図である。

[図33]図33は、本発明の第5実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その1)である。

[図34]図34は、本発明の第5実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その2)である。

[図35]図35は、本発明の第5実施形態の変形例(その1)による不揮発性半導体記憶装置を示す平面図である。

[図36]図36は、本発明の第5実施形態の変形例(その2)による不揮発性半導体記憶装置を示す平面図である。

[図37]図37は、本発明の第5実施形態の変形例(その3)による不揮発性半導体記憶装置を示す平面図である。

[図38]図38は、本発明の第6実施形態本実施形態による不揮発性半導体記憶装置を示す断面図である。

[図39]図39は、本発明の第6実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その1)である。

[図40]図40は、本発明の第6実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その2)である。

[図41]図41は、本発明の第6実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その3)である。

符号の説明

- [0022] 10…半導体基板
10a…支持基板
12…ゲート絶縁膜
14…ゲート電極、ワード線
16S…ソース拡散層
16D…ドレイン拡散層
18…トランジスタ
20…層間絶縁膜
22…コンタクトホール
24…導体プラグ
26…下部電極
26a、26b…導電膜
28、28b、28c…強誘電体層
28a…強誘電体基板
30…上部電極
32、32a、32b…キャパシタ
34…層間絶縁膜
36a〜36d…コンタクトホール
38a〜38d…導体プラグ
40a…ビット線
40b…プレート線

- 42…絶縁膜
- 44…ゲート電極、ワード線
- 45、45a…トランジスタ
- 46、46a…メモリセル
- 48…チャネル領域
- 49a、49b…導電膜
- 50…導電膜、下部電極
- 50a、50b…導電膜
- 50c…不純物拡散層、下部電極
- 52…絶縁膜
- 54、54a…薄膜トランジスタ
- 56…開口部
- 58…半導体層、チャネル層
- 60…ゲート絶縁膜
- 62a…上部電極、ソース電極
- 62b…ゲート電極(ワード線)
- 62c…ドレイン電極
- 64…強誘電体基板
- 64a…強誘電体層
- 66a…電極、ソース電極
- 66b…電極、引き出し用電極
- 66c…ドレイン電極
- 66d、66e…電極
- 66f…ソース電極
- 66g…引き出し用電極
- 68…絶縁膜
- 70a、70b…開口部
- 72a、72b…凹部

74…ゲート電極(ワード線)

76a、76b…櫛歯部分

78a、78b…櫛歯部分

80…異方導電性接着剤

82…接着剤

84…粒子、金属フィラー

発明を実施するための最良の形態

[0023] [第1実施形態]

本発明の第1実施形態による不揮発性半導体記憶装置及びその製造方法を図1乃至図6を用いて説明する。

[0024] (不揮発性半導体記憶装置)

まず、本実施形態による不揮発性半導体記憶装置について図1乃至図4を用いて説明する。図1は、本実施形態による不揮発性半導体記憶装置を示す断面図である。

[0025] 図1に示すように、半導体基板10上には、ゲート絶縁膜12を介してゲート電極(ワード線)14が形成されている。半導体基板10としては、例えばシリコン基板が用いられている。ゲート電極14の材料としては、例えばアルミニウム(Al)が用いられている。

[0026] ゲート電極14の両側の半導体基板10内には、ソース/ドレイン拡散層16S、16Dが形成されている。

[0027] こうして、ゲート電極14とソース/ドレイン拡散層16S、16Dとを有するトランジスタ18が構成されている。

[0028] トランジスタ18が形成された半導体基板10上の全面には、例えばシリコン酸化膜より成る層間絶縁膜20が形成されている。

[0029] 層間絶縁膜20には、ソース/ドレイン拡散層16S、16Dにそれぞれ達するコンタクトホール22が形成されている。

[0030] コンタクトホール22内には、例えばタンゲステンより成る導体プラグ24が埋め込まれている。

- [0031] 導体プラグ24が埋め込まれた層間絶縁膜20上には、キャパシタ32の下部電極(第1の電極)26が形成されている。下部電極26は、導体プラグ24を介して、トランジスタ18のソース拡散層16Sに電氣的に接続されている。下部電極26の膜厚は、例えば50〜100nmに設定されている。下部電極26の面積は、例えば $0.25\mu\text{m}^2$ 程度に設定されている。
- [0032] 下部電極26の材料としては、例えばAu、Cu、Al、Ti、Ir、Pt等の金属を用いることができる。なお、下部電極26の材料は、金属に限定されるものではない。例えば、下部電極26の材料として、 IrO_2 、 SrRuO_3 、 RuO_2 等の導電性金属酸化物を用いてもよい。また、下部電極26の材料として、TiN等の導電性窒化物を用いてもよい。また、これらの材料を適宜積層して成る積層膜により、下部電極26を構成してもよい。
- [0033] 下部電極26上には、単結晶の強誘電体層28が形成されている。本実施形態による不揮発性半導体記憶装置のキャパシタ32の強誘電体層28は、後述するように、層間絶縁膜20等が形成された半導体基板10上に強誘電体基板28aを接合し、強誘電体基板28aを研磨等により所定の厚さまで薄くすることにより形成されている。このため、強誘電体層28は、単結晶状態となっている。
- [0034] 強誘電体層28の材料としては、例えば、単結晶のタンタル酸リチウム(LiTaO_3)、単結晶のニオブ酸リチウム(LiNbO_3)等が用いられている。このような材料より成る単結晶の強誘電体層28では、強誘電体層28の各部における自発分極の方向が同じ方向に揃う。単結晶の強誘電体層28において、分極軸であるZ軸は、強誘電体層28の面に対して法線方向となっている。図1における両方向の矢印は、分極軸であるZ軸を示している。強誘電体層28の膜厚は、例えば $0.5\sim 1.5\mu\text{m}$ 程度に設定されている。
- [0035] 本実施形態において強誘電体層28の材料として、単結晶の強誘電体、具体的には単結晶のタンタル酸リチウム等を用いているのは、以下のような理由によるものである。
- [0036] 図2は、各種強誘電体材料のP-E特性を示すグラフである。横軸は電界Eを示しており、縦軸は残留分極Pを示している。破線は、SBT膜のP-E特性を示している。点線は、PZT膜のP-E特性を示している。実線は、化学量論的組成のタンタル酸リチ

ウム単結晶のP-E特性を示している。一点鎖線は、一致溶融組成のタンタル酸リチウム単結晶のP-E特性を示している。化学量論的組成のタンタル酸リチウムとは、LiとTaの組成比が1:1のタンタル酸リチウムのこと、即ち、 $\text{Li}_2\text{O} / (\text{Li}_2\text{O} + \text{Ta}_2\text{O}_5)$ のモル分率が0.5のタンタル酸リチウムのことである。一致溶融組成とは、育成する結晶と融液との組成が一致する組成のことである。一致溶融組成のタンタル酸リチウムには、Ta元素が2%程度過剰に含まれている。

[0037] なお、化学量論的組成のタンタル酸リチウム単結晶のP-E特性と一致溶融組成のタンタル酸リチウム単結晶のP-E特性は、非特許文献3に記載されている。

[0038] 図2に示すように、化学量論的組成のタンタル酸リチウム単結晶の抗電界 E_c は、S-BT膜やPZT膜の抗電界 E_c と比較して小さい。具体的には、化学量論的組成のタンタル酸リチウム単結晶の抗電界 E_c は、 $1.7\text{V}/\mu\text{m}$ 程度である。このため、化学量論的組成のタンタル酸リチウム単結晶をキャパシタ32の強誘電体層28として用いれば、比較的低い電圧をキャパシタ32に印加した場合であっても分極を反転させることが可能である。従って、キャパシタ32の強誘電体層28として化学量論的組成のタンタル酸リチウム単結晶を用いれば、不揮発性半導体記憶装置の駆動電圧を低くすることが可能となり、低消費電力化を図ることが可能となる。

[0039] なお、図2から分かるように、一致溶融組成のタンタル酸リチウム単結晶の抗電界 E_c は、化学量論的組成の LiTaO_3 単結晶の抗電界 E_c と比較して大きい。しかし、強誘電体層28の厚さを十分に薄く設定すれば、一致溶融組成のタンタル酸リチウム単結晶を用いる場合であっても、比較的低い印加電圧で分極を反転させることは可能である。

[0040] また、図2から分かるように、タンタル酸リチウム単結晶は、残留分極値 P_r が極めて大きい。具体的には、タンタル酸リチウム単結晶の残留分極値 P_r は、 $55\mu\text{C}/\text{cm}^2$ 程度である。このように極めて大きい残留分極値 P_r が得られるのは、分極方向が同じ方向に揃うためと考えられる。分極方向が同じ方向に揃うのは、単結晶であることに起因すると考えられる。タンタル酸リチウム単結晶において分極方向が同じ方向に揃うことは、非特許文献4に記載されている。

[0041] キャパシタ32の強誘電体層28としてタンタル酸リチウム単結晶を用いれば、極めて

大きい残留分極値 P_r が得られるため、キャパシタ32に書き込まれた情報を読み出す際に大きい信号を得ることが可能である。このため、キャパシタ32の強誘電体層28としてタンタル酸リチウム単結晶を用いれば、キャパシタ32を微細化した場合であっても、比較的大きい信号を得ることが可能となる。従って、キャパシタ32の強誘電体層28としてタンタル酸リチウム単結晶を用いれば、不揮発性半導体記憶装置の高集積化を図ることが可能となる。

[0042] また、図2から分かるように、タンタル酸リチウム単結晶は、P-E特性の角型性が極めて良好である。

[0043] ここで、P-E特性の角型性が良好であることの意義について図3を用いて説明する。

[0044] 図3は、一般的な強誘電体膜のP-E特性を示すグラフである。図3の横軸は電界Eを示しており、縦軸は残留分極量Pを示している。 E_c は抗電界を示しており、 P_r は残留分極値を示しており、 P_s は飽和分極値を示している。

[0045] V_{co} は、飽和分極値 P_s と正の残留分極値 P_r との差である。 V_{c1} は、飽和分極値 P_s と負の残留分極値 $-P_r$ との差である。

[0046] 信号を読み出す際におけるS/N比は、以下のような式により表される。

$$[0047] \quad S/N = (V_{c1} - V_{co}) / V_{co}$$

上記の式から分かるように、 V_{co} の値が小さいほど、S/N比は良好となる。

[0048] 図2から分かるように、タンタル酸リチウム単結晶は、P-E特性の角型性が極めて良好であり、 V_{co} が極めて小さい。このため、タンタル酸リチウム単結晶をキャパシタ32の強誘電体層28として用いれば、信号を読み出す際に極めて大きいS/N比を得ることができる。

[0049] また、タンタル酸リチウム単結晶は、P-E特性の角型性が極めて良好であるため、誘電損失が比較的小さい。このため、タンタル酸リチウム単結晶をキャパシタ32の強誘電体層28として用いれば、消費電力が極めて低い不揮発性半導体記憶装置を提供することが可能となる。なお、タンタル酸リチウム単結晶においてこのように極めて良好なP-E特性が得られるのは、単結晶状態であるため、分極が生じる際における電界の閾値が各部において等しいためと考えられる。

- [0050] また、タンタル酸リチウム単結晶は、単結晶状態であるため、分極反転を繰り返し行っても、殆ど劣化しない。このため、タンタル酸リチウム単結晶をキャパシタ32の強誘電体層28として用いれば、極めて寿命の長い不揮発性半導体記憶装置を提供することが可能となる。
- [0051] また、タンタル酸リチウム単結晶は、比誘電率が極めて低い。具体的には、タンタル酸リチウム単結晶の比誘電率は、 $\epsilon_{11}=41$ 、 $\epsilon_{22}=41$ 、 $\epsilon_{33}=43$ である。一方、PZTセラミックスの比誘電率は、 $\epsilon_{11}=1600\sim 2000$ 、 $\epsilon_{33}=1300\sim 2000$ である。また、PZT薄膜の比誘電率は、 $\epsilon_r=300\sim 400$ である。このように、タンタル酸リチウム単結晶の比誘電率は、PZTの比誘電率と比較して極めて小さい。一方、キャパシタ32に書き込まれた情報を読み出す際に得られる信号は、キャパシタ32の強誘電体層28の比誘電率に反比例する。従って、タンタル酸リチウム単結晶をキャパシタ32の強誘電体層28として用いれば、キャパシタ32に書き込まれた情報を読み出す際に、極めて大きい信号を得ることが可能となる。
- [0052] また、タンタル酸リチウム単結晶のキュリー温度は、極めて高い。具体的には、化学量論的組成のタンタル酸リチウム単結晶のキュリー温度は、690℃程度である。一致熔融組成のタンタル酸リチウム単結晶のキュリー温度は、600℃程度である。これに対し、PZTセラミックスのキュリー温度は、300℃程度である。不揮発性半導体記憶装置をリフローはんだ付けにより実装する場合には、比較的高温の熱処理が行われることとなる。タンタル酸リチウム単結晶をキャパシタ32の強誘電体層28として用いた場合には、キャパシタ32に書き込まれたデータがかかる熱処理により消失してしまうことはない。従って、タンタル酸リチウム単結晶をキャパシタ32の強誘電体層28の材料として用いれば、キャパシタ32にデータを書き込んだ後に不揮発性半導体記憶装置を実装する場合であっても、キャパシタ32に書き込まれたデータが消失するのを防止することができる。
- [0053] また、タンタル酸リチウムは、鉛を含まない材料である。このため、キャパシタ32の強誘電体層28としてタンタル酸リチウムを用いれば、環境に対して悪影響を及ぼすのを防止することが可能となる。
- [0054] なお、厳密な化学量論的組成のタンタル酸リチウム単結晶を製造すること、即ち、L

iとTaの組成比が厳密に1:1のタンタル酸リチウム単結晶を製造することは、必ずしも容易ではない。一方、 $\text{Li}_2\text{O}/(\text{Li}_2\text{O}+\text{Ta}_2\text{O}_5)$ のモル分率が0.499〜0.500であるタンタル酸リチウム単結晶を用いれば、抗電界Ecの極めて小さい強誘電体層28を得ることが可能である。従って、単結晶の強誘電体基板28aの材料としてタンタル酸リチウム単結晶を用いる場合には、 $\text{Li}_2\text{O}/(\text{Li}_2\text{O}+\text{Ta}_2\text{O}_5)$ のモル分率が0.499〜0.500であるタンタル酸リチウム単結晶を用いればよい。本明細書中では、 $\text{Li}_2\text{O}/(\text{Li}_2\text{O}+\text{Ta}_2\text{O}_5)$ のモル分率が0.499〜0.500であるタンタル酸リチウム単結晶を、化学量論的組成のタンタル酸リチウム単結晶と称することとする。

- [0055] また、キャパシタ32の強誘電体層28の材料は、タンタル酸リチウム単結晶に限定されるものではない。例えば、キャパシタ32の強誘電体層28の材料として、ニオブ酸リチウム単結晶を用いてもよい。
- [0056] ニオブ酸リチウム単結晶は、タンタル酸リチウム単結晶に極めて近似した特性を有する強誘電体単結晶である。
- [0057] 化学量論的組成のニオブ酸リチウム単結晶は、化学量論的組成のタンタル酸リチウム単結晶と同様に、抗電界Ecが極めて小さい。具体的には、化学量論的組成のニオブ酸リチウム単結晶の抗電界Ecは、 $4\text{V}/\mu\text{m}$ 程度である。なお、一致溶融組成のニオブ酸リチウム単結晶の抗電界Ecは、 $22\text{V}/\mu\text{m}$ 程度である。
- [0058] また、ニオブ酸リチウム単結晶は、タンタル酸リチウム単結晶と同様に、残留分極値Prが極めて大きい。具体的には、ニオブ酸リチウム単結晶の残留分極値Prは、 $80\mu\text{C}/\text{cm}^2$ 程度である。
- [0059] なお、ニオブ酸リチウム単結晶の抗電界Ec及び残留分極値Prについては、非特許文献5に記載されている。
- [0060] また、ニオブ酸リチウム単結晶は、タンタル酸リチウム単結晶と同様に、P-E特性の角型性が極めて良好である。
- [0061] また、ニオブ酸リチウム単結晶の比誘電率は、タンタル酸リチウム単結晶の比誘電率と同様に、極めて小さい。具体的には、ニオブ酸リチウム単結晶の比誘電率は、 $\epsilon_{11}=44$ 、 $\epsilon_{22}=44$ 、 $\epsilon_{33}=29$ である。
- [0062] また、ニオブ酸リチウム単結晶のキュリー温度は、タンタル酸リチウム単結晶より更

に高い。具体的には、化学量論的組成のニオブ酸リチウム単結晶のキュリー温度は、1200℃程度である。また、一致溶融組成のニオブ酸リチウム単結晶のキュリー温度は、1150℃程度である。

[0063] また、ニオブ酸リチウムは、タンタル酸リチウムと同様に鉛を含まない材料である。このため、ニオブ酸リチウムを用いた場合も、環境に対する悪影響は少ない。

[0064] このように、キャパシタ32の強誘電体層28の材料として、ニオブ酸リチウム単結晶を用いてもよい。

[0065] なお、厳密な化学量論的組成のニオブ酸リチウム単結晶を製造すること、即ち、LiとNbの組成比が厳密に1:1のタンタル酸リチウム単結晶を製造することは、必ずしも容易ではない。一方、 $\text{Li}_2\text{O}/(\text{Li}_2\text{O}+\text{Nb}_2\text{O}_5)$ のモル分率が0.499~0.500であるニオブ酸リチウム単結晶を用いれば、抗電界 E_c の極めて小さい強誘電体層28を得ることが可能である。従って、単結晶の強誘電体基板28aの材料としてニオブ酸リチウム単結晶を用いる場合には、 $\text{Li}_2\text{O}/(\text{Li}_2\text{O}+\text{Nb}_2\text{O}_5)$ のモル分率が0.499~0.500であるニオブ酸リチウム単結晶を用いればよい。本明細書中では、 $\text{Li}_2\text{O}/(\text{Li}_2\text{O}+\text{Nb}_2\text{O}_5)$ のモル分率が0.499~0.500であるニオブ酸リチウム単結晶を、化学量論的組成のニオブ酸リチウム単結晶と称することとする。

[0066] なお、単結晶の強誘電体は、タンタル酸リチウムやニオブ酸リチウムに限定されるものではない。上記のような良好な電気的特性を有する他のあらゆる強誘電体単結晶を、強誘電体層28の材料として適宜用いることができる。

[0067] こうして、単結晶のタンタル酸リチウムや単結晶のニオブ酸リチウム等、即ち、単結晶の強誘電体より成る強誘電体層28が形成されている。

[0068] 単結晶の強誘電体層28上には、キャパシタ32の上部電極30が形成されている。上部電極30の膜厚は、例えば50~100nmに設定されている。上部電極30の面積は、例えば $0.25\mu\text{m}^2$ 程度に設定されている。

[0069] 上部電極30の材料としては、例えばAu、Cu、Al、Ti、Ir、Pt等の金属を用いることができる。なお、上部電極30の材料は、金属に限定されるものではない。例えば、上部電極30の材料として、 IrO_2 、 SrRuO_3 、 RuO_2 等の導電性金属酸化物を用いてもよい。また、上部電極30の材料として、TiN等の導電性窒化物を用いてもよい。また、

これらの材料を適宜積層して成る積層膜により、上部電極30を構成してもよい。

- [0070] こうして、下部電極26と強誘電体層28と上部電極30とを有するキャパシタ32が構成されている。
- [0071] キャパシタ32が形成された層間絶縁膜20上の全面には、例えばシリコン酸化膜より成る層間絶縁膜34が形成されている。
- [0072] 層間絶縁膜34には、導体プラグ24に達するコンタクトホール36a、及び、キャパシタ32の上部電極30に達するコンタクトホール36bが形成されている。
- [0073] コンタクトホール36a、36b内には、それぞれ導体プラグ38a、38bが埋め込まれている。
- [0074] 導体プラグ38a、38bが埋め込まれた層間絶縁膜34上には、ビット線40a及びプレート線40bが形成されている。ビット線40aは、導体プラグ38a、24を介して、トランジスタ18のドレイン拡散層16Dに電氣的に接続されている。プレート線40bは、導体プラグ38bを介して、キャパシタ32の上部電極30に電氣的に接続されている。
- [0075] こうして本実施形態による不揮発性半導体記憶装置が構成されている。
- [0076] 図4は、本実施形態による不揮発性半導体記憶装置を示す回路図である。
- [0077] 図4に示すように、トランジスタ18のソース／ドレインの一方には、ビット線40aが接続されている。トランジスタ18のソース／ドレインの他方には、キャパシタ32の一方の電極が接続されている。キャパシタ32の他方の電極は、プレート線40bに接続されている。トランジスタ18のゲートは、ワード線14に接続されている。
- [0078] 本実施形態による不揮発性半導体記憶装置は、1つのトランジスタと1つのキャパシタとにより1つのメモリセルが構成されているため、1T／1C型の不揮発性半導体記憶装置と称される。
- [0079] 次に、本実施形態による不揮発性半導体記憶装置の動作について説明する。
- [0080] まず、メモリセルに書き込まれたデータを読み出す場合の動作について図4を用いて説明する。
- [0081] メモリセルに書き込まれたデータを読み出す場合には、読み出しの対象となるメモリセルをワード線14により選択する。具体的には、読み出しの対象となるメモリセルに接続されているワード線14に所定の電圧を印加する。また、読み出しの対象となるメ

メモリセルに接続されたプレート線40bにも所定の電圧を印加する。プレート線40bに印加する電圧は、キャパシタ32において分極反転が生ずる電圧より高い電圧とする。ワード線14及びプレート線40bに所定の電圧を印加すると、ビット線40aの電位が変化する。ビット線40aに現れる電位の変化は、キャパシタ32において分極が反転した場合と、キャパシタ32において分極が反転しなかった場合とで異なる。ビット線40aの電位と参照用の電位との差をセンスアンプ(図示せず)を用いて比較することにより、メモリセルに書き込まれていたデータが判別される。キャパシタ32において分極が反転した場合には、メモリセルに書き込まれていたデータが書き換えられたことになる。この場合には、読み出しを行う前に書き込まれていたデータと同じデータをメモリセルに再度書き込むことにより、読み出しを行う前の状態にメモリセルを戻す。こうして、データの読み出しが終了する。

[0082] 次に、メモリセルにデータを書き込む場合の動作について説明する。

[0083] メモリセルにデータを書き込む場合には、書き込みの対象となるメモリセルをワード線14により選択する。メモリセルに“1”のデータを書き込む場合には、ビット線40aに例えば電源電圧を印加し、プレート線40bを例えばグラウンド電位に設定する。メモリセルに“0”のデータを書き込む場合には、ビット線40aを例えばグラウンド電位に設定し、プレート線40bに例えば電源電圧を印加する。こうして、メモリセルにデータが書き込まれる。

[0084] 本実施形態による不揮発性半導体記憶装置は、キャパシタ32の強誘電体層28の材料として、単結晶の強誘電体が用いられていることに主な特徴がある。

[0085] 本実施形態によれば、キャパシタ32の強誘電体層28として、タンタル酸リチウム単結晶やニオブ酸リチウム単結晶等の極めて安定した強誘電体単結晶が用いられている。このため、本実施形態によれば、分極反転を繰り返し行っても、殆ど劣化しない。このため、本実施形態によれば、極めて寿命の長い不揮発性半導体記憶装置を提供することが可能となる。

[0086] また、本実施形態によれば、キャパシタ32の強誘電体層28の材料として単結晶の強誘電体が用いられているため、抗電界 E_c の極めて小さいキャパシタを得ることができる。このため、本実施形態によれば、比較的低い電圧をキャパシタに印加した場合

であっても分極を反転させることが可能である。従って、本実施形態によれば、駆動電圧を低くすることが可能となり、消費電力の低い不揮発性半導体記憶装置を提供することが可能となる。

[0087] また、本実施形態によれば、キャパシタ32の強誘電体層28の材料として単結晶の強誘電体を用いられているため、極めて高い残留分極値 P_r を得ることができる。このため、本実施形態によれば、キャパシタ32に書き込まれた情報を読み出す際に、比較的大きい信号を得ることが可能となる。本実施形態によれば、残留分極値 P_r が極めて高いため、キャパシタ32を微細化した場合であっても、十分に大きい信号を得ることが可能である。このため、本実施形態によれば、集積度が高く、しかも小型の不揮発性半導体記憶装置を提供することが可能となる。

[0088] また、本実施形態によれば、キャパシタ32の強誘電体層28の材料として単結晶の強誘電体を用いられているため、P-E特性の角型性が極めて良好であり、誘電損失が極めて小さい。このため、本実施形態によれば、抗電界 E_c が極めて低いことと相俟って、消費電力が極めて低い不揮発性半導体記憶装置を提供することが可能となる。

[0089] また、本実施形態でキャパシタ32の強誘電体層28の材料として用いられている単結晶の強誘電体は、比誘電率が極めて低い。このため、本実施形態によれば、キャパシタ32に書き込まれた情報を読み出す際に、極めて大きい信号を得ることができる。

[0090] また、本実施形態でキャパシタ32の強誘電体層28の材料として用いられている単結晶の強誘電体は、キュリー温度が極めて高い。このため、本実施形態によれば、キャパシタ32にデータを書き込んだ後にリフローはんだ付け等を行ったとしても、キャパシタ32からデータが消失してしまうのを防止することができる。

[0091] また、本実施形態でキャパシタ32の強誘電体層28の材料として用いられている単結晶の強誘電体は、鉛を含まない材料である。このため、本実施形態によれば、環境に対して悪影響を及ぼすのを防止することが可能となる。

[0092] (不揮発性半導体記憶装置の製造方法)

次に、本実施形態による不揮発性半導体記憶装置の製造方法を図5及び図6を用

いて説明する。図5及び図6は、本実施形態による不揮発性半導体記憶装置を示す工程断面図である。

- [0093] まず、図5(a)に示すように、半導体基板10を用意する。半導体基板10としては、例えばシリコン基板を用いる。
- [0094] 次に、全面に、例えば熱酸化法により、ゲート絶縁膜12を形成する。
- [0095] 次に、例えばスピコート法により、全面に、フォトレジスト膜(図示せず)を形成する。
- [0096] 次に、フォトリソグラフィ技術を用い、フォトレジスト膜に開口部(図示せず)を形成する。開口部は、ソース/ドレイン拡散層を形成するためのものである。
- [0097] 次に、フォトレジスト膜をマスクとして、例えばイオン注入法により、半導体基板10内にドーパント不純物を導入する。これにより、ソース/ドレイン拡散層16S、16Dが形成される。
- [0098] 次に、全面に、例えばアルミニウムより成る導電膜14を形成する。導電膜14の膜厚は、例えば50〜100nmとする。導電膜14は、ゲート電極となるものである。
- [0099] 次に、フォトリソグラフィ技術を用い、導電膜14をパターニングする。これにより、導電膜14より成るゲート電極が形成される。
- [0100] こうして、ゲート電極14とソース/ドレイン拡散層16S、16Dとを有するトランジスタ18が形成される。
- [0101] 次に、全面に、例えばCVD法により、シリコン酸化膜より成る層間絶縁膜20を形成する。層間絶縁膜20の膜厚は、例えば300〜500nmとする。
- [0102] 次に、例えばCMP法により、層間絶縁膜20の表面を研磨する。層間絶縁膜20の表面を研磨するのは、層間絶縁膜20の表面を平坦化するためである。層間絶縁膜20の表面を平坦化するのは、後述する工程において、強誘電体基板28aを層間絶縁膜20上に確実に接合することを可能とするためである。
- [0103] 次に、フォトリソグラフィ技術を用い、トランジスタ18のソース/ドレイン拡散層16S、16Dに達するコンタクトホール22を層間絶縁膜20に形成する。
- [0104] 次に、全面に、例えばスパッタ法により、Ti膜(図示せず)及びTiN膜(図示せず)より成るバリア膜(図示せず)を形成する。Ti膜の膜厚は例えば20〜50nmとし、TiN

膜の膜厚は例えば20〜50nmとする。

[0105] 次に、全面に、例えばスパッタ法により、タングステン膜24を形成する。タングステン膜24の膜厚は、例えば300〜500nmとする。

[0106] 次に、例えばCMP法により、タングステン膜24及びバリア膜を、層間絶縁膜20の表面が露出するまで研磨する。これにより、コンタクトホール22内に、タングステンより成る導体プラグ24が埋め込まれる。

[0107] 次に、全面に、例えばスパッタ法により、導電膜26aを形成する。導電膜26aの膜厚は、例えば50〜100nmとする。導電膜26aは、キャパシタの下部電極26となるものである。

[0108] 下部電極26となる導電膜26aの材料としては、Au、Cu、Al、Ti、Ir、Pt等の金属を用いることができる。なお、下部電極26となる導電膜26aの材料は、金属に限定されるものではない。例えば、導電膜26aの材料として、 IrO_2 、 SrRuO_3 、 RuO_2 等の導電性金属酸化物を用いてもよい。また、導電膜26aの材料として、TiN等の導電性窒化物を用いてもよい。また、これらの材料を適宜積層して成る積層膜により、導電膜26aを構成してもよい。

[0109] 次に、図5(b)に示すように、単結晶の強誘電体基板28aを用意する。単結晶の強誘電体基板28aの材料としては、例えば、単結晶のタンタル酸リチウム(LiTaO_3)、単結晶のニオブ酸リチウム(LiNbO_3)等を用いる。強誘電体基板28aとしては、Zカットの強誘電体基板28aを用いる。Zカットの強誘電体基板28aは、分極軸であるZ軸に対して垂直にカットしたものである。このため、Zカットの強誘電体基板28aでは、分極方向が基板面に対して垂直な方向(法線方向)となる。かかる強誘電体基板28aとしては、化学量論的組成の強誘電体基板を用いることが好ましい。化学量論的組成の強誘電体基板28aは、抗電界 E_c が極めて小さいため、書き込み等を極めて低い電圧で行うことが可能となるためである。

[0110] なお、上述したように、厳密な化学量論的組成のタンタル酸リチウム単結晶を製造すること、即ち、LiとTaの組成比が厳密に1:1のタンタル酸リチウム単結晶を製造することは必ずしも容易ではない。一方、 $\text{Li}_2\text{O}/(\text{Li}_2\text{O}+\text{Ta}_2\text{O}_5)$ のモル分率が0.499〜0.500であるタンタル酸リチウム単結晶を用いれば、抗電界 E_c の極めて小さい強

誘電体層28を得ることが可能である。従って、単結晶の強誘電体基板28aの材料としてタンタル酸リチウム単結晶を用いる場合には、 $\text{Li}_2\text{O}/(\text{Li}_2\text{O}+\text{Ta}_2\text{O}_5)$ のモル分率が0.499～0.500であるタンタル酸リチウム単結晶を用いればよい。このような組成のタンタル酸リチウム単結晶としては、例えば株式会社オキサイド製のタンタル酸リチウム単結晶(製品名:スーパーLT)を挙げることができる。株式会社オキサイド製のかかるタンタル酸リチウム単結晶は、 $\text{Li}_2\text{O}/(\text{Li}_2\text{O}+\text{Ta}_2\text{O}_5)$ のモル分率が0.4995となっている。株式会社オキサイド製のかかるタンタル酸リチウム単結晶は、化学量論的組成(定比組成)のタンタル酸リチウム単結晶として市販されている。

[0111] また、上述したように、厳密な化学量論的組成のニオブ酸リチウム単結晶を製造すること、即ち、LiとNbの組成比が厳密に1:1のタンタル酸リチウム単結晶を製造することは、必ずしも容易ではない。一方、 $\text{Li}_2\text{O}/(\text{Li}_2\text{O}+\text{Nb}_2\text{O}_5)$ のモル分率が0.499～0.500であるニオブ酸リチウム単結晶を用いれば、抗電界Ecの極めて小さい強誘電体層28を得ることが可能である。従って、単結晶の強誘電体基板28aの材料としてニオブ酸リチウム単結晶を用いる場合には、 $\text{Li}_2\text{O}/(\text{Li}_2\text{O}+\text{Nb}_2\text{O}_5)$ のモル分率が0.499～0.500であるニオブ酸リチウム単結晶を用いればよい。このような組成のニオブ酸リチウム単結晶としては、例えば株式会社オキサイド製のニオブ酸リチウム単結晶(製品名:スーパーNT)を挙げることができる。株式会社オキサイド製のかかるタンタル酸リチウム単結晶は、 $\text{Li}_2\text{O}/(\text{Li}_2\text{O}+\text{Nb}_2\text{O}_5)$ のモル分率が0.499となっている。株式会社オキサイド製のかかるニオブ酸リチウム単結晶は、化学量論的組成(定比組成)のニオブ酸リチウム単結晶として市販されている。

[0112] なお、ここでは、化学量論的組成の強誘電体基板28aを用いる場合を例に説明したが、強誘電体層28の材料として用いる単結晶の強誘電体基板28aは、化学量論的組成の強誘電体基板に限定されるものではない。例えば、単結晶の強誘電体基板28aとして、一致溶融組成の強誘電体基板を用いてもよい。しかし、一致溶融組成の強誘電体基板は、化学量論的組成の強誘電体基板と比較して、抗電界Ecが比較的大きい。従って、低電圧での動作を可能とするという観点からは、化学量論的組成の強誘電体基板を用いることが好ましい。但し、強誘電体基板28aの厚さを十分に薄くすれば、一致溶融組成の強誘電体基板を用いて強誘電体層28を形成した場合で

あっても、比較的低い印加電圧で分極を反転させることが可能である。

- [0113] なお、一致溶融組成のタンタル酸リチウム単結晶における $\text{Li}_2\text{O}/(\text{Li}_2\text{O}+\text{Nb}_2\text{O}_5)$ のモル分率は0.485となっている。また、一致溶融組成のニオブ酸リチウム単結晶における $\text{Li}_2\text{O}/(\text{Li}_2\text{O}+\text{Nb}_2\text{O}_5)$ のモル分率は0.485程度である。
- [0114] 次に、強誘電体基板28a上の全面に、例えばスパッタ法により導電膜26bを形成する。導電膜26bは、上述した導電膜26aと相俟って、キャパシタ32の下部電極26となるものである。
- [0115] 導電膜26bの材料としては、例えばAu、Cu、Al、Ti、Ir、Pt等の金属を用いることができる。なお、導電膜26bの材料は、金属に限定されるものではない。例えば、導電膜26bの材料として、 IrO_2 、 SrRuO_3 、 RuO_2 等の導電性金属酸化物を用いてもよい。また、導電膜26bの材料として、TiN等の導電性窒化物を用いてもよい。また、これらの材料を適宜積層して成る積層膜により、導電膜26bを構成してもよい。
- [0116] 次に、図5(c)に示すように、半導体基板10のうちの導電膜26aが形成されている面側と強誘電体基板28aのうちの導電膜26bが形成されている面側とを接合する。具体的には、例えば、以下のようにして接合を行う。
- [0117] まず、半導体基板10側に形成された導電膜26aの表面と強誘電体基板28a側に形成された導電膜26bの表面とをアルゴンガス等を用いてクリーニングする。この後、例えば常温にて、半導体基板10側の導電膜26aと強誘電体基板28a側の導電膜26bとを接合する。かかる接合方法は、SAB(Surface Activated Bonding)法と称される。SAB法については、例えば非特許文献6に記載されている。SAB法は、高温の熱処理を行うことなく接合することが可能な接合方法である。従って、SAB法を用いて接合すれば、トランジスタ18等にダメージが加わるのを防止しつつ、半導体基板10と強誘電体基板28aとを接合することが可能である。
- [0118] なお、強誘電体基板28aを半導体基板10上に接合する方法は、SAB法に限定されるものではない。例えば、強誘電体基板28aを半導体基板10上に重ね合わせた状態で熱処理を行うことにより、接合を行ってもよい。この場合、トランジスタ18等にダメージが加わるのを防止すべく、熱処理温度を過度に高く設定しないことが好ましい。熱処理により接合する場合には、熱処理温度は例えば400℃以下に設定すること

が好ましい。

- [0119] なお、ここでは、半導体基板10側と強誘電体基板28a側の両方に導電膜26a、26bをそれぞれ形成し、これらの導電膜26a、26bを接合する場合を例に説明したが、必ずしも、半導体基板10側と強誘電体基板28a側の両方に導電膜26a、26bを形成しなくてもよい。半導体基板10側と強誘電体基板28a側の少なくとも一方に導電膜26a、26bを形成すれば、導電膜26a、26bの少なくとも一方より成る下部電極26を形成することが可能である。
- [0120] 但し、導電膜26a、26b同士を接合する場合には、導電膜26aと強誘電体基板28aとを直接接合する場合や、層間絶縁膜20と導電膜26bとを直接接合する場合と比較して、容易に接合することが可能である。従って、半導体基板10側と強誘電体基板28a側の両方に導電膜26a、26bをそれぞれ形成しておくことが好ましい。
- [0121] こうして、層間絶縁膜20上に導電膜26を介して強誘電体基板28aが接合されることとなる。
- [0122] 次に、例えばCMP法により、強誘電体基板28aが所定の厚さになるまで、強誘電体基板28aの上面側を研磨する。例えば、強誘電体基板28aの厚さが $1\mu\text{m}$ 程度となるまで、強誘電体基板28aの上面側を研磨する。こうして、単結晶の強誘電体基板28aより成る単結晶の強誘電体層28が形成される(図6(a)参照)。
- [0123] なお、強誘電体層28の厚さは、 $1\mu\text{m}$ に限定されるものではない。図2から分かるように、化学量論的組成のタンタル酸リチウム単結晶の抗電界 E_c は、 $1.7\text{V}/\mu\text{m}$ 程度である。メモリセルに情報を書き込むべくキャパシタ32に電圧を印加した際に、抗電界 E_c より強い電界が強誘電体層28に加わるように、強誘電体層28の厚さを適宜設定すればよい。メモリに情報を書き込む際に印加する電圧を例えば3V程度とする場合には、強誘電体層28の厚さは例えば $0.5\sim 1.5\mu\text{m}$ 程度とすればよい。
- [0124] 次に、フォトリソグラフィ技術を用い、強誘電体層28及び導電膜26をキャパシタ32の平面形状にパターニングする(図6(b)参照)。キャパシタ32の面積は、例えば $0.25\mu\text{m}^2$ 程度とする。
- [0125] タンタル酸リチウム単結晶等より成る強誘電体層28は、例えばイオンミリング法によりエッチングすることが可能である。また、タンタル酸リチウム単結晶等より成る強誘電

体層28は、SF₆ガス、C₃F₇ガス等を用いた反応性イオンエッチングによっても、エッチングすることが可能である。

[0126] 次に、強誘電体層28上の全面に、例えばスパッタ法により、導電膜30を形成する。導電膜30は、キャパシタ32の上部電極となるものである。導電膜30の膜厚は、例えば50〜100nmとする。

[0127] 導電膜30の材料としては、例えばAu、Cu、Al、Ti、Ir、Pt等の金属を用いることができる。なお、導電膜30の材料は、金属に限定されるものではない。例えば、導電膜30の材料として、IrO₂、SrRuO₃、RuO₂等の導電性金属酸化物を用いてもよい。また、導電膜30の材料として、TiN等の導電性窒化物を用いてもよい。また、これらの材料を適宜積層して成る積層膜により、導電膜30を構成してもよい。

[0128] 次に、フォトリソグラフィ技術を用い、導電膜30をキャパシタ32の平面形状にパターニングする。

[0129] こうして、下部電極26と強誘電体層28と上部電極30とを有するキャパシタ32が形成される。

[0130] 次に、例えばCVD法により、全面に、例えばシリコン酸化膜より成る層間絶縁膜34を形成する。

[0131] 次に、例えばCMP法により、層間絶縁膜34の表面を研磨する。こうして、層間絶縁膜34の表面が平坦化される。

[0132] 次に、フォトリソグラフィ技術を用い、層間絶縁膜34に、導体プラグ24に達するコンタクトホール36a、及び、キャパシタ32の上部電極30に達するコンタクトホール36bを形成する。

[0133] 次に、全面に、例えばスパッタ法により、Ti膜(図示せず)及びTiN膜(図示せず)より成るバリア膜(図示せず)を形成する。Ti膜の膜厚は、例えば20〜50nmとする。TiN膜の膜厚は、例えば20〜50nmとする。

[0134] 次に、例えばスパッタ法により、タングステン膜を形成する。タングステン膜の膜厚は例えば300〜500nmとする。

[0135] 次に、層間絶縁膜34の表面が露出するまで、タングステン膜及びバリア膜を研磨する。こうして、タングステンより成る導体プラグ38a、38bがコンタクトホール36a、36

b内に埋め込まれる。

[0136] 次に、全面に、例えばアルミニウム又は銅(Cu)より成る導電膜を形成する。導電膜の厚さは、例えば100〜500nmとする。

[0137] 次に、フォトリソグラフィ技術を用い、導電膜をパターンニングする。これにより、導電膜より成るビット線40aと、導電膜より成るプレート線40bとが形成される。ビット線40aは、導体プラグ38a、24を介してトランジスタ18のドレイン拡散層16Dに電氣的に接続される。プレート線40bは、導体プラグ38bを介して、キャパシタ32の上部電極30に電氣的に接続される(図6(c)参照)。

[0138] こうして本実施形態による不揮発性半導体記憶装置が製造される。

[0139] [第2実施形態]

本発明の第2実施形態による不揮発性半導体記憶装置及びその製造方法を図7乃至図10を用いて説明する。図1乃至図6に示す第1実施形態による不揮発性半導体記憶装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

[0140] (不揮発性半導体記憶装置)

まず、本実施形態による不揮発性半導体記憶装置を図7及び図8を用いて説明する。図7は、本実施形態による不揮発性半導体記憶装置を示す断面図である。

[0141] 本実施形態による不揮発性半導体記憶装置は、メモリセル46がMFISFET(Metal-Ferroelectric-Insulator-Semiconductor FET)型のトランジスタ45により構成されていることに主な特徴がある。

[0142] 図7に示すように、半導体基板10上には、絶縁膜(ゲート絶縁膜)42が形成されている。半導体基板10としては、シリコン基板が用いられている。絶縁膜42の材料としては、例えばシリコン酸化膜(SiO_2)膜が形成されている。なお、絶縁膜42は、シリコン酸化膜に限定されるものではない。例えば、絶縁膜42として、 HfO_2 膜等を用いてもよい。また、絶縁膜42として、例えば SiO_2 膜と HfO_2 膜とを積層して成る積層膜を用いてもよい。絶縁膜42の膜厚は、例えば20〜50nmとする。

[0143] 半導体基板10と強誘電体層28bとの間に絶縁膜42を形成しているのは、半導体基板10上に強誘電体層28bを直接形成した場合には、界面準位密度が高くなって

しまう場合があるためである。半導体基板10と強誘電体層28bとの間に絶縁膜42を形成することにより、界面準位密度の低減を図ることが可能となる。

- [0144] 絶縁膜42上には、単結晶の強誘電体層28bが形成されている。強誘電体層28bは、後述するように、半導体基板10上に単結晶の強誘電体基板28aを接合し、強誘電体基板28aを研磨等により所定の厚さまで薄くすることにより形成されている。強誘電体層28bの材料としては、例えば、タンタル酸リチウム(LiTaO_3)単結晶、ニオブ酸リチウム(LiNbO_3)単結晶等が用いられている。強誘電体層28bにおける分極軸(Z軸)の方向は、強誘電体層28bの面に対して法線方向となっている。強誘電体層28bの膜厚は、例えば0.5〜1.5 μm 程度に設定されている。
- [0145] 強誘電体層28b上には、ゲート電極(ワード線)44が形成されている。ゲート電極44の材料としては、例えばアルミニウムが用いられている。
- [0146] ゲート電極44の両側の半導体基板10内には、ソース/ドレイン拡散層16S、16Dが形成されている。
- [0147] こうして、MFISFET型のトランジスタ45より成るメモリセル46が構成されている。
- [0148] メモリセル46が形成された半導体基板10上には、層間絶縁膜20が形成されている。
- [0149] 層間絶縁膜20には、ソース/ドレイン拡散層16にそれぞれ達するコンタクトホール22が形成されている。
- [0150] コンタクトホール22内には、例えばタンゲステンより成る導体プラグ24が埋め込まれている。
- [0151] 導体プラグ24が埋め込まれた層間絶縁膜20上には、ビット線40a及びプレート線40bが形成されている。ビット線40aは、導体プラグ24を介して、ドレイン拡散層16Dに電氣的に接続されている。プレート線40bは、導体プラグ24を介して、ソース拡散層16Sに電氣的に接続されている。
- [0152] こうして、本実施形態による不揮発性半導体記憶装置が構成されている。
- [0153] 次に、本実施形態による不揮発性半導体記憶装置の動作について図8を用いて説明する。図8は、本実施形態による不揮発性半導体記憶装置の動作を示す概念図である。

- [0154] まず、メモリセル46にデータを書き込む場合について説明する。
- [0155] メモリセル46に“1”のデータを書き込む場合には、図8(a)に示すように、トランジスタ45のゲート電極44に例えば正の電圧を印加する。一方、メモリセル46に“0”のデータを書き込む場合には、図8(b)に示すように、トランジスタ45のゲート電極44に例えば負の電圧を印加する。トランジスタ45のゲート電極44に印加する電圧に応じて、強誘電体層28bにおける分極方向が反転する。強誘電体層28bにおける分極方向に応じて、トランジスタ45のチャネル領域48に電子又は正孔が誘起され、トランジスタ45の閾値電圧が変化する。
- [0156] メモリセル46に書き込まれたデータを読み出す際には、ビット線40a(図7参照)を介して、トランジスタ45のドレイン拡散層16Dに電圧を印加する。
- [0157] メモリセル46に“1”のデータが書き込まれている場合には、トランジスタ45のチャネル領域48に電子が誘起されているため、トランジスタ45の閾値電圧が比較的低下する。この際、所定の電圧をトランジスタ45のドレイン拡散層16Dに印加すると、比較的大きなドレイン電流が流れる。
- [0158] 一方、メモリセル46に“0”のデータが書き込まれている場合には、トランジスタ45のチャネル領域48に正孔が誘起されているため、トランジスタ45の閾値電圧が比較的高くなる。この際、所定の電圧をトランジスタ45のドレイン領域16Dに印加すると、比較的小さいドレイン電流が流れる。
- [0159] 従って、所定の電圧をトランジスタ45のドレイン領域16Dに印加した際におけるドレイン電流の大きさに応じて、メモリセル46に書き込まれているデータを判別することが可能となる。このように、本実施形態による不揮発性半導体記憶装置では、メモリセル46に書き込まれたデータを破壊することなく、データの読み出しを行うことが可能である。
- [0160] 本実施形態による不揮発性半導体記憶装置は、メモリセル46がMFISFET型のトランジスタ45より成ることに主な特徴がある。
- [0161] 本実施形態によれば、メモリセル46がMFISFET型のトランジスタ45より成るため、メモリセル46に書き込まれたデータを破壊することなく、データを読み出すことができる。

[0162] しかも、本実施形態によれば、1つのトランジスタ45によりメモリセル46が構成されているため、1つのトランジスタと1つのキャパシタとにより1つのメモリセルが構成される1T/1C型の不揮発性半導体記憶装置と比較して、小型化、高集積化を図ることが可能となる。

[0163] (不揮発性半導体記憶装置の製造方法)

次に、本実施形態による不揮発性半導体記憶装置の製造方法を図9及び図10を用いて説明する。図9及び図10は、本実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図である。

[0164] まず、図9(a)に示すように、半導体基板10を用意する。半導体基板10としては、例えばシリコン基板を用いる。

[0165] 次に、例えばスピコート法により、全面に、フォトレジスト膜(図示せず)を形成する。

[0166] 次に、フォトリソグラフィ技術を用い、フォトレジスト膜に開口部(図示せず)を形成する。開口部は、ソース/ドレイン拡散層を形成するためのものである。

[0167] 次に、フォトレジスト膜をマスクとして、例えばイオン注入法により、半導体基板10内にドーパント不純物を導入する。これにより、ソース/ドレイン拡散層16S、16Dが形成される。この後、フォトレジスト膜を除去する。

[0168] 次に、例えば熱酸化法、又はスパッタ法により、絶縁膜42を形成する。絶縁膜42の材料としては、例えばシリコン酸化膜を形成する。なお、絶縁膜42は、シリコン酸化膜に限定されるものではない。例えば、絶縁膜42として、 HfO_2 膜等を形成してもよい。また、絶縁膜42として、例えば SiO_2 膜と HfO_2 膜とを積層して成る積層膜を形成してもよい。

[0169] 次に、単結晶の強誘電体基板28aを用意する。単結晶の強誘電体基板28aの材料としては、例えば、第1実施形態と同様に、単結晶のタンタル酸リチウム(LiTaO_3)、単結晶のニオブ酸リチウム(LiNbO_3)等を用いる。強誘電体基板28aとしては、Zカットの強誘電体基板を用いる。強誘電体基板28aとしては、上述した理由により、化学量論的組成の強誘電体基板を用いることが好ましい。

[0170] なお、ここでは、強誘電体基板28aとして、化学量論的組成の強誘電体基板を用い

る場合を例に説明するが、強誘電体基板28aは、化学量論的組成の強誘電体基板に限定されるものではない。例えば、強誘電体基板28aとして、一致熔融組成の強誘電体基板を用いてもよい。強誘電体基板28aの厚さを十分に薄くすれば、一致熔融組成の強誘電体基板28aを用いて強誘電体層28bを形成した場合であっても、比較的低い印加電圧で分極を反転させることが可能である。

[0171] 次に、例えばSAB法を用い、半導体基板10のうちの絶縁膜42が形成されている面側と強誘電体基板28aとを接合する(図9(b)参照)。具体的には、例えば以下のようにして接合を行う。

[0172] まず、半導体基板10側に形成された絶縁膜42の表面と強誘電体基板28aの表面とをアルゴンガス等を用いてクリーニングする。

[0173] この後、例えば常温にて、半導体基板10側の絶縁膜42と強誘電体基板28aとを接合する。こうして、上面に絶縁膜42が形成された半導体基板10と強誘電体基板28aとが接合される。

[0174] なお、半導体基板10と強誘電体基板28aとを接合する方法は、SAB法に限定されるものではない。半導体基板10と強誘電体基板28aとを重ね合わせた状態で熱処理を行うことにより、接合を行ってもよい。

[0175] こうして、表面に絶縁膜42が形成された半導体基板10上に強誘電体基板28aが接合されることとなる。

[0176] 次に、図9(c)に示すように、例えばCMP法により、強誘電体基板28aが所定の厚さになるまで、強誘電体基板28aの上面側を研磨する。例えば、強誘電体基板28aの厚さが $1\mu\text{m}$ 程度となるまで、強誘電体基板28aの上面側を研磨する。こうして、強誘電体基板28aより成る単結晶の強誘電体層28bが形成される。

[0177] なお、強誘電体層28bの厚さは、 $1\mu\text{m}$ に限定されるものではない。上述したように、化学量論的組成のタンタル酸リチウム単結晶の抗電界 E_c は、 $1.7\text{V}/\mu\text{m}$ 程度である。メモリセル46に情報を書き込むべくゲート電極44に電圧を印加した際に、抗電界 E_c より強い電界が強誘電体層28bに加わるように、強誘電体層28bの厚さを適宜設定すればよい。メモリに情報を書き込む際における電圧を例えば3V程度とする場合には、強誘電体層28bの厚さは例えば $0.5\sim 1.5\mu\text{m}$ 程度とすればよい。

- [0178] 次に、全面に、例えばスパッタ法により、導電膜44を形成する。導電膜44の材料としては、例えば、Au、Cu、Al、Ti、Ir、Pt等の金属を用いることができる。なお、導電膜44の材料は、金属に限定されるものではない。例えば、導電膜44の材料として、 IrO_2 、 SrRuO_3 、 RuO_2 等の導電性金属酸化物を用いてもよい。また、導電膜44の材料として、TiN等の導電性窒化物を用いてもよい。また、これらの材料を適宜積層して成る積層膜により、導電膜44を構成してもよい。
- [0179] 次に、図10(a)に示すように、フォトリソグラフィ技術を用い、導電膜44、強誘電体層28b及び絶縁膜42をパターンニングする。タンタル酸リチウム単結晶等より成る強誘電体層28bは、例えばイオンミリング法によりエッチングすることが可能である。また、タンタル酸リチウム単結晶等より成る強誘電体層28bは、 SF_6 ガス、 C_3F_7 ガス等を用いた反応性イオンエッチングによっても、エッチングすることが可能である。
- [0180] こうして、半導体基板10上に絶縁膜42を介して形成された強誘電体層28bと、ゲート電極(ワード線)44と、ソース/ドレイン拡散層16D、16Sとを有する、MFISFET型のトランジスタ45より成るメモリセル46が構成される。
- [0181] 次に、全面に、例えばCVD法により、シリコン酸化膜より成る層間絶縁膜20を形成する。
- [0182] 次に、例えばCMP法により、層間絶縁膜20の表面を研磨する。
- [0183] 次に、フォトリソグラフィ技術を用い、ソース/ドレイン拡散層16S、16Dに達するコンタクトホール22を層間絶縁膜20に形成する。
- [0184] 次に、全面に、例えばスパッタ法により、Ti膜(図示せず)及びTiN膜(図示せず)より成るバリア膜(図示せず)を形成する。
- [0185] 次に、全面に、例えばスパッタ法により、タングステン膜を形成する。
- [0186] 次に、例えばCMP法により、タングステン膜及びバリア膜を、層間絶縁膜20の表面が露出するまで研磨する。これにより、コンタクトホール22内に、タングステンより成る導体プラグ24が埋め込まれる。
- [0187] 次に、全面に、例えばスパッタ法により、導電膜を形成する。
- [0188] 次に、フォトリソグラフィ技術を用い、導電膜をパターンニングする。これにより、導電膜より成るビット線40aと、導電膜より成るプレート線40bとが形成される。ビット線40a

は、導体プラグ24を介してドレイン拡散層16Dに電氣的に接続される。プレート線40bは、導体プラグ24を介して、ソース拡散層16Sに電氣的に接続される(図10(b)参照)。

[0189] こうして、本実施形態による不揮発性半導体記憶装置が製造される。

[0190] (変形例)

本実施形態の変形例による不揮発性半導体記憶装置及びその製造方法を図11乃至図13を用いて説明する。図11は、本変形例による不揮発性半導体記憶装置を示す断面図である。

[0191] 本変形例による不揮発性半導体記憶装置は、メモリセル46aがMF MISFET (Metal-Ferroelectric-Metal-Insulator-Semiconductor FET) 型のトランジスタ45aにより構成されていることに主な特徴がある。

[0192] 図11に示すように、絶縁膜42と強誘電体層28bとの間には例えば金属より成る導電膜(フローティングゲート電極)49が形成されている。

[0193] このように、絶縁膜42と強誘電体層28bとの間に導電膜49を形成するようにしてもよい。

[0194] 本変形例によれば、MF MISFET型のトランジスタ45aによりメモリセル46aが構成される。

[0195] 本変形例による不揮発性半導体記憶装置の製造方法を図12及び図13を用いて説明する。図12及び図13は、本変形例による不揮発性半導体記憶装置の製造方法を示す工程断面図である。

[0196] まず、図9(a)を用いて上述した不揮発性半導体記憶装置の製造方法と同様にし、半導体基板10上にソース/ドレイン拡散層16S、16D及び絶縁膜42を形成する。

[0197] 次に、例えばスパッタ法により、絶縁膜42上の全面に、導電膜49aを形成する。導電膜49aの材料としては、例えば、Au、Cu、Al、Ti、Ir、Pt等の金属を用いることができる。なお、導電膜49aの材料は、金属に限定されるものではない。例えば、導電膜49aの材料として、 IrO_2 、 SrRuO_3 、 RuO_2 等の導電性金属酸化物を用いてもよい。また、導電膜49aの材料として、TiN等の導電性窒化物を用いてもよい。また、これ

らの材料を適宜積層して成る積層膜により、導電膜49aを形成してもよい。

[0198] 次に、単結晶の強誘電体基板28aを用意する。

[0199] 次に、例えばスパッタ法により、強誘電体基板28a上の全面に、導電膜49bを形成する。導電膜49bの材料としては、例えば、Au、Cu、Al、Ti、Ir、Pt等の金属を用いることができる。なお、導電膜49bの材料は、金属に限定されるものではない。例えば、導電膜49bの材料として、 IrO_2 、 SrRuO_3 、 RuO_2 等の導電性金属酸化物を用いてもよい。また、導電膜49bの材料として、TiN等の導電性窒化物を用いてもよい。また、これらの材料を適宜積層して成る積層膜により、導電膜49bを形成してもよい。

[0200] 次に、例えばSAB法により、半導体基板のうちの導電膜49aが形成されている面側と強誘電体基板28aのうちの導電膜49bが形成されている面側とを接合する。

[0201] なお、半導体基板10と強誘電体基板28aとを接合する方法は、SAB法に限定されるものではない。導電膜49aが形成された半導体基板10と導電膜49bが形成された強誘電体基板28aとを重ね合わせた状態で熱処理を行うことにより、接合を行ってもよい。

[0202] こうして、半導体基板10と強誘電体基板28aとが導電膜49を介して接合されることとなる。

[0203] なお、ここでは、半導体基板10側と強誘電体基板28a側の両方に導電膜49a、49bをそれぞれ形成し、これらの導電膜49a、49bを接合する場合を例に説明したが、必ずしも、半導体基板10側と強誘電体基板28a側の両方に導電膜49a、49bを形成しなくてもよい。半導体基板10側と強誘電体基板28a側の少なくとも一方に導電膜49a、49bを形成すれば、導電膜49a、49bの少なくとも一方により導電膜49を形成することが可能である。

[0204] 但し、導電膜49a、49b同士を接合する場合には、導電膜49aと強誘電体基板28aとを直接接合する場合や、絶縁膜42と導電膜49bとを直接接合する場合と比較して、容易に接合することが可能である。従って、半導体基板10側と強誘電体基板28a側の両方に導電膜49a、49bをそれぞれ形成しておくことが好ましい。

[0205] 次に、図9(c)を用いて上述した不揮発性半導体記憶装置の製造方法と同様に、例えばCMP法により、強誘電体基板28bが所定の厚さになるまで、強誘電体基板2

8aの上面側を研磨する(図12(c)参照)。

[0206] 次に、全面に、例えばスパッタ法により、導電膜44を形成する。

[0207] 次に、図10(a)を用いて上述した不揮発性半導体記憶装置の製造方法と同様に、フォトリソグラフィ技術を用い、導電膜44、強誘電体層28b、導電膜49及び絶縁膜42をパターンニングする。

[0208] こうして、半導体基板10上に絶縁膜42を介して形成された導電膜49と、強誘電体層28bと、ゲート電極(ワード線)44と、ソース/ドレイン拡散層16D、16Sとを有する、MFMISFET型のトランジスタ45aより成るメモリセル46aが構成される。

[0209] この後の不揮発性半導体記憶装置の製造方法は、図13(b)を用いて上述した不揮発性半導体記憶装置の製造方法と同様であるので、説明を省略する。

[0210] こうして、本変形例による不揮発性半導体記憶装置が製造される。

[0211] 本変形例によれば、半導体基板10側と強誘電体基板28a側の少なくともいずれかに導電膜49a、49bを形成しておき、導電膜49a、49bを介して半導体基板10と強誘電体基板28aとを接合するため、絶縁膜42と強誘電体基板28aとを直接接合する場合と比較して、容易且つ確実に接合を行うことができる。

[0212] [第3実施形態]

本発明の第3実施形態による不揮発性半導体記憶装置及びその製造方法を図14乃至図16を用いて説明する。図1乃至図13に示す第1又は第2実施形態による不揮発性半導体記憶装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

[0213] (不揮発性半導体記憶装置)

まず、。本実施形態による不揮発性半導体記憶装置について図14を用いて説明する。図14は、本実施形態による不揮発性半導体記憶装置を示す断面図である。

[0214] 本実施形態による不揮発性半導体記憶装置は、キャパシタの下部電極50が支持基板10a上にベタ状に形成されており、強誘電体層26aが下部電極50上にベタ状に形成されており、強誘電体層26a上に絶縁膜52を介して薄膜トランジスタ54が形成されていることに主な特徴がある。

[0215] 図14に示すように、支持基板10a上には、導電膜50がベタ状に形成されている。

導電膜50は、キャパシタ32aの下部電極として機能するとともに、プレート電極としても機能するものである。支持基板10aとしては、半導体基板、絶縁性基板、強誘電体基板等を用いることができる。支持基板10aの材料として、強誘電体層28cを形成するための強誘電体基板28a(図15(c)参照)と同じ材料を用いれば、支持基板10aの熱膨張率と強誘電体層28cとの熱膨張率が互いに等しくなる。支持基板10aの熱膨張率と強誘電体層28cの熱膨張率が等しい場合には、強誘電体層28cの上方に薄膜トランジスタ54を形成する際に比較的高温の熱処理が行われたとしても、支持基板10aが沿るのを抑制することが可能である。従って、かかる観点からは、支持基板10aの材料として、強誘電体層28cを形成するための強誘電体基板28aと同じ材料を用いることが有利である。

- [0216] 導電膜50の材料としては、例えば、Au、Cu、Al、Ti、Ir、Pt等の金属が用いられている。なお、導電膜50の材料は、金属に限定されるものではない。例えば、導電膜50の材料として、 IrO_2 、 SrRuO_3 、 RuO_2 等の導電性金属酸化物を用いてもよい。また、導電膜50の材料として、 TiN 等の導電性窒化物を用いてもよい。また、これらの材料を適宜積層して成る積層膜により、導電膜50を構成してもよい。
- [0217] 導電膜50上には、単結晶の強誘電体層28cがベタ状に形成されている。本実施形態による不揮発性半導体記憶装置の強誘電体層28cは、後述するように、支持基板10a上に単結晶の強誘電体基板28aを接合し、強誘電体基板28aを研磨等により所定の厚さまで薄くすることにより形成されている。このため、強誘電体層28cは、単結晶状態となっている。強誘電体層28cの材料としては、例えば、タンタル酸リチウム(LiTaO_3)単結晶、ニオブ酸リチウム(LiNbO_3)単結晶等が用いられている。強誘電体層28cにおける分極軸(Z軸)の方向は、強誘電体層28cの面の法線方向となっている。強誘電体層28cの膜厚は、例えば0.5〜1.5 μm 程度に設定されている。
- [0218] 強誘電体層28c上には、絶縁膜52が形成されている。絶縁膜52の材料としては、例えばシリコン酸化膜が用いられている。絶縁膜52の厚さは、例えば500〜1000nmとする。
- [0219] 絶縁膜52には、強誘電体層28cに達する開口部56が形成されている。
- [0220] 絶縁膜52上には、ポリシリコン又はアモルファスシリコンより成る半導体層58が形成

されている。

- [0221] 半導体層58上には、ゲート絶縁膜60を介して、薄膜トランジスタ54のゲート電極(ワード線)62bが形成されている。
- [0222] 開口部56内における強誘電体層28c上、絶縁膜52上及び半導体層58上には、導電膜62aが形成されている。開口部56内において強誘電体層28c上に存在している導電膜62aは、キャパシタ56の上部電極として機能する。また、導電膜62aは、薄膜トランジスタ54のソース電極としても機能する。
- [0223] また、半導体層58上、及び絶縁膜52上には、ドレイン電極(引き出し用電極)62cが形成されている。
- [0224] こうして、下部電極50と強誘電体層28cと上部電極62aとから成るキャパシタ32aが構成されている。また、半導体層58とゲート電極62bとソース/ドレイン電極62a、62bとを有する薄膜トランジスタ54が構成されている。薄膜トランジスタ54は、キャパシタ32aに電氣的に接続されている。
- [0225] 薄膜トランジスタ54及びキャパシタ32aが形成された支持基板10a上には、例えばシリコン酸化膜より成る層間絶縁膜20が形成されている。
- [0226] 層間絶縁膜20には、ドレイン電極62cに達するコンタクトホール22が形成されている。
- [0227] コンタクトホール22内には、導体プラグ24が埋め込まれている。
- [0228] 導体プラグ24が埋め込まれた層間絶縁膜20上には、ビット線40aが形成されている。ビット線40aは、導体プラグ24を介して薄膜トランジスタ54のドレイン電極62cに電氣的に接続されている。
- [0229] こうして、本実施形態による不揮発性半導体記憶装置が構成されている。
- [0230] 次に、本実施形態による不揮発性半導体記憶装置の動作について説明する。
- [0231] 本実施形態による不揮発性半導体記憶装置の動作は、基本的には、第1実施形態による不揮発性半導体記憶装置の動作と同様である。
- [0232] まず、メモリセルに書き込まれたデータを読み出す場合の動作について説明する。
- [0233] メモリセルに書き込まれたデータを読み出す場合には、読み出しの対象となるメモリセルをワード線62bにより選択する。具体的には、読み出しの対象となるメモリセルに

接続されているワード線62bに所定の電圧を印加する。また、プレート線50にも所定の電圧を印加する。プレート線50に印加する所定の電圧は、キャパシタ32aの強誘電体層28cにおいて分極が反転する電圧より高い電圧とする。ワード線62b及びプレート線50に所定の電圧を印加すると、ビット線40aの電位が変化する。ビット線40aに現れる電位の変化は、キャパシタ32aの強誘電体層28cにおいて分極が反転した場合と、キャパシタ32aの強誘電体層28cにおいて分極が反転しなかった場合とで異なる。強誘電体層28cにおいて分極が反転する部分は、下部電極50と上部電極62aとの間に存在している強誘電体層28cの部分、即ち、開口部56の近傍領域における強誘電体層28cである。ビット線40aの電位と参照用の電位との差をセンスアンプ(図示せず)を用いて比較することにより、メモリセルに書き込まれていたデータが判別される。キャパシタ32aにおいて分極が反転した場合には、メモリセルに書き込まれていたデータが書き換えられたことになる。このため、メモリセルに対して再度同じデータを書き込みを行うことにより、読み出しを行う前の状態にメモリセルを戻す。こうして、データの読み出しが終了する。

[0234] 次に、メモリセルにデータを書き込む場合の動作について説明する。

[0235] メモリセルにデータを書き込む場合には、書き込みの対象となるメモリセルをワード線62bにより選択する。メモリセルに“1”のデータを書き込む場合には、ビット線40aに例えば電源電圧を印加し、プレート線50を例えばグラウンド電位に設定する。メモリセルに“0”のデータを書き込む場合には、ビット線40aを例えばグラウンド電位に設定し、プレート線50に例えば電源電圧を印加する。こうして、メモリセルにデータが書き込まれる。

[0236] (不揮発性半導体記憶装置の製造方法)

次に、本実施形態による不揮発性半導体記憶装置の製造方法を図15及び図16を用いて説明する。図15及び図16は、本実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図である。

[0237] まず、図15(a)に示すように、支持基板10aを用意する。支持基板10aとしては、例えば、半導体基板、絶縁性基板、強誘電体基板等を用いることができる。

[0238] 支持基板10aの材料として、強誘電体層28cを形成するための強誘電体基板28a(

図15(c)参照)と同じ材料を用いれば、支持基板10aの熱膨張率と強誘電体層28cとの熱膨張率が互いに等しくなる。支持基板10aの熱膨張率と強誘電体層28aの熱膨張率とを等しい場合には、強誘電体層28cの上方に薄膜トランジスタ54を形成する際に比較的高温の熱処理が行われたとしても、支持基板10aの反りを抑制することが可能である。従って、かかる観点からは、支持基板10aの材料として、強誘電体層28cを形成するための強誘電体基板28aと同じ材料を用いることが有利である。例えば、強誘電体層28cを形成するための強誘電体基板28aとしてタンタル酸リチウムより成る強誘電体基板28aを用いる場合には、支持基板10aについても、タンタル酸リチウムより成る強誘電体基板を用いればよい。また、強誘電体層28cを形成するための強誘電体基板28aとしてニオブ酸リチウムより成る強誘電体基板を用いる場合には、支持基板10aについても、ニオブ酸リチウムより成る強誘電体基板を用いればよい。

[0239] 次に、支持基板10a上の全面に、例えばスパッタ法により、導電膜50aを形成する。導電膜50aの材料としては、例えば、Au、Cu、Al、Ti、Ir、Pt等の金属を用いることができる。なお、導電膜50aの材料は、金属に限定されるものではない。例えば、導電膜50aの材料として、 IrO_2 、 SrRuO_3 、 RuO_2 等の導電性金属酸化物を用いてもよい。また、導電膜50aの材料として、TiN等の導電性窒化物を用いてもよい。また、これらの材料を適宜積層して成る積層膜により、導電膜50aを形成してもよい。

[0240] 次に、図15(b)に示すように、単結晶の強誘電体基板28aを用意する。単結晶の強誘電体基板28aの材料としては、例えば、上記実施形態と同様に、単結晶のタンタル酸リチウム、単結晶のニオブ酸リチウム等を用いことができる。強誘電体基板28aとしては、Zカットの強誘電体基板を用いる。強誘電体基板28aとしては、化学量論的組成の強誘電体基板を用いることが好ましい。

[0241] なお、ここでは、強誘電体基板28aとして、化学量論的組成の強誘電体基板を用いる場合を例に説明するが、強誘電体基板28aは、化学量論的組成の強誘電体基板に限定されるものではない。例えば、強誘電体基板28aとして、一致溶融組成の強誘電体基板を用いてもよい。強誘電体基板28aの厚さを十分に薄くすれば、一致溶融組成の強誘電体基板を用いて強誘電体層28cを形成した場合であっても、比較的

低い印加電圧で分極を反転させることが可能である。

- [0242] 次に、強誘電体基板28a上の全面に、例えばスパッタ法により、導電膜50bを形成する。導電膜50bの材料としては、例えば、Au、Cu、Al、Ti、Ir、Pt等の金属を用いることができる。なお、導電膜50bの材料は、金属に限定されるものではない。例えば、導電膜50bの材料として、 IrO_2 、 SrRuO_3 、 RuO_2 等の導電性金属酸化物を用いてもよい。また、導電膜50bの材料として、TiN等の導電性窒化物を用いてもよい。また、これらの材料を適宜積層して成る積層膜により、導電膜50bを形成してもよい。
- [0243] 次に、例えばSAB法により、支持基板10aのうちの導電膜50aが形成されている面側と強誘電体基板28aのうちの導電膜50bが形成されている側とを接合する(図15(c)参照)。具体的には、例えば以下のようにして接合を行う。
- [0244] まず、支持基板10a側に形成された導電膜50aの表面と強誘電体基板28a側に形成された導電膜50bの表面とをアルゴンガス等を用いてクリーニングする。
- [0245] この後、例えば常温にて、導電膜50aが形成された支持基板10a側と導電膜50bが形成された強誘電体基板28aとを接合する。
- [0246] こうして、導電膜50aが形成された半導体基板10aと導電膜50bが形成された強誘電体基板28aとが接合される。
- [0247] なお、導電膜50aが形成された半導体基板10aと導電膜50bが形成された強誘電体基板28aとを接合する方法は、SAB法に限定されるものではない。導電膜50aが形成された半導体基板10aと導電膜50bが形成された強誘電体基板28aとを重ね合わせた状態で熱処理を行うことにより、接合を行ってもよい。
- [0248] また、ここでは、支持基板10a側と強誘電体基板28a側の両方に導電膜50a、50bをそれぞれ形成し、これらの導電膜50a、50bを接合する場合を例に説明したが、必ずしも、支持基板10a側と強誘電体基板28a側の両方に導電膜を形成しなくてもよい。支持基板10a側と強誘電体基板28a側の少なくとも一方に導電膜50a、50bを形成すれば、導電膜より成る下部電極50を形成することが可能である。
- [0249] 但し、導電膜50a、50b同士を接合する場合には、導電膜50aと強誘電体基板28aとを直接接合する場合や、支持基板10aと導電膜50bとを接合する場合と比較して、容易且つ確実に接合を行うことが可能である。従って、かかる観点からは、支持基板

10a側と強誘電体基板28a側の両方にそれぞれ導電膜50a、50bを形成しておくことが好ましい。

[0250] こうして、支持基板10a上に導電膜50を介して強誘電体基板28aが接合されることとなる。

[0251] 次に、例えばCMP法により、強誘電体基板28aが所定の厚さになるまで、強誘電体基板28aの上面側を研磨する(図16(a)参照)。例えば、強誘電体基板28aの厚さが $1\mu\text{m}$ 程度となるまで、強誘電体基板28aの上面側を研磨する。こうして、強誘電体基板28aより成る単結晶の強誘電体層28cが形成される。

[0252] なお、強誘電体層28cの厚さは、 $1\mu\text{m}$ に限定されるものではない。上述したように、化学量論的組成のタンタル酸リチウム単結晶の抗電界 E_c は、 $1.7\text{V}/\mu\text{m}$ 程度である。メモリセルに情報を書き込むべくキャパシタ32aに電圧を印加した際に、抗電界 E_c より強い電界が強誘電体層28cに加わるように、強誘電体層28cの厚さを適宜設定すればよい。メモリに情報を書き込む際における電圧を例えば3V程度とする場合には、強誘電体層28cの厚さは例えば $0.5\sim 1.5\mu\text{m}$ 程度とすればよい。

[0253] 次に、例えばCVD法により、強誘電体層28c上の全面に、絶縁膜52を形成する。絶縁膜52の材料としては、例えばシリコン酸化膜を形成する。

[0254] 次に、フォトリソグラフィ技術を用い、強誘電体層28cに達する開口部52を絶縁膜52に形成する。

[0255] 次に、例えばCVD法により、アモルファスシリコン又はポリシリコン等より成る半導体層58を形成する。半導体層58は、薄膜トランジスタ54のチャネル層となるものである。

[0256] 次に、フォトリソグラフィ技術を用い、半導体層58をパターニングする。こうして、薄膜トランジスタ54のチャネル層58が形成される。

[0257] 次に、例えばCVD法により、絶縁膜60を形成する。絶縁膜60は、薄膜トランジスタ54のゲート絶縁膜として機能するものである。

[0258] 次に、フォトリソグラフィ技術を用い、絶縁膜60をパターニングする。こうして、薄膜トランジスタ54のゲート絶縁膜60が形成される。

[0259] 次に、全面に、例えばスパッタ法により、導電膜を形成する。導電膜の材料としては

、例えば、Au、Cu、Al、Ti、Ir、Pt等の金属を用いることができる。なお、導電膜の材料は、金属に限定されるものではない。例えば、導電膜の材料として、 IrO_2 、 SrRuO_3 、 RuO_2 等の導電性金属酸化物を用いてもよい。また、導電膜の材料として、TiN等の導電性窒化物を用いてもよい。また、これらの材料を適宜積層して成る積層膜により、導電膜を構成してもよい。

[0260] 次に、フォトリソグラフィ技術を用い、導電膜をパターンニングする。こうして、キャパシタ32aの上部電極と薄膜トランジスタ54のソース電極とを兼ねる電極62aが形成される。また、導電膜より成るゲート電極(ワード線)62bが形成される。また、導電膜より成るドレイン電極62cが形成される。

[0261] 次に、全面に、例えばCVD法により、シリコン酸化膜より成る層間絶縁膜20を形成する。

[0262] 次に、フォトリソグラフィ技術を用い、薄膜トランジスタ54のソース電極62cに達するコンタクトホール22を、層間絶縁膜20に形成する。

[0263] 次に、全面に、例えばスパッタ法により、Ti膜(図示せず)及びTiN膜(図示せず)より成るバリア膜(図示せず)を形成する。

[0264] 次に、全面に、例えばスパッタ法により、タングステン膜を形成する。

[0265] 次に、例えばCMP法により、タングステン膜及びバリア膜を、層間絶縁膜20の表面が露出するまで研磨する。これにより、コンタクトホール22内に、タングステンより成る導体プラグ24が埋め込まれる。

[0266] 次に、全面に、例えばスパッタ法により、導電膜を形成する。

[0267] 次に、フォトリソグラフィ技術を用い、導電膜をパターンニングする。これにより、導電膜より成るビット線40aが形成される。ビット線40aは、導体プラグ24を介してドレイン電極62cに電氣的に接続される。

[0268] こうして本実施形態による不揮発性半導体記憶装置が製造される。

[0269] (変形例)

次に、本実施形態の変形例による不揮発性半導体記憶装置及びその製造方法を図17乃至図19を用いて説明する。図17は、本変形例による不揮発性半導体記憶装置を示す断面図である。

- [0270] 本変形例による不揮発性半導体記憶装置は、支持基板10aの表層部に形成された不純物拡散層50cにより、キャパシタ32の下部電極50cが構成されていることに主な特徴がある。
- [0271] 図17に示すように、支持基板10aの表層部には、不純物拡散層50cが形成されている。支持基板10aとしては、例えば半導体基板が用いられている。不純物拡散層50cは、キャパシタ32aの下部電極として機能するとともに、プレート電極としても機能するものである。
- [0272] 不純物拡散層より成る下部電極50a上には、強誘電体層28cが形成されている。
- [0273] 強誘電体層28c上には、絶縁膜52を介して薄膜トランジスタ54が形成されている。
- [0274] 絶縁膜52には、強誘電体層28cに達する開口部56が形成されている。開口部56内に存在する導電膜62aは、キャパシタ32aの上部電極として機能する。
- [0275] こうして本変形例による不揮発性半導体記憶装置が構成されている。
- [0276] 次に、本変形例による不揮発性半導体記憶装置の製造方法を図18及び図19を用いて説明する。図18及び図19は、本変形例による不揮発性半導体記憶装置の製造方法を示す工程断面図である。
- [0277] まず、図18(a)に示すように、支持基板10aを用意する。支持基板10aとしては、例えば半導体基板を用いる。
- [0278] 次に、例えばイオン注入法により、半導体基板10aの表層部にドーパント不純物を導入する。これにより、半導体基板10aの表層部に不純物拡散層50cが形成される。不純物拡散層50cは、キャパシタ32aの下部電極として機能するとともに、プレート電極としても機能するものである。
- [0279] 次に、単結晶の強誘電体基板28aを用意する。
- [0280] 次に、例えばSAB法により、支持基板10aのうちの不純物拡散層50cが形成されている側の面と強誘電体基板28aの面とを接合する(図18(b)参照)。
- [0281] なお、不純物拡散層50cが形成された支持基板10aと強誘電体基板28aとを接合する方法は、SAB法に限定されるものではない。例えば、不純物拡散層50cが形成された支持基板10aと強誘電体基板28aとを重ね合わせた状態で熱処理を行うことにより、接合を行ってもよい。

[0282] この後の不揮発性半導体記憶装置の製造方法は、図16(a)乃至図16(c)を用いて上述した不揮発性半導体記憶装置の製造方法と同様であるので、説明を省略する(図19(a)乃至図19(c)参照)。

[0283] こうして、本実施形態による不揮発性半導体記憶装置が製造される。

[0284] [第4実施形態]

本発明の第4実施形態による不揮発性半導体記憶装置及びその製造方法を図20乃至図24を用いて説明する。図1乃至図19に示す第1乃至第3実施形態による不揮発性半導体記憶装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

[0285] (不揮発性半導体記憶装置)

まず、本実施形態による不揮発性半導体記憶装置について図20乃至図22を用いて説明する。図20は、本実施形態による不揮発性半導体記憶装置を示す断面図である。

[0286] 本実施形態による不揮発性半導体記憶装置は、分極軸(Z軸)が面内方向である強誘電体基板64が用いられており、強誘電体基板64に形成された一对の凹部72a、72b内にキャパシタ32bの一对の電極66a、66bが埋め込まれており、強誘電体基板64のうち、電極66aと電極66bとの間に存在する部分によりキャパシタ32bの強誘電体層64aが構成されていることに主な特徴がある。

[0287] 図20に示すように、強誘電体基板64上には、例えばシリコン酸化膜より成る絶縁膜68が形成されている。強誘電体基板64の材料としては、単結晶のタンタル酸リチウム、単結晶のニオブ酸リチウム等を用いる。強誘電体基板64としては、分極軸(Z軸)が基板の面内方向である強誘電体基板を用いる。図20における両方向の矢印は、分極軸であるZ軸を示している。分極軸が面内方向である強誘電体基板64では、分極方向が基板面に対して平行な方向となる。かかる強誘電体基板64としては、化学量論的組成の強誘電体基板を用いることが好ましい。化学量論的組成の強誘電体基板64は、抗電界 E_c が極めて小さいため、書き込み等を極めて低い電圧で行うことが可能となるためである。

[0288] なお、ここでは、化学量論的組成の強誘電体基板64を用いる場合を例に説明した

が、単結晶の強誘電体基板64は、化学量論的組成の強誘電体基板に限定されるものではない。例えば、一致溶融組成の強誘電体基板64を用いてもよい。しかし、上述したように、一致溶融組成の強誘電体基板は、化学量論的組成の強誘電体基板と比較して、抗電界 E_c が比較的大きい。従って、低電圧での動作を可能とするという観点からは、化学量論的組成の強誘電体基板64を用いることが好ましい。但し、一対の凹部72a、72bに埋め込まれた電極66a、66bの間隔、即ち、強誘電体層64aの厚さを十分に薄くすれば、一致溶融組成の強誘電体基板64を用いて強誘電体層64aを形成した場合であっても、比較的低い印加電圧で分極を反転させることが可能である。

[0289] 絶縁膜68には、開口部70a、70bが形成されている。

[0290] 開口部70a、70bにおける強誘電体基板64には、凹部72a、72bが形成されている。凹部72aと凹部72bとの間に存在する強誘電体基板64の部分は、キャパシタ32bの強誘電体層64aを構成する。このように、本実施形態では、強誘電体基板64のうち、凹部72aと凹部72bとの間に存在する部分により、キャパシタ32bの強誘電体層64aが構成されている。

[0291] 絶縁膜68上及び凹部72a内には、導電膜66aが形成されている。導電膜66aは、キャパシタ32bの一方の電極として機能するとともに、薄膜トランジスタ54aのソース電極としても機能する。

[0292] また、絶縁膜68上及び凹部72b内には、導電膜66bが形成されている。導電膜66bは、キャパシタ32bの他方の電極として機能するとともに、引き出し電極としても機能する。

[0293] また、絶縁膜68上には、導電膜66cが形成されている。

[0294] 図21は、本実施形態による不揮発性半導体記憶装置のキャパシタを示す平面図及び断面図である。図21(a)は平面図であり、図21(b)は図21(a)のA-A'線断面図である。

[0295] キャパシタ32bの強誘電体層64aの幅 g は、例えば $0.05\mu\text{m}$ 〜 $2\mu\text{m}$ 程度に設定されている。強誘電体層64aの高さ d 、即ち凹部72a、72bの深さ d は、例えば 0.5 〜 $1\mu\text{m}$ 程度に設定されている。凹部72a、72bのサイズは、 s が 0.5 〜 $1\mu\text{m}$ 程度に設

定されており、 w が例えば $0.5\sim 1\mu\text{m}$ 程度に設定されている。

- [0296] 強誘電体層64aの側面は、強誘電体基板64の面に対して、できるだけ垂直であることが好ましい。強誘電体基板64の面の法線に対する強誘電体層64aの側面の傾きが大きくなるほど、P-E特性の角型性が劣化するためである。即ち、強誘電体層64aの両側に設けられた一対の電極66a、66b間に電圧を印加すると、強誘電体層64aの各部には、電極66aと電極66bとの間隔 g に応じた強さの電界が印加される。電極66aと電極66bとの間隔 g が狭い部分においては比較的強い電界が加わる一方、電極66aと電極66bとの間隔 g が広い部分においては電界が比較的弱くなる。このため、強誘電体基板64の面の法線に対する強誘電体層64aの側面の傾きが大きくなるほど、強誘電体層64aの各部に加わる電界の強さに格差が生じる。このため、強誘電体基板64の面の法線に対する強誘電体層64aの側面の傾きが比較的大きい場合には、角型性が良好なP-E特性が得られない。従って、強誘電体層64aの側面は、強誘電体基板64の面に対して垂直に近いことが望ましい。
- [0297] ソース電極66a上、ドレイン電極66c上及び絶縁膜68上には、アモルファスシリコン、ポリシリコン等より成る半導体層58が形成されている。半導体層58は、薄膜トランジスタ54aのチャネル層として機能するものである。
- [0298] 半導体層58上には、ゲート絶縁膜60を介してゲート電極(ワード線)74が形成されている。
- [0299] こうして、半導体層58、ソース/ドレイン電極66a、66c及びゲート電極74を有する薄膜トランジスタ54aが構成されている。また、強誘電体基板64の一部より成る強誘電体層64aと、強誘電体層64aの両側に形成された一対の電極66a、66bとを有するキャパシタ32bが構成されている。
- [0300] キャパシタ32b及び薄膜トランジスタ54aが形成された強誘電体基板64上には、例えばシリコン酸化膜より成る層間絶縁膜20が形成されている。
- [0301] 層間絶縁膜20には、ドレイン電極66cに達するコンタクトホール22と、キャパシタ32bの電極66bに達するコンタクトホール22とが形成されている。
- [0302] コンタクトホール22内には、導体プラグ24が埋め込まれている。
- [0303] 導体プラグ24が埋め込まれた層間絶縁膜20上には、ビット線40a及びプレート線4

0bが形成されている。ビット線40aは、導体プラグ24を介して薄膜トランジスタ54aのドレイン電極66cに接続されている。プレート線40bは、導体プラグ24を介してキャパシタ32bの電極66bに電氣的に接続されている。

[0304] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0305] 図22は、本実施形態による不揮発性半導体記憶装置のキャパシタを示す斜視図である。

[0306] キャパシタ32bの一对の電極66a、66b間に電圧を印加すると、電極66aと電極66bとの間に存在する強誘電体層64aにおいて、電界の方向に応じた分極が生じる。図22において、一方向の矢印は分極の方向を示しており、両方向の矢印は分極軸であるZ軸を示している。

[0307] なお、データの書き込み方法や読み出し方法は、第1実施形態による不揮発性半導体記憶装置と同様であるので、説明を省略する。

[0308] 本実施形態による不揮発性半導体記憶装置は、分極軸(Z軸)が面内方向である強誘電体基板64が用いられており、強誘電体基板64に形成された一对の凹部72a、72b内にキャパシタ32bの一对の電極66a、66bが埋め込まれており、強誘電体基板64のうち、電極66aと電極66bとの間に存在する部分によりキャパシタ32bの強誘電体層64aが構成されていることに主な特徴がある。

[0309] 本実施形態によれば、強誘電体基板64に形成された一对の凹部72a、72b内にキャパシタ32bの一对の電極66a、66bが埋め込まれており、強誘電体基板64のうち、電極66aと電極66bとの間に存在する部分によりキャパシタ32bの強誘電体層64aが構成されているため、後述するように、強誘電体基板64の厚さを研磨等により薄くする工程を要することなく、不揮発性半導体記憶装置を製造することができる。従って、本実施形態によれば、不揮発性半導体記憶装置を高い歩留りで製造することが可能となる。

[0310] (不揮発性半導体記憶装置の製造方法)

次に、本実施形態による不揮発性半導体記憶装置の製造方法を図23及び図24を用いて説明する。図23及び図24は、本実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図である。

- [0311] まず、図23(a)に示すように、単結晶の強誘電体基板64を用意する。単結晶の強誘電体基板64の材料としては、例えば、単結晶のタンタル酸リチウム、単結晶のニオブ酸リチウム等を用いる。強誘電体基板64としては、分極軸(Z軸)が基板の面内方向である強誘電体基板を用いる。分極軸が基板の面内方向である強誘電体基板64では、分極方向が基板面に対して平行となる。かかる強誘電体基板64としては、化学量論的組成の強誘電体基板を用いることが好ましい。化学量論的組成の強誘電体基板64は、抗電界 E_c が極めて小さいため、書き込み等を極めて低い電圧で行うことが可能となるためである。
- [0312] なお、ここでは、化学量論的組成の強誘電体基板64を用いる場合を例に説明したが、単結晶の強誘電体基板64は、化学量論的組成の強誘電体基板に限定されるものではない。例えば、一致溶融組成の強誘電体基板を用いてもよい。しかし、上述したように、一致溶融組成の強誘電体基板は、化学量論的組成の強誘電体基板と比較して、抗電界 E_c が比較的大きい。従って、低電圧での動作を可能とするという観点からは、化学量論的組成の強誘電体基板を用いることが好ましい。但し、強誘電体層64aの厚さ g を十分に薄くすれば、一致溶融組成の強誘電体基板64を用いて強誘電体層を形成した場合であっても、比較的低い印加電圧で分極を反転させることが可能である。
- [0313] 次に、例えばCVD法により、シリコン酸化膜より成る絶縁膜68を形成する。
- [0314] 次に、フォトリソグラフィ技術を用い、絶縁膜68及び強誘電体基板64をエッチングする。これにより、絶縁膜68に開口部70a、70bが形成され、強誘電体基板64に凹部72a、72bが形成される。凹部72aと凹部72bとの間に存在する強誘電体基板64の部分により、キャパシタ32bの強誘電体層64aが構成される。絶縁膜68及び強誘電体基板64をエッチングする際には、凹部72aと凹部72bとの間隔 g 、即ち、強誘電体層64aの幅 g が例えば $0.05\mu\text{m}$ 〜 $2\mu\text{m}$ 程度となるように、エッチングを行う。また、絶縁膜68及び強誘電体基板64をエッチングする際には、凹部72a、72bの深さ、即ち、強誘電体層64aの高さ d が、例えば 0.5 〜 $1\mu\text{m}$ 程度となるように、エッチングを行う。
- [0315] 次に、全面に、例えばスパッタ法により、例えばAu等より成る導電膜を形成する。

導電膜は、薄膜トランジスタのソース／ドレイン電極やキャパシタの電極となるものである。

- [0316] 次に、フォトリソグラフィ技術を用い、導電膜をパターニングする。こうして、凹部72a内及び絶縁膜68上に、キャパシタ32bの電極と薄膜トランジスタ54aのソース電極とを兼ねる電極66aが形成される。また、凹部72b内及び絶縁膜68上に、キャパシタ32bの電極と引き出し電極とを兼ねる電極66bが形成される。また、絶縁膜68上に、ドレイン電極66cが形成される。
- [0317] 次に、全面に、例えばCVD法により、ポリシリコン又はアモルファスシリコンより成る半導体層58を形成する。
- [0318] 次に、フォトリソグラフィ技術を用い、半導体層58をパターニングする。こうして、薄膜トランジスタ54aのチャネル層58が形成される。
- [0319] 次に、全面に、例えばCVD法により、例えばシリコン酸化膜より成る絶縁膜を形成する。絶縁膜は、薄膜トランジスタ54aのゲート絶縁膜60となるものである。
- [0320] 次に、フォトリソグラフィ技術を用い、絶縁膜をパターニングする。これにより、薄膜トランジスタ54aのゲート絶縁膜60が形成される。
- [0321] 次に、全面に、例えばスパッタ法により、導電膜を形成する。導電膜は、薄膜トランジスタ54aのゲート電極74となるものである。
- [0322] 次に、フォトリソグラフィ技術を用い、導電膜をパターニングする。こうして、導電膜より成るゲート電極(ワード線)74が形成される。
- [0323] 次に、全面に、例えばCVD法により、シリコン酸化膜より成る層間絶縁膜20を形成する。
- [0324] 次に、フォトリソグラフィ技術を用い、薄膜トランジスタ54aのドレイン電極66cに達するコンタクトホール22と、キャパシタ32bの一方の電極を兼ねる引き出し用配線66bに達するコンタクトホール22とを、層間絶縁膜20に形成する。
- [0325] 次に、全面に、例えばスパッタ法により、Ti膜(図示せず)及びTiN膜(図示せず)より成るバリア膜(図示せず)を形成する。
- [0326] 次に、全面に、例えばスパッタ法により、タングステン膜を形成する。
- [0327] 次に、例えばCMP法により、タングステン膜及びバリア膜を、層間絶縁膜20の表面

が露出するまで研磨する。これにより、コンタクトホール22内に、タングステンより成る導体プラグ24が埋め込まれる。

[0328] 次に、全面に、例えばスパッタ法により、導電膜を形成する。

[0329] 次に、フォトリソグラフィ技術を用い、導電膜をパターニングする。これにより、導電膜より成るビット線40aとプレート線40bが形成される。ビット線40aは、導体プラグ24を介してドレイン電極66cに電氣的に接続される。プレート線40bは、導体プラグ24を介して、キャパシタ32bの一方の電極66bに電氣的に接続される(図24参照)。

[0330] こうして本実施形態による不揮発性半導体記憶装置が製造される。

[0331] (変形例(その1))

本実施形態の変形例(その1)による不揮発性半導体記憶装置を図25及び図26を用いて説明する。図25は、本変形例による不揮発性半導体記憶装置を示す平面図である。

[0332] 本変形例による不揮発性半導体記憶装置は、キャパシタの電極66a、66bが楕形に形成されていることに主な特徴がある。

[0333] 図25に示すように、本変形例では、キャパシタ32bの電極66a、66bが楕形に形成されている。楕形電極66aと楕形電極66bとは、楕歯部分76a、76bが互いに対向するように配されている。

[0334] 楕形電極66aの楕歯部分76aと楕形電極66bの楕歯部分76bとの間隔gは、例えば $0.05\mu\text{m}$ 〜 $2\mu\text{m}$ 程度に設定されている。

[0335] 図26は、本変形例による不揮発性半導体記憶装置を示す斜視図である。図26において、一方向の矢印は分極方向を示しており、両方向の矢印は分極軸(Z軸)を示している。

[0336] 図26から分かるように、本変形例によれば、楕形電極66a、66bが用いられているため、キャパシタ32bの一方の電極66aと他方の電極66bとが対向する面積を大きくすることができる。

[0337] 本変形例によれば、キャパシタ32bの一方の電極66aと他方の電極66bとが対向する面積を大きく確保することができるため、より大きい出力信号を得ることが可能となる。

[0338] (変形例(その2))

本実施形態の変形例(その2)による不揮発性半導体記憶装置及びその製造方法を図27乃至図29を用いて説明する。図27は、本変形例による不揮発性半導体記憶装置を示す断面図である。

[0339] 本変形例による不揮発性半導体記憶装置は、強誘電体基板64に形成された一対の凹部72a、72b内に、キャパシタ32bの一対の電極66a、66bが埋め込まれており、キャパシタ32bの電極66a、66bと別個に、ソース電極66f及び引き出し用電極66gが形成されていることに主な特徴がある。

[0340] 図27に示すように、強誘電体基板64には、一対の凹部72a、72bが形成されている。

[0341] 一対の凹部72a、72b内には、キャパシタ32bの一対の電極66d、66eが埋め込まれている。キャパシタ32bの電極66d、66eの材料としては、例えばAu等が用いられている。

[0342] 一対の電極66d、66eが埋め込まれた強誘電体基板64上には、例えばシリコン酸化膜より成る絶縁膜68が形成されている。

[0343] 絶縁膜68には、電極66d、66eに達する開口部70a、70bが形成されている。

[0344] 絶縁膜68上には、薄膜トランジスタ54のドレイン電極66cが形成されている。

[0345] また、キャパシタ54aの一方の電極66d上及び絶縁膜68上には、薄膜トランジスタ32bのソース電極66fが形成されている。ソース電極66fは、絶縁膜68に形成された開口部70a内で、キャパシタ32bの一方の電極66dに接続されている。

[0346] また、絶縁膜68上及びキャパシタ32bの他方の電極66e上には、引き出し用電極66gが形成されている。引き出し用電極66gは、絶縁膜68に形成された開口部70b内で、キャパシタ32bの他方の電極66eに接続されている。

[0347] このように、強誘電体基板64に形成された一対の凹部72c、72d内に、キャパシタ32bの一対の電極66d、66eを埋め込むようにしてもよい。

[0348] キャパシタ32bの強誘電体層64aの側面が、強誘電体基板64の面に対して垂直に近い場合には、強誘電体層64aの側面にスパッタ法により導電膜を形成することは、必ずしも容易ではない。即ち、キャパシタの一対の電極を構成する導電膜を例えば

スパッタ法により凹部内に形成した場合には、強誘電体層64aの側面に導電膜が十分に形成されないことも考えられる。

- [0349] これに対し、本実施形態では、後述するように、凹部72a、72b内を埋め込むように導電膜をめっき法により強誘電体基板64上に形成した後、強誘電体基板64の表面が露出するまで導電膜を研磨することにより、導電膜より成る電極66d、66eを凹部72c、72d内に埋め込む。従って、本実施形態によれば、強誘電体層64aの側面が強誘電体基板64の面に対して垂直に近い場合であっても、キャパシタ32bの電極66d、66eを凹部72a、72b内に確実に形成することができる。従って、本実施形態によれば、高い歩留りで不揮発性半導体記憶装置を製造することが可能となる。
- [0350] 次に、本変形例による不揮発性半導体記憶装置の製造方法を図28及び図29を用いて説明する。図28及び図29は、本変形例による不揮発性半導体記憶装置の製造方法を示す工程断面図である。
- [0351] まず、図28(a)に示すように、単結晶の強誘電体基板64を用意する。単結晶の強誘電体基板64の材料としては、例えば、単結晶のタンタル酸リチウム、単結晶のニオブ酸リチウム等を用いる。強誘電体基板64としては、分極軸(Z軸)が基板の面内方向である強誘電体基板を用いる。
- [0352] 次に、フォトリソグラフィ技術を用い、強誘電体基板64をエッチングする。これにより、強誘電体基板64に凹部72c、72dが形成される。凹部72cと凹部72dとの間における強誘電体基板64により、キャパシタ32bの強誘電体層64aが構成される。
- [0353] 次に、全面に、例えばスパッタ法により、例えばNiより成るシード膜(図示せず)を形成する。
- [0354] 次に、電気めっき法により、例えばCuより成る導電膜を形成する。
- [0355] 次に、例えばCMP法により、強誘電体基板64の表面が露出するまで、導電膜及びシード膜を研磨する。これにより、凹部72c、72d内に導電膜より成る電極66d、66eが埋め込まれる(図28(b)参照)。
- [0356] 次に、例えばCVD法により、シリコン酸化膜より成る絶縁膜68を形成する。
- [0357] 次に、フォトリソグラフィ技術を用い、電極66d、66eに達する開口部70a、70bを絶縁膜に形成する(図28(c)参照)。

[0358] 次に、全面に、例えばスパッタ法により、導電膜を形成する。導電膜は、引き出し用電極や、薄膜トランジスタのソース／ドレイン電極となるものである。

[0359] 次に、フォトリソグラフィ技術を用い、導電膜をパターンニングする。こうして、引き出し用電極66g及びソース／ドレイン電極66f、66cが形成される。

[0360] この後の不揮発性半導体記憶装置の製造方法は、図24を用いて上述した不揮発性半導体記憶装置の製造方法と同様であるので、説明を省略する(図29参照)。

[0361] こうして本実施形態による不揮発性半導体記憶装置が製造される。

[0362] (変形例(その3))

本実施形態の変形例(その2)による不揮発性半導体記憶装置及びその製造方法を図30及び図31を用いて説明する。図30は、本変形例による不揮発性半導体記憶装置を示す断面図である。

[0363] 本変形例による不揮発性半導体記憶装置は、キャパシタ32bの強誘電体層64aとなる領域以外の領域における強誘電体基板64の上層部がエッチング除去されており、キャパシタ32bの強誘電体層64aが凸状に形成されていることに主な特徴がある。

[0364] 図30に示すように、強誘電体基板64の上層部は、キャパシタ32bの強誘電体層64aとなる領域以外の領域においてエッチング除去されている。このため、キャパシタ32bの強誘電体層64aとなる領域以外の領域における強誘電体基板64には、凹部が形成されている。強誘電体基板64の一部である凸部64aにより、キャパシタ32bの強誘電体層64aが構成されている。

[0365] 強誘電体基板64上には、例えばシリコン酸化膜より成る絶縁膜88が形成されている。

[0366] 凸部64aの両側の領域における絶縁膜68には、強誘電体基板64に達する開口部70a、70bが形成されている。

[0367] 開口部70a内における強誘電体基板64上及び絶縁膜68上には、キャパシタ32bの一方の電極と薄膜トランジスタ54aのソース電極とを兼ねる電極66aが形成されている。

[0368] また、開口部70b内における強誘電体基板64上及び絶縁膜68上には、キャパシタ

32bの他方の電極と引き出し用電極とを兼ねる電極66bが形成されている。

[0369] また、絶縁膜68上には、ドレイン電極66cが形成されている。

[0370] このように、キャパシタ54aの強誘電体層64aとなる領域以外の領域における強誘電体基板64の上層部をエッチングすることにより、キャパシタ32bの強誘電体層64aとなる凸部を形成するようにしてもよい。

[0371] 次に、本変形例による不揮発性半導体記憶装置の製造方法を図31を用いて説明する。図31は、本変形例による不揮発性半導体記憶装置の製造方法を示す工程断面図である。

[0372] まず、図31(a)に示すように、単結晶の強誘電体基板64を用意する。単結晶の強誘電体基板64の材料としては、例えば、単結晶のタンタル酸リチウム、単結晶のニオブ酸リチウム等を用いる。強誘電体基板64としては、分極軸(Z軸)が基板の面内方向である強誘電体基板を用いる。

[0373] 次に、フォトリソグラフィ技術を用い、キャパシタ32bの強誘電体層64aとなる領域以外の領域における強誘電体基板64の上層部をエッチング除去する。これにより、キャパシタ32bの強誘電体層64aとなる凸部が形成される。換言すれば、キャパシタ32bの強誘電体層64aとなる凸部を除く領域における強誘電体基板64には、凹部が形成される。

[0374] 次に、例えばCVD法により、シリコン酸化膜68より成る絶縁膜を形成する。

[0375] 次に、フォトリソグラフィ技術を用い、強誘電体基板64に達する開口部70a、70bを絶縁膜68に形成する(図31(b)参照)。

[0376] 次に、全面に、例えばスパッタ法により、導電膜を形成する。導電膜は、電極66a、66b、ドレイン電極66cとなるものである。

[0377] 次に、フォトリソグラフィ技術を用い、導電膜をパターニングする。こうして、開口部70a内における強誘電体基板64上及び絶縁膜68上に、キャパシタ32bの一方の電極と薄膜トランジスタ54aのソース電極とを兼ねる電極66aが形成される。また、開口部70b内における強誘電体基板64上及び絶縁膜68上に、キャパシタ32bの他方の電極と引き出し用電極とを兼ねる電極66bが形成される。また、絶縁膜68上に、ドレイン電極66cが形成される。

[0378] この後の不揮発性半導体記憶装置の製造方法は、図24を用いて上述した不揮発性半導体記憶装置の製造方法と同様であるので、説明を省略する(図31(c)参照)。

[0379] こうして本実施形態による不揮発性半導体記憶装置が製造される。

[0380] [第5実施形態]

本発明の第5実施形態による不揮発性半導体記憶装置及びその製造方法を図32乃至図34を用いて説明する。図1乃至図31に示す第1乃至第4実施形態による不揮発性半導体記憶装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

[0381] (不揮発性半導体記憶装置)

まず、本実施形態による不揮発性半導体記憶装置を図32を用いて説明する。図32は、本実施形態による不揮発性半導体記憶装置を示す断面図である。

[0382] 本実施形態による不揮発性半導体記憶装置は、半導体基板10にトランジスタ18が形成されており、半導体基板10とは別個の強誘電体基板64にキャパシタ32bが形成されており、トランジスタ18とキャパシタ32bとが電氣的に接続されていることに主な特徴がある。

[0383] 図32に示すように、半導体基板10上には、ゲート絶縁膜12を介してゲート電極(ワード線)14が形成されている。

[0384] ゲート電極14の両側の半導体基板10内には、ソース/ドレイン拡散層16D、16Sが形成されている。

[0385] こうして、ゲート電極14とソース/ドレイン拡散層16S、16Dとを有するトランジスタ18が構成されている。

[0386] トランジスタ18が形成された半導体基板10上には、例えばシリコン酸化膜より成る層間絶縁膜20が形成されている。

[0387] 層間絶縁膜20には、ソース/ドレイン拡散層16S、16Dに達するコンタクトホール22が形成されている。

[0388] コンタクトホール22内には、例えばタングステンより成る導体プラグ24が埋め込まれている。

[0389] 導体プラグ24が埋め込まれた層間絶縁膜20上には、ビット線40a及びプレート線4

0bが形成されている。ビット線40aは、導体プラグ24を介してトランジスタ18のドレイン拡散層16Dに接続されている。

[0390] ビット線40a及びプレート線40bが形成された層間絶縁膜20上には、例えばシリコン酸化膜より成る層間絶縁膜34が形成されている。

[0391] 層間絶縁膜34には、導体プラグ24に達するコンタクトホール36c、及び、プレート線40bに達するコンタクトホール36dが形成されている。

[0392] コンタクトホール36a、36b内には、それぞれ導体プラグ38c、38dが埋め込まれている。

[0393] 導体プラグ38c、38dが埋め込まれた層間絶縁膜34上には、強誘電体基板64が接合されている。強誘電体基板64の材料としては、例えば、単結晶のタンタル酸リチウム、単結晶のニオブ酸リチウム等が用いられている。強誘電体基板64としては、分極軸(Z軸)が面内方向である強誘電体基板を用いる。分極軸が面内方向である強誘電体基板64では、分極方向が強誘電体基板64の面に対して平行な方向となる。図32において両方向の矢印は、分極軸であるZ軸を示している。

[0394] 強誘電体基板64の下面側、即ち、半導体基板10に対向する面側には、一对の凹部72c、72dが形成されている。強誘電体基板64のうち、凹部72cと凹部72dとの間に存在している部分により、キャパシタ32bの強誘電体層64aが構成されている。

[0395] 凹部72a、72b内には、キャパシタ32bの一对の電極66d、66eが埋め込まれている。

[0396] 強誘電体層64aの幅gは、例えば $0.05\mu\text{m}$ 〜 $2\mu\text{m}$ 程度に設定されている。強誘電体層64aの高さd、即ち凹部72c、72dの深さdは、例えば 0.5 〜 $1\mu\text{m}$ 程度に設定されている。

[0397] キャパシタ32bの一方の電極66dは、導体プラグ38c及び導体プラグ24を介して、トランジスタ18のソース拡散層16Sに電氣的に接続されている。

[0398] キャパシタ32bの他方の電極66eは、導体プラグ38dを介して、プレート線40bに電氣的に接続されている。

[0399] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0400] (不揮発性半導体記憶装置の製造方法)

次に、本実施形態による不揮発性半導体記憶装置の製造方法を図33及び図34を用いて説明する。図33及び図34は、本実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図である。

- [0401] まず、図33(a)に示すように、半導体基板10を用意する。半導体基板10としては、例えばシリコン基板を用いる。
- [0402] 次に、全面に、例えば熱酸化法により、ゲート絶縁膜12を形成する。
- [0403] 次に、例えばスピコート法により、全面に、フォトレジスト膜(図示せず)を形成する。
- [0404] 次に、フォトリソグラフィ技術を用い、フォトレジスト膜に開口部(図示せず)を形成する。開口部は、ソース/ドレイン拡散層を形成するためのものである。
- [0405] 次に、フォトレジスト膜をマスクとして、例えばイオン注入法により、半導体基板10内にドーパント不純物を導入する。これにより、ソース/ドレイン拡散層16S、16Dが形成される。
- [0406] 次に、全面に、例えばスパッタ法により、導電膜14を形成する。導電膜14は、ゲート電極となるものである。
- [0407] 次に、フォトリソグラフィ技術を用い、導電膜14をパターニングする。これにより、導電膜14より成るゲート電極(ワード線)が形成される。
- [0408] こうして、ゲート電極14とソース/ドレイン拡散層16S、16Dとを有するトランジスタ18が形成される。
- [0409] 次に、全面に、例えばCVD法により、シリコン酸化膜より成る層間絶縁膜20を形成する。
- [0410] 次に、例えばCMP法により、層間絶縁膜20の表面を研磨する。これにより、層間絶縁膜20の表面が平坦化される。
- [0411] 次に、フォトリソグラフィ技術を用い、トランジスタ18のソース/ドレイン拡散層16S、16Dに達するコンタクトホール22を層間絶縁膜20に形成する。
- [0412] 次に、全面に、例えばスパッタ法により、Ti膜(図示せず)及びTiN膜(図示せず)より成るバリア膜(図示せず)を形成する。
- [0413] 次に、全面に、例えばスパッタ法により、タングステン膜を形成する。

- [0414] 次に、例えばCMP法により、タングステン膜及びバリア膜を、層間絶縁膜20の表面が露出するまで研磨する。これにより、コンタクトホール内に、タングステンより成る導体プラグ24が埋め込まれる。
- [0415] 次に、全面に、例えばスパッタ法により、導電膜を形成する。
- [0416] 次に、フォトリソグラフィ技術を用い、導電膜をパターニングする。これにより、導電膜より成るビット線40aとプレート線40bとが形成される。ビット線40aは、導体プラグ24を介してドレイン拡散層16Dに電氣的に接続される。
- [0417] 次に、全面に、例えばCVD法により、シリコン酸化膜より成る層間絶縁膜34を形成する。
- [0418] 次に、例えばCMP法により、層間絶縁膜34の表面を研磨する。層間絶縁膜34の表面を研磨するのは、層間絶縁膜34の表面を平坦化し、層間絶縁膜34と強誘電体基板64との接合を可能にするためである。
- [0419] 次に、フォトリソグラフィ技術を用い、導体プラグ24に達するコンタクトホール36c、及びプレート線40bに達するコンタクトホール36dを、層間絶縁膜34に形成する。
- [0420] 次に、全面に、例えばスパッタ法により、Ti膜(図示せず)及びTiN膜(図示せず)より成るバリア膜(図示せず)を形成する。
- [0421] 次に、全面に、例えばスパッタ法により、タングステン膜を形成する。
- [0422] 次に、例えばCMP法により、タングステン膜及びバリア膜を、層間絶縁膜34の表面が露出するまで研磨する。これにより、コンタクトホール36c、36d内に、タングステンより成る導体プラグ38c、38dが埋め込まれる。
- [0423] 次に、図33(b)に示すように、単結晶の強誘電体基板64を用意する。単結晶の強誘電体基板64の材料としては、例えば、単結晶のタンタル酸リチウム、単結晶のニオブ酸リチウム等を用いる。強誘電体基板64としては、分極軸(Z軸)が面内方向である強誘電体基板を用いる。
- [0424] 次に、フォトリソグラフィ技術を用い、強誘電体基板64をエッチングする。これにより、強誘電体基板64に一对の凹部72a、72bが形成される。強誘電体基板64のうち、凹部72cと凹部72dとの間に存在する部分により、キャパシタ32bの強誘電体層64aが構成される。

- [0425] 次に、全面に、例えばスパッタ法により、Niより成るシード膜(図示せず)を形成する。
- [0426] 次に、電気めっき法により、例えばCuより成る導電膜を形成する。
- [0427] 次に、例えばCMP法により、強誘電体基板64の表面が露出するまで、導電膜及びシード膜を研磨する。これにより、凹部72c、72d内に導電膜より成る電極66d、66eが埋め込まれる。一对の電極66d、66eと強誘電体層64aとにより、キャパシタ32bが構成される(図33(c)参照)。
- [0428] 次に、半導体基板10のうちの層間絶縁膜34が形成されている側の面と、強誘電体基板64のうちのキャパシタ32bが形成されている側の面とを対向させ、層間絶縁膜34に埋め込まれた導体プラグ38c、38dと強誘電体基板64側に埋め込まれた電極66d、66eとが互いに接続されるように、位置合わせを行う。タンタル酸リチウム単結晶等より成る強誘電体基板64は、光学的には殆ど透明であるため、目視による位置合わせが可能である。
- [0429] 高精度な位置合わせが必要な場合には、半導体基板10と強誘電体基板64とのうちの少なくともいずれかを適当なサイズに切断した後に、位置合わせを行うことが好ましい。例えば、半導体基板10と強誘電体基板64とのうちの少なくともいずれかを、50mm角程度のサイズに切断した後に、位置合わせを行ってもよい。また、半導体基板10と強誘電体基板64とのうちの少なくともいずれかをチップサイズに切断した後に、位置合わせを行ってもよい。
- [0430] 次に、例えばSAB法により、半導体基板10のうちの層間絶縁膜34が形成されている面側と強誘電体基板64のうちのキャパシタ32bが形成されている側とを接合する(図34(a)参照)。
- [0431] 具体的には、例えば以下のようにして接合を行う。
- [0432] まず、半導体基板側10側に形成された層間絶縁膜34の表面と強誘電体基板64の表面とをアルゴンガス等を用いてクリーニングする。
- [0433] この後、例えば常温にて、半導体基板10側に形成された層間絶縁膜34と強誘電体基板64とを接合する。
- [0434] こうして、半導体基板10側に形成された層間絶縁膜34と強誘電体基板64とが接

合される。

- [0435] なお、半導体基板10と強誘電体基板64とを接合する方法は、SAB法に限定されるものではない。半導体基板10と強誘電体基板64とを重ね合わせた状態で熱処理を行うことにより、接合を行ってもよい。
- [0436] こうして、導体プラグ38c、38dが埋め込まれた層間絶縁膜34とキャパシタ32bが形成された強誘電体基板64とが接合されることとなる(図34(b)参照)。
- [0437] こうして本実施形態による不揮発性半導体記憶装置が製造される。
- [0438] 本実施形態による不揮発性半導体記憶装置は、上述したように、半導体基板10側にトランジスタ18等が形成されており、半導体基板10とは別個の強誘電体基板64にキャパシタ32bが形成されており、トランジスタ18とキャパシタ32bとが導体プラグ24、38cを介して電氣的に接続されていることに主な特徴がある。
- [0439] 本実施形態によれば、トランジスタ18等は半導体基板10側に形成されており、キャパシタ32bは半導体基板10と別個の強誘電体基板64に形成されているため、半導体基板10側にトランジスタ18等を形成する工程と、強誘電体基板64にキャパシタ32bを形成する工程とを、別個に行うことができる。
- [0440] また、本実施形態によれば、半導体基板10と別個の強誘電体基板64にキャパシタ32bを形成するため、キャパシタ32bに高温の熱処理が加わったり、キャパシタ32bが水素雰囲気暴露されたり、キャパシタ32bが汚染されることもない。従って、本実施形態によれば、電氣的特性の良好な不揮発性半導体記憶装置を高い歩留りで製造することが可能となる。
- [0441] (変形例(その1))
- 次に、本実施形態による不揮発性半導体記憶装置の変形例(その1)を図35を用いて説明する。図35は、本変形例による不揮発性半導体記憶装置を示す平面図である。
- [0442] 本変形例による不揮発性半導体記憶装置は、導体プラグ38c、38dのパターンの幅 w_1 が、キャパシタ32bの電極66d、66eのパターンの幅 w より狭く設定されていることに主な特徴がある。
- [0443] 図35に示すように、導体プラグ38c、38dのパターンの幅 w_1 は、電極66d、66eの

パターンの幅 w より狭く設定されている。導体プラグ38c、38dのY方向における長さ s_1 は、電極66d、66eのY方向における長さ s と等しく設定されている。

[0444] 図35(a)は、位置ずれが生じていない場合、即ち、理想的な位置合わせが行われた場合を示している。

[0445] 図35(b)は、位置ずれが生じた場合を示している。導体プラグ38c、38dの位置が、強誘電体層64aが存在している領域内にまでずれた場合には、所望の電気的特性を有するキャパシタ32bが得られなくなる。また、導体プラグ38c、38dと電極66d、66eとの接触面積がある程度確保できない場合には、十分に低いコンタクト抵抗が得られなくなる。十分に低いコンタクト抵抗を得るためには、例えば、導体プラグ38c、38dと電極66d、66eとの間において少なくとも $(w_1 \times u)$ の接触面積が必要となる。図35(b)は、許容し得る位置ずれの限界を示している。

[0446] X方向における位置ずれの余裕度 Δx は、

$$\Delta x = \pm (w - w_1) / 2$$

で表される。

[0447] 一方、Y方向における位置ずれの余裕度 Δy は、

$$\Delta y = \pm (s - u)$$

で表される。

[0448] このように、本変形例によれば、導体プラグ38c、38dのパターンの幅 w_1 が電極66d、66eのパターンの幅 w より狭く設定されているため、X方向における位置ずれの余裕度を大きくすることができる。

[0449] (変形例2)

次に、本実施形態による不揮発性半導体記憶装置の変形例(その2)を図36を用いて説明する。図36は、本変形例による不揮発性半導体記憶装置を示す平面図である。図36(a)は、位置ずれが生じていない場合、即ち、理想的な位置合わせが行われた場合を示している。図36(b)は、許容し得る位置ずれの限界を示している。

[0450] 本変形例による不揮発性半導体記憶装置は、キャパシタ32bの一对の電極66d、66eが互いに部分的に対向しており、キャパシタ32bの一对の電極66d、66eが互いに対向している部分から離間した領域において、電極66d、66eと導体プラグ38c、3

8dとが接続されていることに主な特徴がある。

[0451] 図36に示すように、キャパシタ32bの一对の電極66d、66eのパターンは、一部において互いに対向しており、互いに対向している部分から離間した領域において導体プラグ38c、38dに接続されている。即ち、キャパシタ32bの一对の電極66d、66eは、互いに対向している部分から、互いに反対方向に引き出すようにパターンが形成されており、引き出されたパターンが導体プラグ38c、38dに接続されている。

[0452] キャパシタ32bの一方の電極66dと導体プラグ38cとが接続される領域の近傍には、キャパシタ32bの他方の電極66eは存在していない。また、キャパシタ32bの他方の電極66eと導体プラグ38dとが接続される領域の近傍には、キャパシタ32bの一方の電極66dは存在していない。

[0453] 従って、本変形例によれば、位置合わせの余裕度を十分に確保することが可能である。

[0454] (変形例3)

次に、本実施形態による不揮発性半導体記憶装置の変形例(その3)を図37を用いて説明する。図37は、本変形例による不揮発性半導体記憶装置を示す平面図である。

[0455] 本変形例による不揮発性半導体記憶装置は、キャパシタ32bの電極66d、66eのパターンが楕形になっており、キャパシタ32bの電極66d、66eが互いに対向している領域から離間した領域において電極66d、66eと導体プラグ38c、38dとが接続されていることに主な特徴がある。

[0456] 図37に示すように、キャパシタ32bの電極66d、66eのパターンは楕形に形成されている。楕形電極66dと楕形電極66eとは、楕歯部分78a、78bが互いに対向するように配されている。楕形電極66dの楕歯部分78aと楕形電極66eの楕歯部分78bとの間隔gは、例えば $0.05\mu\text{m}$ 〜 $2\mu\text{m}$ 程度に設定されている。

[0457] キャパシタ32bの一对の電極66d、66eのパターンは、互いに対向している部分から離間した領域において導体プラグ38c、38dに接続されている。即ち、キャパシタ32bの一对の電極66d、66eは、互いに対向している部分から、互いに反対方向に引き出すようにパターンが形成されており、引き出されたパターンが導体プラグ38c、38

dに接続されている。

[0458] キャパシタ32bの一方の電極66dと導体プラグ38cとが接続される領域の近傍には、キャパシタ32bの他方の電極66eは存在していない。また、キャパシタ32bの他方の電極66eと導体プラグ38dとが接続される領域の近傍には、キャパシタ32bの一方の電極66dは存在していない。

[0459] 従って、本変形例によれば、キャパシタ32dの電極66d、66eを楕形に形成した場合であっても、位置合わせの余裕度を十分に確保することが可能である。

[0460] [第6実施形態]

本発明の第6実施形態による不揮発性半導体記憶装置及びその製造方法を図38乃至図41を用いて説明する。図1乃至図37に示す第1乃至第5実施形態による不揮発性半導体記憶装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

[0461] (不揮発性半導体記憶装置)

まず、本実施形態による不揮発性半導体記憶装置について図38を用いて説明する。図38は、本実施形態による不揮発性半導体記憶装置を示す断面図である。

[0462] 本実施形態による不揮発性半導体記憶装置は、半導体基板10上に形成された層間絶縁膜34と強誘電体基板64とが、異方導電性接着剤80を用いて接合されていることに主な特徴がある。

[0463] 図38に示すように、トランジスタ18等が形成された半導体基板10上には、キャパシタ32bが形成された強誘電体基板64が設けられている。

[0464] 半導体基板10側に形成された層間絶縁膜34とキャパシタ32bが形成された強誘電体基板64とは、異方導電性接着剤80を用いて接着されている。

[0465] 異方導電性接着剤80とは、絶縁性を有する接着剤82中に導電性を有する粒子84を含ませて成るものである。異方導電性接着剤80を介して相対する電極間は電氣的に接続されるが、隣接する電極どうしが短絡することはない。

[0466] 異方導電性接着剤80としては、例えば、接着剤82中に、絶縁物(図示せず)で包まれた金属フィラー84を含ませて成る異方導電性接着剤を用いる。接着を行う際に比較的大きい圧力を加えると、金属フィラー84を包む絶縁物が破れ、相対する電極

同士が金属フィラー84により電氣的に接続される。金属フィラー84の側部には絶縁物が存在しているため、隣接する電極間で短絡することはない。異方導電性接着剤80としては、例えば、株式会社スリーボンド製の異方導電性フィルム状接着剤(型番:ThreeBond 3370K)を用いることができる。また、株式会社スリーボンド製の印刷型異方導電性接着剤(型番:ThreeBond 3373)を用いることもできる。

[0467] なお、異方導電性接着剤80は、上記のようなタイプの異方導電性接着剤に限定されるものではない。他のあらゆる異方導電性接着剤を適宜用いることができる。

[0468] キャパシタ32bの一方の電極66dは、異方導電性接着剤80を介して導体プラグ38cに電氣的に接続され、ひいてはトランジスタ18のソース拡散層16Sに電氣的に接続されている。

[0469] また、キャパシタ32bの他方の電極66eは、異方導電性接着剤80を介して導体プラグ38dに電氣的に接続され、ひいてはプレート線40bに電氣的に接続されている。

[0470] このように異方導電性接着剤80を用いて、半導体基板10と強誘電体基板64とを接合してもよい。

[0471] 本実施形態によれば、半導体基板10上に形成された層間絶縁膜34と強誘電体基板64とが異方導電性接着剤80を用いて接合されているため、より確実な接合を確保することができる。このため、本実施形態によれば、信頼性の高い不揮発性半導体記憶装置を提供することが可能となる。

[0472] (不揮発性半導体記憶装置の製造方法)

次に、本実施形態による不揮発性半導体記憶装置の製造方法を図39乃至図41を用いて説明する。図39乃至図41は、本実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図である。

[0473] まず、半導体基板10側にトランジスタ18等を形成し、強誘電体基板64側にキャパシタ32bを形成する工程までは、図33を用いて上述した第5実施形態による不揮発性半導体記憶装置の製造方法と同様であるため説明を省略する(図39(a)～図39(c)参照)。

[0474] 次に、図40(a)に示すように、半導体基板10上に形成された層間絶縁膜34上に、異方導電性接着剤80を配する。異方導電性接着剤80としては、例えばフィルム状

の異方導電性接着剤を用いる。

- [0475] なお、異方導電性接着剤80は、フィルム状の異方導電性接着剤に限定されるものではない。例えば、印刷法により塗布するタイプの異方導電性接着剤80を用いてもよい。印刷法により異方導電性接着剤80を塗布する場合には、半導体基板10側又は強誘電体基板64側のいずれかに異方導電性接着剤80を印刷すればよい。
- [0476] 次に、半導体基板10のうちの層間絶縁膜34が形成されている側の面と、強誘電体基板64のうちのキャパシタ32bが形成されている側の面とを対向させ、層間絶縁膜34に埋め込まれた導体プラグ38c、38dと強誘電体基板64側に埋め込まれた電極66d、66eとが互いに接続されるように、位置合わせを行う。タンタル酸リチウム単結晶等より成る強誘電体基板64は、上述したように、光学的には殆ど透明である。また、異方導電性接着剤80は、半透明である。従って、異方導電性接着剤80を用いる場合であっても、目視による位置合わせは可能である。
- [0477] 次に、半導体基板10と強誘電体基板64とを重ね合わせた状態で所定の圧力を加える(図40(b)参照)。そうすると、金属フィラー84を包む絶縁物(図示せず)の上部と下部とが破れ、キャパシタ32bの電極66d、66eと導体プラグ38c、38dとが互いに電氣的に接続される。
- [0478] こうして、半導体基板10側の層間絶縁膜34と強誘電体基板64とが接合され、キャパシタ32bの電極66d、66eと層間絶縁膜34に埋め込まれた導体プラグ38c、38dとが電氣的に接続される(図41参照)。
- [0479] こうして本実施形態による不揮発性半導体記憶装置が製造される。
- [0480] 本実施形態によれば、半導体基板10上に形成された層間絶縁膜34と強誘電体基板64とが、異方導電性接着剤80を用いて接合されるため、より確実な接合を得ることができる。このため、本実施形態によれば、信頼性の高い不揮発性半導体記憶装置を高い歩留りで製造することができる。
- [0481] [変形実施形態]
- 本発明は上記実施形態に限らず種々の変形が可能である。
- [0482] 例えば、上記実施形態では、半導体基板としてシリコン基板を用いる場合を例に説明したが、半導体基板はシリコン基板に限定されるものではない。例えば、半導体基

板として、シリコン基板上にシリコンゲルマニウム層を形成して成る基板を用いてもよい。また、半導体基板として、シリコン基板上にシリコン酸化膜を介してシリコン層が形成された基板、即ち、SOI基板を用いてもよい。

[0483] また、上記実施形態では、強誘電体基板を研磨により薄くする場合を例に説明したが、強誘電体基板の厚さを薄くする方法は研磨に限定されるものではない。例えば、ドライエッチング等により強誘電体基板の厚さを薄くしてもよい。また、研磨とドライエッチングとを組み合わせることにより、強誘電体基板を所定の厚さまで薄くするようにしてもよい。

[0484] また、第5実施形態の変形例(その1)では、導体プラグ38c、38dのパターンの幅 w_1 をキャパシタ32bの電極66d、66eのパターンの幅 w より狭く設定する場合を例に説明したが、導体プラグ38c、38dのパターンの幅をキャパシタ32bの電極66d、66eのパターンの幅より広く設定してもよい。この場合にも、X方向における位置合わせの余裕度を大きくすることが可能である。即ち、キャパシタの電極のパターン及び導体プラグのパターンのうちの一方の幅が、キャパシタの電極のパターン及び導体プラグのパターンのうちの他方の幅より狭く設定されていれば、位置合わせの余裕度を大きく確保することが可能である。

産業上の利用可能性

[0485] 本発明による不揮発性半導体記憶装置及びその製造方法は、寿命が長く、しかも集積度の高い不揮発性半導体記憶装置を提供するのに有用である。

請求の範囲

- [1] 基板上に形成された第1の電極と;前記第1の電極上に形成された単結晶の強誘電体層と;前記強誘電体層上に形成された第2の電極とを有するキャパシタを有することを特徴とする不揮発性半導体記憶装置。
- [2] 請求の範囲第1項記載の不揮発性半導体記憶装置において、
前記基板上に形成されたトランジスタと、
前記基板上及び前記トランジスタ上に形成された絶縁膜と、
前記絶縁膜に埋め込まれ、前記トランジスタに電氣的に接続された導体プラグとを更に有し、
前記キャパシタは、前記絶縁膜上に形成されており、前記導体プラグを介して前記トランジスタに電氣的に接続されている
ことを特徴とする不揮発性半導体記憶装置。
- [3] 請求の範囲第1項記載の不揮発性半導体記憶装置において、
前記強誘電体層上に形成され、前記強誘電体層に達する開口部が形成された絶縁膜と、
前記絶縁膜上に形成された薄膜トランジスタとを更に有し、
前記第2の電極は、前記開口部内における前記強誘電体層上に形成されており、
前記薄膜トランジスタに電氣的に接続されている
ことを特徴とする不揮発性半導体記憶装置。
- [4] 請求の範囲第3項記載の不揮発性半導体記憶装置の製造方法において、
前記基板と前記強誘電体層とが同じ材料より成る
ことを特徴とする不揮発性半導体記憶装置の製造方法。
- [5] 請求の範囲第3項又は第4項記載の不揮発性半導体記憶装置において、
前記第1の電極は、導電膜より成る
ことを特徴とする不揮発性半導体記憶装置。
- [6] 請求の範囲第3項又は第4項記載の不揮発性半導体記憶装置において、
前記第1の電極は、前記基板の表層部に形成された不純物拡散層より成る
ことを特徴とする不揮発性半導体記憶装置。

- [7] 半導体より成る基板上に形成された単結晶の強誘電体層と、
前記強誘電体層上に形成された電極と、
前記強誘電体層の両側の前記基板内に形成されたソース／ドレイン領域と
を有することを特徴とする不揮発性半導体記憶装置。
- [8] 請求の範囲第7項記載の不揮発性半導体記憶装置において、
前記基板と前記強誘電体層との間に形成された絶縁膜を更に有する
ことを特徴とする不揮発性半導体記憶装置。
- [9] 請求の範囲第8項記載の不揮発性半導体記憶装置において、
前記絶縁膜と前記強誘電体層との間に形成された他の電極を更に有する
ことを特徴とする不揮発性半導体記憶装置。
- [10] 請求の範囲第1項乃至第9項のいずれか1項に記載の不揮発性半導体記憶装置
において、
前記強誘電体層の分極軸が、前記強誘電体層の面に対して法線方向である
ことを特徴とする不揮発性半導体記憶装置。
- [11] 請求の範囲第10項記載の不揮発性半導体記憶装置において、
前記強誘電体層は、タンタル酸リチウム又はニオブ酸リチウムより成る
ことを特徴とする不揮発性半導体記憶装置。
- [12] 請求の範囲第11項記載の不揮発性半導体記憶装置において、
前記強誘電体層は、 $\text{Li}_2\text{O} / (\text{Li}_2\text{O} + \text{Ta}_2\text{O}_5)$ のモル分率が0.499～0.500であ
るタンタル酸リチウム、又は、 $\text{Li}_2\text{O} / (\text{Li}_2\text{O} + \text{Nb}_2\text{O}_5)$ のモル分率が0.499～0.50
0であるニオブ酸リチウムより成る
ことを特徴とする不揮発性半導体記憶装置。
- [13] 単結晶の強誘電体より成る基板の一部より成る強誘電体層と；前記強誘電体層の
一方の側に形成された第1の電極と；前記強誘電体層の他方の側に形成された第2
の電極とを有するキャパシタを有する
ことを特徴とする不揮発性半導体記憶装置。
- [14] 請求の範囲第13項記載の不揮発性半導体記憶装置において、
前記基板上に絶縁膜を介して形成され、前記キャパシタに電氣的に接続された薄

膜トランジスタを更に有する

ことを特徴とする不揮発性半導体記憶装置。

- [15] 請求の範囲第13項記載の不揮発性半導体記憶装置において、
他の基板上に形成されたトランジスタと、
前記他の基板上及び前記トランジスタ上に形成された絶縁膜と、
前記絶縁膜に埋め込まれ、前記トランジスタに電氣的に接続された導体プラグとを
更に有し、
前記基板における前記キャパシタが形成されている側の面が、前記絶縁膜に接合
されており、
前記キャパシタは、前記導体プラグを介して、前記トランジスタに電氣的に接続され
ている
ことを特徴とする不揮発性半導体記憶装置。

- [16] 請求の範囲第15項記載の不揮発性半導体記憶装置において、
前記絶縁膜と前記他の基板とが異方導電性接着剤により接着されており、
前記キャパシタと前記導体プラグとが、前記異方導電性接着剤を介して電氣的に
接続されている
ことを特徴とする不揮発性半導体記憶装置。

- [17] 請求の範囲第16項記載の不揮発性半導体記憶装置において、
前記キャパシタの前記第1又は前記第2の電極のパターン及び前記導体プラグの
パターンのうちの一方の幅が、前記キャパシタの前記第1又は前記第2の電極のパ
ターン及び前記導体プラグのパターンのうちの他方の幅より狭い
ことを特徴とする不揮発性半導体記憶装置。

- [18] 請求の範囲第13項乃至第17項のいずれか1項に記載の不揮発性半導体記憶装
置において、
前記キャパシタの前記第1の電極及び前記第2の電極は、それぞれ楕形に形成さ
れている
ことを特徴とする不揮発性半導体記憶装置。

- [19] 請求の範囲第13項乃至第18項のいずれか1項に記載の不揮発性半導体記憶装

置において、

前記基板の分極軸が、前記基板の面内方向である

ことを特徴とする不揮発性半導体記憶装置

[20] 請求の範囲第19項記載の不揮発性半導体記憶装置において、

前記基板は、タンタル酸リチウム又はニオブ酸リチウムより成る

ことを特徴とする不揮発性半導体記憶装置。

[21] 請求の範囲第20項記載の不揮発性半導体記憶装置において、

前記基板は、 $\text{Li}_2\text{O}/(\text{Li}_2\text{O}+\text{Ta}_2\text{O}_5)$ のモル分率が0.499～0.500であるタンタル酸リチウム、又は、 $\text{Li}_2\text{O}/(\text{Li}_2\text{O}+\text{Nb}_2\text{O}_5)$ のモル分率が0.499～0.500であるニオブ酸リチウムより成る

ことを特徴とする不揮発性半導体記憶装置。

[22] 第1の基板の一方の面側及び単結晶の強誘電体より成る第2の基板の一方の面側のうちの少なくとも一方に、第1の導電層を形成する工程と、

前記第1の基板の前記一方の面側と前記第2の基板の前記一方の面側とを接合する工程と、

前記第2の基板が所定の厚さになるまで、前記第2の基板の他方の面側を除去し、前記第2の基板より成る強誘電体層を形成する工程と、

前記強誘電体層上に第2の導電層を形成する工程と、

少なくとも前記第2の導電層をパターンニングすることにより、前記第1の導電層より成る第1の電極と;前記強誘電体層と;前記第2の導電層より成る第2の電極とを有するキャパシタを形成する工程と

を有することを特徴とする不揮発性半導体記憶装置の製造方法。

[23] 請求の範囲第22項記載の不揮発性半導体記憶装置の製造方法において、

前記第1の基板と前記第2の基板とを接合する工程の前に、前記第1の基板の前記一方の面上にトランジスタを形成する工程と;前記トランジスタ上及び前記第1の基板の前記一方の面上に絶縁膜を形成する工程と;前記絶縁膜内に前記トランジスタに達するコンタクトホールを形成する工程と;前記コンタクトホール内に導体プラグを埋め込む工程とを更に有する

ことを特徴とする不揮発性半導体記憶装置の製造方法。

- [24] 請求の範囲第22項記載の不揮発性半導体記憶装置の製造方法において、
前記第2の基板の前記他方の面側を除去する工程の後、前記第2の導電層を形成する工程の前に、前記第2の基板上に絶縁膜を形成する工程と;前記絶縁膜に、前記強誘電体層に達する開口部を形成する工程と;前記絶縁膜上にトランジスタを形成する工程とを更に有し、

前記第2の導電層をパターンニングする工程では、少なくとも前記開口部内における前記強誘電体層上に前記第2の導電層より成る前記第2の電極が形成されるように、前記第2の導電層をパターンニングする

ことを特徴とする不揮発性半導体記憶装置の製造方法。

- [25] 請求の範囲第24項記載の不揮発性半導体記憶装置の製造方法において、
前記1の基板と前記第2の基板とが同じ材料より成る

ことを特徴とする不揮発性半導体記憶装置の製造方法。

- [26] 請求の範囲第24項又は第25項記載の不揮発性半導体記憶装置の製造方法において、

前記第1の導電層を形成する工程では、導電膜より成る前記第1の導電層を形成する

ことを特徴とする不揮発性半導体記憶装置の製造方法。

- [27] 請求の範囲第24項又は第25項記載の不揮発性半導体記憶装置の製造方法において、

前記第1の導電層を形成する工程では、前記第1の基板の表層部にドーパント不純物を導入することにより、不純物拡散層より成る前記第1の導電層を形成する

ことを特徴とする不揮発性半導体記憶装置の製造方法。

- [28] 半導体より成る第1の基板の一方の面側に、ソース領域及びドレイン領域を形成する工程と、

前記第1の基板の一方の面側と単結晶の強誘電体より成る第2の基板の一方の面側とを接合する工程と、

前記第2の基板が所定の厚さになるまで、前記第2の基板の他方の面側を除去し、

前記第2の基板より成る強誘電体層を形成する工程と、
前記強誘電体層上に、導電層を形成する工程と、
前記導電層及び前記強誘電体層をパターニングすることにより、前記導電層より成る電極を前記ソース領域と前記ドレイン領域の間の前記第1の基板上に形成する工程と

を有することを特徴とする不揮発性半導体記憶装置の製造方法。

- [29] 請求の範囲第28項記載の不揮発性半導体記憶装置の製造方法において、
前記第1の基板と前記第2の基板とを接合する工程の前に、前記第1の基板上に絶縁膜を形成する工程を更に有し、
前記導電層及び前記強誘電体層をパターニングする工程では、前記絶縁膜をもパターニングする

ことを特徴とする不揮発性半導体記憶装置の製造方法。

- [30] 請求の範囲第29項記載の不揮発性半導体記憶装置の製造方法において、
前記絶縁膜を形成する工程の後、前記第1の基板と前記第2の基板とを接合する工程の前に、前記絶縁膜上に他の導電層を形成する工程を更に有し、
前記導電層、前記強誘電体層及び前記絶縁膜をパターニングする工程では、前記他の導電層をもパターニングする

ことを特徴とする不揮発性半導体記憶装置の製造方法。

- [31] 請求の範囲第22項乃至第30項のいずれか1項に記載の不揮発性半導体記憶装置の製造方法において、

前記第2の基板の分極軸は、前記第2の基板の面に対して法線方向である

ことを特徴とする不揮発性半導体記憶装置の製造方法。

- [32] 請求の範囲第31項記載の不揮発性半導体記憶装置の製造方法において、

前記第2の基板は、タンタル酸リチウム又はニオブ酸リチウムより成る

ことを特徴とする不揮発性半導体記憶装置の製造方法。

- [33] 単結晶の強誘電体より成る基板の所定領域の両側の領域をエッチングすることにより、前記基板の一部より成る強誘電体層を前記所定領域に形成する工程と、

前記強誘電体層の一方の側に第1の電極を形成し、前記強誘電体層の他方の側

に第2の電極を形成することにより、前記第1の電極と;前記前記強誘電体層と;前記第2の電極とを有するキャパシタを形成する工程と

を有することを特徴とする不揮発性半導体記憶装置の製造方法。

- [34] 請求の範囲第33項記載の不揮発性半導体記憶装置の製造方法において、
前記第1の電極及び前記第2の電極を形成する工程は、前記基板上に導電層を形成する工程と;前記基板の表面が露出するまで前記導電層を研磨除去することにより、前記強誘電体層の前記一方の側に前記導電層より成る前記第1の電極と形成するとともに、前記強誘電体層の前記他方の側に前記導電層より成る前記第2の電極を形成する工程とを有する

ことを特徴とする不揮発性半導体記憶装置の製造方法。

- [35] 請求の範囲第33項又は第34項記載の不揮発性半導体記憶装置の製造方法において、

前記キャパシタに電氣的に接続された薄膜トランジスタを、前記基板上に絶縁膜を介して形成する工程を更に有する

ことを特徴とする不揮発性半導体記憶装置の製造方法。

- [36] 請求の範囲第33項又は第34項記載の不揮発性半導体記憶装置の製造方法において、

他の基板上にトランジスタを形成する工程と、

前記トランジスタ上及び前記他の基板上に絶縁膜を形成する工程と、

前記絶縁膜に前記トランジスタに達するコンタクトホールを形成する工程と、

前記コンタクトホール内に導体プラグを埋め込む工程と、

前記基板における前記キャパシタが形成されている面側と前記他の基板における前記絶縁膜が形成されている面側とを接合し、前記導体プラグと前記キャパシタの前記電極とを接続する工程を更に有する

ことを特徴とする不揮発性半導体記憶装置の製造方法。

- [37] 請求の範囲第36項記載の不揮発性半導体記憶装置の製造方法において、
前記基板と前記他の基板とを接合する工程では、異方導電性接着剤を用いて接着する

ことを特徴とする不揮発性半導体記憶装置の製造方法。

- [38] 請求の範囲第36項又は第37項記載の不揮発性半導体記憶装置の製造方法において、

前記コンタクトホールをする工程では、前記一対の電極より狭いパターンにコンタクトホールを形成し、

前記導体プラグを形成する工程では、前記一対の電極より狭いパターンの導体プラグを形成する

ことを特徴とする不揮発性半導体記憶装置の製造方法。

- [39] 請求の範囲第33項乃至第38項のいずれか1項に記載の不揮発性半導体記憶装置の製造方法において、

前記基板の分極軸は、前記基板の面内方向である

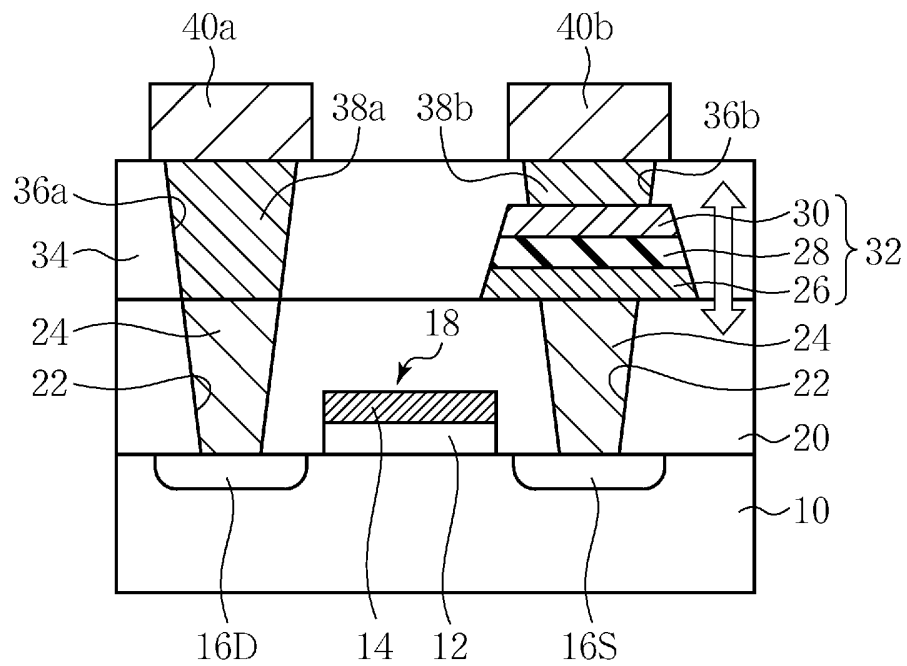
ことを特徴とする不揮発性半導体記憶装置の製造方法。

- [40] 請求の範囲第39項記載の不揮発性半導体記憶装置の製造方法において、

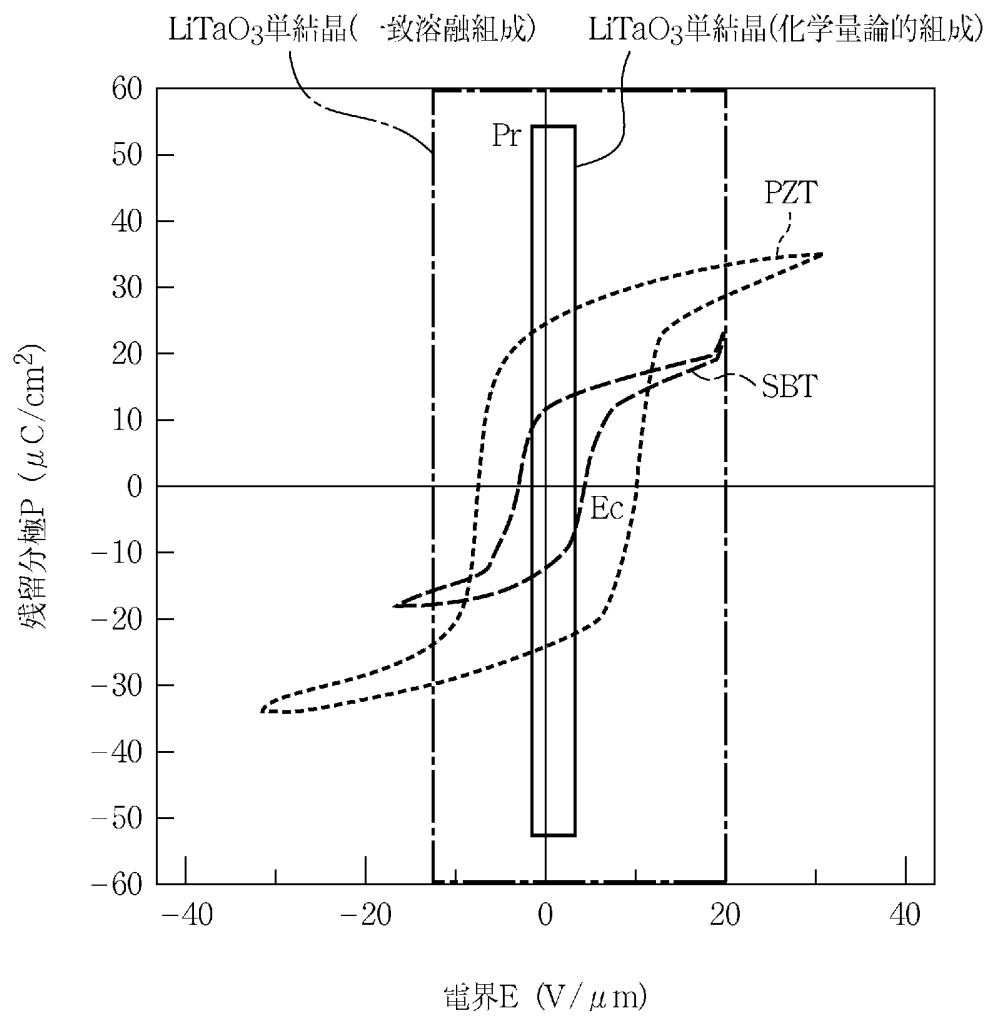
前記基板は、タンタル酸リチウム又はニオブ酸リチウムより成る

ことを特徴とする不揮発性半導体記憶装置の製造方法。

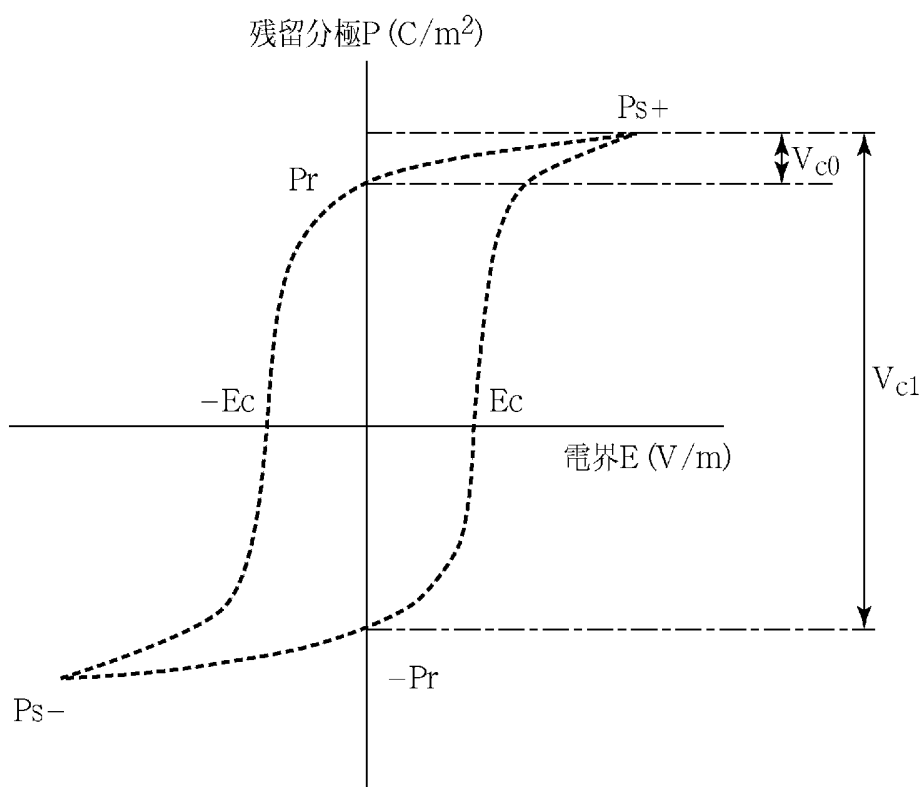
[図1]



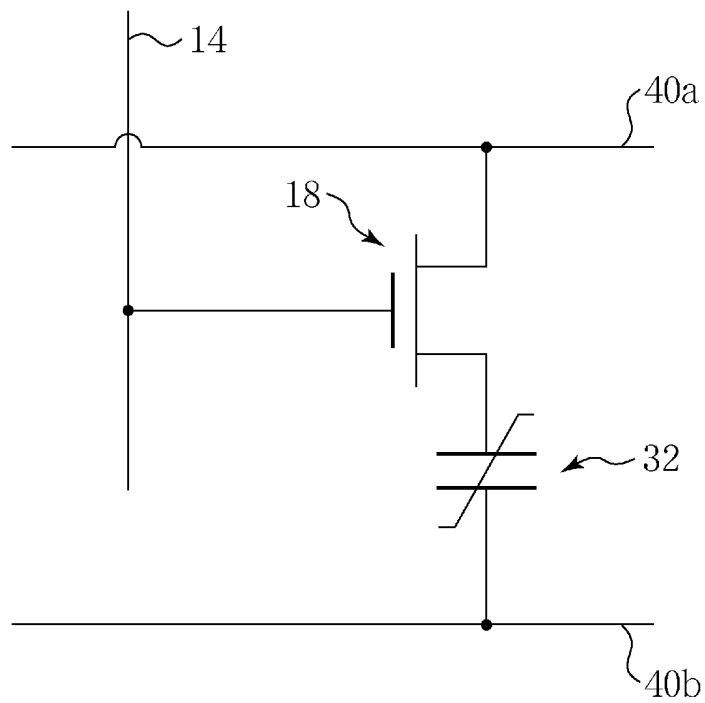
[図2]



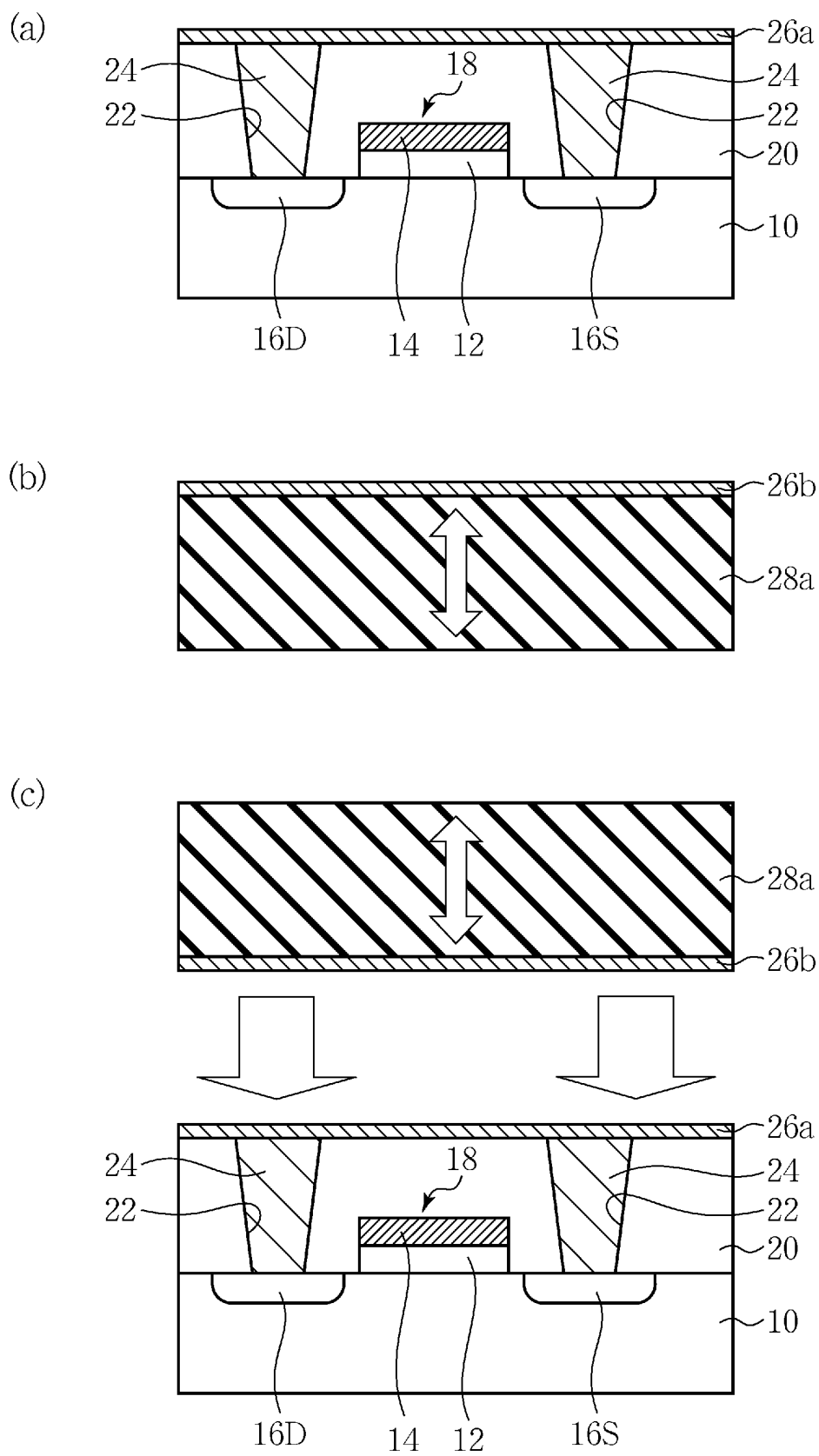
[図3]



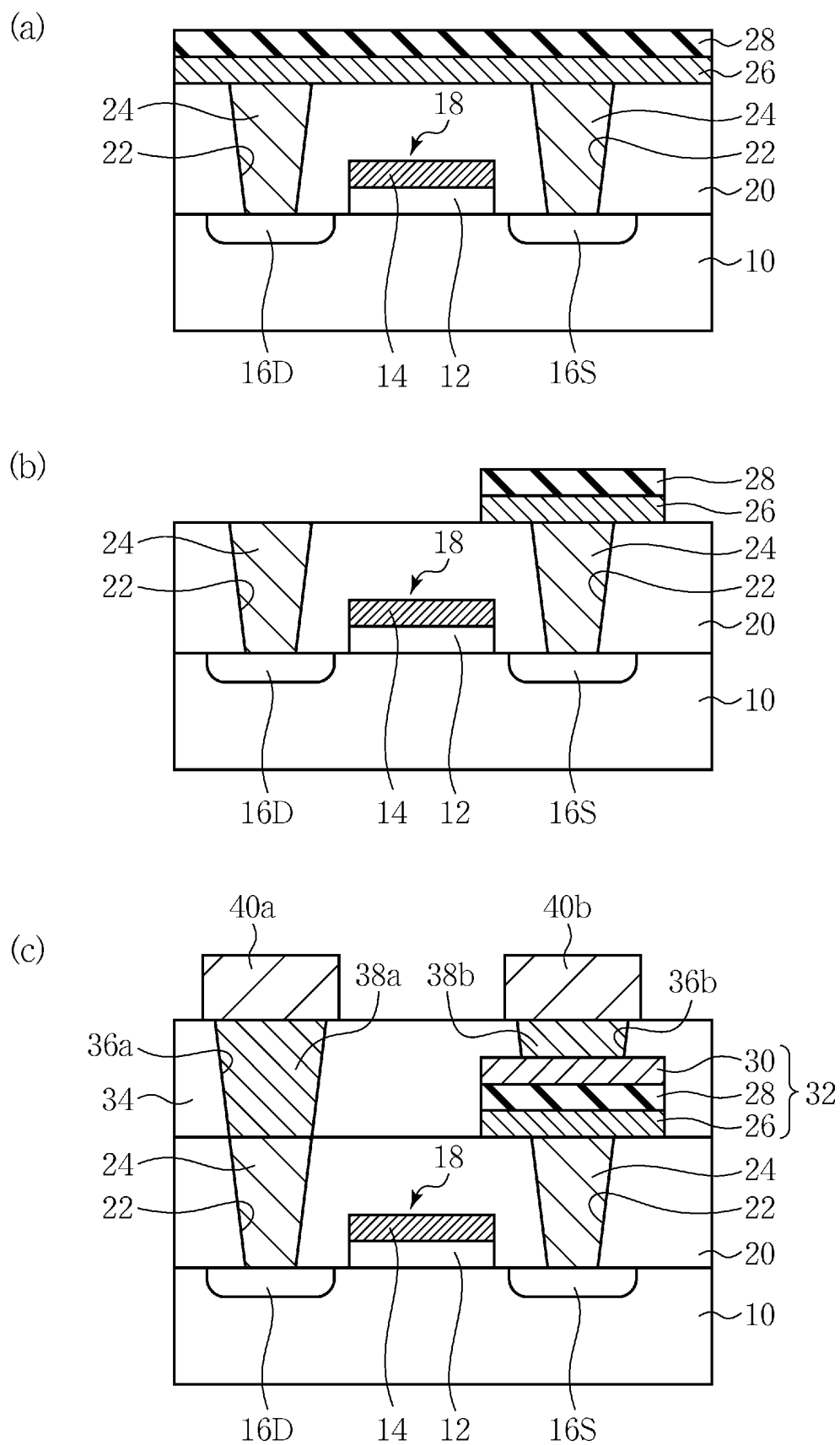
[図4]



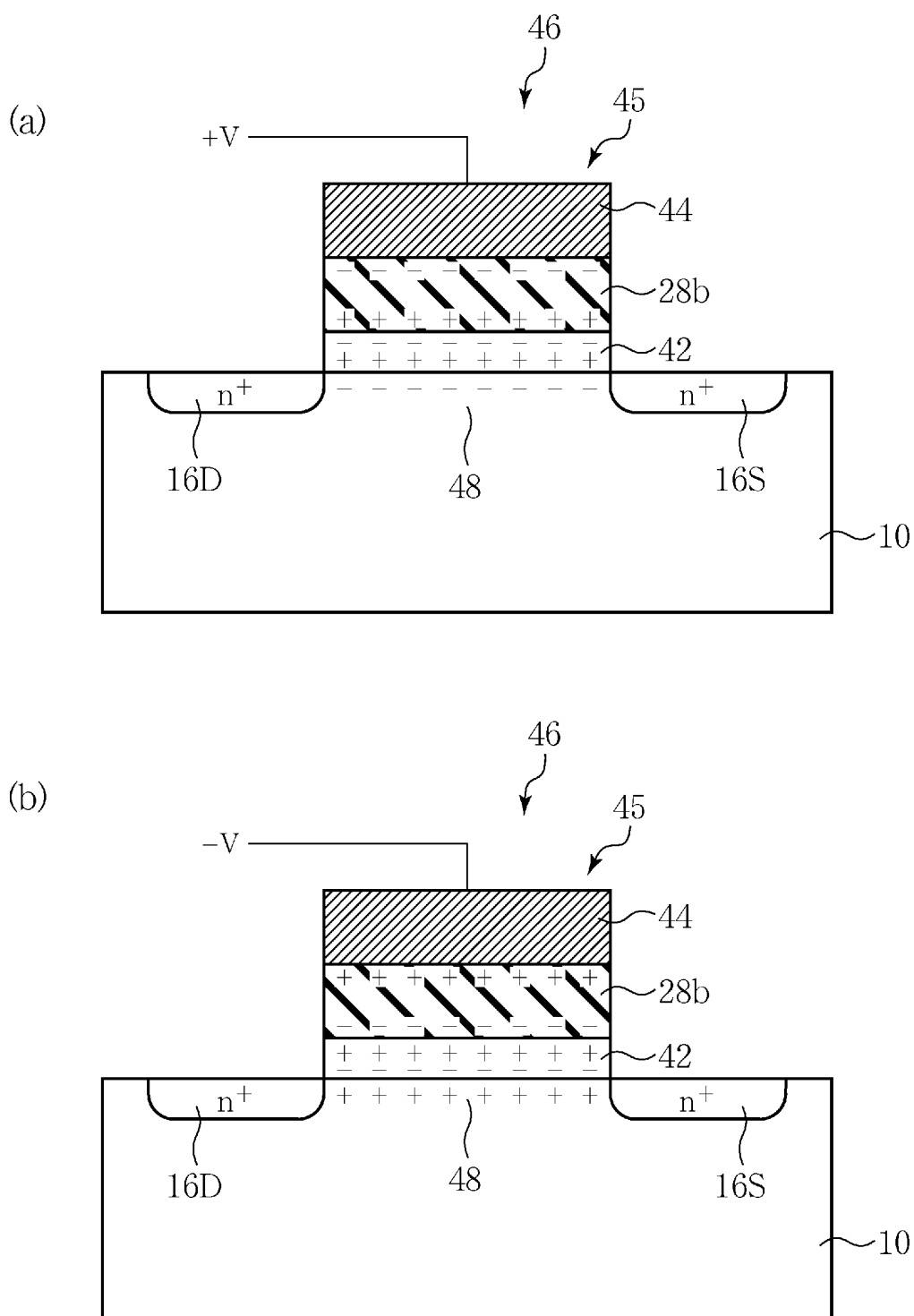
[図5]



[図6]

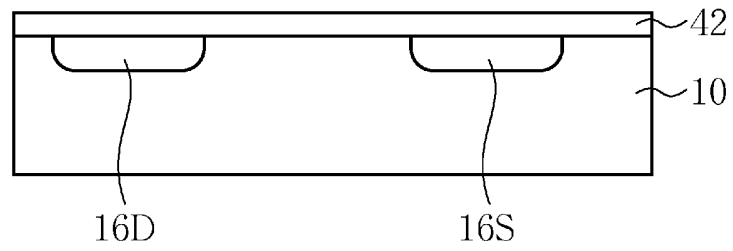


[図8]

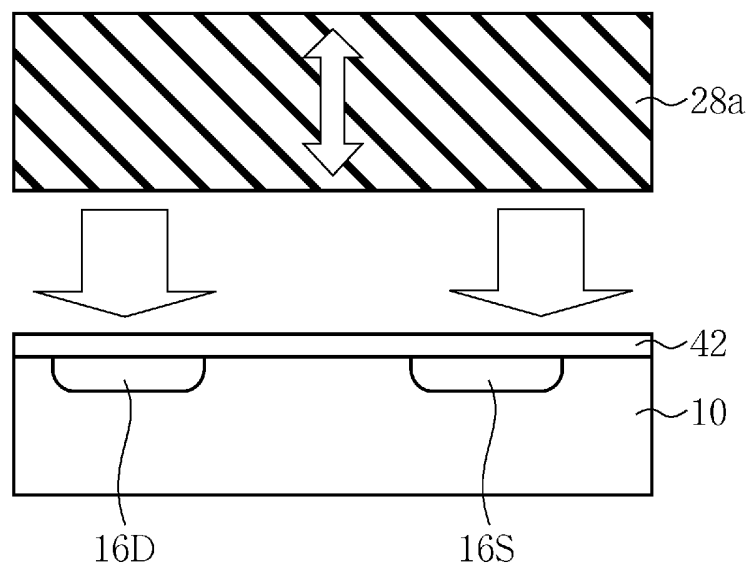


[図9]

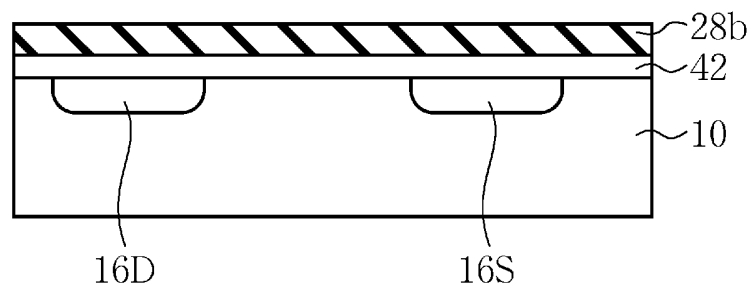
(a)



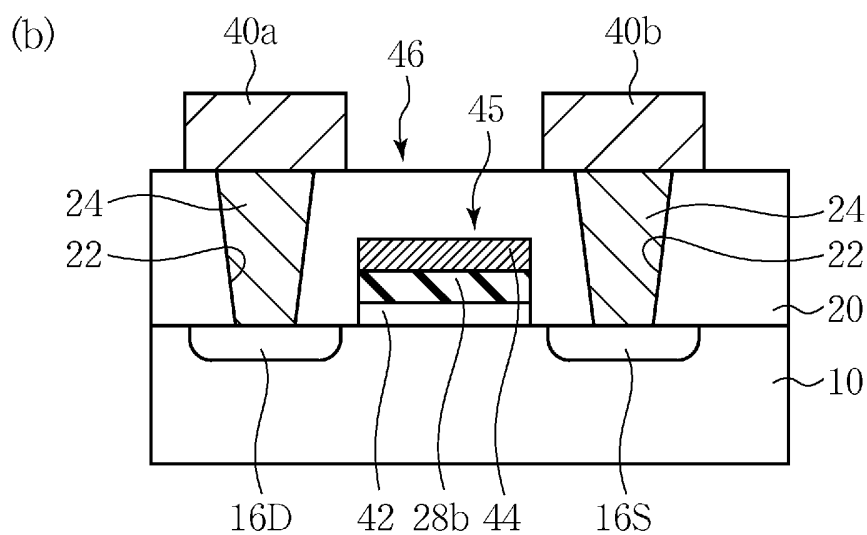
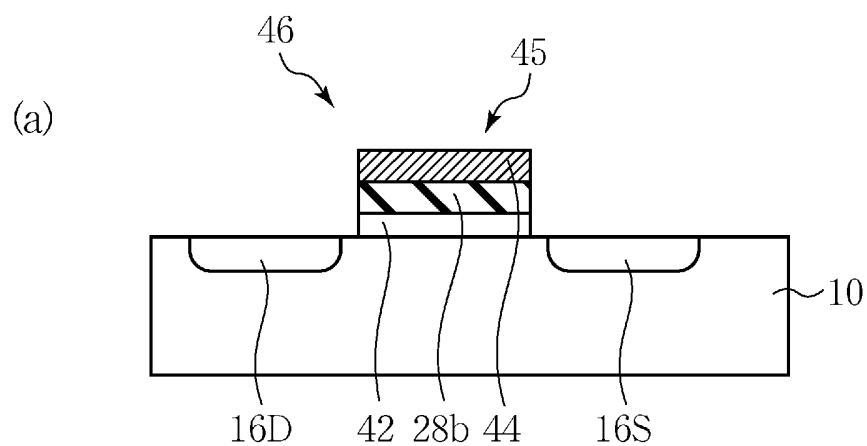
(b)



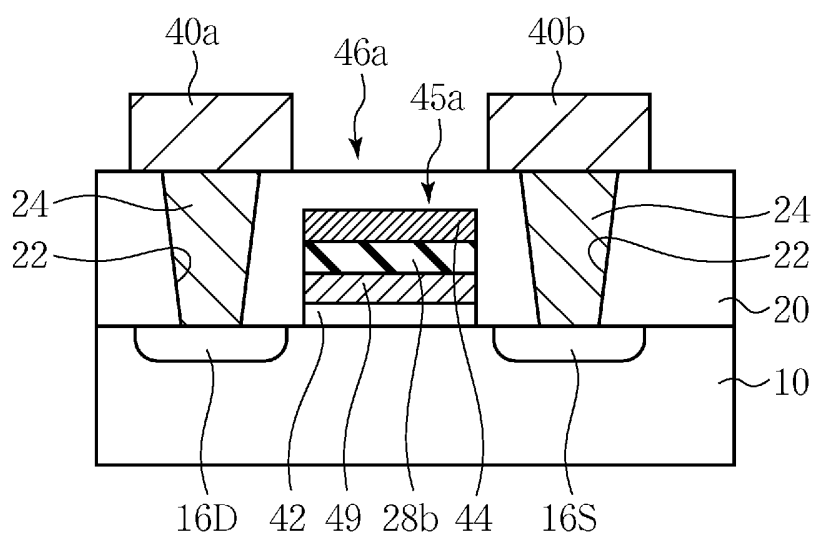
(c)



[図10]

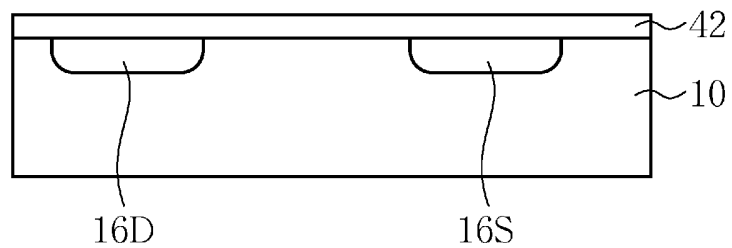


[図11]

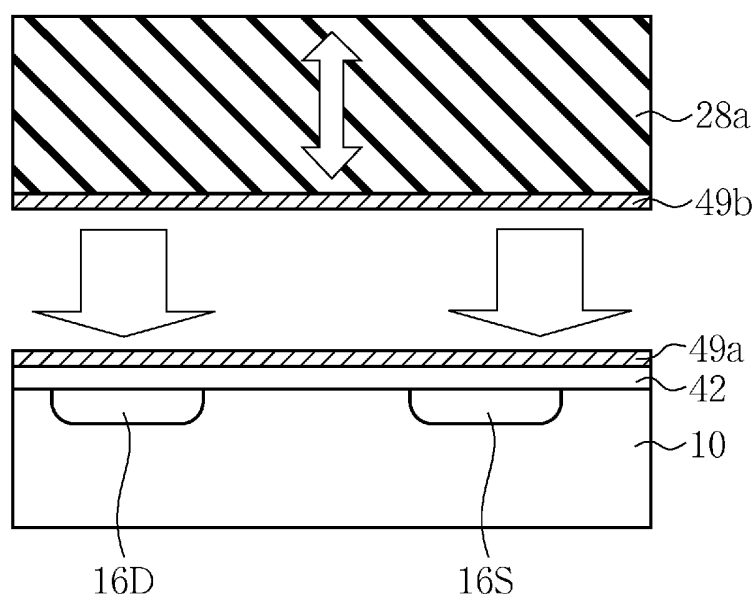


[図12]

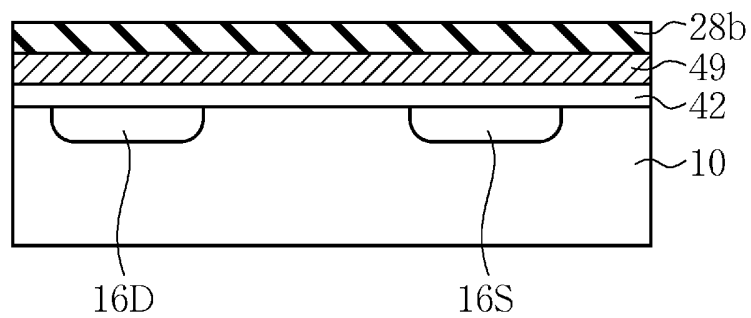
(a)



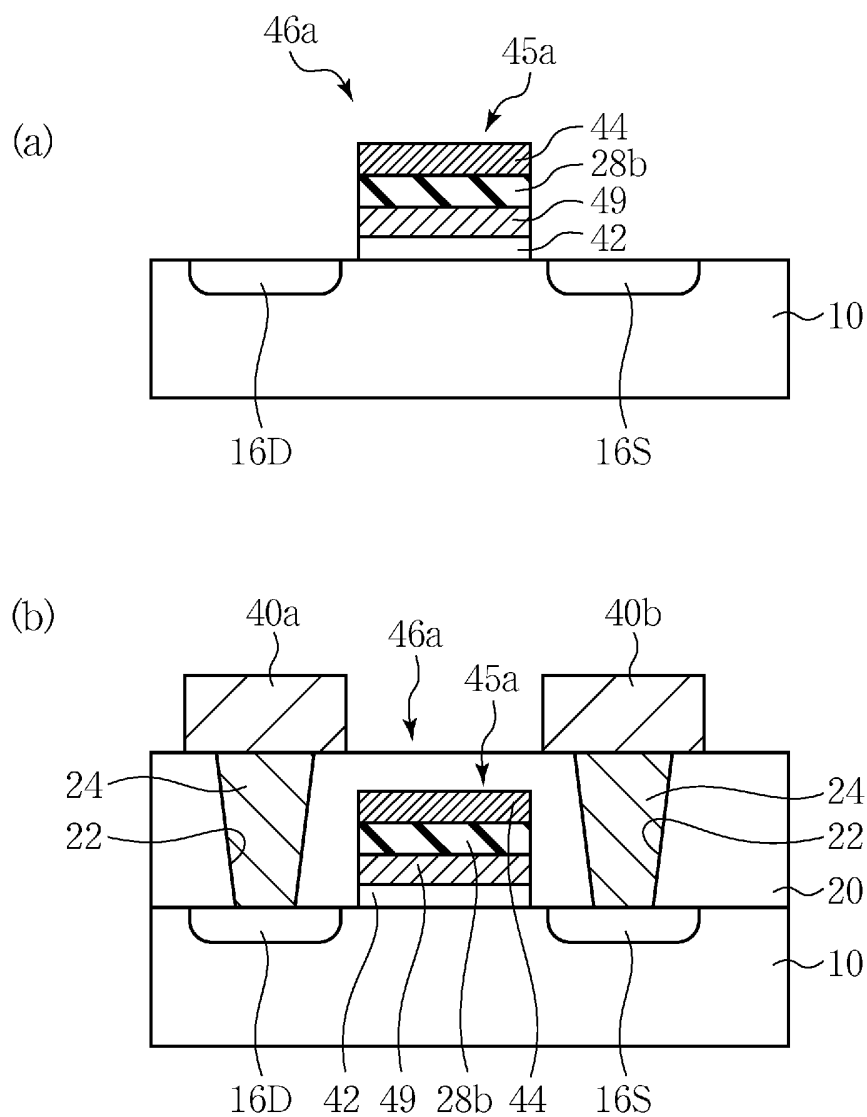
(b)



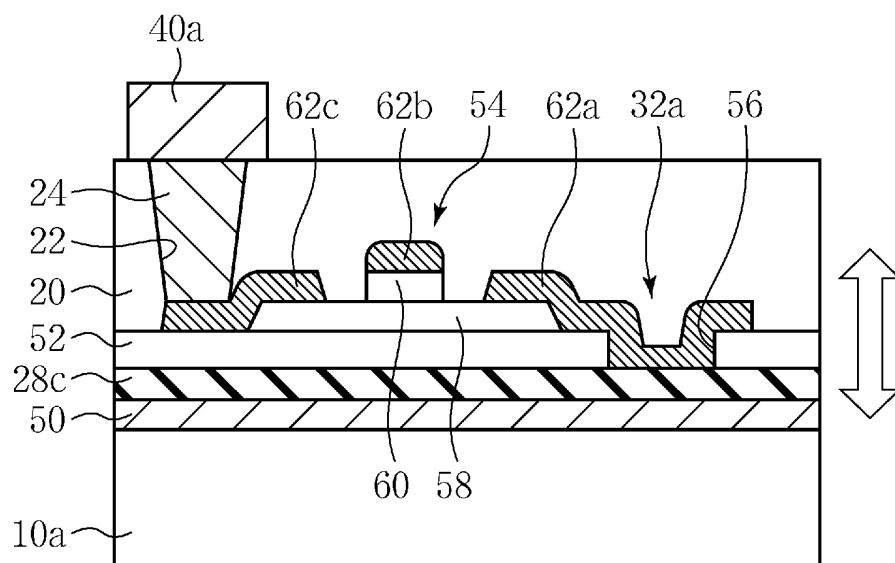
(c)



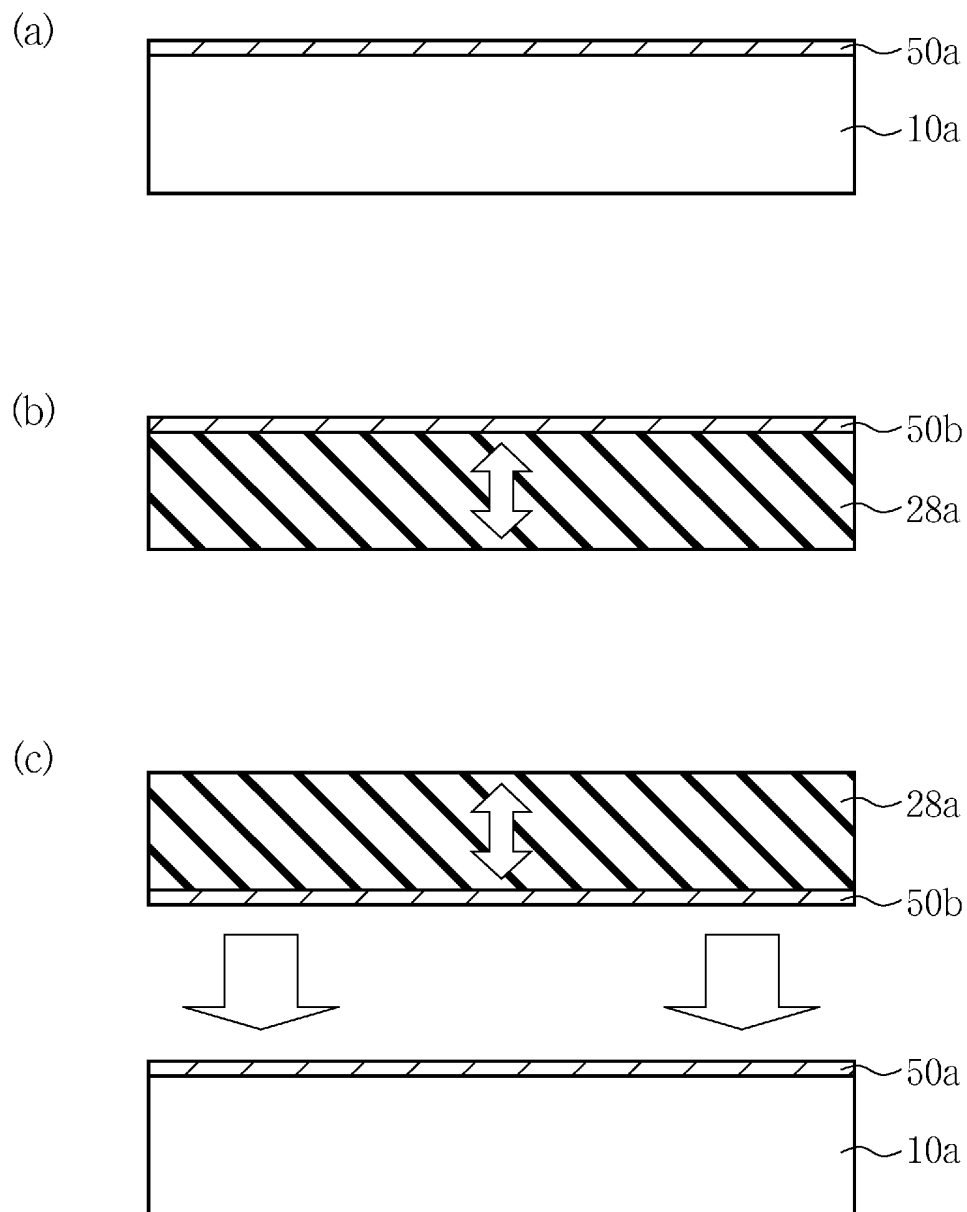
[図13]



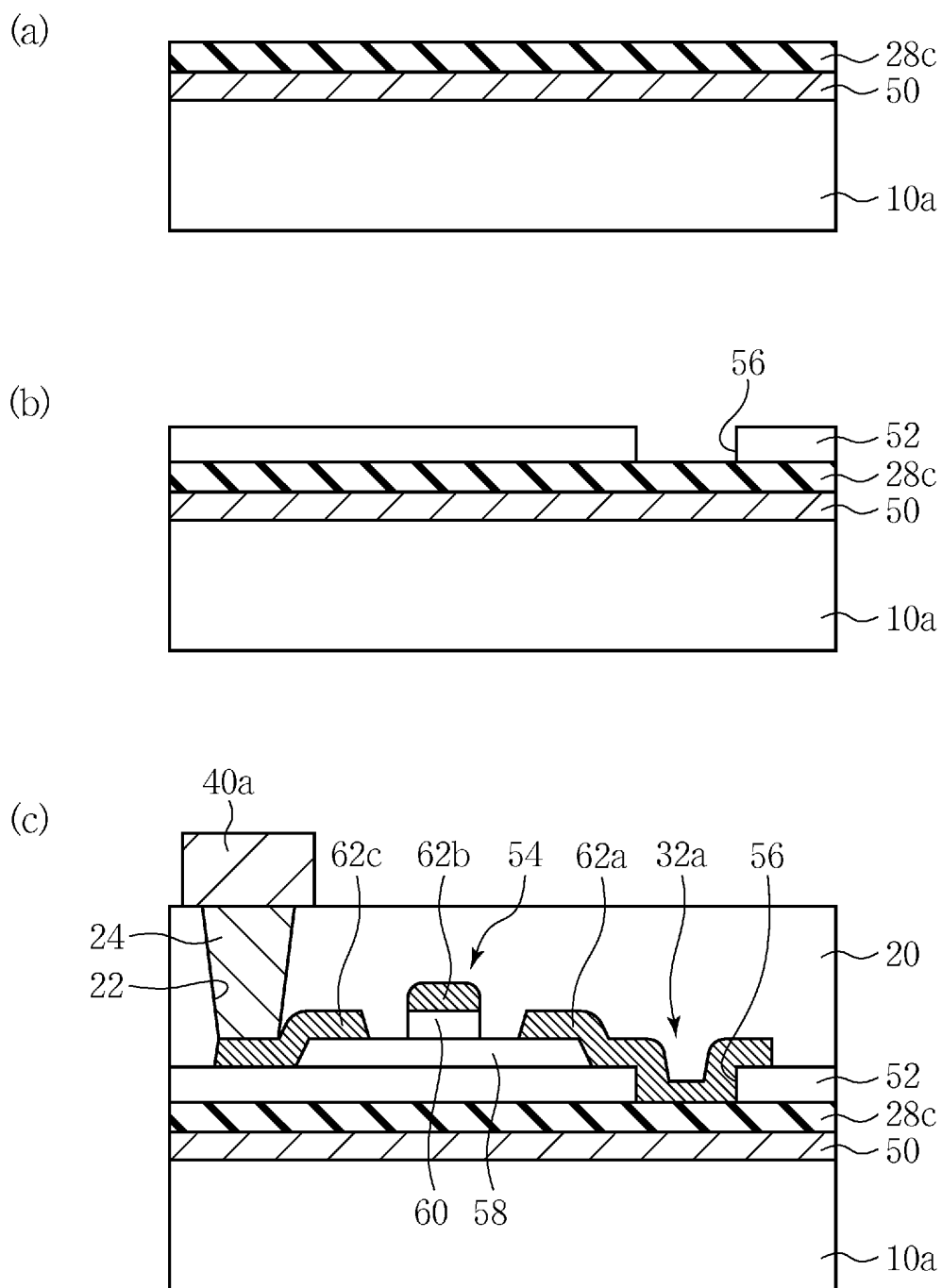
[図14]



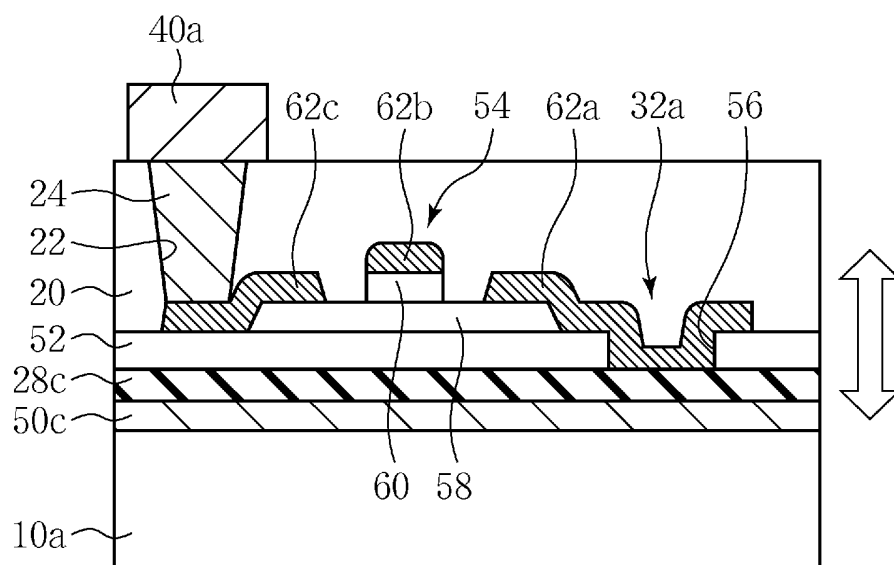
[図15]



[図16]

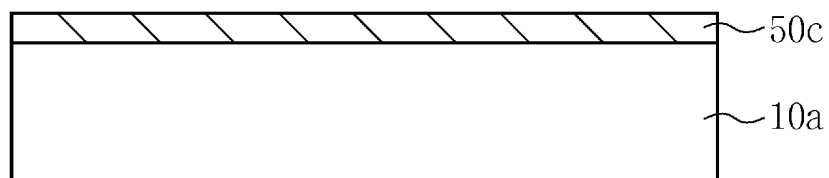


[図17]

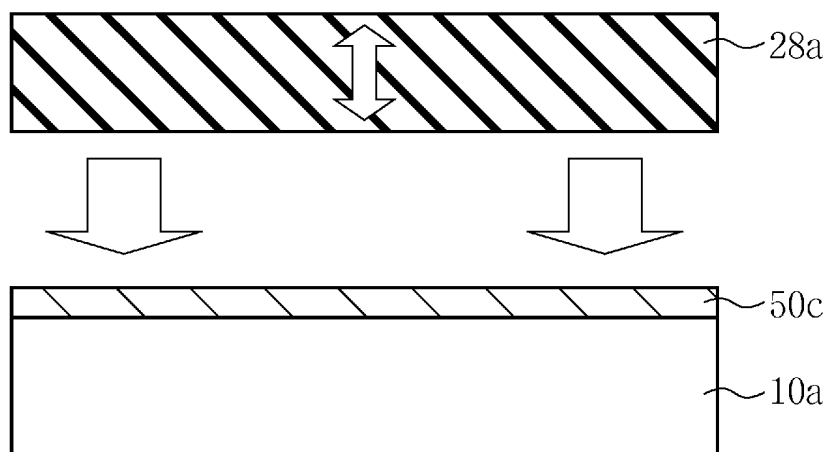


[図18]

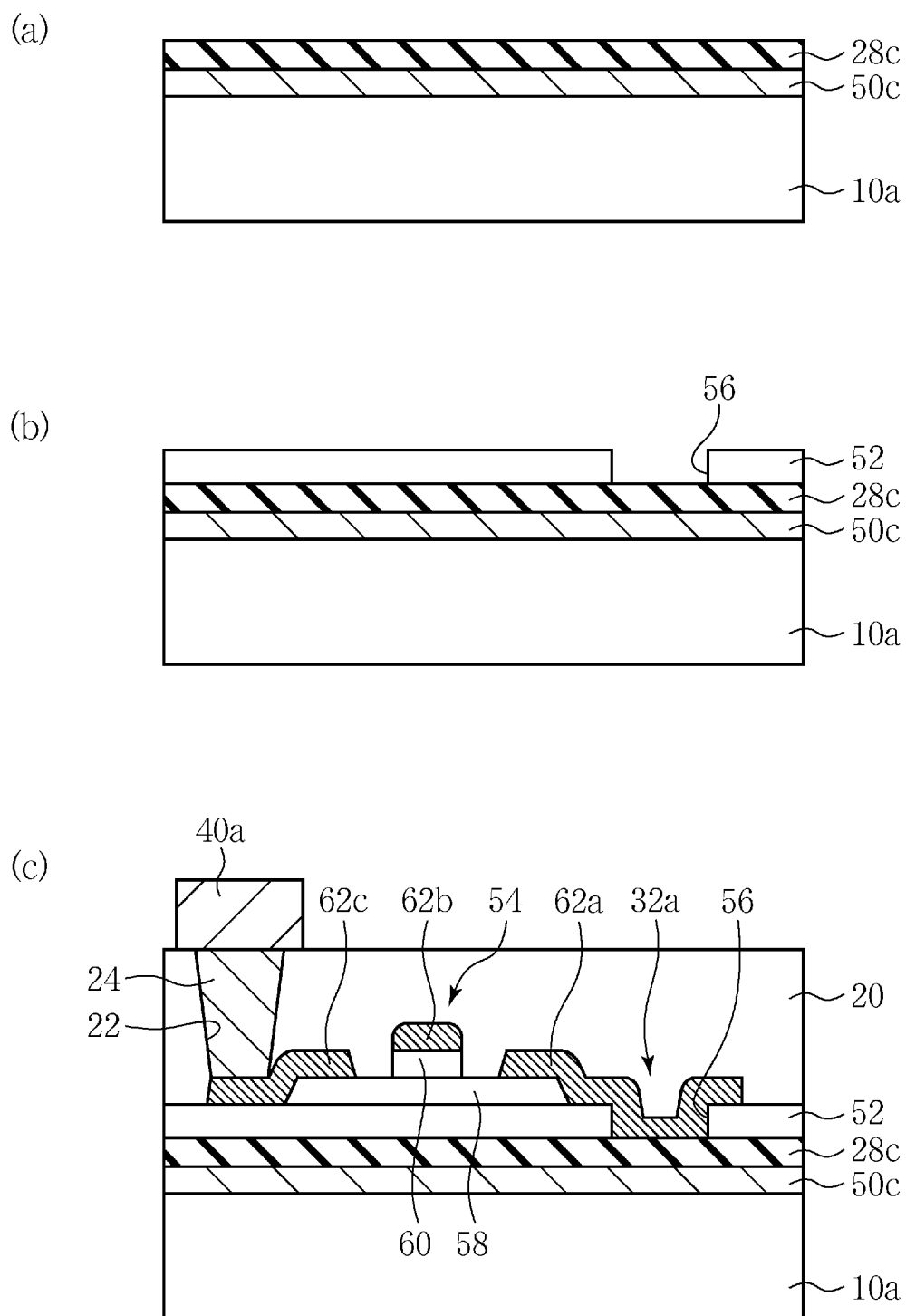
(a)



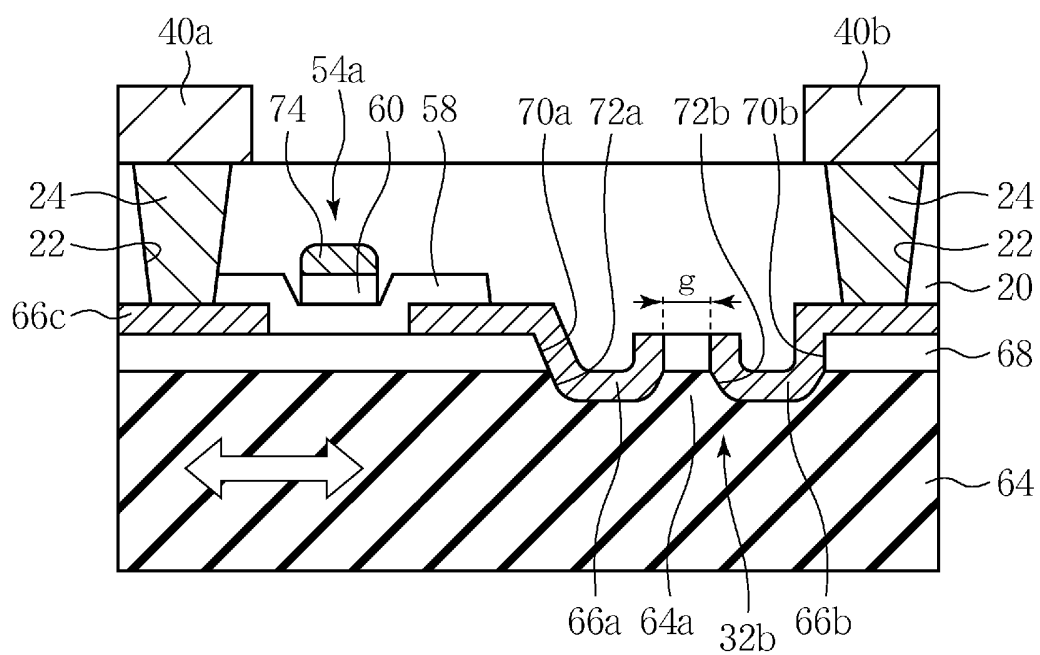
(b)



[図19]

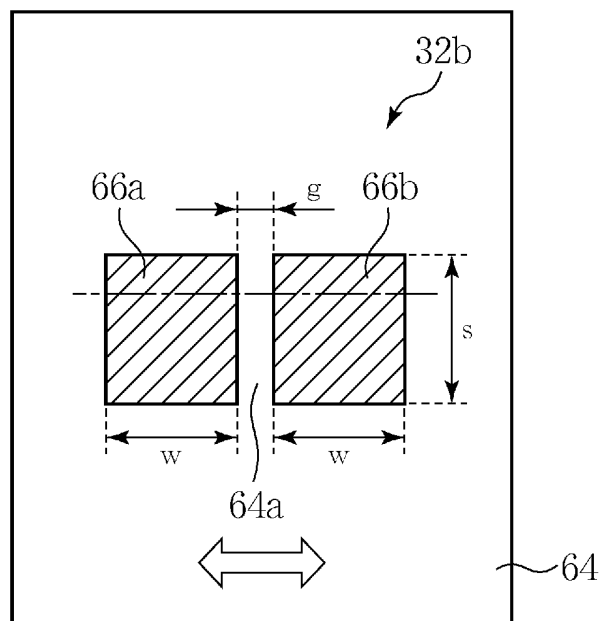


[図20]

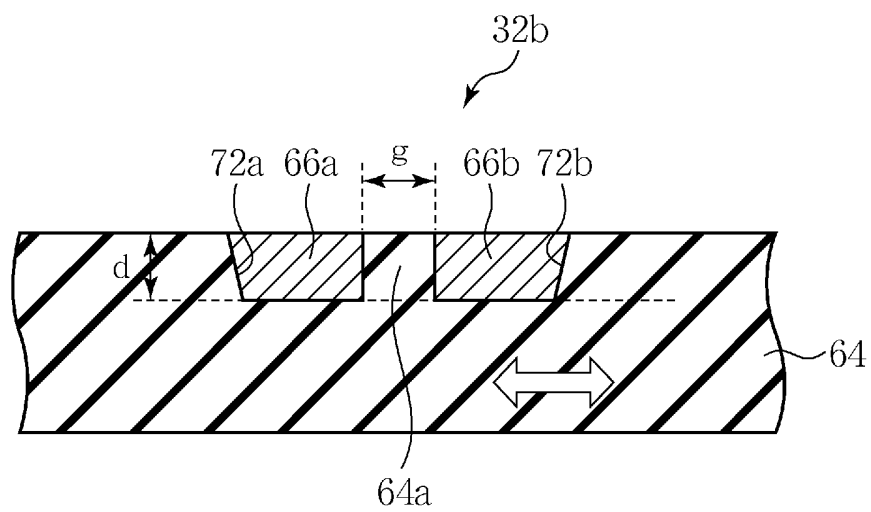


[図21]

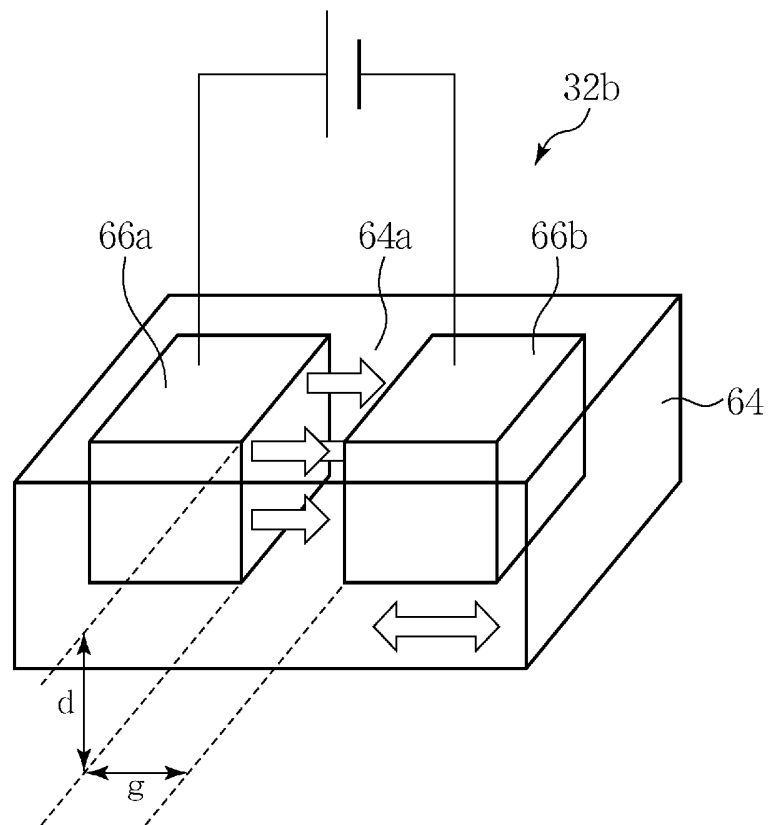
(a)



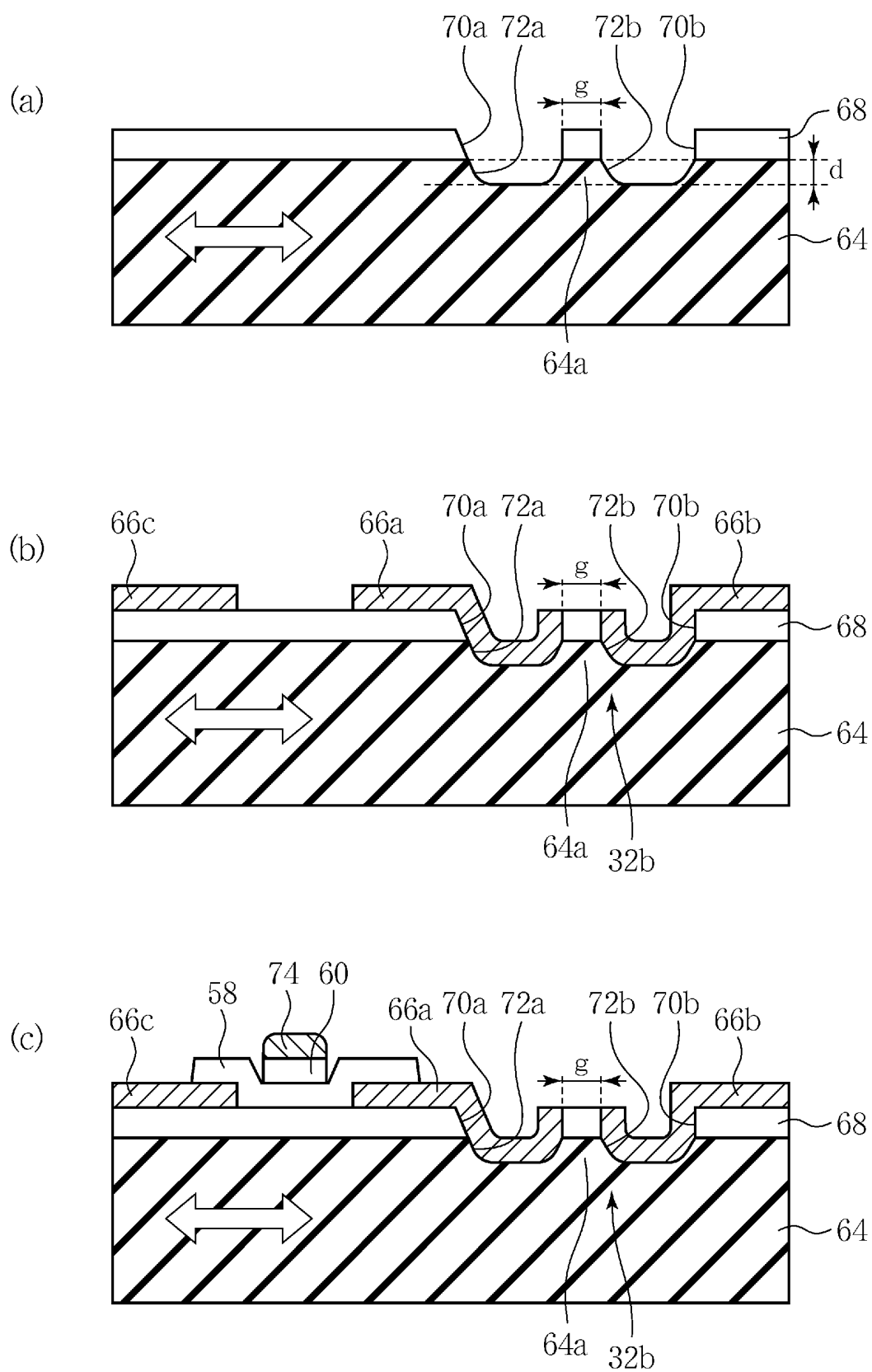
(b)



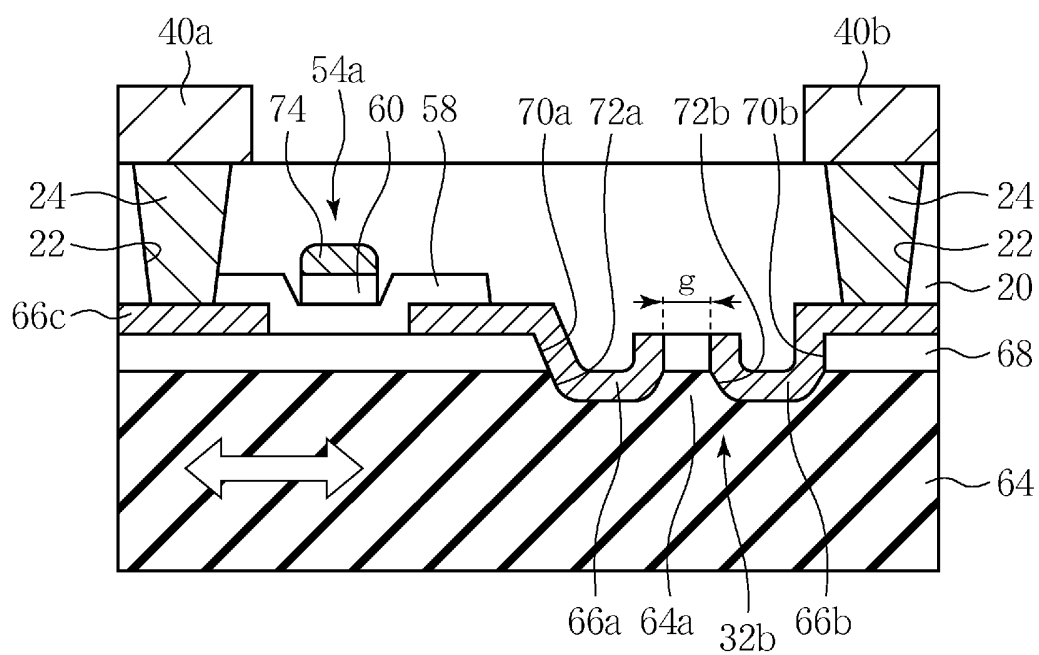
[図22]



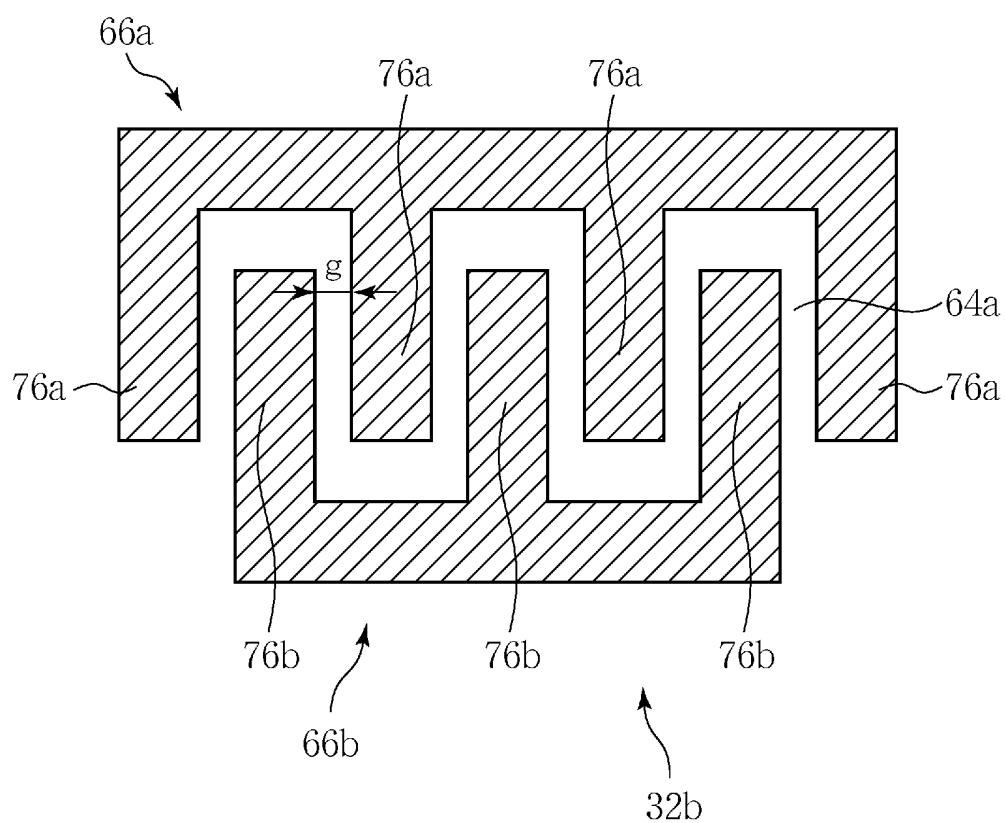
[図23]



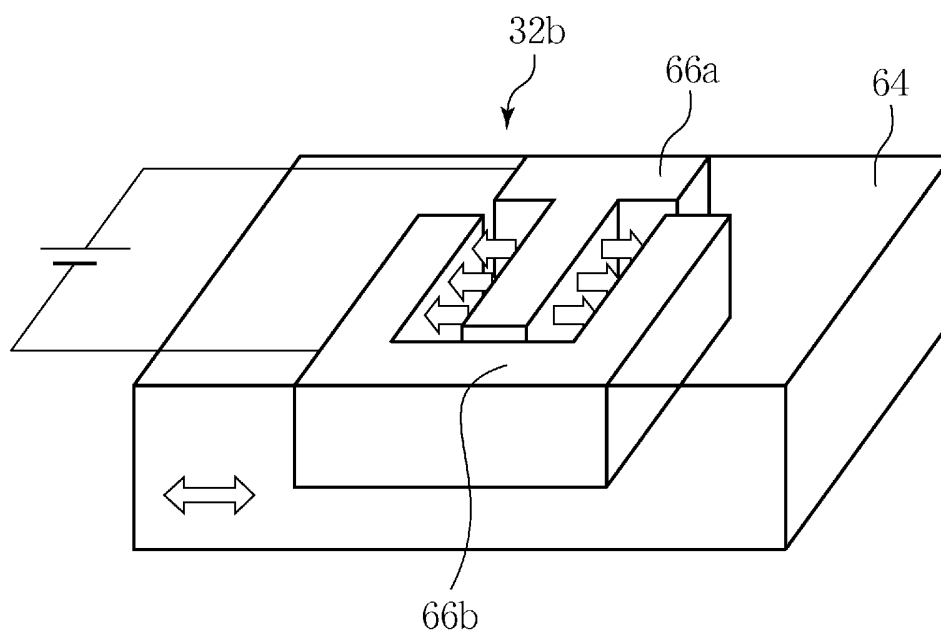
[図24]



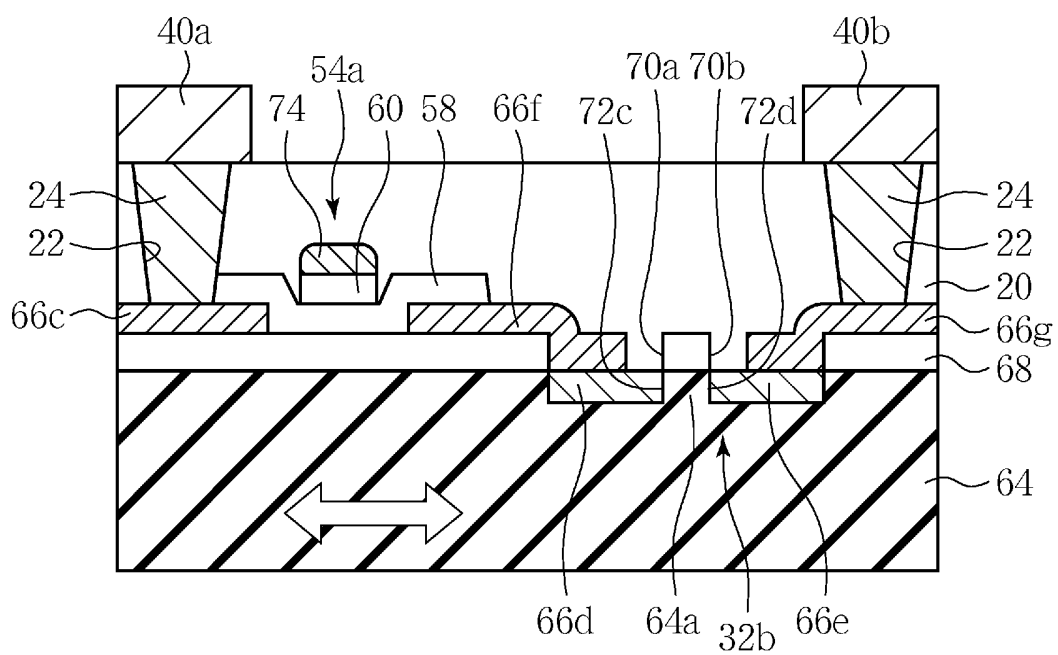
[図25]



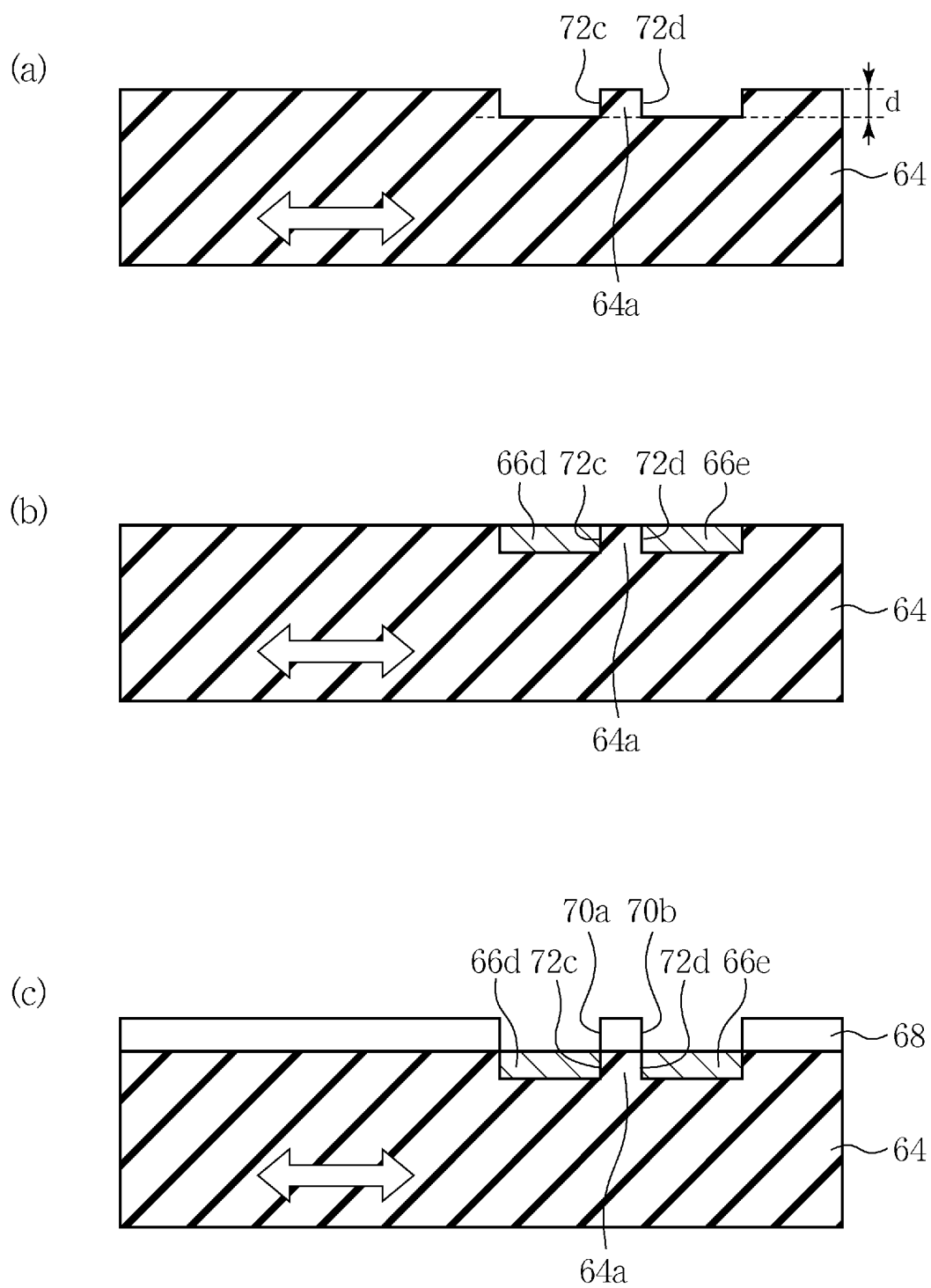
[図26]



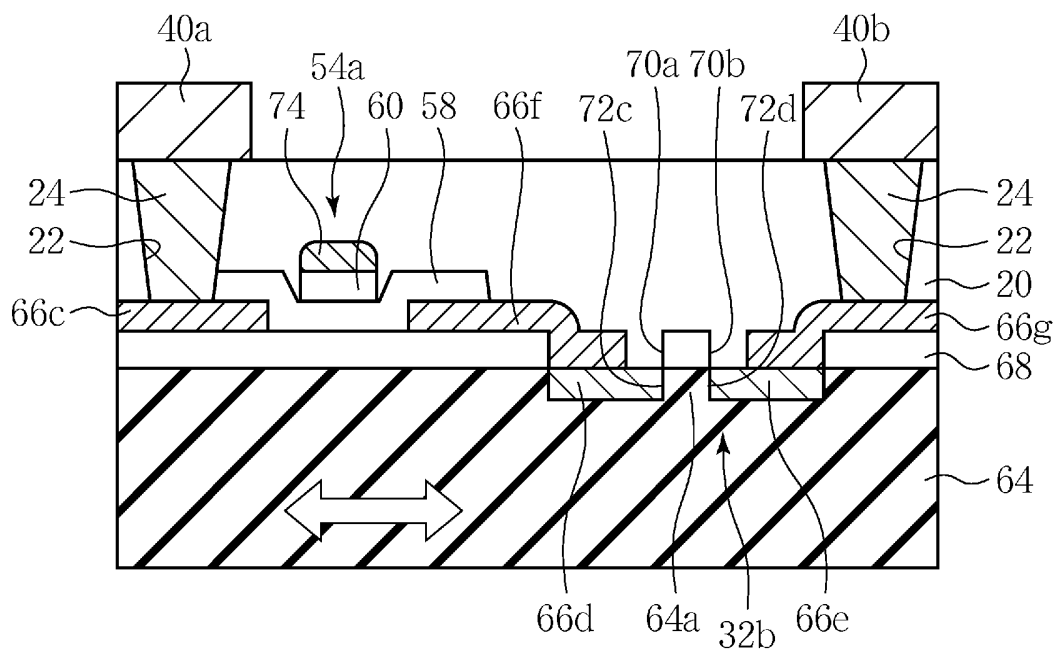
[図27]



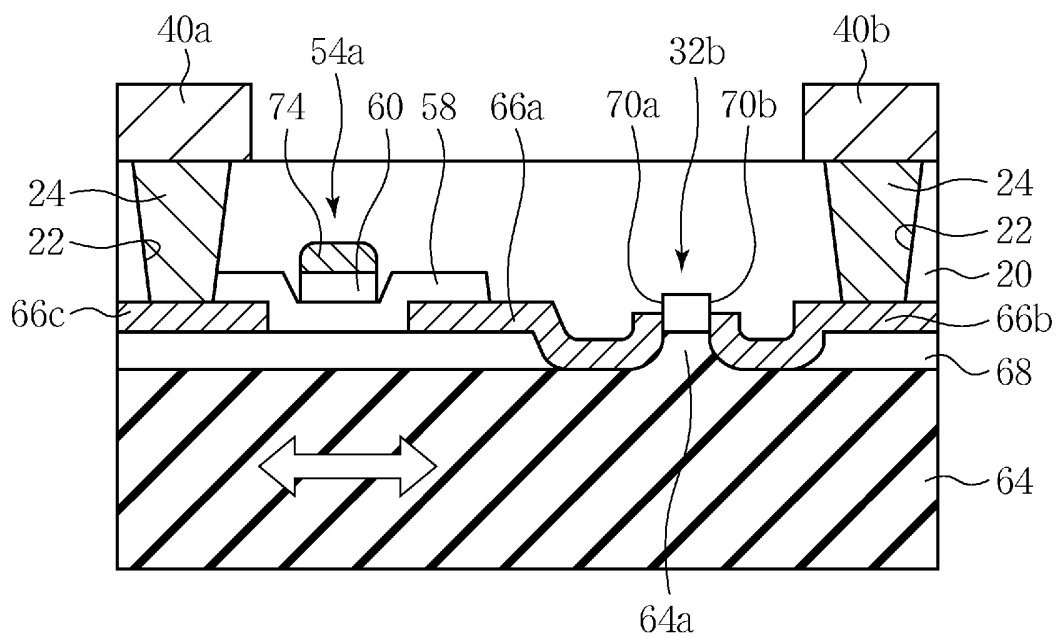
[図28]



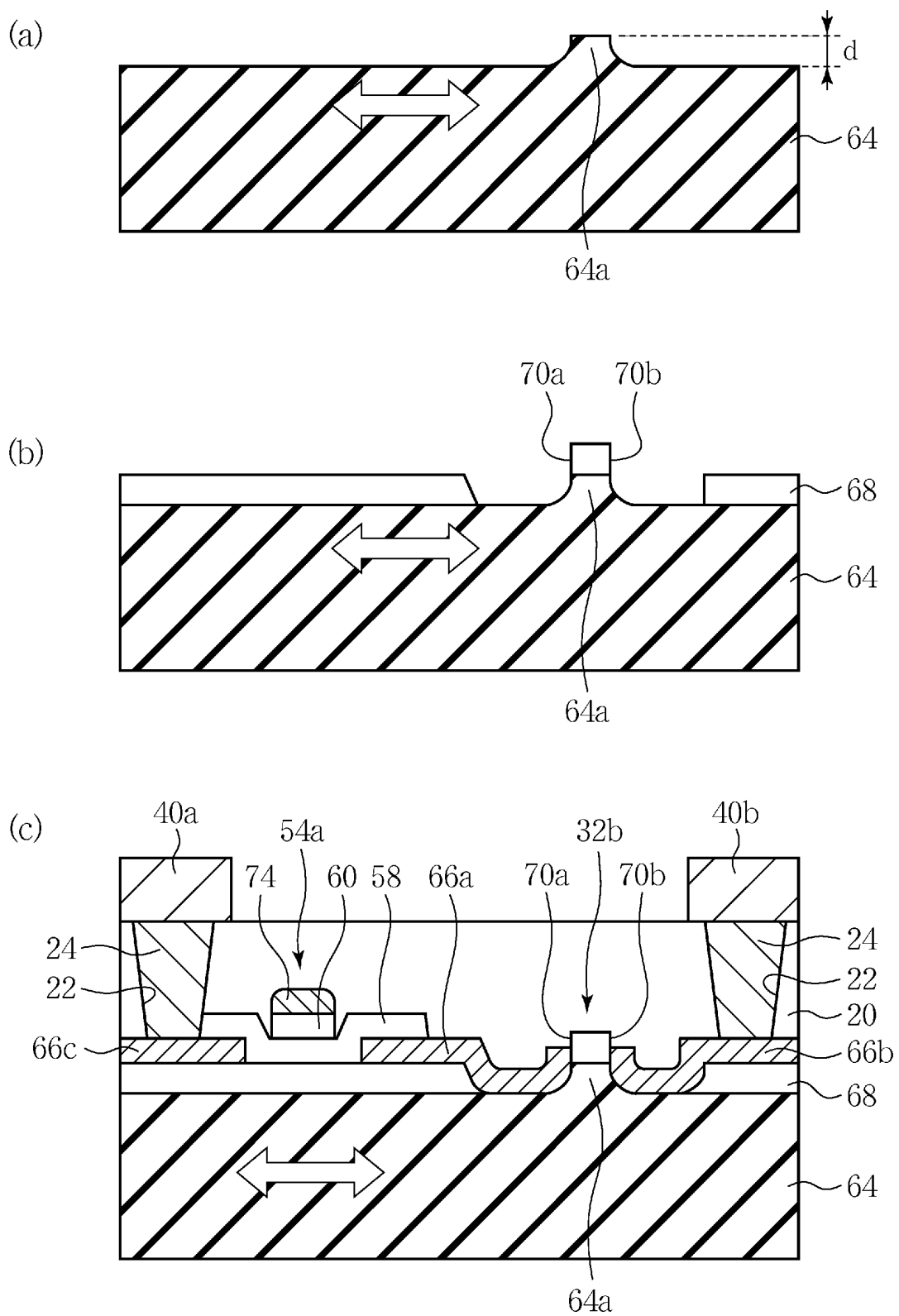
[図29]



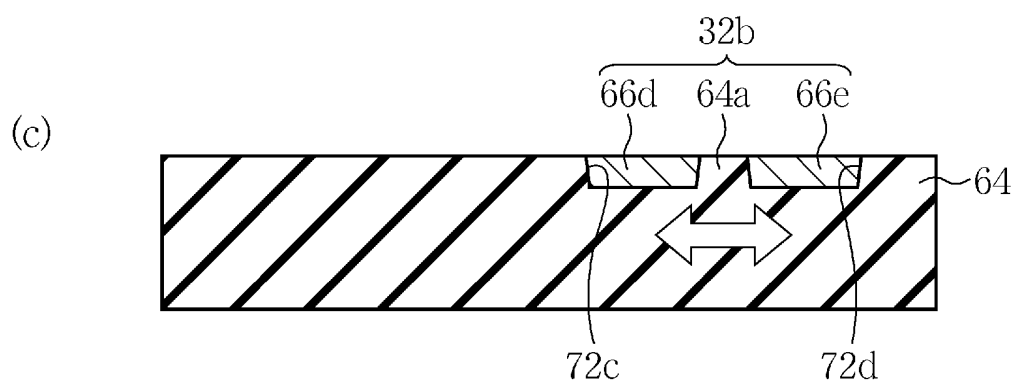
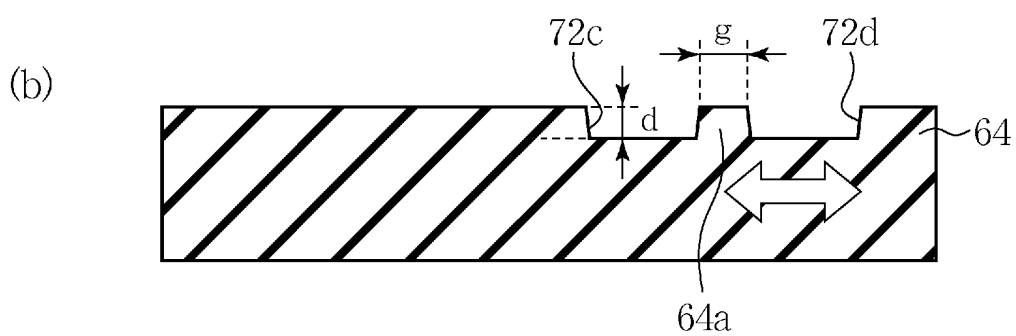
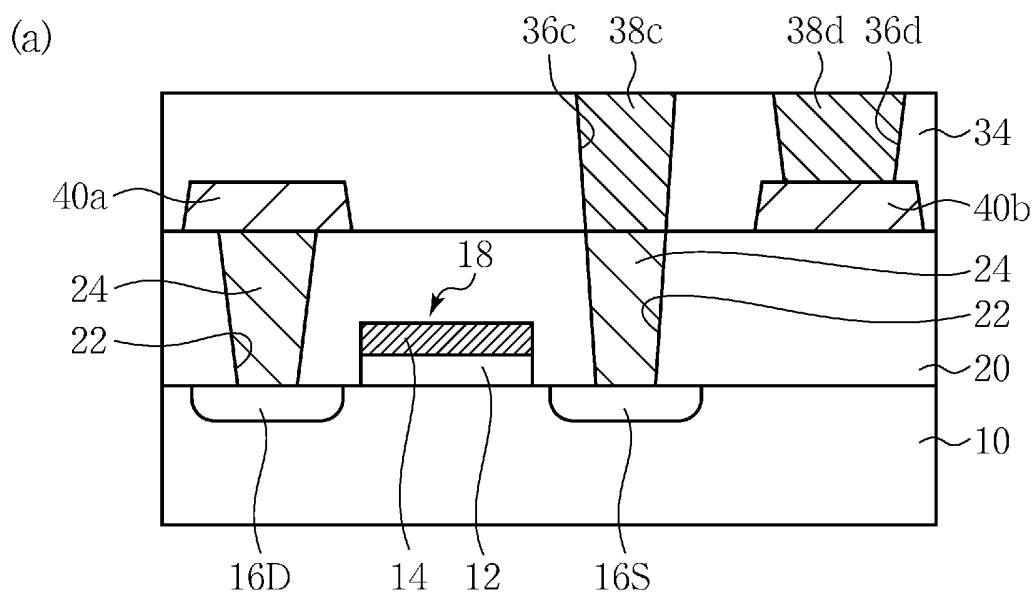
[図30]



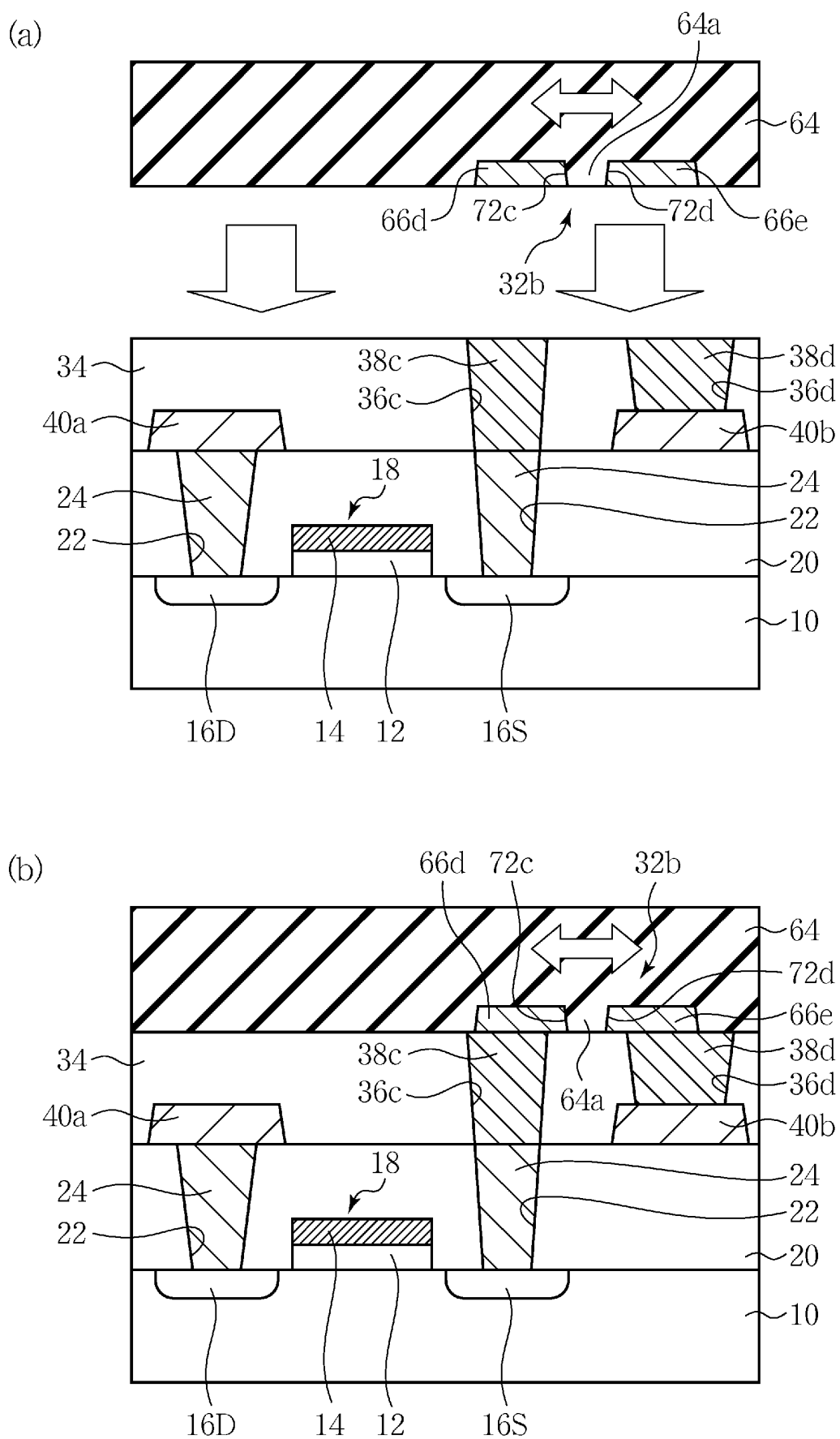
[図31]



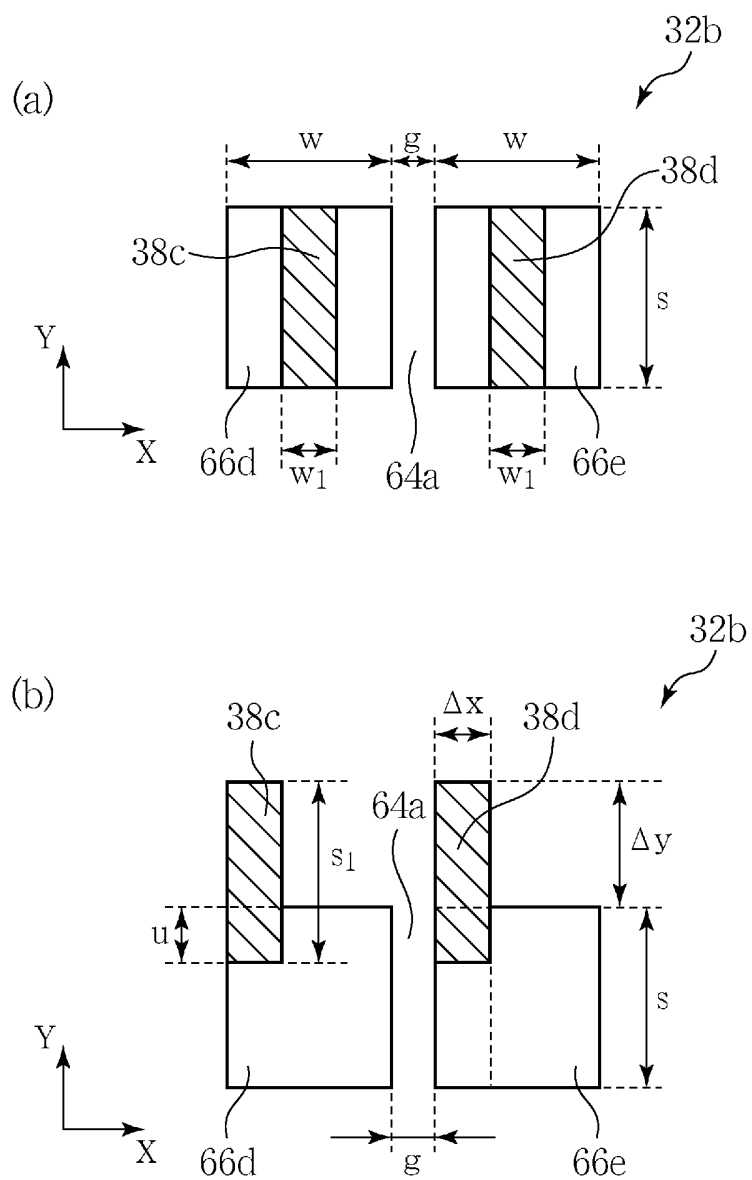
[図33]



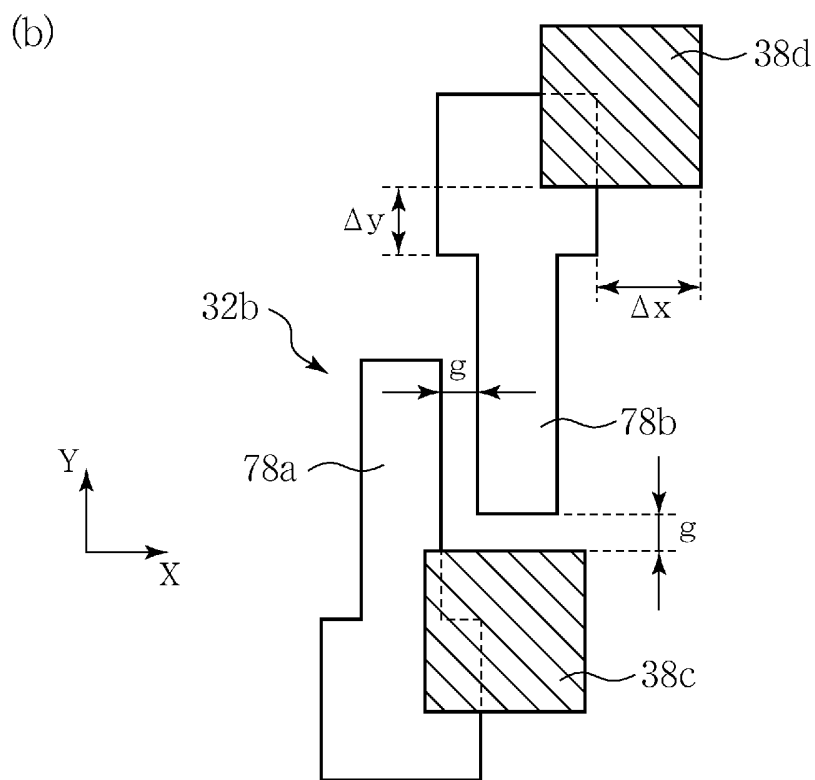
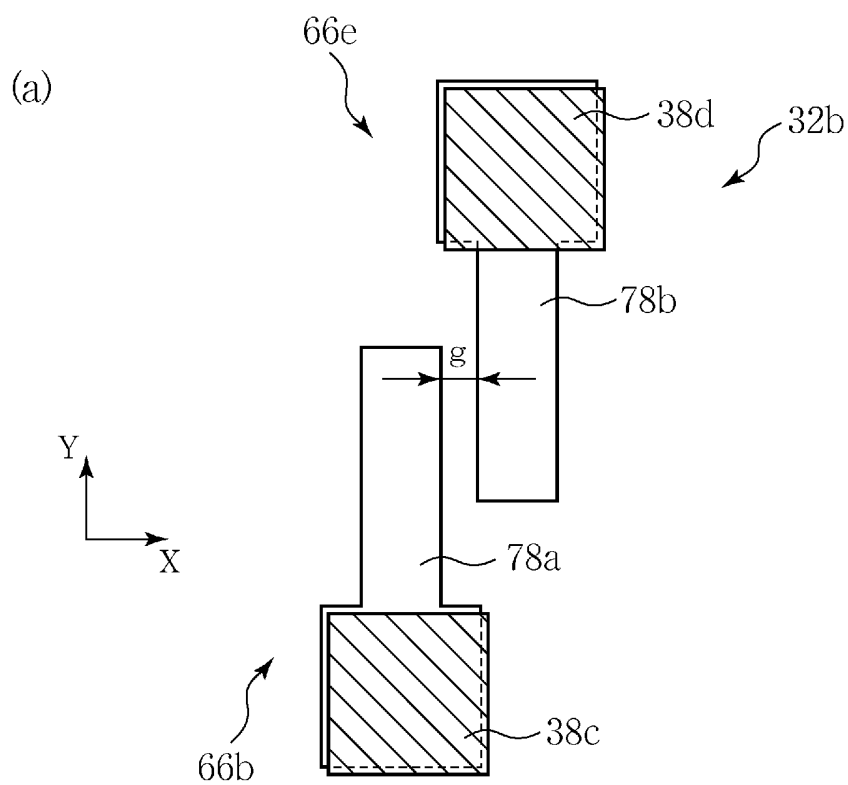
[図34]



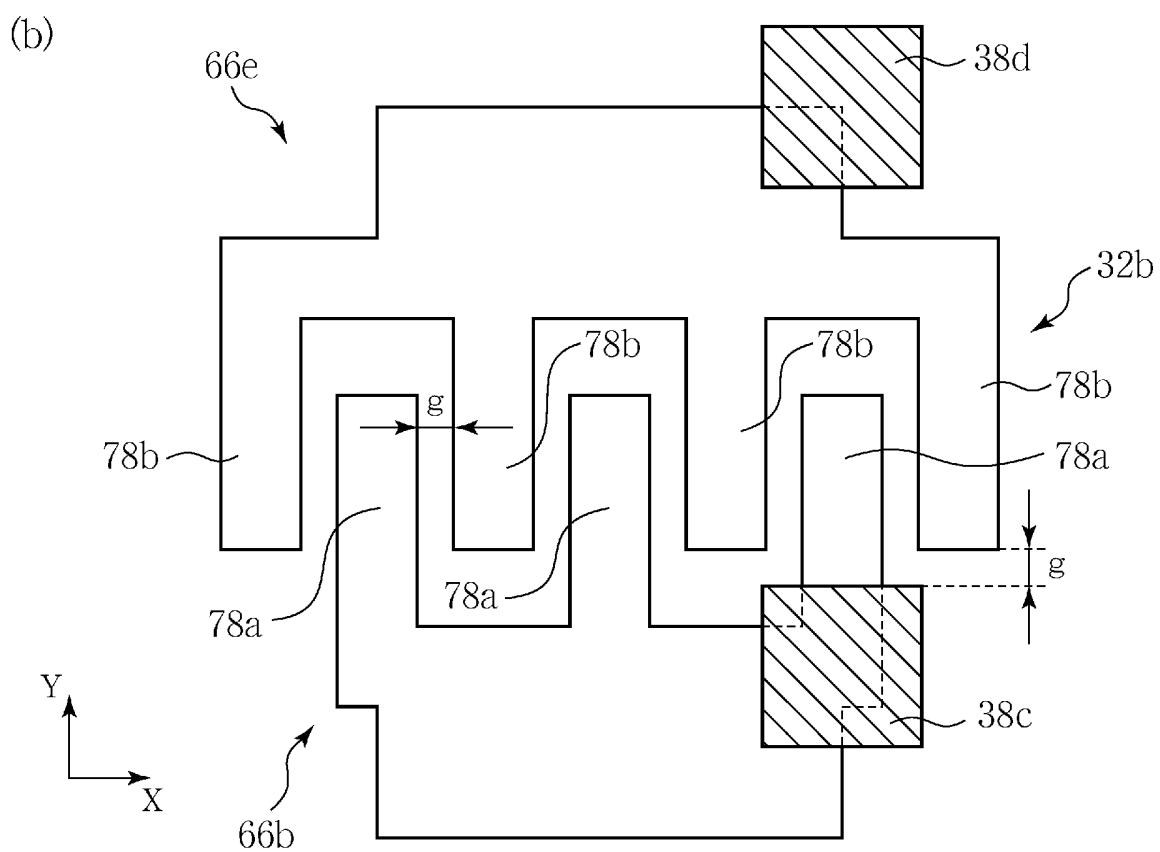
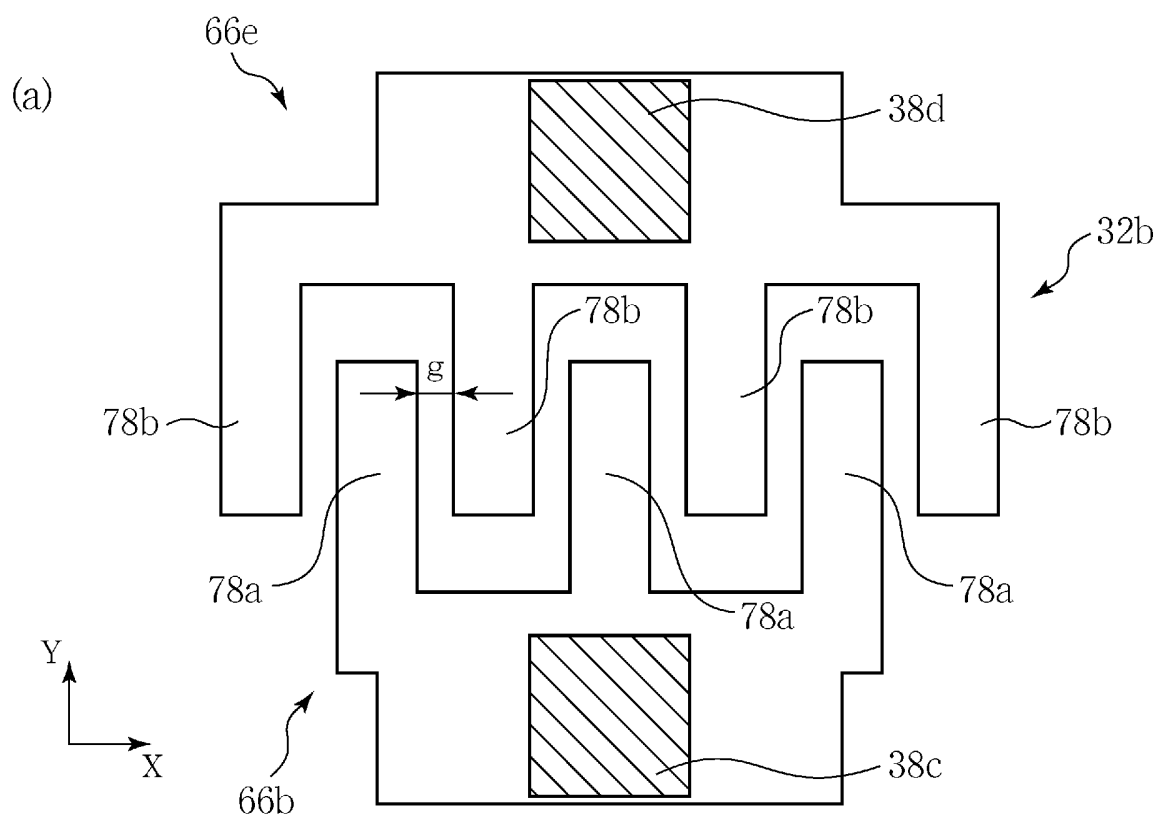
[図35]



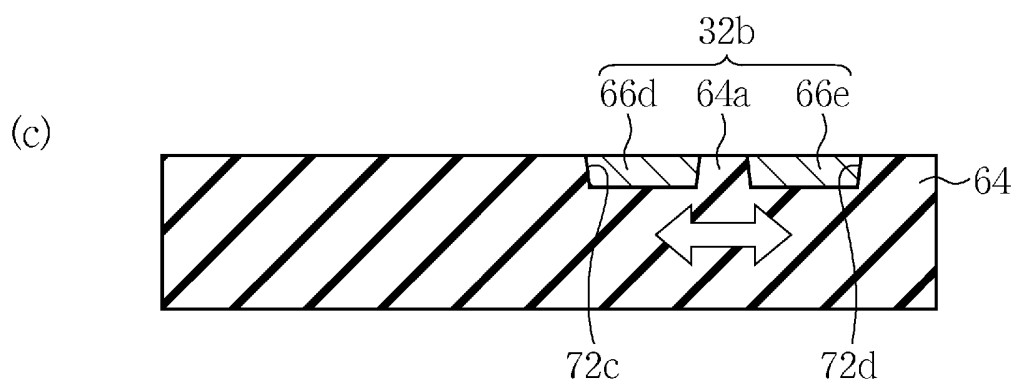
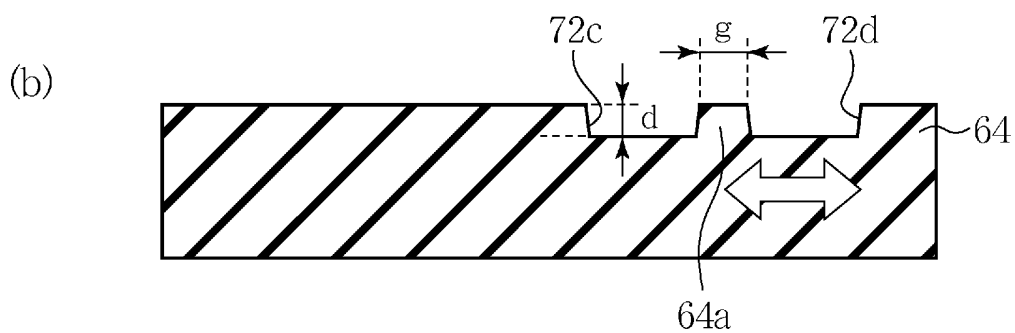
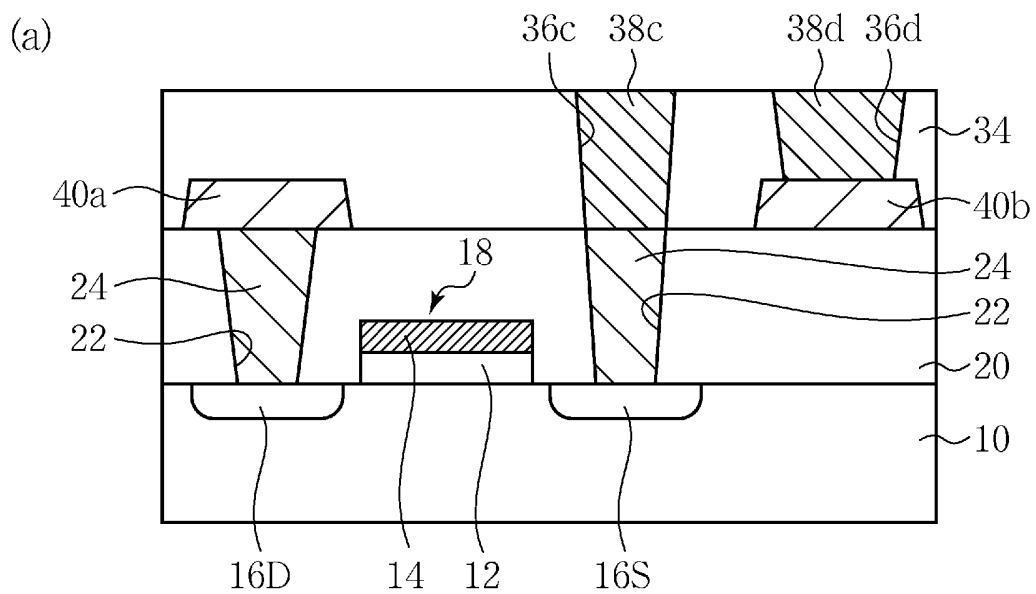
[図36]



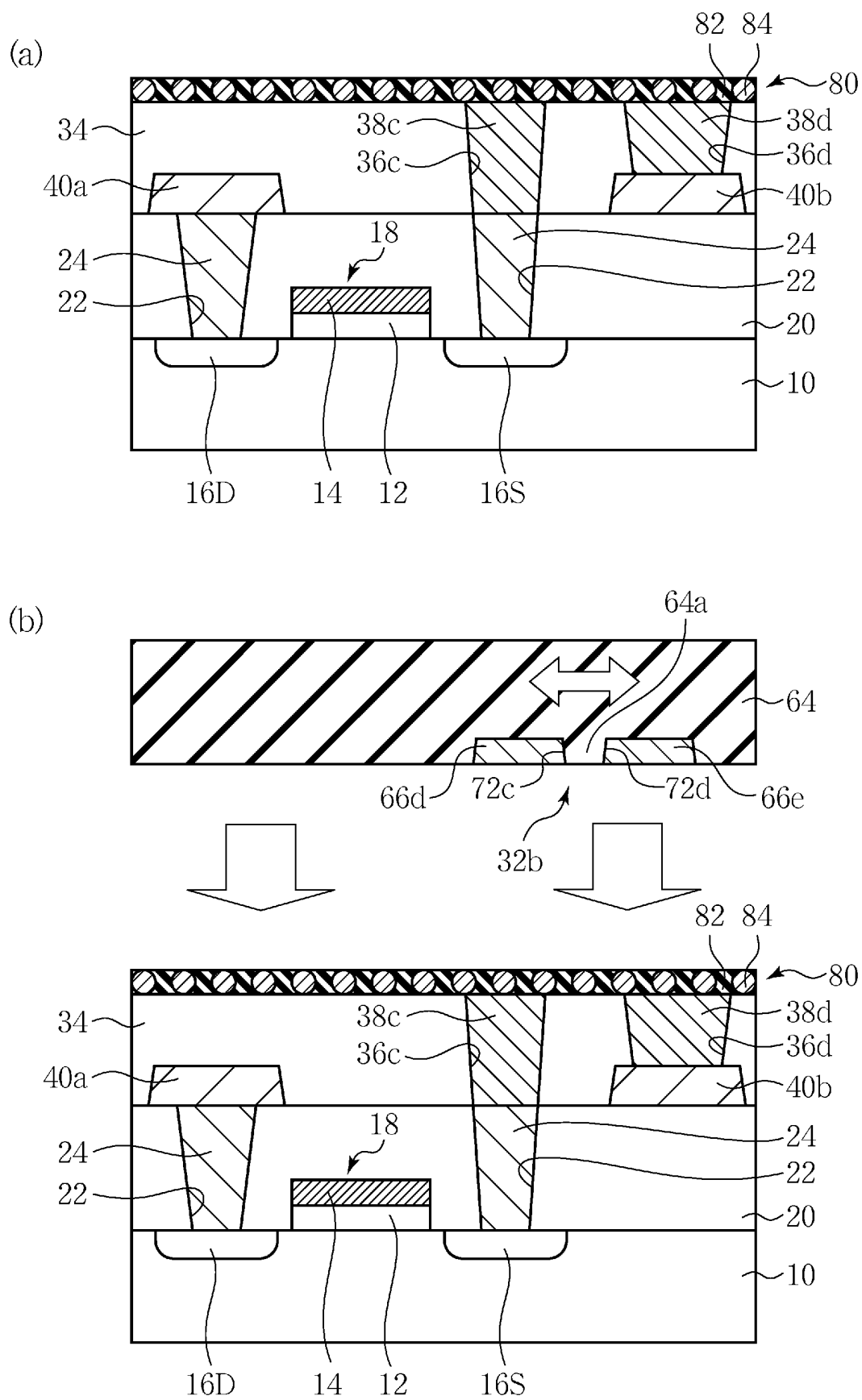
[図37]



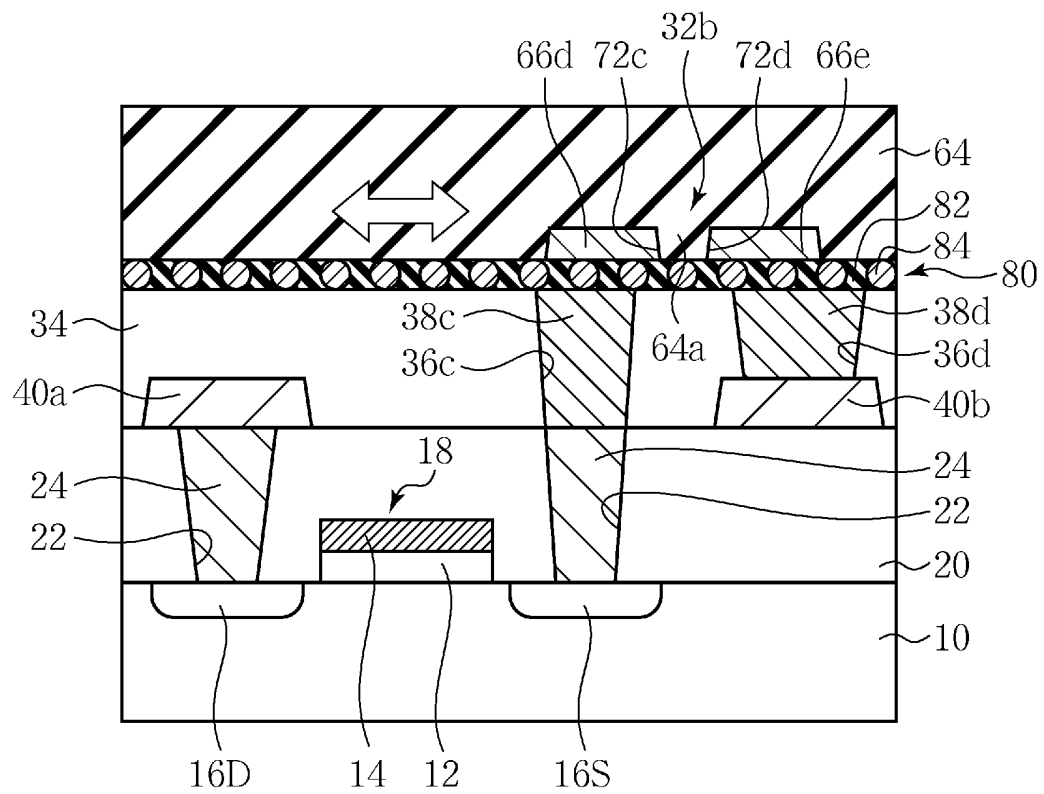
[図39]



[図40]



[図41]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004194

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L27/105, 21/822, 27/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L27/105, 21/822, 27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-165351 A (Fujitsu Ltd.), 10 June, 2004 (10.06.04), Full text; all drawings & WO 2004/044965 A2	1, 2, 10 11, 12
X Y	JP 8-227980 A (Toshiba Corp.), 03 September, 1996 (03.09.96), Full text; all drawings (Family: none)	1, 2, 10 11, 12
X Y	JP 2-238672 A (Seiko Epson Corp.), 20 September, 1990 (20.09.90), Full text; all drawings (Family: none)	1, 2, 10 11, 12

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
01 June, 2005 (01.06.05)

Date of mailing of the international search report
21 June, 2005 (21.06.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004194

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-504749 A (THALES) , 12 February, 2004 (12.02.04) , Par. No. [0017] & WO 2002/007310 A1 & FR 2811828 A & EP 1299945 A & US 2002/135270 A1	11, 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004194

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1, 2, 10-12

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004194

There must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. The group of inventions of claims 1-40 is considered to be linked only by the technical feature of being "a nonvolatile semiconductor storage comprising a single crystal ferroelectric layer and electrodes".

This technical feature, however, cannot be a special technical feature since it is disclosed in prior art documents such as JP 2004-165351 A (Fujitsu Ltd.), 10 June, 2004 (10.06.04) and JP 2-238672 A (Seiko Epson Corp.), 20 September, 1990 (20.09.90).

Consequently, there is no special technical feature so linking the group of inventions of claims 1-40 as to form a single general inventive concept. Therefore, it is obvious that the group of inventions of claims 1-40 does not satisfy the requirement of unity of invention.

Then, judging from the specific modes described in the independent claims, the claims of this international application are considered to define at least six inventions: the invention of claims 1, 2, 10-12; the invention of claims 3-6; the invention of claims 7-9; the invention of claims 13-21; the invention of claims 22-32; and the invention of claims 33-40.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L27/105, 21/822, 27/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L27/105, 21/822, 27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2004-165351 A (富士通株式会社) 2004.06.10, 全文, 全図 & WO 2004/044965 A2	1, 2, 10 11, 12
X Y	JP 8-227980 A (株式会社東芝) 1996.09.03, 全文, 全図 (ファミリーなし)	1, 2, 10 11, 12
X Y	JP 2-238672 A (セイコーエプソン株式会社) 1990.09.20, 全文, 全図 (ファミリーなし)	1, 2, 10 11, 12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

01.06.2005

国際調査報告の発送日

21.06.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井原 純

4M

9354

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2004-504749 A (タレス) 2004. 02. 12, 【0017】 & WO 2002/007310 A1 & FR 2811828 A & EP 1299945 A & US 2002/135270 A1	11, 12

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。

特別ページを参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲第 1, 2, 10-12

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲 1-40 に記載されている一群の発明は、「単結晶の強誘電体層と、電極を有する不揮発性半導体記憶装置」であるという事項のみで連関しているものと認められる。

しかしながら、この事項は、先行技術文献、例えば、JP 2004-165351 A (富士通株式会社), 2004. 06. 10、JP 2-238672 A (セイコーエプソン株式会社), 1990. 09. 20 に開示されているものであるから、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲 1-40 に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存在しないこととなる。そのため、請求の範囲 1-40 に記載されている一群の発明が単一性の要件を満たしていないことは明らかである。

そして、独立請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲には、1, 2, 10-12 と 3-6 と 7-9 と 13-21 と 22-32 と 33-40 とに区分される少なくとも 6 個の発明が記載されているものと認められる。