

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6300638号  
(P6300638)

(45) 発行日 平成30年3月28日(2018.3.28)

(24) 登録日 平成30年3月9日(2018.3.9)

(51) Int.Cl.		F I		
HO 1 L 21/8238 (2006.01)		HO 1 L 27/092		B
HO 1 L 27/092 (2006.01)		HO 1 L 27/092		F
HO 1 L 29/417 (2006.01)		HO 1 L 29/50		M
HO 1 L 29/423 (2006.01)		HO 1 L 29/58		G
HO 1 L 29/49 (2006.01)				

請求項の数 6 (全 14 頁)

(21) 出願番号	特願2014-107950 (P2014-107950)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号
(22) 出願日	平成26年5月26日(2014.5.26)	(74) 代理人	100110928 弁理士 速水 進治
(65) 公開番号	特開2015-225877 (P2015-225877A)	(74) 代理人	100127236 弁理士 天城 聡
(43) 公開日	平成27年12月14日(2015.12.14)	(72) 発明者	門島 勝 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内
審査請求日	平成28年9月26日(2016.9.26)	(72) 発明者	井上 真雄 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内
		審査官	戸次 一夫

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型のベース基板と、  
前記ベース基板上に形成され、前記ベース基板よりも不純物濃度が低い第1導電型の半導体層と、

前記半導体層に形成された第2導電型の第1埋込層と、

前記半導体層に形成され、前記第1埋込層よりも深く、かつ前記第1埋込層から前記半導体層の深さ方向に離れており、前記第1埋込層よりも不純物濃度が低い前記第2導電型の第2埋込層と、

前記半導体層に形成されたトランジスタと、  
を備える半導体装置。

【請求項2】

請求項1に記載の半導体装置において、  
前記半導体層に形成され、前記トランジスタを囲むトレンチと、  
前記トレンチに埋め込まれた絶縁膜と、  
を備え、

前記トレンチの底面は、前記第2埋込層よりも浅く位置している半導体装置。

【請求項3】

請求項1に記載の半導体装置において、  
前記半導体層に形成された孔と、

前記孔の側面に形成された絶縁層と、  
前記孔に埋め込まれた導体と、  
を備え、

前記孔の底面は、前記第 2 埋込層よりも深い半導体装置。

【請求項 4】

請求項 3 に記載の半導体装置において、  
前記半導体層に形成され、前記孔の底部に位置し、前記ベース基板よりも不純物濃度が高い第 1 導電型領域を備える半導体装置。

【請求項 5】

請求項 1 に記載の半導体装置において、  
前記第 2 埋込層には P が導入されており、  
前記ベース基板には B が導入されている半導体装置。

10

【請求項 6】

第 1 導電型のベース基板と、  
前記ベース基板上に形成され、前記ベース基板よりも不純物濃度が低い第 1 導電型の半導体層と、

前記半導体層に形成された第 2 導電型の第 1 埋込層と、

前記半導体層に形成され、前記第 1 埋込層よりも深く、かつ前記第 1 埋込層から前記半導体層の深さ方向に離れており、N、C、及び O の少なくとも一つの元素が導入されており、前記元素の濃度が前記ベース基板における前記第 1 導電型の不純物濃度以下であり、かつ前記半導体層における前記第 1 導電型の不純物濃度よりも大きい第 2 埋込層と、

20

前記半導体層に形成されたトランジスタと、  
を備える半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、例えば基板に埋め込まれた拡散層を有する半導体装置に適用可能な技術である。

【背景技術】

【0002】

半導体装置において、基板に拡散層を埋め込み、この拡散層の上方にトランジスタを形成することがある。このようなトランジスタにおいて、基板は、例えばベースとなる半導体基板の上に半導体層をエピタキシャル成長させたものが使用される。そして上記した拡散層は、半導体層を形成したのちにイオン注入法を用いて形成される場合もあれば、半導体層をエピタキシャル成長させる際に形成される場合もある。

30

【0003】

なお、特許文献 1 には、ベースとなる p 型の基板の表面に p 型の不純物を熱拡散法により拡散させ、その後、この基板の上にエピタキシャル層を成長させることが記載されている。

【0004】

また特許文献 2 には、ベースとなる p 型の基板の表面に n 型のエピタキシャル層を形成して半導体基板を形成し、この半導体基板を用いてトレンチゲート型の IGBT を形成することが記載されている。特許文献 2 において、エピタキシャル層は、高濃度の n 型層の上に、低濃度の n 型層を積層した構成を有している。

40

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開昭 62 - 40719 号公報

【特許文献 2】特開 2002 - 176177 号公報

【発明の概要】

50

## 【発明が解決しようとする課題】

## 【0006】

ベースとなる基板に半導体層を形成し、この半導体層に拡散層を埋め込み、この拡散層の上方にトランジスタを形成した場合、ベースとなる基板と拡散層の間隔によってトランジスタの耐圧が決まることがある。しかし、基板にも不純物が導入されているため、半導体装置の製造工程において基板から半導体層に不純物が拡散し、トランジスタの耐圧が低下する可能性があった。その他の課題と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

## 【課題を解決するための手段】

## 【0007】

一実施の形態によれば、第1導電型のベース基板の上には第1導電型の半導体層が形成されている。半導体層の不純物濃度はベース基板の不純物濃度よりも低い。半導体層には、第2導電型の第1埋込層と第2導電型の第2埋込層とが形成されている。第2埋込層は、第1埋込層よりも深く、かつ第1埋込層から離れており、第1埋込層よりも不純物濃度が低い。半導体層には、さらにトランジスタが形成されている。

## 【発明の効果】

## 【0008】

前記一実施の形態によれば、基板から半導体層に不純物が拡散し、トランジスタの耐圧が低下することを抑制できる。

## 【図面の簡単な説明】

## 【0009】

【図1】第1の実施形態に係る半導体装置の構成を示す断面図である。

【図2】トランジスタの平面図である。

【図3】半導体装置の製造方法を示す断面図である。

【図4】半導体装置の製造方法を示す断面図である。

【図5】半導体装置の製造方法を示す断面図である。

【図6】基板の深さ方向の不純物の分布を説明するための図である。

【図7】第2の実施形態に係る半導体装置の製造方法を示す断面図である。

【図8】基板の深さ方向の不純物の分布を説明するための図である。

【図9】第3の実施形態に係る半導体装置の構成を示す断面図である。

【図10】基板の深さ方向の不純物の分布を説明するための図である。

【図11】第4の実施形態に係る半導体装置の構成を示す断面図である。

## 【発明を実施するための形態】

## 【0010】

以下、実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

## 【0011】

(第1の実施形態)

図1は、第1の実施形態に係る半導体装置SDの構成を示す断面図である。本実施形態に係る半導体装置SDは、基板SUBを用いて形成されている。基板SUBは、バルクの半導体(たとえば単結晶シリコン)からなるベース基板BSUBの上に、半導体(たとえばシリコン)のエピタキシャル層EPI(半導体層)を成長させたものである。ベース基板BSUB及びエピタキシャル層EPIは、いずれも同一の導電型(第1導電型:例えばp型)である。ベース基板BSUBの不純物濃度はエピタキシャル層EPIの不純物濃度よりも高い。

## 【0012】

エピタキシャル層EPIには、エピタキシャル層EPIとは異なる導電型(第2導電型:例えばn型)である第1埋込層BINPL1が形成されている。第1埋込層BINPL1はベース基板BSUBから離れている。第1埋込層BINPL1は、エピタキシャル層EPIをエピタキシャル成長させる際に形成されていてもよいし、エピタキシャル層EPI

10

20

30

40

50

Iを形成したのち、イオン注入法を用いて形成されていてもよい。前者の場合、第1埋込層B I N P L 1は、基板S U Bの全面に形成されている。

【0013】

また、エピタキシャル層E P Iには第2埋込層B I N P L 2が形成されている。第2埋込層B I N P L 2は、第2導電型の不純物層であり、第1埋込層B I N P L 1よりも深く、かつ第1埋込層B I N P L 1から離れている。第2埋込層B I N P L 2の不純物濃度は第1埋込層B I N P L 1の不純物濃度よりも低い。第2埋込層B I N P L 2は、ベース基板B S U Bの不純物がエピタキシャル層E P Iに拡散してエピタキシャル層E P Iの下層の第1導電型の不純物濃度が高くなることを抑制するために、設けられている。

【0014】

そして、エピタキシャル層E P Iには、ロジック回路を構成するトランジスタT R 2 , T R 3、及び電力制御用のトランジスタT R 1が形成されている。少なくともトランジスタT R 1は、平面視で第1埋込層B I N P L 1と重なっている。

【0015】

なお、以下の説明において、第1導電型がp型であり、第2導電型がn型である場合について説明を行う。ただし、第1導電型がn型であり、第2導電型がp型であってもよい。

【0016】

トランジスタT R 2はn型の低耐圧トランジスタであり、ゲート電極G E 2、ソースS O U 2、及びドレインD R N 2を有している。トランジスタT R 3はp型の低耐圧トランジスタであり、ゲート電極G E 3、ソースS O U 3、及びドレインD R N 3を有している。トランジスタT R 2 , T R 3は、C M O Sトランジスタを構成している。なお、ゲート電極G E 2 , G E 3の下には、ゲート絶縁膜(図示せず)が形成されている。

【0017】

トランジスタT R 1は電力制御用の横型のトランジスタであり、トランジスタT R 2 , T R 3に対して高耐圧になっている。トランジスタT R 1は、ゲート電極G E 1、ソースS O U 1、及びドレインD R N 1を有している。ドレインD R N 1とゲート電極G E 1の距離は、ソースS O U 1とゲート電極G E 1の距離よりも大きくなっている。これにより、ドレインD R N 1とゲート電極G E 1の間の耐圧が高くなっている。ゲート電極G E 1の下には、ゲート絶縁膜(図示せず)が形成されている。このゲート絶縁膜は、トランジスタT R 2 , T R 3のゲート絶縁膜よりも厚い。なお、ドレインD R N 1とゲート電極G E 1の間には、S T I法またはL O C O S法によって形成された素子分離絶縁膜が形成されている。

【0018】

ドレインD R N 1は、n型ウェルW L 1 2及びその表層のn型の高濃度領域H I N P L 1 3を有している。高濃度領域H I N P L 1 3はコンタクトC O N 3に接続している。また、n型ウェルW L 1 2の周囲には、n<sup>-</sup>型のオフセット領域N O F 1 1が形成されている。言い換えると、n型ウェルW L 1 2はオフセット領域N O F 1 1の表層に形成されている。

【0019】

一方、ソースS O U 1はn型の高濃度領域H I N P L 1 2を有している。高濃度領域H I N P L 1 2は、p型ウェルW L 2 1の表層に形成されている。なお、図示していないが、p型ウェルW L 2 1のうち高濃度領域H I N P L 1 2の隣に位置する部分には、p型の高濃度領域が形成されている。そして、このp型の高濃度領域及び高濃度領域H I N P L 1 2には、コンタクトC O N 2が接続している。

【0020】

そして、基板S U B上には絶縁膜H M S K 1及び層間絶縁膜I N S L 1が形成されている。絶縁膜H M S K 1は例えば窒化シリコン膜であり、層間絶縁膜I N S L 1は例えば酸化シリコン膜である。絶縁膜H M S K 1及び層間絶縁膜I N S L 1には、コンタクトC O N 2 , C O N 3 , C O N 4 , C O N 5 , C O N 6 , C O N 7が埋め込まれている。コンタ

10

20

30

40

50

クトCON2はトランジスタTR1のソースSOU1に接続しており、コンタクトCON3はトランジスタTR1のドレインDRN1に接続している。コンタクトCON4はトランジスタTR2のソースSOU2に接続しており、コンタクトCON5はトランジスタTR2のドレインDRN2に接続している。コンタクトCON6はトランジスタTR3のソースSOU3に接続しており、コンタクトCON7はトランジスタTR3のドレインDRN3に接続している。また、図示していないが、絶縁膜HMSK1及び層間絶縁膜INSL1には、ゲート電極GE1に接続するコンタクト、ゲート電極GE2に接続するコンタクト、ゲート電極GE3に接続するコンタクト、及びディープウェルDWL(後述)に接続するコンタクトも埋め込まれている。

**【0021】**

層間絶縁膜INSL1の上には、配線INC2, INC3, INC4, INC5, INC6, INC7が形成されている。配線INC2, INC3, INC4, INC5, INC6, INC7は、たとえばアルミニウムなどの金属によって形成されており、それぞれ、コンタクトCON2, CON3, CON4, CON5, CON6, CON7に接続している。なお、層間絶縁膜INSL1の上には、各ゲート電極に接続する配線(図示せず)及びディープウェルDWLに接続する配線(図示せず)も形成されている。

**【0022】**

トランジスタTR1は第1素子領域EL1に形成されており、トランジスタTR2, TR3は第2素子領域EL2に形成されている。詳細には、第1素子領域EL1には一つのトランジスタTR1が形成されている。一方、第2素子領域EL2には複数のトランジスタTR2, TR3が形成されている。なお、図1においては、図を簡略化するため、第2素子領域EL2には一組のトランジスタTR2, TR3のみを示している。そして、第1素子領域EL1及び第2素子領域EL2は、いずれも、素子分離トレンチSDTRによって囲まれている。素子分離トレンチSDTRは第1埋込層BINPL1を貫通しているが、ベース基板SUBには達していない。また本図に示す例では、素子分離トレンチSDTRの底部は第2埋込層BINPL2にも達していない。言い換えると、素子分離トレンチSDTRは第2埋込層BINPL2よりも浅く形成されている。

**【0023】**

そして、素子分離トレンチSDTRの中には埋込絶縁膜BINSLが埋め込まれている。本図に示す例では、埋込絶縁膜BINSLは、基板SUB上の層間絶縁膜INSL1の一部である。

**【0024】**

なお、基板SUBには、さらにn型のディープウェルDWL及び埋込コンタクトBCONが形成されている。ディープウェルDWLは底面が第1埋込層BINPL1に達しており、第1埋込層BINPL1に固定電位を与えている。埋込コンタクトBCONは基板SUBに埋め込まれたコンタクトであり、第1埋込層BINPL1及び第2埋込層BINPL2を貫いている。このため、第2埋込層BINPL2より下のエピタキシャル層EPI及びベース基板SUBには、埋込コンタクトBCONによって固定電位が与えられる。

**【0025】**

本図に示す例において、エピタキシャル層EPIのうち埋込コンタクトBCONの下面に接する領域には、p型の不純物領域INPL1が形成されている。不純物領域INPL1の不純物濃度はエピタキシャル層EPIの不純物濃度よりも高い。不純物領域INPL1が形成されることにより、埋込コンタクトBCONとエピタキシャル層EPIの接続抵抗は低くなる。

**【0026】**

埋込コンタクトBCONを埋め込むための溝(又は孔)は、例えばコンタクトCON2を埋め込むための接続孔と同一工程で形成される。ただしこの溝(又は孔)は、独立した工程で形成されてもよい。この溝の内面には、絶縁膜(例えば熱酸化膜)INSL2が形成されている。これにより、埋込コンタクトBCONは第1埋込層BINPL1及びエピタキシャル層EPIのうち第1埋込層BINPL1より上に位置する部分から絶縁される

10

20

30

40

50

。また、埋込コンタクトBCONは、コンタクトCON2等と同一工程で形成されている。このため、埋込コンタクトBCONは、層間絶縁膜INS L1及び絶縁膜HMSK1も貫いており、その上端は、層間絶縁膜INS L1上の配線INC8に接続している。

【0027】

なお、第1埋込層BINPL1の電位は、フローティングであってもよいし、固定電位であってもよい。後者の場合、エピタキシャル層EPIには、第1埋込層BINPL1を電氣的にエピタキシャル層EPIの表層まで引き上げるための不純物領域が形成される。この不純物領域の下部は第1埋込層BINPL1に接続し、かつこの不純物領域の上部にはコンタクトが接続される。

【0028】

図2は、トランジスタTR1の平面図である。ゲート電極GE1は、ドレインDRN1のn型ウェルWL12を囲んでおり、p型ウェルWL21はゲート電極GE1を囲んでいる。また素子分離トレンチSDTRは多角形(本図に示す例では矩形)の各辺に沿って形成されており、p型ウェルWL21を囲んでいる。言い換えると、トランジスタTR1は、素子分離トレンチSDTRの内側に位置している。

【0029】

図3～図5は、半導体装置SDの製造方法を示す断面図である。各図は図1に対応している。

【0030】

まず、図3に示すように、ベース基板BSUBを準備する。次いで、ベース基板BSUBにエピタキシャル層EPIを形成する。この際、途中で不純物導入用のガスを切り替えることにより、第2埋込層BINPL2及び第1埋込層BINPL1を形成する。この段階において、第2埋込層BINPL2は、例えばベース基板BSUBのすぐ上(言い換えるとエピタキシャル層EPIの最下層)に位置している。

【0031】

次いで、図4に示すように、次いで、エピタキシャル層EPIに各種ウェル(ディープウェルDWLを含む)及びオフセット領域NOF11を、例えばイオン注入法を用いて形成する。次いで、エピタキシャル層EPIに溝を形成し、この溝に絶縁膜、例えば酸化シリコン膜を埋め込む。これにより、素子分離絶縁膜(図示せず)が形成される。なお、各種ウェル及びオフセット領域NOF11を形成するタイミングは、素子分離絶縁膜を形成した後であってもよい。

【0032】

次いで、トランジスタTR1, TR2, TR3のゲート絶縁膜を形成する。次いで、ゲート電極の材料(例えばポリシリコン膜)を成膜し、この膜を選択的に除去する。これにより、ゲート電極GE1, GE2, GE3が形成される。次いで、エピタキシャル層EPIに、各高濃度領域(例えばHINPL12, HINPL13, HINPL21)を、例えばイオン注入法を用いて形成する。

【0033】

なお、ゲート電極GE1, GE2, GE3の側壁にサイドウォールが形成されている場合がある。この場合、各高濃度領域は、サイドウォールが形成されたのちに、形成される。

【0034】

また、エピタキシャル層EPIに、各高濃度領域を形成したのち、熱処理が行われる。この熱処理によって不純物が拡散し、その結果、第2埋込層BINPL2はベース基板BSUBから離れる。

【0035】

次いで、図5に示すように、エピタキシャル層EPIの上に絶縁膜HMSK1を形成する。次いで、絶縁膜HMSK1上にレジストパターン(図示せず)を形成する。このレジストパターンは、素子分離トレンチSDTRが形成されるべき領域に、開口を有している。次いで、レジストパターンをマスクとして絶縁膜HMSK1をエッチングする。これに

10

20

30

40

50

より、絶縁膜HMSK1のうち素子分離トレンチSDTRが形成されるべき領域には、開口が形成される。

【0036】

次いで、絶縁膜HMSK1をマスクとして、エピタキシャル層EPIを（場所によっては素子分離絶縁膜も）エッチングする。これにより、素子分離トレンチSDTRが形成される。その後、レジストパターンが残っている場合には、レジストパターンを除去する。

【0037】

その後、層間絶縁膜INS L1を形成する。この際、層間絶縁膜INS L1の一部は素子分離トレンチSDTRに埋め込まれ、埋込絶縁膜BINSLとなる。この際、素子分離トレンチSDTRおよび第1トレンチDTR1にボイドが形成されることがあるが、このボイドは、層間絶縁膜INS L1（埋込絶縁膜BINSL1）で塞がれており、かつ後工程でも露出しないため、半導体装置SDの品質に影響を与えない。

10

【0038】

次いで、層間絶縁膜INS L1上にレジストパターン（図示せず）を形成し、このレジストパターンをマスクとして層間絶縁膜INS L1をエッチングする。これにより、各コンタクトを形成するために接続孔が形成される。なお、この工程において、層間絶縁膜INS L1のうち埋込コンタクトBCONが形成されるべき領域にも接続孔が形成される。この接続孔は、エピタキシャル層EPIに形成された溝の底部まで達している。この接続孔内に不純物を注入する。これにより、不純物領域INPL1が形成される。そして、これら接続孔内にWなどの金属を埋め込む。これにより、各コンタクトおよび埋込コンタクトBCONが形成される。

20

【0039】

その後、層間絶縁膜INS L1上に金属膜（例えばAl）が形成される。次いで、この金属膜を選択的に除去する。これにより、各配線が形成される。

【0040】

図6は、基板SUBの深さ方向の不純物の分布を説明するための図である。図6(a)は、基板SUBを熱処理する前の基板SUBの不純物の分布を示しており、図6(b)は、基板SUBを熱処理した後の基板SUBの不純物の分布をシミュレーションした結果を示している。

【0041】

30

図6(a)に示すように、ベース基板BSUBは高濃度のp型の不純物を含んでおり、エピタキシャル層EPIはベース基板BSUBよりも低濃度のp型の不純物を含んでいる。そして、エピタキシャル層EPIのうち基板SUBの接する領域にはn型の第2埋込層BINPL2が形成されている。ここで、ベース基板BSUBに含まれるp型の不純物は、例えばBであり、第2埋込層BINPL2に含まれるn型の不純物は、例えばPである。

【0042】

図6(a)に示す基板SUBを熱処理すると、各層に含まれる不純物は熱拡散する。熱処理後の状態において、第2埋込層BINPL2は、n型の不純物濃度がp型の不純物濃度よりも高い領域として定義される。この定義による第2埋込層BINPL2は、図6(a)の状態における第2埋込層BINPL2よりも、エピタキシャル層EPIの表面側に位置している。

40

【0043】

ここで、図6(a)の状態において第2埋込層BINPL2が形成されていなかった場合、ベース基板BSUBのp型の不純物がエピタキシャル層EPIの中に拡散するため、ベース基板BSUBと第1埋込層BINPL1の間の耐圧が下がってしまう。

【0044】

これに対して本実施形態では、第2埋込層BINPL2が形成されているため、ベース基板BSUBからエピタキシャル層EPIに拡散してきたp型の不純物は、第2埋込層BINPL2に含まれていたn型の不純物によって相殺される。これにより、ベース基板B

50

SUBと第1埋込層BINPL1の間の耐圧が下がることを抑制できる。なお、例えばエピタキシャル層EPIがシリコン層である場合、1000前後においては、Pの熱拡散速度はBの熱拡散速度とほぼ等しい。従って、ベース基板SUBに含まれるp型の不純物をBとして、第2埋込層BINPL2に含まれるn型の不純物をPとした場合、上記した相殺効果は特に大きくなる。

【0045】

また、第2埋込層BINPL2は、素子分離トレンチSDTRよりも深く形成されている。このため、第2埋込層BINPL2をベース基板SUBに近づけることができる。これにより、ベース基板SUBからエピタキシャル層EPIに拡散してきた不純物を、効果的に相殺することができる。

10

【0046】

(第2の実施形態)

図7は、第2の実施形態に係る半導体装置SDの製造方法を示す断面図である。まず図7(a)に示すように、ベース基板SUBを準備する。次いで、ベース基板SUBにn型の不純物を熱拡散又はイオン注入する。これにより、ベース基板SUBの表層には第2埋込層BINPL2が形成される。

【0047】

次いで、ベース基板SUB上にエピタキシャル層EPIを形成する。エピタキシャル層EPIの形成方法は、第2埋込層BINPL2が形成されない点を除いて、第1の実施形態におけるエピタキシャル層EPIの形成方法と同様である。

20

【0048】

その後の工程は、第1の実施形態と同様である。

【0049】

図8は、本実施形態における基板SUBの深さ方向の不純物の分布を説明するための図であり、第1の実施形態における図6に対応している。図8(a)は、基板SUBを熱処理する前の基板SUBの不純物の分布を示しており、図8(b)は、基板SUBを熱処理したのちの基板SUBの不純物の分布をシミュレーションした結果を示している。

【0050】

図8(a)に示すように、熱処理前の状態において、第2埋込層BINPL2はベース基板SUBの表層に形成されている。一方、図8(b)に示すように、基板SUBが熱処理されると、第1の実施形態と同様に、第2埋込層BINPL2は、p型の不純物及びn型の不純物のうちn型の不純物濃度が高い領域として定義される。この定義による第2埋込層BINPL2は、本図に示す例では、エピタキシャル層EPIの内部に位置する。

30

【0051】

本実施形態によっても、基板SUBには第2埋込層BINPL2が形成されているため、ベース基板SUBと第1埋込層BINPL1の間の耐圧が下がることを抑制できる。

【0052】

(第3の実施形態)

図9は、第3の実施形態に係る半導体装置SDの構成を示す断面図である。本実施形態に係る半導体装置SDは、第2埋込層BINPL2の代わりに第3埋込層BINPL3を備えている点を除いて、第2の実施形態に係る半導体装置SDと同様の構成である。

40

【0053】

第3埋込層BINPL3は、ベース基板SUBの不純物が熱拡散することを抑制する元素(以下、拡散抑制元素と記載)が導入された層である。第3埋込層BINPL3は、第2の実施形態における図7(a)において、n型の不純物の代わりに拡散抑制元素をベース基板SUBの表層に導入することによって、形成されている。拡散抑制元素は、例えばN、C、及びOの少なくとも一つである。第3埋込層BINPL3における拡散抑制元素の濃度は、例えばベース基板SUBにおけるp型の不純物濃度と同じか、それ以下であり、かつ、エピタキシャル層EPIにおけるp型の不純物濃度よりも大きい。

【0054】

50

図10は、本実施形態における基板SUBの深さ方向の不純物の分布を説明するための図であり、第2の実施形態における図8に対応している。図10(a)は、基板SUBを熱処理する前の基板SUBの不純物の分布を示しており、図10(b)は、基板SUBを熱処理したのちの基板SUBの不純物の分布を示している。

【0055】

図10(a)に示すように、熱処理前の状態において、第3埋込層BINPL3はベース基板BSUBの表層に形成されている。一方、図10(b)に示すように、基板SUBが熱処理されると、ベース基板BSUBの不純物はエピタキシャル層EPIに向けて拡散するが、第3埋込層BINPL3が形成されているため、この拡散量は少ない。なお、第3埋込層BINPL3の拡散抑制元素も基板SUB内を拡散する。このため、第3埋込層BINPL3の幅は広がる。

10

【0056】

本実施形態によれば、基板SUBには第3埋込層BINPL3が形成されているため、ベース基板BSUBの不純物はエピタキシャル層EPIに向けて拡散しにくくなる。従って、ベース基板BSUBと第1埋込層BINPL1の間の耐圧が下がることを抑制できる。

【0057】

(第4の実施形態)

図11は、第4の実施形態に係る半導体装置SDの構成を示す断面図である。本実施形態に係る半導体装置SDは、埋込コンタクトBCONの代わりに裏面電極BELを備えている点を除いて、第1～第3の実施形態のいずれかと同様の構成である。本図は、第1の実施形態と同様の構成の場合を示している。

20

【0058】

裏面電極BELは、ベース基板BSUBのうちエピタキシャル層EPIが形成されていない面に形成されており、ベース基板BSUBに固定電位を与える。裏面電極BELは、例えばAlなどの金属によって形成されている。裏面電極BELは、例えばスパッタリング法を用いて形成されている。

【0059】

本実施形態によっても、ベース基板BSUBと第1埋込層BINPL1の間の耐圧が下がることを抑制できる。

30

【0060】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【符号の説明】

【0061】

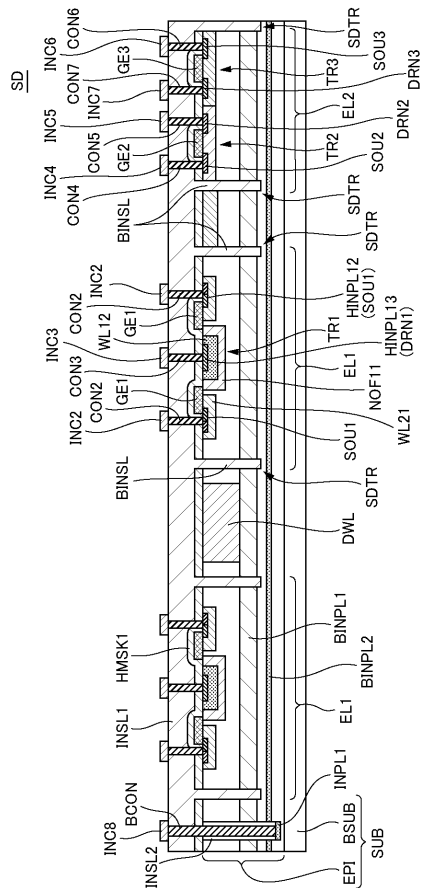
BINPL1 第1埋込層  
 BINPL2 第2埋込層  
 BINSL1 埋込絶縁膜  
 BCON 埋込コンタクト  
 BINSL 埋込絶縁膜  
 BSUB ベース基板  
 CON1 第1コンタクト  
 DRN1 ドレイン  
 DRN2 ドレイン  
 DRN3 ドレイン  
 DWL ディープウェル  
 EL1 第1素子領域  
 EL2 第2素子領域  
 EPI エピタキシャル層

40

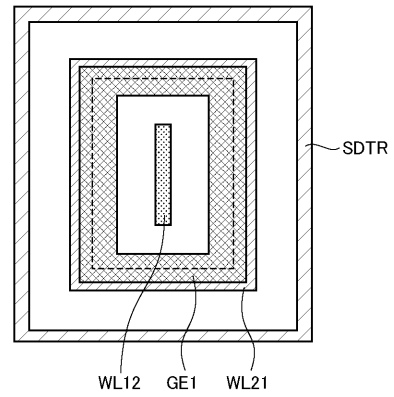
50

- GE 1 ゲート電極
- GE 2 ゲート電極
- GE 3 ゲート電極
- HMSK 1 絶縁膜
- HINPL 1 2 高濃度領域
- HINPL 1 3 高濃度領域

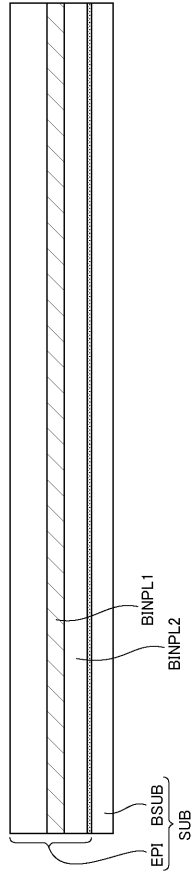
【図 1】



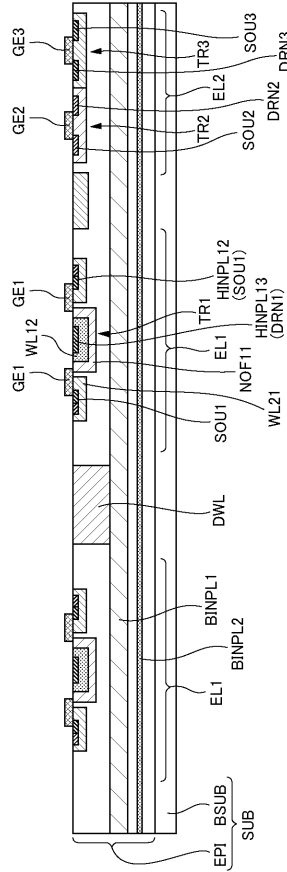
【図 2】



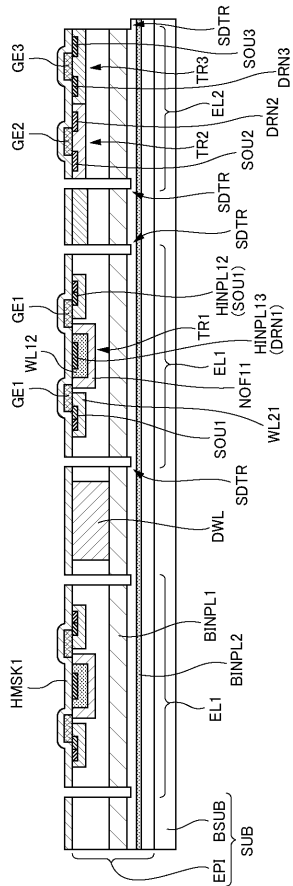
【 図 3 】



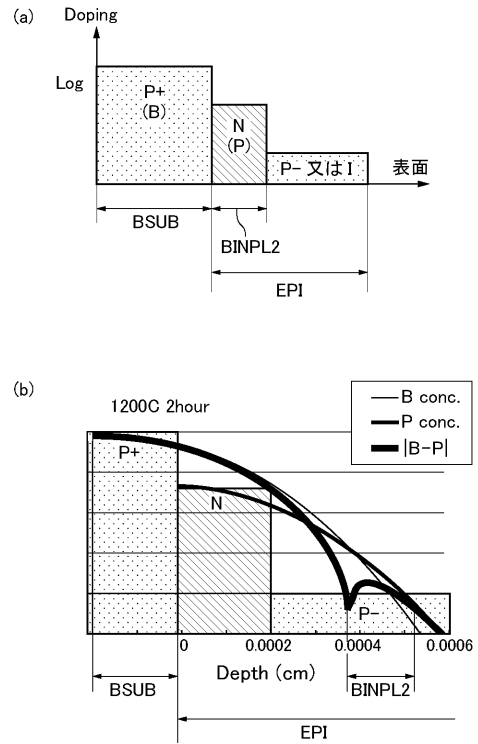
【 図 4 】



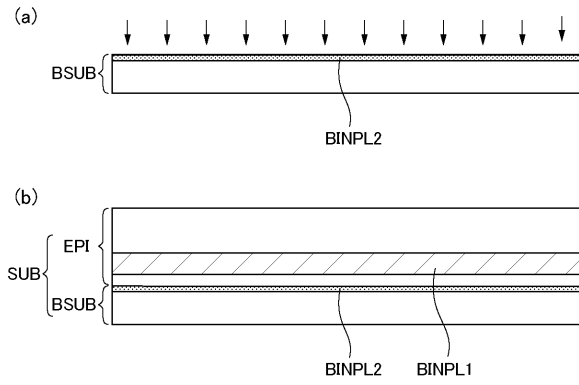
【 図 5 】



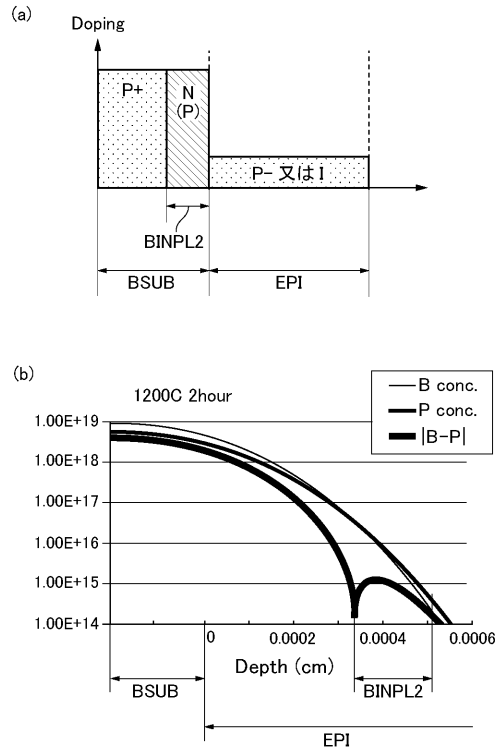
【 図 6 】



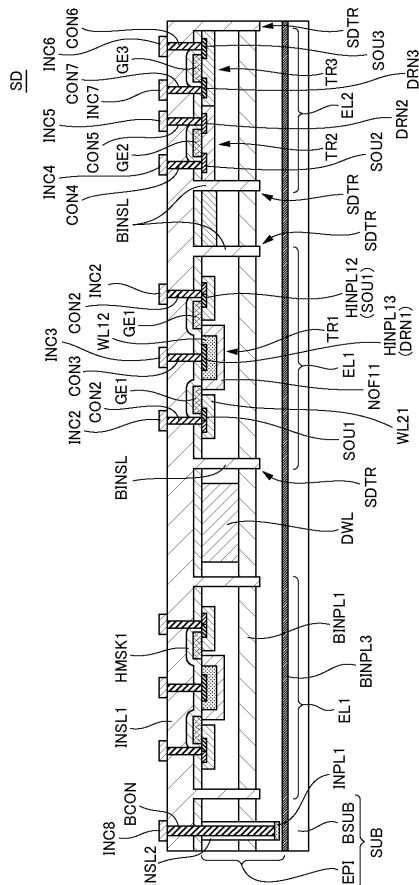
【 図 7 】



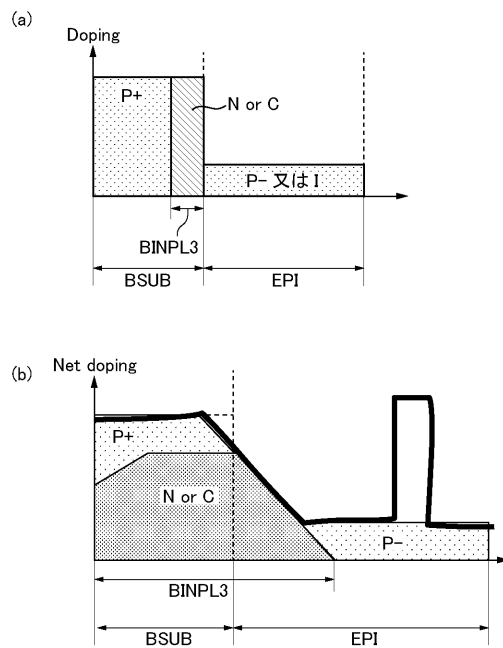
【 図 8 】



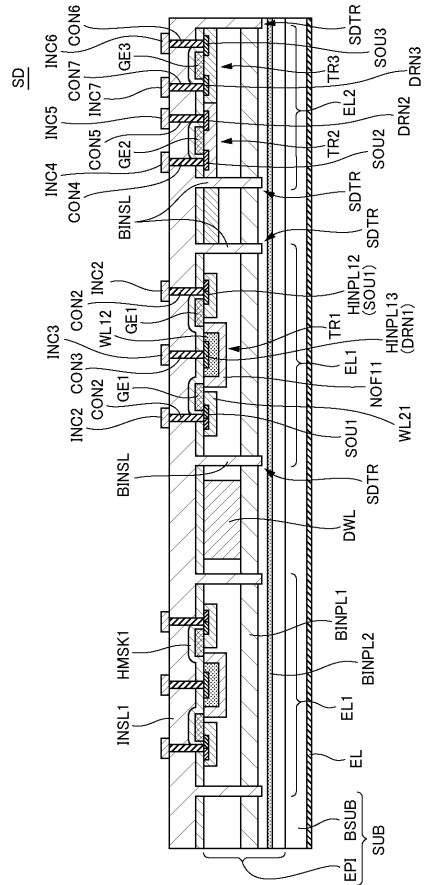
【 図 9 】



【 図 10 】



【 1 1 】



---

フロントページの続き

- (56)参考文献 米国特許出願公開第2009/0230468(US,A1)  
米国特許出願公開第2006/0220140(US,A1)  
米国特許出願公開第2010/0052052(US,A1)  
米国特許出願公開第2011/0156682(US,A1)  
特開2010-232673(JP,A)  
特開2004-241613(JP,A)  
特開平10-125916(JP,A)  
特開平03-064029(JP,A)  
中国特許出願公開第102376548(CN,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8238  
H01L 27/092  
H01L 29/417  
H01L 29/423  
H01L 29/49