

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ G06F 13/14	(11) 공개번호 (43) 공개일자	특 1999-0077646 1999년 10월 25일
(21) 출원번호	10-1999-0007390	
(22) 출원일자	1999년 03월 05일	
(30) 우선권주장	1998-053296 1998년 03월 05일 일본(JP)	
(71) 출원인	닛본 덴기 가부시끼가이샤 가네꼬 히사시 일본국 도쿄도 미나토구 시바 5쵸메 7방 1고	
(72) 발명자	야카시로 마사타카 일본도쿄도미나토구시바5쵸메7방1고닛본덴기가부시끼가이샤내	
(74) 대리인	구영창, 주성민	

심사청구 : 있음

(54) 버스제어방법, 버스제어장치 및 버스제어 프로그램 기억용 기억매체

요약

버스 제어 장치에 있어서, 메모리, 모뎀 및 그래픽 보드와 같은 복수의 입출력 장치에 더해 복수의 카운터가 채용된다. 이러한 데이터 입출력 장치는 버스에 접속되고, 버스 할당 요구 신호를 보낸다. 이러한 카운터들은 이들 데이터 입출력 장치로부터 발생된 버스 할당 요구 신호의 수를 계수한다. 버스 할당 제어 유닛은, 계수된 버스 할당 요구 신호 수에 기초하여, 버스 할당 요구를 가지는 데이터 입출력 장치에 버스가 할당되도록 제어한다. 따라서, 이 버스의 사용 효율이 증가한다.

대표도

도 1

색인어

버스 할당 제어, 버스 할당 요구, 우선 순위 부여, 카운터, 버스 할당 프로토콜

명세서

도면의 간단한 설명

- 도 1은 본 발명의 제1 실시예에 따른 버스 제어 장치의 내부 구성을 도시하기 위한 개략적 블록도.
 - 도 2는 제1 실시예의 버스 제어 장치가 적용된 컴퓨터 시스템의 내부 구성을 도시하는 개략적인 도면.
 - 도 3a 내지 도 3c는 순위 고정 할당 프로토콜에 기초한 우선 순위 부여 동작의 예를 설명하기 위한 설명도.
 - 도 4a 내지 도 4d는 순위 변동 할당 프로토콜에 기초한 우선 순위 부여 동작의 예를 설명하기 위한 설명도.
 - 도 5는 제1 실시예에 따른 버스 제어 장치에서 사용된 프로토콜 제어 회로의 내부 구성을 도시하는 개략적 블록도.
 - 도 6은 제1 실시예에 따른 버스 제어 장치에서 사용된 할당 제어 회로의 내부 구성을 도시하는 개략적 블록도.
 - 도 7은 도 6에 도시된 할당 제어 회로의 동작을 설명하기 위한 순서도.
 - 도 8은 본 발명의 제2 실시예에 따른 버스 제어 장치의 내부 구성을 도시하는 개략적 블록도.
 - 도 9는 본 발명의 제3 실시예에 따른 버스 제어 장치의 내부 구성을 도시하는 개략적 블록도.
 - 도 10은 제3 실시예의 버스 제어 장치에서 사용된 할당 제어 회로의 내부 구성을 도시하는 개략적 블록도.
 - 도 11은 본 발명의 버스 제어 장치가 적용된 2개의 버스들을 포함하는 컴퓨터 시스템의 내부 구성을 나타내는 개략적인 도면.
 - 도 12는 종래의 버스 제어 장치가 적용된 컴퓨터 시스템의 내부 구성을 도시하는 개략적인 도면.
- <도면의 주요 부분에 대한 부호의 설명>

- 13, 61, 71, 92 : 버스 제어 장치
- 16 : 사운드 보드 (데이터 입출력 수단)
- 17 : 모뎀 (데이터 입출력 수단)
- 18 : 그래픽 보드 (데이터 입출력 수단)
- 19, 95₁, 95₂ : 버스
- 21 : LAN 보드 (데이터 입출력 수단)
- 31₁ ~ 31₄ : 카운터
- 32 : 프로토콜 갱신 싸이클 설정 레지스터
- 33 : 타이머
- 34, 72 : 프로토콜 설정 모드 레지스터
- 35, 63, 73 : 프로토콜 제어 회로 (할당 제어 수단)
- 36, 74 : 할당 제어 회로 (할당 제어 수단)
- 41 : 비교 회로
- 42 : 할당 프로토콜 데이터 생성 회로
- 51 : 할당 요구 판정 회로
- 52 : 순위 변동 할당 프로토콜 생성 회로
- 53 : 순위 고정 할당 프로토콜 생성 회로
- 55 : 할당 허락 신호 생성 회로
- 62₁ ~ 62₄ : 대기 시간 검출 회로
- 75 : 수동 프로토콜 설정 레지스터
- 82 : 수동 설정 할당 프로토콜 생성 회로
- 94₁ ~ 94₄ : 데이터 입출력 수단

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 버스 제어 방법, 버스 제어 장치 및 버스 제어 프로그램 기억용 기억 매체에 관한 것이다. 보다 구체적으로, 본 발명은 복수의 데이터 입출력 수단이 버스들에 접속되는 제어 시스템에서 각각의 데이터 입출력 수단으로부터 발생된 버스 할당 요구에 응답하여 어느 버스가 어느 데이터 입출력 수단 (메모리, LAN 보드, 모뎀 등)에 할당되는지를 제어할 수 있는 버스 제어 방법/시스템에 관한 것이며, 또한 버스 제어 프로그램을 기억시키기 위한 기억 매체에 관한 것이다.

상술한 유형의 버스 제어 장치는 본 기술 분야에 공지되어 있다. 예를 들면, 1994년에 공개된 일본 특허 공개 공보 평6-332841호는 컴퓨터 시스템에 적용되는 버스 제어 장치를 개시하고 있다. 즉, 도 12는 이러한 종래의 컴퓨터 시스템의 내부 구성을 도시하는 개략적인 블록도이다.

이러한 유형의 컴퓨터 시스템은 주로 CPU(central processing unit)(1), 메모리(2), 복수의 데이터 입출력 수단(3~5) 및 버스 제어 장치(6)로 구성된다. 이들 구성 요소는 버스(7)를 통해 상호 접속된다.

CPU(1) 및 이들 데이터 입출력 수단(3~5) (이하, '장치'라고 통칭함)이 버스(7)를 통해 메모리(2) 및 다른 장치에 액세스할 것을 요구하는 경우, CPU(1) 및 데이터 입출력 수단(3~5)은 각각 버스 제어 장치(6)에 할당 요구 신호(REQ₁~REQ₄)를 공급한다. 그 결과, 복수의 장치가 버스(7)를 통해 동시에 액세스하게 될 위험을 방지하기 위하여, 버스 제어 장치(6)는 어느 장치가 버스(7)를 통해 액세스되도록 허용될 수 있는지를 결정한다. 이어서, 이 버스 제어 장치(6)는 그 결정된 장치에 할당 허락 신호(GNT₁~GNT₄)를 공급한다. 할당 허락 신호(GNT)가 공급되는 장치는 버스(7)를 통해 액세스(2) 또는 다른 장치에 액세스한다. 이러한 액세스 동작이 달성되면, 이 장치는 종료 신호(DON)를 버스 제어 장치(6)에 공급한다. 또한, 버스 제어 장치(6)는 어느 장치가 버스(7)를 통해 할당되도록 허용되는지를 조사하는 동안에 에러를 검출하면, 이 버스 제어 장치(6)는 에러 신호(ERR)를 CPU(1)에 공급한다.

도시 생략하였으나, 버스 제어 장치(6)는 주로 아비터 제어기, 아비터 메모리 및 이력 레지스터(history register)로 구성된다.

할당 요구 신호(REQ₁~REQ₄) 중의 어느 하나가 아비터 제어기에 공급되면, 이 아비터 제어기는 4 비트 데이터 (요구 비트)를 아비터 메모리의 어드레스의 하위 비트로서 아비터 메모리에 공급한다. 이 4 비트

요구 데이터는 공급된 할당 요구 신호(REQ)에 대응하는 비트들에 '1'을 설정함으로써 형성된다. 한편, 각각의 장치에 대한 과거의 할당 허락 이력은 FIFO(first-in-first-out) 방식으로 이력 레지스터 내에 저장된다. 이 예에서는, 한번에 하나의 장치만이 할당 허락되므로, 과거의 할당 허락 이력은 4 비트 데이터 바로 근처의 4 세트의 데이터, 즉 16 비트 데이터로 구성된다. 이 4 비트 데이터는 할당 허락된 장치에 대응하는 비트에만 1을 설정함으로써 형성된다. 이 과거의 할당 허락 이력은 아비터 메모리의 어드레스의 상위 비트로서 아비터 메모리에 공급된다.

이 아비터 메모리에, 다양한 알고리즘이 기억된다. 즉, 우선 순위 할당 허락 알고리즘 및 라운드 로빈 알고리즘(round robin algorithm) 등의 다른 할당 허락 알고리즘이 기억된다. 이 우선 순위 할당 허락 알고리즘은 각각의 장치로부터 공급된 현재의 할당 요구 (요구 비트)와 이력 레지스터로부터 공급된 과거의 할당 허락 이력간의 여러가지 조합에 대응한다. 즉, 이 우선 순위 할당 허락 알고리즘이란, 버스에 접속된 복수의 장치에 미리 우선 순위를 부여해 두고, 복수의 장치로부터 동시에 할당 요구 신호(REQ)가 공급되는 경우에는, 가장 우선 순위가 높은 장치에만 할당을 허용하는 것이다.

한편, 라운드 로빈 알고리즘이란, 모든 장치에 대한 할당 허락이 1회 종료할 때까지, 복수의 장치로부터 동시에 할당 요구 신호(REQ)가 공급되는 경우, 과거에 할당이 허용되지 않았던 장치에 할당을 허용하는 것이다. 이들 모든 장치에 대해 할당 허락이 1회 종료한 후, 복수의 장치로부터 동시에 할당 요구 신호(REQ)가 공급되는 경우에는, 첫번째 싸이클의 가장 빠른 스테이지에서 할당 허락된 장치를 우선적으로 할당 허락한다.

그 결과, 공급된 20 비트 데이터에 대응하는 할당 허락이 아비터 메모리로부터 판독되므로, 아비터 제어기는 판독된 할당 허락에 기초하여 이들 장치들 중의 어느 하나에 할당 허락 신호(GNT)를 공급한다. 이때, 현재의 판독 할당 허락이 최신의 할당 허락으로서 이력 레지스터 내에 FIFO 방식으로 기억된다. 이력 레지스터에 기억된 과거의 할당 허락의 일부는 각각의 장치에 의해 변경 가능하다.

이러한 구성을 사용하면, 아비터 제어기는 각 장치로부터 시시각각 발생된 할당 요구를 수용할 수 있으며, 유연성을 유지할 수 있다. 따라서, 아비터 제어기는 버스를 효과적으로 사용할 수 있다.

상술한 종래의 버스 제어 장치에서는, 아비터 메모리(4)의 어드레스의 상위 비트로서, 서로 바로 근처에 제공된 4 세트의 할당 허락을 사용하며, 또한 아비터 메모리의 어드레스의 하위 비트로서, 각 장치로부터 발생된 현재의 할당 요구 (요구 비트)를 사용하여 할당 허락을 선택한다. 할당 허락 알고리즘은 이러한 아비터 메모리에 기억되는 반면, 4 세트의 할당 허락은 이력 레지스터 내로 기억된다. 본 명세서에서, '서로 바로 근처에 제공된 4 세트의 할당 허락'이란 표현은, 각 장치에 대해 1회씩 할당이 허용되는 기록을 의미한다. 그 결과, 버스에 접속 가능한 전체 장치 수는 아비터 메모리의 어드레스의 비트 수로 제한되게 된다. 따라서, 상술한 종래의 버스 제어 장치에서, 이력 레지스터의 총 비트 수는 이들 장치의 총 개수의 2승에 요구 비트 수를 더한 수만큼 요구된다. 요구 비트 수는 이들 장치의 총 개수와 동일하다.

따라서, 사용자가 컴퓨터 시스템에 자유롭게 장치들을 추가할 수 있도록 범용성을 갖게 하기 위해서는, 버스에 접속 가능한 장치들의 총 개수와 동일한 비트 수를 갖는 아비터 메모리를 사용할 필요가 있다. 또한, 이력 레지스터의 여분의 기억 영역은 하나의 장치가 추가될 때마다 지수 관계적으로 증가한다. 예를 들면, 최대 8 세트의 장치가 버스와 접속 가능하게 구성되면, 이력 레지스터는 72 비트 데이터를 기억할 수 있는 기억 영역을 필요로 하며, 아비터 메모리의 어드레스는 8 비트, 즉 256 워드가 된다. 이 경우, 사용자가 버스에 4 세트의 장치만 접속하는 경우에도, 이 버스에 8 세트의 장치가 접속되어 있는 것으로서 가정하여, 필요한 할당 허락 알고리즘을 아비터 메모리에 미리 기억시켜 두어야 한다. 더욱이, 256 워드로 구성된 어드레스, 즉 8 비트 어드레스를 이 아비터 메모리에 계속해서 공급해야 하므로, 효율성이 낮아진다.

또한, 상술한 종래의 버스 제어 장치에서, 할당 허락 알고리즘으로서 우선 순위 할당 허락 알고리즘을 사용하므로, 장치들의 우선 순위는 시스템 설계 단계에서 미리 정해진다. 그 결과, 실제로, 복수의 장치를 버스(7)에 장착할 때, 사용자가 각각의 장치의 우선 순위를 미리 예상하여 장치들을 이 버스(7)에 접속해야 한다. 그러나, 장치들이 버스에 실제로 장착된 후에 사용 조건이 변화되어, 낮은 우선 순위를 갖는 장치로부터 발생된 할당 요구의 총 회수가 높은 우선 순위를 갖는 장치로부터 발생된 할당 요구의 총 회수보다 많더라도, 이들 장치의 우선 순위는 변화되지 않는다. 이러한 문제점을 방지하기 위하여, 할당 요구 회수가 증가되는 장치의 우선 순위를 변경하기 위해서는, 버스에 대한 장치의 접속을 변경시켜야 하는 번거로움이 발생할 수 있다.

또한, 할당 허락 알고리즘으로서 라운드 로빈 알고리즘을 사용하므로, 실제로 특정한 문제점이 발생할 수 있다. 즉, 과거의 4회의 할당 허락 동안에, 최초로 발생된 할당 요구를 갖는 장치의 우선 순위가 가장 높아진다.

아울러, 상술한 종래의 버스 제어 장치에서는, 과거의 할당 허락 이력 및 현재의 할당 요구만을 간략히 고려하여 버스 할당 허락을 행하고 있다. 그 결과, 각각의 장치로부터 발생된 할당 허락이 신속히 변경되고 및/또는 특정 장치가 다른 장치로 대체되는 경우, 이러한 종래의 버스 제어 장치는 이러한 갑작스런 할당 요구의 변경 및 장치 접속의 변경에 즉각적으로 대처할 수 없다는 문제점이 있다.

발명이 이루고자하는 기술적 과제

본 발명은 종래 버스 제어 장치에 대해 전술한 문제점들을 해결하기 위해 이루어진 것이므로, 다양한 데이터 입출력 수단으로부터 발생된 할당 요구의 다양한 변화를 즉시 수용할 수 있는 버스 제어 방법, 버스 제어 장치, 컴퓨터 시스템, 및 버스 제어 프로그램을 기억하기 위한 기억 매체를 제공하는 것이다.

본 발명의 다른 목적은, 간단한 구조를 이용하여 방해가 되는 동작없이, 버스 할당 요구를 효율적으로 처리할 수 있는 버스 제어 방법 및 버스 제어 장치를 제공하는 것이다.

본 발명의 또 다른 목적은, 복수의 데이터 입출력 수단이 접속되는 버스의 사용 효율을 증가시킬 수 있는 버스 제어 방법 및 버스 제어 장치를 제공하는 것이다.

상기의 목적들을 달성하기 위해, 본 발명의 제1 양태에 따른 버스 제어 방법은, 선정된 기간에 복수의 복수 데이터 입출력 수단으로부터 발생된 버스 할당 요구의 수를 계수하는 단계, 버스 할당 요구가 복수 데이터 입출력 수단의 각각으로부터 발생된 후에 버스 할당 요구가 허락되는 것에 의해 정의되는 대기 시간을 측정하는 단계, 및 계수된 버스 할당 요구 수와 측정된 대기 시간 중 적어도 하나에 기초하여 버스 할당 요구를 발생시킨 데이터 입출력 수단에 적어도 하나의 버스가 할당되고 복수의 데이터 입출력 수단이 적어도 하나의 버스에 접속되도록 할당하는 단계를 포함하는 것을 특징으로 한다.

전술한 목적을 달성하기 위하여, 본 발명의 제2 양태에 따른 버스 제어 방법은, 선정된 기간에 복수의 복수 데이터 입출력 수단으로부터 발생된 버스 할당 요구의 수를 계수하는 단계, 복수 데이터 입출력 수단의 각각으로부터 버스 할당 요구가 발생된 후에 버스 할당 요구가 허락될 때까지 정의되는 대기 시간을 측정하는 단계, 및 계수된 버스 할당 요구 수와 측정된 대기 시간 모두에 기초하여 버스 할당 요구를 발생시킨 데이터 입출력 수단에 적어도 하나의 버스가 할당되고 복수의 데이터 입출력 수단이 적어도 하나의 버스에 접속되도록 할당하는 단계를 포함하는 것을 특징으로 한다.

또한, 본 발명의 제1 및 제2 양태에 따른 버스 제어 방법에 있어서, 다른 버스 제어 방법은, 할당 요구 수 계수 단계와 대기 시간 측정 단계 중 적어도 하나가 임의로 수행되는 것을 특징으로 한다.

또한, 본 발명의 제1 및 제2 양태에 따른 버스 제어 방법에 있어서, 다른 버스 제어 방법은, 선정된 기간이 가변적인 것을 특징으로 한다.

또한, 본 발명의 제1 및 제2 양태에 따른 버스 제어 방법에 있어서, 다른 버스 제어 방법은, 버스 할당 단계에서 수행되는 버스 할당은 일시적으로 가변적인 것을 특징으로 한다.

또한, 본 발명의 제1 및 제2 양태에 따른 버스 제어 방법에 있어서, 다른 버스 제어 방법은, 복수의 데이터 입출력 수단에 미리 버스 할당 허락에 관한 우선 순위를 정하는 단계, 및 계수된 버스 할당 요구 수와 측정된 대기 시간 중 하나뿐만 아니라 정해진 우선 순위에도 기초하여 데이터 입출력 수단에 대한 버스 할당을 제어하는 단계를 더 포함하는 것을 특징으로 한다.

전술한 본 발명의 목적을 달성하기 위하여, 본 발명의 제3 양태에 따른 버스 제어 시스템은, 적어도 하나의 버스에 접속되어 복수의 버스 할당 요구를 발생하기 위한 복수의 데이터 입출력 수단, 선정된 기간에 복수의 데이터 입출력 수단으로부터 발생되는 버스 할당 요구의 수를 계수하기 위한 복수의 계수 수단, 및 적어도 복수의 계수 수단에 의해 얻어진 계수된 버스 할당 요구 수에 기초하여 데이터 입출력 수단에 버스가 할당되도록 제어하기 위한 버스 할당 제어 수단을 포함하는 것을 특징으로 한다.

전술한 본 발명의 목적을 달성하기 위하여, 본 발명의 제4 양태에 따른 버스 제어 시스템은, 적어도 하나의 버스에 접속되어 복수의 버스 할당 요구를 발생하기 위한 복수의 데이터 입출력 수단, 복수의 데이터 입출력 수단으로부터 복수의 버스 할당 요구가 발생된 후에 버스 할당 요구가 허락될 때까지 정의되는 복수의 대기 시간을 측정하기 위한 복수의 대기 시간 측정 회로, 및 적어도 복수의 대기 시간 측정 회로로부터 얻은 측정된 대기 시간에 기초하여 데이터 입출력 수단에 버스가 허락되도록 제어하기 위한 버스 할당 제어 수단을 포함하는 것을 특징으로 한다.

또한, 본 발명의 제3 및 제4 양태에 따른 버스 제어 시스템에 있어서, 다른 버스 제어 시스템은, 선택된 버스 할당 프로토콜을 나타내는 프로토콜 선택 모드 데이터를 생성하기 위한 프로토콜 선택 모드 생성 수단, 및 순번 데이터를 생성하기 위하여 복수의 측정된 대기 시간을 서로 비교하고, 순번 데이터와 프로토콜 선택 모드 데이터 모두에 기초하여 버스 할당 허락 데이터를 생성하기 위한 프로토콜 제어 수단을 더 포함하고, 버스 할당 제어 수단은 버스 할당 허락 데이터에 응답하여 데이터 입출력 수단에 대한 버스 할당을 제어하는 것을 특징으로 한다.

또한, 본 발명의 제3 및 제4 양태에 따른 버스 제어 시스템에 있어서, 다른 버스 제어 시스템은, 프로토콜 선택 모드 생성 수단이 프로토콜 선택 모드 데이터를 기억하기 위한 프로토콜 선택 모드 레지스터이고, 프로토콜 선택 모드 데이터는 적당한 프로토콜을 선택할 수 있는 것을 특징으로 한다.

또한, 본 발명의 제3 및 제4 양태에 따른 버스 제어 시스템에 있어서, 다른 버스 제어 시스템은, 프로토콜 제어 수단이, 복수의 대기 시간 측정 회로로부터 얻은 복수의 측정된 대기 시간을 서로 비교하기 위한 비교 회로, 및 비교된 대기 시간과 프로토콜 선택 모드 데이터를 처리하여 할당 프로토콜 데이터를 생성하기 위한 할당 프로토콜 데이터 생성 회로를 포함하는 것을 특징으로 한다.

또한, 본 발명의 제3 및 제4 양태에 따른 버스 제어 시스템에 있어서, 다른 버스 제어 시스템은, 버스 할당 제어 수단이, 적어도 복수 데이터 입출력 수단으로부터 발생된 버스 할당 요구에 응답하여 프로토콜이 요구되는지를 판정하여 프로토콜 선택 신호를 생성하기 위한 할당 요구 판정 회로, 프로토콜 선택 신호에 응답하여 버스 할당 프로토콜을 생성하기 위한 할당 프로토콜 생성 회로, 및 버스 할당 프로토콜에 기초하여 버스 할당 허락 데이터를 생성하기 위한 버스 할당 허락 데이터 생성 회로를 포함하고, 버스 할당 제어 수단은 버스 할당 허락 데이터에 응답하여 데이터 입출력 수단에 대한 버스 할당을 제어하는 것을 특징으로 한다.

또한, 본 발명의 제3 및 제4 양태에 따른 버스 제어 시스템에 있어서, 다른 버스 제어 시스템은, 프로토콜 갱신 주기값을 미리 기억하기 위한 프로토콜 갱신 주기 설정 레지스터, 및 프로토콜 갱신 주기값이 로딩된 때에 타임 클럭 계수 동작을 개시하고, 타임 클럭 계수 동작이 선정된 계수값에 도달한 때에 복수의 대기 시간 측정 회로에 오버플로우 신호를 공급하기 위한 타이머를 더 포함하는 것을 특징으로 한다.

또한, 본 발명의 제3 및 제4 양태에 따른 버스 제어 시스템에 있어서, 다른 버스 제어 시스템은, 복수의 데이터 입출력 수단에 대한 버스 할당 허락에 관한 우선 순위를 미리 정하기 위한 우선 순위 적용 수단

을 더 포함하고, 버스 할당 제어 수단은 계수된 버스 할당 요구 수뿐만 아니라 정해진 우선 순위에도 기초하여 버스 할당 허락을 제어하는 것을 특징으로 한다.

또한, 본 발명의 제3 및 제4 양태에 따른 버스 제어 시스템에 있어서, 다른 버스 제어 시스템은, 데이터 입출력 수단이 메모리, 디스플레이, 키보드, 사운드 보드, 모뎀, 그래픽 보드 및 LAN(local area network) 보드로부터 선택되는 것을 특징으로 한다.

또한, 전술한 목적들을 달성하기 위하여, 본 발명의 제5 양태에 따른 컴퓨터 시스템은, 적어도 하나의 버스, 적어도 하나의 버스에 접속되어 복수의 버스 할당 요구를 발생하기 위한 복수의 데이터 입출력 수단, 선정된 기간에 복수의 데이터 입출력 수단으로부터 발생된 버스 할당 요구의 수를 계수하기 위한 복수의 계수 수단 및 적어도 복수의 계수 수단에 의해 얻은 계수된 버스 할당 요구 수에 기초하여 데이터 입출력 수단에 버스가 할당되도록 제어하기 위한 버스 할당 제어 수단을 포함하는 버스 제어 장치, 및 적어도 버스 할당 제어 수단을 제어하기 위한 CPU(central processing unit)를 포함하는 것을 특징으로 한다.

또한, 전술한 목적을 달성하기 위하여, 본 발명의 제6 양태에 따른 컴퓨터 시스템은, 적어도 하나의 버스, 적어도 하나의 버스에 접속되어 복수의 버스 할당 요구를 발생하기 위한 복수의 데이터 입출력 수단, 복수의 데이터 입출력 수단으로부터 복수의 버스 할당 요구가 발생된 후에 버스 할당 요구가 허락될 때까지 정의되는 복수의 대기 시간을 측정하기 위한 복수의 대기 시간 측정 회로 및 적어도 복수의 대기 시간 측정 회로로부터 얻은 측정된 대기 시간에 기초하여 데이터 입출력 수단에 버스 할당되도록 제어하기 위한 버스 할당 제어 수단을 포함하는 버스 제어 장치, 및 적어도 버스 할당 제어 수단을 제어하기 위한 CPU를 포함하는 것을 특징으로 한다.

전술한 목적을 달성하기 위하여, 본 발명의 제7 양태에 따른 기억 매체는, 선정된 기간에 복수의 복수 데이터 입출력 수단으로부터 발생하는 버스 할당 요구의 수를 계수하는 단계, 복수 데이터 입출력 수단의 각각으로부터 버스 할당 요구가 발생된 후에 버스 할당 요구가 허락될 때까지 정의되는 대기 시간을 측정하는 단계, 및 계수된 버스 할당 요구 수와 측정된 대기 시간 중 적어도 하나에 기초하여 버스 할당 요구를 발생시킨 데이터 입출력 수단에 적어도 하나의 버스가 할당되고 복수의 데이터 입출력 수단이 적어도 하나의 버스에 접속되도록 할당하는 단계를 포함하는 버스 제어 단계를 컴퓨터가 실행하도록 하기 위해 사용되는 버스 제어 프로그램을 기억하기 위한 기억 매체를 특징으로 한다.

전술한 목적을 달성하기 위하여, 본 발명의 제8 양태에 따른 기억 매체는, 선정된 기간에 복수의 복수 데이터 입출력 수단으로부터 발생하는 버스 할당 요구의 수를 계수하는 단계, 복수 데이터 입출력 수단의 각각으로부터 버스 할당 요구가 발생된 후에 버스 할당 요구가 허락될 때까지 정의되는 대기 시간을 측정하는 단계, 및 계수된 버스 할당 요구 수와 측정된 대기 시간 모두에 기초하여 버스 할당 요구를 발생시킨 데이터 입출력 수단에 적어도 하나의 버스를 할당하고 복수의 데이터 입출력 수단이 적어도 하나의 버스에 접속되도록 할당하는 단계를 포함하는 버스 제어 단계를 컴퓨터가 실행하도록 하기 위해 사용되는 버스 제어 프로그램을 기억하기 위한 기억 매체를 특징으로 한다.

앞서 상술한 바와 같이, 본 발명에 따르면, 버스 제어 시스템은 단순한 구조를 채용하여 이루어질 수 있고, 더군다나 효율적으로 동작할 수 있다. 게다가, 본 발명의 버스 제어 시스템은, 다양한 할당 요구가 각각의 데이터 입출력 수단으로부터 발생하는 경우에도 높은 유연성을 가지고 신속하게 동작할 수 있다. 결과적으로, 버스의 이용 효율도 향상될 수 있다.

발명의 구성 및 작용

바람직한 실시예의 설명

본 발명의 상기 다른 목적들, 이점들 및 특성들은 첨부된 도면들과 함께 다음의 설명으로부터 더욱 명확해질 것이다.

도면들을 참조하여, 본 발명의 다양한 바람직한 실시예들이 구체적인 예를 사용하여 상세히 기술될 것이다.

제1 실시예의 개요

도 1은 본 발명의 제1 실시예에 따른 버스 제어 장치의 내부 구성을 도시하기 위한 개략적 도면이다. 도 2는 제1 실시예의 버스 제어 장치가 적용된 컴퓨터 시스템의 내부 구성을 도시하는 개략적인 도면이다.

도 2에 도시된 바와 같이, 이러한 컴퓨터 시스템은 주로 CPU(중앙 처리 장치: 11), 메모리(12), 버스 제어 장치(13), 디스플레이(14), 키보드(15), 사운드 보드(16), 모뎀(17), 및 그래픽 보드(18)로 구성된다.

CPU(11)는 버스 제어 장치(13)에 접속된다. 메모리(12), 버스 제어 장치(13), 디스플레이(14), 키보드(15), 사운드 보드(16), 모뎀(17), 및 그래픽 보드(18)는 버스(19)를 통해 서로 접속된다. 또한, 소켓(20)은 이러한 버스(19)에 장착되고, 따라서 예를 들어 근거리 통신망(LAN) 보드(21)가 이러한 소켓(20)을 통해 버스(19)와 접속할 수 있도록 한다. 상기 기술된 사운드 보드(16), 모뎀(17), 그래픽 보드(18), 및 LAN 보드(21)가 필요하다면 아래의 명세서에서 '데이터 입출력 수단'으로 집단적으로 간주됨을 이해하여야 한다.

제1 실시예에서 구성의 기능

버스(19)의 할당을 요구하기 위한 할당 요구 신호(REQ₁ 내지 REQ₄)가, 1개의 데이터 입출력 수단이 버스(19)를 통해 메모리(12) 또는 다른 데이터 입출력 수단에 액세스하도록 버스 제어 장치(13)에 공급되면, 버스 제어 장치(13)는 어느 데이터 입출력 수단이 버스(19)에 할당되는 것이 허용될 지를 결정한다.

다음, 할당 허락 신호(GNT₁ 내지 GNT₄)중 임의의 하나를 관련 데이터 입출력 수단에 제공한다.

디스플레이(14)는 CRT 디스플레이 또는 액정 디스플레이(LCD)로 구성된다. 이러한 디스플레이(14)는 CPU(11)의 제어 하에서 그래픽 보드(10)에 의해 생성된 문자, 도면 또는 패턴을 표시할 수 있다. 키보드(15)는 10개의 키보드와 같은 다양한 종류의 키들, 및 동작키, 또한 버튼으로 구성된다. CPU(11)의 제어 하에서, 사운드 보드(16)는 메모리(12)에 저장된 음악 데이터에 기초한 음악 신호를 발생하기 위하여 버스(19)를 통해 메모리(12)를 액세스하고 그런 다음, 스피커(22)에서 음악 사운드를 재생한다.

또한, CPU(11)의 제어 하에서, 모뎀(17)은 버스(19)를 통해 메모리(12)에 액세스하여, 전화선(도시되지 않음)을 통해 변조 데이터를 전송하고, 메모리(12)로 복조 데이터를 저장한다. 이러한 메모리(12) 내에 기억되어 있는 데이터를 변조하여 변조 데이터가 얻어지는 반면에, 복조 데이터는 전화선을 통해 외부 장치에서 전송되는 변조 데이터를 복조함으로써 얻어진다.

또한, CPU(11)의 제어 하에서, 그래픽 보드(18)가 버스(19)를 통해 메모리(12)에 액세스하여 메모리(12)에 기억되어 있는 도형 데이터에 기초하여 도형 또는 패턴을 생성한 다음, 디스플레이(14)가 이러한 생성된 도형을 표시한다. LAN 보드(21)는 다른 컴퓨터 시스템(상세하게 도시되지 않음)의 케이블을 통해 접속된다. CPU(11)의 제어 하에서, 이러한 LAN 보드(21)는 메모리(12)에 기억되어 있는 데이터를 케이블(도시되지 않음)을 통해 다른 컴퓨터 시스템으로 전송하기 위하여 버스(19)를 통해 메모리(12)에 액세스한다. 또한, 이러한 LAN 보드(21)는 다른 컴퓨터 시스템에서 케이블을 통해 전송된 데이터를 수신하고, 그런 다음 이 수신된 데이터를 CPU(11)의 제어 하에 메모리(12) 내에 기억시킨다.

상기 설명된 데이터 입출력 수단은 상기 기술된 사운드 보드(16), 모뎀(17), 그래픽 보드(18), 및 LAN 보드(21)로 한정되지 않으며, 예를 들어 메모리 제어 회로에 의해 대안적으로 실현될 수 있다는 것에 주목해야 한다. 또한, 이들 데이터 입출력 수단의 총 개수는 도 2에 도시된 바와 같이 이들 장치들의 4 세트로 제한되지 않는다.

버스 제어 장치(13)의 내부 구성

도 1에 도시된 바와 같이, 버스 제어 장치(13)는 주로 카운터들(31₁ 내지 31₄), 프로토콜 갱신 사이클 설정 레지스터(32), 프로토콜 제어 회로(35), 및 할당 제어 회로(36)로 구성된다.

카운터들(31₁ 내지 31₄)은 사운드 보드(16), 모뎀(17), 그래픽 보드(17), 및 LAN 보드(21)에 대응하여 제공된다. 이들 카운터들(31₁ 내지 31₄)은 대응 데이터 입력 데이터/출력 수단에서 공급된 펄스형 할당 요구 신호(REQ₁ 내지 REQ₄)의 수를 계수한 후에, 계수값(CN₁ 내지 CN₄)을 프로토콜 제어 회로(35)에 공급한다. 프로토콜 갱신 사이클값은 CPU(11)에 의해 프로토콜 갱신 사이클 설정 레지스터(32)로 설정된다. 프로토콜 갱신 사이클값은 타이머(33)에 의해 계수되어야 하는 시스템 클럭의 클럭수와 같다. 이러한 시스템 클럭은 버스(19)의 할당 허락에 관련된 프로토콜이 사이클 내에서 갱신되는지를 나타낸다. 이러한 프로토콜에 기초하여, 조건이 만족될 때, 버스(19)는 최상의 우선권을 갖는 데이터 입출력 수단에 할당되도록 허용된다. 이러한 프로토콜 갱신 사이클값은 20클럭 내지 1,000클럭의 범위 내에서 CPU(11)에 의해 임의로 갱신된다. 프로토콜 갱신 사이클 설정 레지스터(32)로 설정된 프로토콜 갱신 사이클값이 이러한 타이머(33)로 로딩되므로, 타이머(33)는 0부터 1 시스템 클럭마다 시스템 클럭을 계수한다. 이러한 계수값이 로딩된 프로토콜 갱신 사이클값과 같아질 때, 카운터(33)는 오버플로우 신호(overflow signal)(SOF)를 카운터(31₁ 내지 31₄) 및 프로토콜 제어 회로(35)에 공급하고, 또한 이러한 계수값은 0으로 설정된다.

프로토콜 선택 모드 레지스터(34)에서, 프로토콜 선택 모드(PSM)는 CPU(11)에 의해 설정된다. 이러한 프로토콜 선택 모드(PSM)는 프로토콜이 선택되도록 지시할 수 있는 그런 데이터와 같다. 프로토콜로서, 순위 고정 할당 프로토콜 및 순위 변동 할당 프로토콜 등이 제공된다.

제1 순위 할당 프로토콜

상기 기술된 순위 고정 할당 프로토콜은 우선 순위가 데이터 입출력 수단에 미리 부여되는 반면에, 버스(19) 할당은 계수값(CN₁ 내지 CN₄)의 차에 관계없이 미리 선택된 시간 주기가 지날 때마다 관련된 우선 순위에 기초하여 허락되는 그런 프로토콜과 같다. 또한, 정확하게 말하면, 데이터 입출력 수단에 미리 부여된 우선 순위는 컴퓨터 시스템의 각각의 데이터 입출력 수단이 장착될 수 있는 슬롯에 부여되는 우선 순위를 함축함을 주목해야 한다. 또한, 우선 순위는 각각의 데이터 입출력 수단을 식별할 수 있는 식별 번호로서 사용될 수 있다. 따라서, 제1(최상) 우선 순위가 도 2에 도시된 사운드 보드(16)에 인가되는 경우에, 사운드 보드(16)는 제1 우선 순위가 컴퓨터 시스템의 다수의 슬롯들 중에 인가되는 슬롯 상에 장착된다. 이러한 우선 순위 응용은 다른 데이터 입출력 수단에 유사하게 응용될 수 있다.

도 3a 내지 도 3c에 도시된 바와 같이, 순위 고정 할당 프로토콜로서, 완전형 순위 고정 할당 프로토콜, 순위 로테이션형 순위 고정 할당 프로토콜, 및 순위 중시형 순위 고정 할당 프로토콜이 제공된다. 이 도면에서, 참조 번호(① 내지 ④)는 데이터 입출력 수단에 부여되는 우선 순위 및 식별 번호를 나타낸다. 본 제1 실시예에서, 가장 높은 우선 순위는 참조 번호(1)로 설정되며, 우선 순위가 높을수록 빠른 번호(작은 번호)로 표시된다.

이 경우, 도 3a에 도시된 바와 같이, 완전형 순위 고정 할당 프로토콜은, 데이터 입출력 수단에 연속적으로 부여된 우선 순위에만 기초하여 버스(19)의 할당이 허락되는 프로토콜에 해당한다. 이런 완전형 순위 고정 할당 프로토콜은 비록 버스(19)의 사용 조건이 이러한 프로토콜에 반영되지 않는 경우에도, 이러한 데이터 입출력 수단의 우선 순위가 버스(19)의 사용 조건에 비해 중시될 필요가 있는 경우에 적절히 채용된다. 역시 도 3(2)에서와 같이, 순위 로테이션형 순위 고정 할당 프로토콜은, 각각의 데이터 입출력 수단에 부여되는 우선 순위에 기초하여, 어떤 시간 주기 동안에 우선 순위를 갖고 할당되어야만 하는 데이터 입출력 수단이 결정되는 프로토콜에 해당한다. 이런 순위 로테이션형 순위 고정 할당 프로

토콜은, 각각의 데이터 입출력 수단에 부여된 우선 순위 및 버스(19)의 사용 조건에 단지 작은 차이만이 있는 반면에, 본래의(처음의) 우선 순위는 그리 높게 중시되지 않는 경우에 적절히 채용된다. 더욱이, 도 3c에 나타난 것 처럼, 순위 중시형 순위 고정 할당 프로토콜은, 비록 매 시간 주기마다 각각의 데이터 입출력 수단에 부여되는 우선 순위에 기초하여, 한 시간 주기 내에 로테이션 형태에 의해 제1 우선 순위가 결정되지만, 이 시간 주기 내의 제2 우선 순위 및 순차적인 우선 순위들은 미리 부여된 우선 순위에 기초하여 결정되는 프로토콜에 대응한다. 이런 순위 중시형 순위 고정 할당 프로토콜은 순위 로테이션형 순위 고정 할당 프로토콜에 비해 각각의 데이터 입출력 수단의 원래의 우선 순위가 중시되는 경우에 적절히 채용된다.

전술한 순위 고정형 할당 프로토콜들은 각각의 데이터 입출력 수단에 의한 버스(19)의 사용 조건이, 각각의 데이터 입출력 수단의 우선 순위가 반드시 변경되어야 하는 실제의 버스 사용 조건 하에서와 크게 다르지 않은 경우에 사용될 수 있다. 첫 번째 언급한 버스 사용 조건은 본래 컴퓨터 시스템이 설치될 때 사용자에게 의해 예측된다.

전술한 순위 고정형 할당 프로토콜과는 반대로, 각각의 데이터 입출력 수단에 의한 버스(19)의 사용 조건이, 각각의 데이터 입출력 수단의 우선 순위가 반드시 변경되는 실제의 버스 사용 조건 하에서와 크게 달라지는 경우에는, 전술한 순위 변동 할당 프로토콜이 사용될 수 있다. 첫 번째 언급한 버스 사용 조건은 본래 컴퓨터 시스템이 설치 될 때 사용자에게 의해 예측된다. 대안적으로 순위 변동 할당 프로토콜은 도 2에 도시된 랜(LAN) 보드와 같은 데이터 입출력 수단이 새로이 추가되는 경우에 채용될 수 있다.

전술한 순위 변동형 할당 프로토콜은, 우선 순위들이 미리 데이터 입출력 수단에 부여되고, 버스(19) 할당은 선정된 시간 주기가 지날 때마다 계수값(CN₁에서 CN₄)의 차에 기초하여 허락되는 프로토콜에 해당한다. 도 4a 내지 도 4d에 도시된 바와 같이, 순위 변동 순위 할당 프로토콜로서, 완전형 순위 변동 할당 프로토콜, 순위 로테이션형 순위 변동 할당 프로토콜, 순위 중시형 순위 변동 할당 프로토콜이 제공되며, 더 나아가서 복합형 순위 변동 할당 프로토콜이 제공된다. 이 도면에서, 참조 번호(① 내지 ④)는 데이터 입출력 수단에 부여되는 우선 순위와 식별 번호를 나타내는 것으로 도 3a 내지 도 3c에서와 유사하다. 본 제1 실시예에서, 제1 우선 순위는 참조 번호(1)로 설정되며, 우선 순위가 높을수록 빠른 번호(작은 번호)로 표시된다. 또한, 도 4a 내지 도 4d에서는 다음과 같이 가정된다. 즉, 계수값(CN₁ 내지 CN₄)은 특정 프로토콜 갱신 사이클에서 CN₂, CN₄, CN₁, CN₃의 높은 순서로 된다는 것이다.

이 경우, 도 4a에 도시된 바와 같이, 완전형 순위 변동 할당 프로토콜은 본래 각각의 데이터 입출력 수단에 부여되는 우선 순위를 무시하는 반면, 계수값(CN₁ 내지 CN₄)에 기초하여 버스(19) 할당이 허락되는 프로토콜에 해당한다. 버스(19)의 사용 조건은 이러한 완전형 순위 변동 부여 프로토콜에 매우 높게 반영 될 수 있다. 이러한 프로토콜은 컴퓨터 시스템이 설치될 때 사용자에게 의해 완전하게 예측될 수 없는 버스(19) 사용 조건이 발생하는 경우에 적절히 채용된다. 또한, 도 4b에 도시된 바와 같이, 순위 로테이션형 순위 변동 할당 프로토콜은, 각각의 데이터 입출력 수단에 부여되는 우선 순위에 기초하여 흡수회의 시간 주기 내에서 우선 순위를 가지고 할당되어야 하는 데이터 입출력 수단이, 로테이션 방식으로 결정되는 반면에 (최대의 계수값 CN을 가지는 데이터 입출력 수단이 제1 순위에 할당되지 않음에 유의한다), 버스(19) 할당은 흡수회의 시간 주기 내에서 계수값 CN₁ 내지 CN₄ 간의 차에만 기초하여 수행됨으로써 버스(19) 할당이 허락되는 프로토콜에 해당한다. 이런 순위 로테이션형 순위 변동 할당 프로토콜은 각각의 데이터 입출력 수단에 부여되는 우선 순위들에 단지 작은 차이가 있는 반면, 비록 각각의 데이터 입출력 수단의 우선 순위가 변화될 필요가 있지만, 그 본래의 (처음의) 우선 순위가 높게 중시되지 않는 경우에 적절히 채용되어 진다.

더욱이, 도 4c에 도시된 바와 같이, 순위 중시형 순위 변동 할당 프로토콜은, 흡수회의 시간 주기에서 각각의 데이터 입출력 수단(최대의 계수값 CN을 가지는 데이터 입출력 수단은 제외)에 부여되는 우선 순위에 기초하여, 흡수회의 시간 주기 내에서 제1 우선 순위가 로테이션 방식으로 결정되고, 제2 우선 순위 및 순차적인 우선 순위는 이 흡수회의 시간 주기 내에서 먼저 부여된 우선 순위에만 기초하여 결정되며, 또한 짝수회의 시간 주기 내에서 계수값(CN₁ 내지 CN₄)의 차에만 기초하여 우선 순위가 결정되어 버스(19) 할당이 허락되는 프로토콜에 해당한다. 이러한 프로토콜은 비록 각각의 데이터 입출력 수단의 우선 순위가 변경될 필요가 있지만, 본래의 각각의 데이터 입출력 수단의 우선 순위들이 순위 로테이션 형태 순위 변동 할당 프로토콜에 비해 중시되는 그러한 경우에 적절히 채용된다.

도 4d에 도시된 바와 같이, 복합형 순위 변동 할당 프로토콜은, 흡수회의 시간 주기에서 각각의 데이터 입출력 수단(최대의 계수값 CN을 가지는 데이터 입출력 수단은 제외)에 부여되는 우선 순위에 기초하여 흡수회의 시간 주기 내의 제1 우선 순위가 로테이션 방식으로 결정되고, 제2 우선 순위 및 순차적인 우선 순위들은 계수값 CN₁ 내지 CN₄의 차에만 기초하여 이 흡수 시간 주기 내에서 결정되며, 짝수 번호 시간 주기 내의 더 이상의 우선 순위들은 계수값 CN₁에서 CN₄의 차이에만 기초하여 결정됨으로써 버스(19) 할당이 허락된다. 이러한 복합형 프로토콜은 각각의 데이터 입출력 수단의 우선 순위가 유지되는 반면에, 버스(19)의 사용 조건이 최대로 반영되어지는 경우에 적절히 채용된다.

상기의 설명에 있어서는, 설명을 간단히 하기 위해, 모든 할당 요구 신호 REQ₁ 내지 REQ₄가 동일 시간 구간 내에 계속적으로 공급된다. 그러나, 실제의 경우에는 이런 공급 신호 REQ의 총 개수는 시간 주기에 따라 다르다. 그러한 실제 경우에서 공급되지 않는 할당 요구 신호 REQ 보다 낮게 배치되는 할당 요구 신호 REQ의 순위들이 결과적으로 앞서 나아간다. 예를 들어서, 할당 요구 신호 REQ₂가 도 3a의 제1 시간 구간 (왼쪽 끝)에 공급되지 않는 경우, 이 제1 시간 구간 내의 할당 요구 신호들은 ①, ③, ④와 같은 순서의 우선 순위를 가진다.

프로토콜 제어 회로(35)/할당 제어 회로(36)의 내부 장치

도 5에 도시된 바와 같이, 도 1의 제1 버스 제어 장치(13) 내에 채용된 프로토콜 제어 회로(35)는 비교

회로(41)와 할당 프로토콜/데이터 생성 회로(42)로 구성된다. 비교 회로(41)는 계수값들(CN_i 내지 CN₄)을 서로 비교하는데, 이들은 프로토콜 갱신 사이클이 실행되어 계수값들이 큰 값에서 작은 값 순으로 재배열될 때마다 카운터들(31_i 내지 31₄)로부터 공급된다. 다음에, 이 비교 회로(41)는 재배열된 계수값들(CN)의 순번을 나타내는 순번 데이터 '0D'를 생성하는데, 이 순번 데이터(0D)는 식별 번호의 순번을 나타낸다. 할당 프로토콜/데이터 생성 회로(42)는 순번 데이터 0D와 프로토콜 선택 모드 레지스터(34)로부터 로딩된 프로토콜 선택 모드 PSM 양자를 기초로 하여 할당 프로토콜/데이터 'APD'를 생성하여 이 할당 프로토콜 데이터(APD)를 할당 제어 회로(36)로 공급한다.

한편, 도 6에 도시된 바와 같이, 할당 제어 회로(36)는 할당 요구 판정 회로(51), 순위 변동 할당 프로토콜 생성 회로(52), 순위 고정 할당 프로토콜 생성 회로(53), 멀티플렉서(54), 및 할당 허락 신호 생성 회로(55)로 구성된다.

할당 요구 판정 회로(51)는 얼마나 많은 할당 요구 신호들(REQ_i 내지 REQ₄)이 선정된 시간 주기 내에 공급되었는지에 대해 판정한다. 단지 하나의 할당 요구 신호(REQ)만이 공급되는 경우, 이 할당 요구 판정 회로(51)는 식별 번호를 멀티플렉서(54)에 공급한다. 이 식별 번호는 할당 요구 신호(REQ)를 공급한 데이터 입출력 수단에 공급된다. 또한, 복수의 할당 요구 신호들(REQs)이 공급되는 경우에, 할당 요구 판정 회로(51)는 그에 대응하는 식별 번호들을 순위 변동 할당 프로토콜 생성 회로(52) 및 순위 고정 할당 프로토콜 생성 회로(53) 양자 모두에 공급한다. 할당 요구 판정 회로(51)는, 할당 허락 신호(GNT)가 데이터 입출력 수단 중 임의의 하나에 이미 출력된 조건 하에서 버스(19)의 2중 할당을 허락할 수 없어 데이터 입출력 수단이 버스(19)를 점유하므로, 할당 요구 신호(REQ)가 다른 데이터 입출력 수단으로부터 공급된다해도 할당 요구 판정 회로(51)는 응답하지 않을 것이다.

순위 변동 할당 프로토콜 생성 회로(52)는 상술한 완전형 순위 변동 할당 프로토콜, 순위 중시형 순위 변동 할당 프로토콜, 순위 로테이션형 순위 변동 할당 프로토콜, 및 복합형 순위 변동 할당 프로토콜을 그 내부에 미리 기억하기 위한 기억 유닛을 포함한다. 공급되는 할당 프로토콜 데이터(APD)를 구성하는 프로토콜 선택 모드(PSM)가 상술한 순위 변동 할당 프로토콜들중 임의의 것에 의해 결정된 할당을 지시할 때, 순위 변동 할당 프로토콜 생성 회로(52)는 지시된 순위 변동 할당 프로토콜을 기억 유닛으로부터 판독한다. 다음에, 순위 변동 할당 프로토콜 생성 회로(52)는 판독된 순위 변동 할당 프로토콜 및 데이터 입출력 수단의 공급된 복수의 식별 번호들중에서 공급되는 할당 프로토콜 데이터(APD)를 구성하기 위한 순번 데이터(0D) 양자를 기초로 하여 관련된 시간 주기 내의 최우선 순위를 갖는 식별 번호를 판정한다. 이후에, 순위 변동 할당 프로토콜 생성 회로(52)는 이 판정된 식별 번호를 멀티플렉서(54)에 공급한다.

순위 고정 할당 프로토콜 생성 회로(53)는 상술한 완전형 순위 고정 할당 프로토콜, 순위 중시형 순위 고정 할당 프로토콜, 및 순위 로테이션형 순위 고정 할당 프로토콜을 그 내부에 미리 기억하기 위한 기억 유닛을 포함한다. 공급되는 할당 프로토콜 데이터(APD)를 구성하는 프로토콜 선택 모드(PSM)가 상술한 순위 고정 할당 프로토콜들 중 임의의 것에 의해 할당을 지시할 때, 순위 변동 할당 프로토콜 생성 회로(53)는 기억 유닛으로부터 지시된 순위 고정 할당 프로토콜을 판독한다. 다음에, 순위 고정 할당 프로토콜 생성 회로(53)는 판독된 순위 고정 할당 프로토콜 및 데이터 입출력 수단의 공급된 복수의 식별 번호들 중에서 공급되는 할당 프로토콜 데이터(APD)를 구성하기 위한 순번 데이터(0D) 양자를 기초로 하여 관련된 시간 주기 내의 최우선 순위를 갖는 식별 번호를 판정한다. 이후에, 순위 고정 할당 프로토콜 생성 회로(53)는 판정된 식별 번호를 멀티플렉서(54)에 공급한다.

멀티플렉서(54)는 할당 요구 판정 회로(51), 순위 변동 할당 프로토콜 생성 회로(52), 또는 순위 고정 할당 프로토콜 생성 회로(53)로부터 연속적으로 공급되는 식별 번호들을 순차적으로 미리 선택된 타이밍에서 할당 신호 생성 회로(55)에 공급한다.

할당 허락 신호 생성 회로(55)는 공급되는 식별 번호에 대응하는 할당 허락 신호(GNT)를 일시적으로 생성하여, 이 생성된 할당 허락 신호(GNT)를 미리 선택된 타이밍에서 각각의 데이터 입출력 수단에 공급한다.

제1 버스 제어 장치를 사용하는 컴퓨터 시스템의 전체 동작

다음에, 상술한 구성의 설비를 갖는 컴퓨터 시스템의 전체 동작이 도 1 내지 도 7을 참조로 하여 설명될 것이다.

먼저, 다음의 초기 조건이 가정된다. 즉, 사용자가 새롭게 이 시스템을 구매하고, 예를 들어, 도 2에 도시된 바와 같이, 사운드 보드(16), 모뎀(17), 및 그래픽 보드(18)를 제1 우선 순위 내지 제3 우선 순위가 부여된 슬롯들 상에 순서대로 설치한다. 또한, 사용자가 버스(19)를 통해 디스플레이(14)와 키보드(15)를 컴퓨터 시스템에 전기적으로 접속시킨다. 이후에, 사용자가 컴퓨터 시스템의 전원을 턴 온시킬 때, CPU(11)는 컴퓨터 시스템 내에 채용된 다양한 구조적 요소들의 제어 동작, 예를 들어, 컴퓨터 시스템이 시작되도록 버스 제어 장치(13)를 통해 메모리(12)로부터 운영 체제(OS) 소프트웨어를 판독하는 것을 개시한다.

이 경우에, CPU(11)는 프로토콜 갱신 사이클값 및 프로토콜 선택 모드(PSM) 양자 모두를 버스 제어 장치(13)에 공급한다. 개시 시에, 500 클럭이 프로토콜 갱신 사이클값의 초기값으로서 공급되고, 또한 도 3a에 도시된 완전형 순위 고정 할당 프로토콜이 프로토콜 선택 모드(PSM)로서 공급된다고 가정한다. 그 결과, 500 클럭이 프로토콜 갱신 사이클값으로서 프로토콜 갱신 사이클 설정 레지스터(32)에 설정되고, 나아가, 완전형 순위 고정 할당 프로토콜이 프로토콜 선택 모드(PSM)로서 프로토콜 선택 모드 레지스터(34)에 설정된다.

버스 제어 장치(13)에 의한 버스 제어 동작

이러한 조건 하에서, 버스 제어 장치(13)는 다음에 언급하는 동작들을 수행한다.

먼저, 프로토콜 갱신 사이클 설정 레지스터(32) 내에 설정된 프로토콜 갱신 사이클값 (본 경우에는, 500 클럭이 로딩됨)이 로딩되고, 타이머(33)는 0으로부터 매 1클럭마다 시스템 클럭을 계수한다. 계수값이 500 클럭이 되면, 타이머(33)는 오버플로우 신호(SOF)를 카운터들(31₁ 내지 31₃), 및 프로토콜 제어 회로(35)에 공급한다. 카운터들(31₁ 내지 31₃)은 대응 데이터 입출력 수단으로부터 공급되는 할당 요구 신호들(REQ₁ 내지 REQ₃)의 수를 계수하여, 계수값들(CN₁ 내지 CN₃)을 프로토콜 제어 회로(35)에 공급한다. 이러한 계수값들(CN₁ 내지 CN₃)은 임의의 프로토콜 갱신 사이클 (본 경우에는, 500 클럭의 시간 주기) 내의 최대값(CN₂), 중간값(CN₁), 및 최소값(CN₃)을 갖는 것으로 가정한다. 또한, 본 경우에, 대응 데이터 입출력 수단은 버스(19)를 통해 컴퓨터 시스템에 접속되지 않으므로, 관련된 카운터(31₄)는 동작되지 않는다.

그 결과, 본 프로토콜 갱신 사이클에서, 프로토콜 제어 회로(35)의 비교 회로(41)는 카운터들(31₁ 내지 31₃)로부터 공급된 계수값들(CN₁ 내지 CN₃)을 서로 순차적으로 비교하여 CN₂, CN₁, 및 CN₃의 순위, 즉 보다 큰 값 순서대로 계수값들(CN₁ 내지 CN₃)을 재배열한다. 다음에, 이 비교 회로(41)는 재배열된 계수값들(CN)의 순서를 나타내는 순번 데이터(00), 즉 식별 번호들의 순번, 다시 말해, 본 경우에 ②, ①, ③을 생성한다.

그 결과, 할당 프로토콜/데이터 생성 회로(42)는 순번 데이터(00)와, 프로토콜 선택 모드 레지스터(34)로부터 로딩된 프로토콜 선택 모드(PSM) 양자를 기초로 하여 할당 프로토콜 데이터(APD)를 생성한다. 다음에, 할당 프로토콜 데이터 생성 회로(42)는 생성된 할당 프로토콜 데이터(APD)를 할당 제어 회로(36)에 공급한다. 이 경우에, 완전형 순위 고정 할당 프로토콜이 프로토콜 선택 모드(PSM)로서 설정되므로, 할당 프로토콜 데이터 생성 회로(42)는 ②, ①, ③을 나타내는 순번 데이터(00)와 완전형 순위 고정 할당 프로토콜을 나타내는 프로토콜 선택 모드(PSM)를 기초로 하여 할당 프로토콜 데이터(APD)를 생성한다. 다음에, 할당 프로토콜 데이터 생성 회로(42)는 이 할당 프로토콜 데이터(APD)를 할당 제어 회로(36)에 공급한다.

할당 제어 회로(36)에 의한 할당 제어

이제, 도 7에 도시된 순서도를 참조하여, 할당 제어 회로(36)에 의한 할당 제어 동작에 대해 설명한다.

먼저, 상술한 할당 요구 신호 REQ₁ 내지 REQ₃ 중의 임의의 하나가 모뎀(17)과 같은 관련 데이터 입출력 수단으로부터 공급되는 경우, 할당 요구 판정 회로(51)에 의한 할당 제어 동작이 이 순서도의 단계 SP1로 진행된다. 단계 SP1에서, 할당 요구 판정 회로(51)는 할당 허락 신호 GNT₁ 내지 GNT₃ 중의 임의의 하나의 신호가 이미 대응 데이터 입출력 수단에 출력되었는지의 여부를 판정한다. 판정 결과가 'YES' (즉, 할당 허락 신호 GNT가 이미 출력되었음)인 경우, 할당 제어 회로(36)는 다시 다른 데이터 입출력 수단이 버스(19)를 할당하도록 허락할 수 없기 때문에, 이 할당 제어 처리가 완성된다.

반대로, 상기 단계 SP1에서 판정 결과가 'NO'인 경우, 즉 할당 허락 신호 GNT가 이들 데이터 입출력 수단들 중 어떤 것으로도 출력되지 않은 경우, 할당 요구 판정 회로(51)에 의한 할당 제어 처리 동작은 단계 SP2로 진행된다. 단계 SP2에서, 할당 요구 판정 회로(51)는 복수의 할당 요구 신호 REQ₁ 내지 REQ₃가 선정된 시간 기간 내에 공급되는지의 여부를 판정한다. 판정 결과가 'YES'인 경우, 처리 동작은 단계 SP3으로 진행된다. 할당 요구 신호 REQ₁ 및 할당 요구 신호 REQ₃ 양자 모두 공급된다고 가정하면, 단계 SP2에서 판정 결과는 'YES'가 된다. 그 결과, 할당 요구 판정 회로(51)는 이 할당 요구 신호 REQ₁ 및 REQ₃에 대응하는 식별 번호들, 즉 이 경우에는 식별 번호 ①과 ③을 순위 변동 할당 프로토콜 생성 회로(52) 및 순위 고정 할당 프로토콜 생성 회로(53) 양자 모두에 공급한다. 그 다음, 단계 SP3에서 정의된 처리 동작이 할당 제어 회로(36)에서 수행된다.

단계 SP3에서는, 할당 프로토콜 데이터 APD를 구성하는 프로토콜 선택 모드 PSM에 응답하여, 순위 변동 할당 프로토콜 생성 회로(52) 및 순위 고정 할당 프로토콜 생성 회로(53) 중의 하나만이 동작가능하다. 그 결과, 지정된 프로토콜이 기억부로부터 판독된 후에, 이 할당 프로토콜 생성 회로는 판독 프로토콜 및 공급된 할당 프로토콜 데이터 APD를 구성하는 순번 데이터 00 둘다에 기초하여, 공급된 복수의 데이터 입출력 수단의 식별 번호들 중에서 이 시간 주기 내의 최상위 우선 순위를 갖는 식별 번호를 결정한다. 그 다음, 이 할당 프로토콜 생성 회로는 결정된 식별 번호를 멀티플렉서(54)에 공급한다. 이러한 프로토콜이 할당 프로토콜 데이터 APD를 구성하는 프로토콜 선택 모드 PSM에 의해 변경되지 않는 경우, 복수의 시간 주기에 걸쳐서 둘 다 사용되고, 프로토콜은 기억부로부터 판독되지 않으며, 우선 순위만 다음 시간 주기에 사용되어야 하는 순위로 변경된다는 것을 이해해야 한다. 예를 들면, 도 3b에 도시된 순위 로데이션형 순위 고정 할당 프로토콜이 사용되는 경우, 선행 시간 주기 내의 우선 순위가 좌측단의 칼럼과 동일하면 (즉, ①, ②, ③ 및 ④의 순서), 다음 시간 주기 내의 우선 순위는 좌측단으로부터 제2 칼럼으로 변경된다 (즉, ②, ③, ④ 및 ①). 변경된 우선 순위에 기초하여, 할당 프로토콜 생성 회로는 공급된 복수의 데이터 입출력 수단의 식별 번호들 중에서 다음 시간 주기 내의 최상위 순위를 갖는 식별 번호를 결정한다. 후속하여, 단계 SP3에서 정의된 처리 동작이 할당 제어 회로(36)에 의해 수행된다.

이 경우, 할당 프로토콜 데이터 APD는 완전형 순위 고정 할당 프로토콜을 나타내고, 순위 변동 할당 프로토콜 생성 회로(52)는 동작하지 않는다. 공급된 할당 프로토콜 데이터 APD를 구성하는 프로토콜 선택 모드 PSM이 완전형 순위 고정 할당 프로토콜을 지정하기 때문에, 순위 고정 할당 프로토콜 생성 회로(53)는 기억부로부터 지정된 완전형 순위 고정 할당 프로토콜을 판독한다. 그 다음, 판독 완전형 순위 고정 할당 프로토콜 및 공급된 할당 프로토콜 데이터 APD를 구성하는 순번 데이터 00 (이 경우, ②, ① 및 ③의 순서) 둘 다에 기초하여, 이 순위 고정 할당 프로토콜 생성 회로(53)는 복수의 데이터 입출력 수단의 공급된 식별 번호들 (이 경우, ① 및 ③) 중에서 다음 시간 주기 내의 최상위 순위를 갖는 식별 번호를 결정한다. 그 다음, 순위 고정 할당 프로토콜 생성 회로(53)는 결정된 식별 번호 (즉,

이 경우, ①)를 멀티플렉서(54)에 공급한다. 후속하여, 단계 SP4에서 정의된 처리 동작이 할당 제어 회로(36)에 의해 실행된다.

단계 SP4에서, 멀티플렉서(54)는 식별 번호를 사전 선택된 타이밍에 할당 허락 신호 생성 회로(55)에 공급한다. 이 식별 신호는 순위 변동 할당 프로토콜 생성 회로(52) 또는 순위 고정 할당 프로토콜 생성 회로(53)로부터 공급된다. 그 결과, 할당 허락 신호 생성 회로(55)는 공급된 식별 번호에 대응하는 할당 허락 신호 GNT를 생성한 다음 이 할당 허락 신호 GNT를 사전 선택된 타이밍으로 데이터 입출력 수단에 공급한다. 그 다음, 할당 제어 처리 동작이 종료된다. 이 경우, 식별 번호 ①이 순위 고정 할당 프로토콜 생성 회로(53)로부터 멀티플렉서(54)에 공급되기 때문에, 이 식별 번호 ①은 사전 선택된 타이밍에 할당 신호 생성 회로(55)에 공급된다. 그 결과, 할당 허락 신호 생성 회로(55)는 공급된 식별 번호(즉, 이 경우 ①임)에 대응하는 할당 허락 신호 GNT₁을 생성한 다음, 이 할당 허락 신호 GNT₁을 사전 선택된 타이밍에 대응하는 데이터 입출력 수단(즉, 사운드 보드(16))에 공급한다. 그 결과, 사운드 보드(16)는 버스(19)를 통해 메모리(16)에 액세스하여 메모리(12)에 기억된 음악 데이터에 기초하여 음악 신호를 생성하고, CPU(11)의 제어하에서 음악 사운드를 스피커(22)로부터 재생한다. 그 다음, 사운드 보드(16)는 음악 신호의 생성을 수행함에 따라서 버스(19)를 점유하고, 이 사운드 보드(16)는 완성을 나타내는 신호를 생성하여 이러한 신호를 버스 제어 장치(13)에 공급한다. 그렇지 않으면, 사운드 보드(16)는 할당 요구 신호 REQ₁을 비활성 상태로 한 다음, 이 비활성 상태를 버스 제어 장치(13)에 알린다.

반대로, 단계 SP2의 판정 결과가 'NO'이면, 다시 말해서, 복수의 할당 요구 신호들 REQ₁ 내지 REQ₃이 선정된 시간 주기 내에 공급되지 않고, 하나의 할당 요구 신호 REQ만 공급되는 경우, 할당 제어 회로(36)는 단계 SP5에서 정의된 처리 동작을 실행한다. 단계 SP5에서, 멀티플렉서(54)는 식별 번호를 사전 선택된 타이밍에 할당 허락 신호 생성 회로(55)로 공급한다. 이 식별 신호는 할당 요구 판정 회로(51)로부터 공급된다. 그 결과, 할당 허락 신호 생성 회로(55)는 공급된 식별 번호에 대응하는 할당 허락 신호 GNT를 생성한 다음 이 할당 허락 신호 GNT를 사전 선택된 타이밍에 데이터 입출력 수단에 공급한다. 그 다음, 할당 제어 처리 동작이 종료된다.

다음으로, 사용자가 일단 컴퓨터 시스템의 전원을 턴 오프하고, LAN 보드(21)를 소켓(20)에 새롭게 탑재한 다음, 다시 컴퓨터 시스템의 전원을 다시 턴 온하는 경우, CPU(11)는 이 컴퓨터 시스템의 각각의 구성 소자들의 제어 동작, 예를 들면, CPU(11)가 버스 제어 장치(13)를 통해 메모리(12)로부터 연산 시스템(OS) 소프트웨어를 판독하는 것을 개시하여 컴퓨터 시스템이 시작되게 한다.

이 경우, CPU(11)는 프로토콜 갱신 사이클 값 및 프로토콜 선택 모드 PSM 둘다를 버스 제어 장치(13)에 공급한다. 그 다음, LAN 보드(21)가 소켓(20)에 새롭게 탑재되기 때문에, CPU(11)는 이 LAN 보드(21)를 인식할 수 있다. 프로토콜 갱신 사이클 값, 예를 들면, 300 클럭이 프로토콜 선택 모드 PSM으로서 공급되고, 예를 들면, 순위 로테이션형 순위 변동 할당 프로토콜이 공급된다고 가정한다. 대안으로, 프로토콜 갱신 사이클 값과 프로토콜 선택 모드 PSM은 사용자가 키보드(15)를 조작하여 설정할 수 있다.

그 결과, 프로토콜 갱신 사이클 값으로서 300 클럭이 프로토콜 갱신 사이클 설정 레지스터(32)에 설정되는 한편, 순위 로테이션형 순위 변동 할당 프로토콜은 프로토콜 선택 모드 PSM으로서 프로토콜 선택 모드 레지스터(34)에 설정된다.

이러한 조건 하에서, 버스 제어 장치(13)는 후술하는 동작을 수행한다.

무엇보다도, 프로토콜 갱신 사이클 설정 레지스터(32) 내에 설정된 프로토콜 갱신 사이클 값(이 경우, 300 클럭이 로딩됨)이 로딩되기 때문에, 타이머(33)는 시스템 클럭을 0에서부터 하나씩 계수한다. 계수값이 300 클럭이 되면, 이 타이머(33)는 카운터(31₁ 내지 31₃) 및 프로토콜 제어 회로(35)에도 오버플로우 신호 SOF를 공급한다. 또한, 이 계수값은 0으로 리셋된다. 카운터(31₁ 내지 31₃)는 대응 데이터 입출력 수단으로부터 공급된 할당 요구 신호 REQ₁ 내지 REQ₄의 수를 계수한 다음, 이 계수값 CN₁ 내지 CN₄를 프로토콜 제어 회로(35)에 공급한다. 이 계수값들 CN₁ 내지 CN₄는 특정 프로토콜 갱신 사이클(이 경우, 300 클럭의 시간 주기)에서 가장 큰 값인 CN₂, 중간 값 CN₄ 및 CN₁, 및 가장 작은 값 CN₃을 갖는다고 가정한다.

그 결과, 이 프로토콜 갱신 사이클에서, 프로토콜 제어 회로(35)의 비교 회로(41)는 계수값 CN₁ 내지 CN₄를 CN₂, CN₄, CN₁ 및 CN₃의 순서로, 즉, 값이 큰 순서로 재정렬하기 위해 카운터(31₁ 내지 31₄)로부터 공급된 계수값 CN₁ 내지 CN₄를 서로 비교한다. 다음으로, 이러한 비교 회로(41)는 재배치되어 계수값(CN)의 순서 즉, 식별 번호의 순서를 표시하는 순번 데이터(0D) 즉, 이 경우에는 ②, ④, ①, 및 ③을 생성한다. 결과적으로, 할당 프로토콜/데이터 생성 회로(42)는 순번 데이터(0D) 및 프로토콜 선택 모드 레지스터(34)로부터 로딩된 프로토콜 선택 모드 PSM을 기초로 할당 프로토콜 데이터(APD)를 생성한다. 다음으로, 할당 프로토콜 데이터 생성 회로(42)는 이러한 할당 프로토콜 데이터(APD)를 할당 제어 회로(36)에 공급한다.

다음으로, 복수의 할당 요구 신호(REQ)가 미리 선택된 시간 기간 내에 공급되는 경우, 예를 들면 할당 요구 신호(REQ₁, REQ₃, 및 REQ₄)가 공급되는 경우, 할당 제어 회로(36)의 할당 요구 판정 회로(51)는 이러한 할당 요구 신호 즉, 이 경우에는 ①, ③, 및 ④에 대응하는 식별 번호를 순위 변동 할당 프로토콜 생성 회로(52) 및 순위 고정 할당 프로토콜 생성 회로(53) 양자 모두에 공급한다. 다음으로, 할당 프로토콜 데이터(APD)를 구성하기 위한 프로토콜 선택 모드(PSM)에 응답하여, 순위 변동 할당 프로토콜 생성 회로(52) 및 순위 고정 할당 프로토콜 생성 회로(53) 중 하나만이 동작가능하다. 이 경우, 할당 프로토콜 데이터(APD)가 순위 로테이션형 순위 변동 할당 프로토콜을 나타내므로, 순위 고정 할당 프로토콜 생성 회로(53)는 동작하지 않는다. 공급된 할당 프로토콜 데이터(APD)를 구성하기 위한 프로토콜 선택 모

드(PSM)가 순위 로테이션형 순위 가변 할당 프로토콜을 지정하므로, 순위 변동 할당 프로토콜 생성 회로(52)는 제1 시간 주기 내의 기억 유닛으로부터 지정된 순위 로테이션형 순위 변동 할당 프로토콜을 판독한다. 그로부터, 판독된 순위 로테이션형 순위 고정 할당 프로토콜 및 공급된 할당 프로토콜 데이터(APD)를 구성하기 위한 순번 데이터(OD)(이 경우에는, ②, ④, ①, 및 ③)를 기초로, 이 순위 변동 할당 프로토콜 생성 회로(52)는 복수의 데이터 입출력 수단의 공급된 식별 번호(이 경우에는, ①, ③, 및 ④) 중 다음 시간 기간 내에 최우선 순위를 갖는 식별 번호를 결정한다. 다음으로, 이 순위 변동 할당 프로토콜 생성 회로(52)는 이러한 결정된 식별 번호를 공급한다(도 4b를 참조하면 ④로서, 그 다음 시간 주기는 제2 시간 주기와 같다고 가정). 다음으로, 이러한 결정된 식별 번호는 멀티플렉서(54)로 공급된다.

결과적으로, 멀티플렉서(54)는 식별 번호를 미리 선택된 타이밍에 할당 허락 신호 생성 회로(55)로 공급한다. 이 식별 신호(이 경우에는 ④)는 순위 변동 할당 프로토콜 생성 회로(52)로부터 공급된다. 그 결과, 할당 허락 신호 생성 회로(55)는 공급된 식별 번호(이 경우에는 ④)에 대응하는 할당 허락 신호 GNT_4 를 생성한 다음, 이 할당 신호 GNT_4 를 선정된 타이밍에 대응 데이터 입출력 수단, 즉 LAN 보드로 공급한다. 결과적으로, LAN 보드(21)는 버스(19)를 통해 메모리(16)에 액세스하여, 메모리(12) 내에 기억되어 있는 데이터 신호를 케이블을 통해 다른 컴퓨터 시스템으로 전송한다. 또한, LAN 보드(21)는 케이블을 통해 다른 컴퓨터 시스템으로부터 전송된 데이터를 수신하여, 그 수신된 데이터를 메모리(12) 내에 기억시킨다. 데이터 전송/수신이 완결되어 버스(19)의 점유가 종료되면, LAN 보드(21)는 이러한 종료를 나타내는 신호를 생성하여, 그 신호를 버스 제어 장치(13)에 공급한다. 그렇지 않으면, LAN 보드(19)는 할당 요구 신호 REQ_4 가 비활성 상태가 되게 하여, 이러한 비활성 상태를 버스 제어 장치(13)에 통보한다.

상술한 바와 같이, 제1 버스 제어 장치에 따르면, 버스(19)에 접속될 수 있는 데이터 입출력 수단(예를 들어 LAN 보드 및 모뎀)의 수와 동일한 수의 복수의 카운터(31)가 제공된다. 게다가, 사용자가 버스(19)에 접속 가능한 데이터 입출력 수단의 최소 개수보다 적은 수의 복수의 데이터 입출력 수단을 이 버스(19)에 접속시키는 경우에도, 비접속 데이터 입출력 수단에 대응하는 카운터의 계수 동작은 간단히 중단될 수 있다. 또한, 프로토콜로서, 도 3a 내지 도 3c 및 도 4a 내지 도 4d에 도시된 실시예에는 설명을 간단히 하기 위해, 버스(19)에 접속된 모든 데이터 입출력 수단에 할당이 허용된 경우의 순번 데이터가 나타나 있다. 그러나, 본 제1 실시예에 따르면, 프로토콜은 더 이상 데이터 입출력 수단의 총 수를 고려하여 생성되지 않는다. 즉, 종래 기술에서 프로토콜은 데이터 입출력 수단의 총 수를 고려하여 생성되었다. 그 결과, 제1 버스 제어 장치의 구성에 따르면, 이 버스 제어 장치는 범용 구성 요소 및 범용 동작을 채용함으로써 실현될 수 있다.

또한, 전술한 구성을 가지는 본 발명의 제1 버스 제어 장치에 따르면, 순위 변동 할당 프로토콜이 채용되는 경우, 우선 순위는 특정 프로토콜 갱신 사이클 내의 계수값 CN에 기초하여 결정될 수 있지만, 종래 기술에서와 같이 고정되지 않는다. 결과적으로, 버스(19)의 사용 조건이 급격하게 변하여 우선 순위가 변동하는 경우 및/또는 데이터 입출력 수단이 새롭게 버스(19)에 접속되는 경우에도, 종래 기술에서와는 달리 데이터 입출력 수단으로의 접속을 변동시킬 필요가 없다. 또한, 버스(19)의 사용 조건이 급격하게 변하는 것을 신속하게 수용하기 위해, 프로토콜 갱신 사이클 설정 레지스터(32)에 설정되는 프로토콜 갱신 사이클 값은, 간단하게 작은 값으로 선택될 수 있다.

제2 버스 제어 장치의 구성/동작

다음으로, 본 발명의 제2 실시예가 설명될 것이다. 도 8은 본 발명의 제2 실시예에 따른 버스 제어 장치(61)의 내부 배열을 도시하기 위한 개략적인 블록도이다. 도 1에 도시된 동일 참조 번호는 도 8에 도시된 동일 또는 유사 구성 요소들을 나타내는 데 사용되므로, 그들에 대한 설명을 생략될 것이다. 도 8로부터 명백한 바와 같이, 이 제2 버스 제어 장치(61)는, 도1의 제1 버스 제어 장치(13) 내에 채용된 상기 카운터(31, 내지 31₄) 및 프로토콜 제어 회로(35) 대신에, 대기 시간 검출 회로(62, 내지 62₄)를 새롭게 채용한다.

이러한 대기 시간 검출 회로(62, 내지 62₄)는 사운드 보드(16), 모뎀(17), 그래픽 보드(18) 및 LAN 보드(21)에 대응하여 제공된다. 펄스형 할당 요구 신호(REQ_1 내지 REQ_4)가 대응 데이터 입출력 수단으로부터 공급되면, 대기 시간 검출 회로(62, 내지 62₄)는 시스템 클럭의 계수 동작을 개시하는 반면에, 대응 할당 허락 신호(GNT_1 내지 GNT_4)가 할당 제어 회로(36)로부터 공급되면, 대기 시간 검출 회로(62, 내지 62₄)는 시스템 클럭의 계수 동작을 중단한다. 그 다음, 대기 시간 검출 회로(62, 내지 62₄)는 각각의 시스템 클럭의 계수값을 대기 시간(LAT_1 내지 LAT_4)로서 프로토콜 제어 회로(63)로 공급한다.

한편, 프로토콜 제어 회로(63)는 비교 회로(도시되지 않음) 및 할당 프로토콜 데이터 생성 회로(도시되지 않음)로 구성된다. 이 비교 회로는, 프로토콜 갱신 사이클이 실행될 때마다, 대기 시간(LAT_1 내지 LAT_4)을 서로 비교한다. 대기 시간(LAT_1 내지 LAT_4)은 대기 시간 검출 회로(62, 내지 62₄)로부터 공급된다. 이러한 비교 동작의 결과로서, 대기 시간(LAT_1 내지 LAT_4)은 긴 시간 순으로 재배열된다. 그 다음, 비교 회로는 재배열된 대기 시간(LAT)의 순번, 즉 식별 번호의 순번을 나타내는 순번 데이터 OD를 생성한 후, 이 순번 데이터 OD를 할당 프로토콜 생성 회로로 출력한다. 그 다음, 할당 프로토콜 데이터 생성 회로는, 순번 데이터 OD 및 프로토콜 생성 모드 레지스터(34) 양자 모두에 기초하여 할당 프로토콜 데이터 APD를 생성한다.

상기의 회로 배열을 채용하는 제2 버스 제어 장치(61)는, 각각의 구성 요소에 의해 처리되는 파라미터가 계수값(CN, 내지 CN₄)에서 대기 시간(LAT_1 내지 LAT_4)로 변경된다는 것을 제외하고는 실질적으로 동일함에 유의한다.

전술한 바와 같이, 제2 버스 제어 장치에 따르면, 버스(19) 할당이 대기 시간 LAT의 장/단 시간 주기에

기초하여 허용되기 때문에, 버스(19)의 이용 효율뿐만 아니라 각각의 데이터 입출력 수단의 동작 속도도 향상될 수 있다.

제3 버스 제어 장치의 구성/동작

다음으로, 본 발명의 제3 실시예가 설명될 것이다. 도 9는 본 발명의 제3 실시예에 따른 버스 제어 장치(71)의 내부 구성을 도시하는 개략적인 블록도이다. 도 1의 동일 참조 번호가 도 9에 도시되는 동일 또는 유사 구성 요소들을 나타내는 데 사용되므로, 그들에 대한 상세한 설명은 생략함에 유의한다. 도 9로부터 명백한 바와 같이, 이러한 제3 버스 제어 장치(71)는, 도 1에 도시된 상기 프로토콜 선택 모드 레지스터(34), 프로토콜 제어 회로(35) 및 할당 제어 회로(36) 대신 프로토콜 선택 모드 레지스터(72), 프로토콜 제어 회로(73) 및 할당 제어 회로(74)를 새롭게 이용하고, 또한 수동 프로토콜 설정 레지스터(75), 및 할당 요구 마스크 레지스터(76)를 새롭게 이용한다.

수동 프로토콜 설정 레지스터(75)에는 수동 프로토콜 'MP'가 설정된다. 이러한 수동 프로토콜(MP)은 데이터 입출력 수단들 각각에 대한 우선 순위를 나타내는 데이터를 포함한다. 즉, 사용자가 버스(19)의 현재의 사용 조건과 무관하게 버스(19)로 각각의 데이터 입출력 수단을 수동으로 일시적으로 할당하기를 원할 때, 이 사용자는 키보드(15)를 조작하여 이러한 데이터 입출력 수단의 우선 순위로 들어가게 한다.

상술된 제1 실시예와 유사하게, 프로토콜 선택 모드(PSM)는 CPU(11)에 의해서 프로토콜 선택 모드 레지스터(72)로 설정된다. 프로토콜 선택 모드(PSM)로서, 상술된 순위 고정 할당 프로토콜과 순위 변동 할당 프로토콜의 선택을 명령하는 데이터뿐만 아니라 수동 프로토콜(MP)의 선택이 수동 프로토콜 설정 레지스터(75)에서 설정된다. 순위 고정 할당 프로토콜로는 완전형, 순위 로테이션형, 및 순위 중시형 할당 프로토콜이 있는 반면, 순위 변동 할당 프로토콜로는 완전형, 순위 로테이션형, 순위 중시형 및 복합형 할당 프로토콜이 있다.

한편, 프로토콜 제어 회로(73)는 비교 회로(도시되지 않음)와 할당 프로토콜 데이터 생성 회로(도시되지 않음)로 구성된다. 이 비교 회로는 도 5에 도시된 상기 비교 회로(41)의 동작과 동일한 방법으로 동작할 수 있다. 그러나, 프로토콜 제어 회로(73)에서 사용되는 이러한 할당 프로토콜 데이터 생성 회로는 서로 다른 방법으로 동작된다. 즉, 이러한 할당 프로토콜 데이터 생성 회로는 순번 데이터(0D), 프로토콜 선택 모드 레지스터(72)로부터 로딩된 수동 프로토콜(MP) 및 프로토콜 선택 모드 레지스터(34)로부터 로딩된 프로토콜 선택 모드(PSM)를 기초로 할당 프로토콜 데이터(APD)를 생성한다. 그 다음, 생성된 할당 프로토콜 데이터(APD)를 할당 프로토콜 데이터 생성 회로가 할당 제어 회로(74)로 공급한다. 다시 말해서, 프로토콜 선택 모드(PSM)가 수동 프로토콜(MP)을 선택하라고 명령하는 데이터가 아닌 경우, 할당 프로토콜 데이터 생성 회로는 상술된 제1 실시예의 할당 프로토콜 데이터 생성 회로(42)의 동작과 동일한 방법으로 동작한다. 프로토콜 선택 모드(PSM)가 수동 프로토콜(MP)을 선택하라고 명령하는 데이터인 경우, 이 할당 프로토콜 데이터 생성 회로는 순번 데이터(0D)와 수동 프로토콜(MP) 양자 모두에 기초하여 할당 프로토콜 데이터(APD)를 생성함으로써 이러한 할당 프로토콜 데이터(APD)를 할당 제어 회로(74)로 공급한다.

할당 요구 마스크 레지스터(76)에서는, 이러한 데이터 입출력 수단의 식별 번호(MN)가 설정되고, 할당 요구가 무효화된 데이터 입출력 수단이 사용자나 CPU(11)에 의해서 지정된다. 예를 들면, CPU(11)가 메모리(12)의 선정된 영역에 기억된 데이터를 기초로 도형 또는 패턴을 형성할 것을 그래픽 보드(18)에 명령하는 동안, 사용자가 이러한 조건하에서 그래픽 보드(18)에 의한 화상 형성 동작을 중단시키고자 하는 경우에는, 예를 들면 데이터 자체가 오류가 되고, 메모리(12)의 부정확한 기억 영역은 이러한 그래픽 보드(18)의 식별 번호 ③가 이러한 그래픽 보드(18)로부터 제공된 할당 요구 신호(REQ₃)를 할당 제어 회로(74)로 공급하지 않도록 하기 위해서 할당 요구 마스크 레지스터(76)에 대한 식별 번호(MN)로서 설정된 것을 나타낸다.

도 10에 나타난 바와 같이, 할당 제어 회로(74)는 게이트 회로(81), 할당 요구 판정 회로(51), 순위 변동 할당 프로토콜 생성 회로(52), 순위 고정 할당 프로토콜 생성 회로(53), 수동 설정 할당 프로토콜 생성 회로(82), 멀티플렉서(83), 및 할당 허락 신호 생성 회로(55)로 구성된다. 이러한 내부 회로들 중 게이트 회로(81), 수동 설정 할당 프로토콜 생성 회로(82) 및 멀티플렉서(83) 이외의 구성 소자들의 구성 및 동작은 도 6에 도시된 할당 제어 회로(36)에서 이용된 각각의 구성 소자들의 구성 및 동작과 사실상 동일하다. 따라서, 이러한 동일한 구성 소자들에 대한 설명은 생략한다. 게이트 회로(81)는 식별 번호(MN)에 대응하는 할당 요구 신호(REQ)와 다른 할당 요구 신호(REQ₃)만이 통과하게 된다. 후술되는 할당 신호(REQ)는 할당 요구 마스크 레지스터(76)로부터 로딩된다. 식별 번호(MN)에 대응하는 할당 신호(REQ)는 할당 요구 판정 회로(51) 다음의 어떠한 회로로도 공급되지 않기 때문에, 대응 입출력 수단에 버스(19)의 할당을 허용하지 않는다.

또한, 공급된 할당 프로토콜 데이터(APD)가 순번 데이터(0D)와 수동 프로토콜(MP)로 구성되는 경우에는, 수동 설정 할당 프로토콜 생성 회로(82)가 다수의 데이터 입출력 수단의 공급된 식별 번호들 중에서 순번 데이터(0D)와 수동 프로토콜(MP)를 기초로 하여 현재 시간에 가장 높은 우선 순위를 가진 식별 번호를 결정한다. 이러한 수동 설정 할당 프로토콜 생성 회로(82)는 이러한 선정된 식별 번호를 멀티플렉서(83)로 공급한다. 멀티플렉서(83)는 미리 설정된 타이밍에서 할당 허락 신호 생성 회로(55)로 식별 번호들을 순서대로 공급한다. 이러한 식별 번호들은 할당 요구 판정 회로(51), 순위 변동 할당 프로토콜 생성 회로(51), 순위 고정 할당 프로토콜 생성 회로(52) 및 수동 설정 할당 프로토콜 생성 회로(82)로부터 순서대로 공급된다.

또한 상술된 버스 제어 장치(71)는 사용자에게 의해서 일시적으로 수동 설정된 프로토콜을 기초로 하여 버스(19)의 할당을 허용하게 하고, 더욱이 특정 데이터 입출력 수단으로부터 제공된 할당 요구를 무시할 수 있다는 것을 알 수 있다. 그러나, 이러한 버스 제어 장치(71)의 다른 동작들은 제1 실시예를 상기 버스 제어 장치(13)의 동작과 실제로 동일하기 때문에, 본 명세서에서 이에 대한 보다 상세한 설명은 생략한다.

상술한 바와 같이, 전술한 구성을 이용하는 제3 버스 제어 장치(71)에 있어서, 사용자가 특정 입출력 수단에 버스(19)를 할당하기를 원하는 긴급한 경우, 사용자는 키보드(15)를 조작하여 일시적으로 프린터(도시되지 않음)에 제1 우선 순위를 부여할 수 있다. 예를 들면, 이러한 프린터(15)가 버스(19)에 접속되어 있는 동안에는, 사용자가 긴급히 이 프린터를 사용하여 메모리(12)에 기억된 데이터를 프린트 출력하기를 원한다. 그 결과, 이러한 프린터가 가진 우선 순위가 데이터 입출력 수단의 순위보다 낮은 경우에도, 데이터가 프린트 출력될 때에는 이러한 프린터에 제1 우선 순위가 제공되기 때문에 이러한 동작이 사용자의 긴급 요구를 충족시킬 수 있다. 이 경우, 다른 데이터 입출력 수단에 대한 버스(19)의 할당으로 프린터에 의한 프린트 동작 이후에는 이전의 우선 순위를 유지하도록 할 수 있다. 따라서, 사용자는 성가신 처리 동작을 할 필요가 없는데, 예를 들면 사용자는 다른 데이터 입출력 수단의 동작의 종단을 요구할 필요가 없다.

또한, 제3 버스 제어 장치에 따라서, 특정 데이터 입출력 수단에 버스를 할당할 수 있도록 하기 위해서 원하지 않는 사건이 발생하는 경우에, 이러한 특정 데이터 입출력 수단의 식별 번호가 할당 요구 마스크 레지스터(76)에 설정되어 있지 않다면, 할당 요구 신호(REQ)는 이러한 데이터 입출력 수단으로부터 제3 할당 제어 회로(74)로 제공되지 않는다. 따라서, 잘못된 동작 및 불필요한 동작을 방지할 수 있다. 할당 요구 마스크 레지스터(76)와 게이트 회로(81)는 또한 모두 제1 및 제2 실시예의 구성과 유사하게 적용될 수 있다는 사실이 자명하다.

다양한 바람직한 실시예를 참조하여 본 발명을 설명하였지만, 본 발명에 따른 버스 제어 장치, 버스 제어 방법 및 기억 매체는 이에 한정되지 않으며, 본 발명의 기술적 사상이나 기술 정신을 벗어나지 않는 범위 내에서 변형, 변화 및 대체될 수 있다.

예를 들면, 도 2에 도시된 바와 같이, 상술된 실시예에서 본 발명에 따른 버스 제어 장치는 한 세트의 버스(19)를 구비하는 컴퓨터 시스템에 적용되었다. 명백하게, 본 발명의 버스 제어 장치는 유사하게 복수의 버스를 사용하여 다른 컴퓨터 장치로 적용될 수 있다. 도 11에 도시된 바와 같이, 예를 들면 본 발명의 버스 제어 장치는 다른 방식으로 이하의 컴퓨터 시스템에 적용될 수 있다. 즉, 컴퓨터 시스템은 CPU(91), 버스 제어 장치(92), 메모리(93), 데이터 입출력 수단(94₁ 내지 94₄), 및 2 세트의 버스(95₁, 95₂)로 구성된다. CPU(91)는 버스 제어 장치에 접속되어 있다. 버스 제어 장치(92), 메모리(93), 및 데이터 입출력 수단(94₄)은 버스(95₁)를 통해 서로 접속되어 있다. 버스(95₁)는 32-비트 데이터 등을 전송할 수 있다. 유사하게, 버스 제어 장치(92)는 16 비트 데이터 등을 전송할 수 있는 다른 버스(95₂)를 통해 데이터 입출력 수단(94₁ 내지 94₃)에 접속된다. 이러한 컴퓨터 시스템에서, 버스 제어 장치(92)는 버스(95₁, 95₂)의 할당을 가능하게 하며, 각각의 데이터 입출력 수단(94₁ 내지 94₄)에 대한 버스(95₁ 또는 95₂)의 할당도 가능하게 한다.

또한, 적정 프로토콜을 선택하는 파라미터로서, 제1 실시예 및 제3 실시예에서는 계수값(CN₁ 내지 CN₄)만이 사용되고, 제2 실시예에서는 대기 시간(LAT₁ 내지 LAT₄)만이 사용된다. 그러나, 본 발명은 이들 파라미터에 제한되지 않는다. 예를 들면, 제1 실시예 및 제3 실시예에서 대기 시간(LAT₁ 내지 LAT₄)은 사용될 수 있으며, 유사하게 제2 실시예에서 계수값(CN₁ 내지 CN₄)이 프로토콜을 선택하는 파라미터로서 사용될 수 있다. 이러한 경우, 예를 들면 작은 계수값(CN) 및 긴 대기 시간(LAT)을 갖는 하나의 데이터 입출력 수단이 큰 계수값(CN) 및 짧은 대기 시간(LAT)을 갖는 다른 데이터 입출력 수단보다 더 높은 우선 순위를 갖는 방식으로, 이들 파라미터들 간의 상대적 관계에 기초하여 우선 순위가 결정될 수 있다. 게다가, 적정 프로토콜을 선택하기 위한 파라미터로서, 상술된 계수값(CN)/대기 시간(LAT) 뿐 아니라, 각각의 데이터 입출력 수단의 버스 사용 조건도 사용될 수 있다.

버스의 사용 조건으로서, 이하의 조건 즉, 데이터 판독/기입 동작이 하나의 싸이클 내에 완료되는데, 제1 싸이클에서 데이터가 판독되며, 그 다음 싸이클에서 데이터가 판독되는 조건을 생각할 수 있다.

또한, 상술된 실시예에서는, 더 높은 우선 순위가 더 큰 값을 갖는 계수값(CN)에 부여되고, 더 높은 값을 갖는 우선 순위가 긴 대기 시간(LAT)에 부여된다. 본 발명은 이에 제한되지 않으며, 변경될 수 있다. 예를 들면, 대안적으로 우선 순위가 작은 계수값(CN)이나 짧은 대기 시간(LAT)에 부여될 수 있다. 이러한 우선 순위 부여는 매우 특정한 상황, 예를 들면 전력 인터럽트가 갑자기 발생할 때, 후처리 동작으로 사용될 수 있다.

게다가, 상술된 실시예에서는, 버스 제어 장치는 CPU에 의해 설정된 프로토콜에 기초하여 버스의 할당을 가능하게 하나, 본 발명은 이에 제한되지 않는다. 다른 방식, 예를 들면 프로토콜 제어 회로가 긴 시간 주기동안 계수값(CN), 대기 시간(LAT), 또는 순번 데이터(OD)를 내부에 기억시킨 다음, 이들 기억된 데이터 상의 통계를 컴파일하여, 어떠한 프로토콜이 사용될 지를 결정하는 방식으로 프로토콜 제어 회로가 구성된다. 또 다른 방식으로, 프로토콜 제어 회로는 스스로 통계적 데이터에 기초하여 적정 프로토콜을 발생시킨다. 또한, CPU는 긴 주기 시간동안 버스 제어 장치로부터 계수값(CN), 대기 시간(LAT), 또는 순번 데이터(OD)를 수신하고, 수신된 데이터를 메모리로 저장하는 다른 방식으로 구성될 수 있다. 따라서, CPU는 저장된 데이터에 기초하여 통계를 컴파일하여 적정 프로토콜을 발생시킨다. 적정 프로토콜은 예를 들면, 도 9에 도시된 수동 프로토콜 설정 레지스터(75)로 설정될 수 있다.

또한, 상술된 실시예에서는 도 3a 내지 도 3c 및 도 4a 내지 도 4d에 도시된 7 종류의 프로토콜이 프로토콜로서 사용된다. 본 발명은 이들 프로토콜에 제한되지 않는다. 예를 들면, 도 4b 내지 도 4d에 도시된 순위 변동 할당 프로토콜로서, 계수값(CN) 및 대기 시간(LAT)의 값에만 기초하여 2 시간 주기동안 1회 우선 순위가 결정된다. 또 다른 방식으로, 우선 순위의 결정이 3 시간 주기 동안 수행되거나, 시간 주기 동안 연속적으로 수행될 수 있다.

게다가, 상술된 실시예에서는, 본 발명에 따른 버스 제어 장치가 컴퓨터 시스템에 적용된다. 또 다른

방식으로, 본 발명에 따른 버스 제어 장치는 예를 들면, 도 2에 도시된 CPU(11), 메모리(12), 버스 제어 장치(13), 버스(19) 및 각각의 데이터 입출력 수단의 인터페이스가 동일한 반도체 칩 상에 형성된 1-칩 마이크로 컴퓨터에 적용될 수 있다. 또한, 본 발명에 따른 버스 제어 장치는 CPU, 메모리, 버스 제어 장치, 및 각각의 데이터 입출력 수단이 독립형 장치에 의해 재배치된 LAN 시스템으로 유사하게 적용될 수 있으며, 버스는 케이블로 구성될 수 있다.

다음, 버스 제어 장치가 LAN 시스템에 적용될 독립형으로 재배치되는 경우, 버스 제어 장치는 CPU, ROM 또는 RAM 과 같은 내부 기억 소자, 플로피 디스크 드라이브(FDD), 하드 디스크 드라이브(HDD) 및 CD-ROM 드라이브와 같은 외부 기억 소자, 및 입력 수단을 포함하는 컴퓨터에 의해 구성될 수 있다. 상술된 카운터, 타이머, 프로토콜 제어 회로 및 할당 제어 회로는 CPU에 의해 구성될 수 있다. 이러한 기능은 버스 제어 프로그램으로서 ROM 및/또는 플로피-디스크, 하드 디스크, 및 CD-ROM과 같은 기억 매체로서 반도체 메모리에 기억된다. 이러한 다른 경우, 상술된 내부 기억 소자, 또는 외부 기억 소자가 프로토콜 갭신 사이클 설정 레지스터, 프로토콜 선택 모드 레지스터, 또는 수동 프로토콜 설정 레지스터를 구성할 수 있다. 버스 제어 프로그램은 기억 매체로부터 CPU로 판독되어 CPU의 동작을 제어한다. 버스 제어 프로그램이 개시되는 경우, CPU는 카운터, 타이머, 프로토콜 제어 회로, 및 할당 제어 회로로서 기능할 수 있으며, 버스 제어 프로그램의 제어하에서 상술된 처리 동작을 실행할 수 있다.

발명의 효과

이전에 상세히 설명한 바와 같이, 본 발명에 따른 버스 제어 장치는 단일 구성을 사용함으로써 구성될 수 있으며, 높은 효율에서 동작할 수 있다. 게다가, 본 발명의 버스 제어 장치는 다양한 할당 요구가 각각의 데이터 입출력 수단으로부터 다양한 할당 요구가 발생할 때조차도 높은 유연성을 구비하여 신속하게 동작될 수 있다.

본 발명은 상술된 실시예에 제한되지 않으며, 본 발명의 측면이나 발명의 범위 및 취지를 벗어나지 않고 변경 및 변형될 수 있다는 것이 자명하다.

마지막으로, 본 출원은 1998년 3월 5일자로 출원된 일본 특허 출원 제 10-053296호를 청구하며, 이는 본 명세서에 참조로 포함되어 있다.

(57) 청구의 범위

청구항 1

버스 제어 방법에 있어서,

선정된 기간에 복수의 복수 데이터 입출력 수단으로부터 발생된 버스 할당 요구의 수를 계수하는 단계;

상기 버스 할당 요구가 상기 복수 데이터 입출력 수단의 각각으로부터 발생된 후에 상기 버스 할당 요구가 허락되는 것에 의해 정의되는 대기 시간을 측정하는 단계; 및

상기 계수된 버스 할당 요구 수와 상기 측정된 대기 시간 중 적어도 하나에 기초하여 상기 버스 할당 요구를 발생시킨 데이터 입출력 수단에 적어도 하나의 버스가 할당되고 상기 복수의 데이터 입출력 수단이 상기 적어도 하나의 버스에 접속되도록 할당하는 단계

를 포함하는 버스 제어 방법.

청구항 2

제1항에 있어서, 상기 할당 요구 수 계수 단계와 상기 대기 시간 측정 단계 중 적어도 하나가 임의로 수행되는 버스 제어 방법.

청구항 3

제1항에 있어서, 상기 선정된 기간은 가변적인 버스 제어 방법.

청구항 4

제1항에 있어서, 상기 버스 할당 단계에서 수행되는 버스 할당은 일시적으로 가변적인 버스 제어 방법.

청구항 5

제1항에 있어서,

상기 복수의 데이터 입출력 수단에 미리 버스 할당 허락에 관한 우선 순위를 정하는 단계; 및

상기 계수된 버스 할당 요구 수와 상기 측정된 대기 시간 중 하나뿐만 아니라 상기 정해진 우선 순위에도 기초하여 상기 데이터 입출력 수단에 대한 버스 할당을 제어하는 단계

를 더 포함하는 버스 제어 방법.

청구항 6

버스 제어 방법에 있어서,

선정된 기간에 복수의 복수 데이터 입출력 수단으로부터 발생된 버스 할당 요구의 수를 계수하는 단계;

상기 복수 데이터 입출력 수단의 각각으로부터 상기 버스 할당 요구가 발생된 후에 상기 버스 할당 요구

가 허락될 때까지 정의되는 대기 시간을 측정하는 단계; 및

상기 계수된 버스 할당 요구 수와 상기 측정된 대기 시간 모두에 기초하여 상기 버스 할당 요구를 발생시킨 데이터 입출력 수단에 적어도 하나의 버스가 할당되고 상기 복수의 데이터 입출력 수단이 상기 적어도 하나의 버스에 접속되도록 할당하는 단계

를 포함하는 버스 제어 방법.

청구항 7

제6항에 있어서, 상기 할당 요구 수 계수 단계와 상기 대기 시간 측정 단계 중 적어도 하나가 임의로 수행되는 버스 제어 방법.

청구항 8

제6항에 있어서, 상기 선정된 기간은 가변적인 버스 제어 방법.

청구항 9

제6항에 있어서, 상기 버스 할당 단계에서 수행되는 버스 할당은 일시적으로 가변적인 버스 제어 방법.

청구항 10

제6항에 있어서,

상기 복수의 데이터 입출력 수단에 미리 버스 할당 허락에 관한 우선 순위를 정하는 단계; 및

상기 계수된 버스 할당 요구 수와 상기 측정된 대기 시간 모두뿐만 아니라 상기 정해진 우선 순위에도 기초하여 상기 데이터 입출력 수단에 대한 버스 할당을 제어하는 단계

를 더 포함하는 버스 제어 방법.

청구항 11

버스 제어 시스템에 있어서,

적어도 하나의 버스에 접속되어 복수의 버스 할당 요구를 발생하기 위한 복수의 데이터 입출력 수단;

선정된 기간에 상기 복수의 데이터 입출력 수단으로부터 발생하는 상기 버스 할당 요구의 수를 계수하기 위한 복수의 계수 수단; 및

적어도 상기 복수의 계수 수단에 의해 얻어진 상기 계수된 버스 할당 요구 수에 기초하여 데이터 입출력 수단에 상기 버스가 할당되도록 제어하기 위한 버스 할당 제어 수단

를 포함하는 버스 제어 시스템.

청구항 12

제11항에 있어서, 선택된 버스 할당 프로토콜을 나타내는 프로토콜 선택 모드 데이터를 생성하기 위한 프로토콜 선택 모드 생성 수단; 및

순번 데이터를 생성하기 위하여 상기 복수의 계수된 버스 할당 요구 수를 서로 비교하여 상기 순번 데이터와 상기 프로토콜 선택 모드 데이터 모두에 기초하여 버스 할당 허락 데이터를 생성하기 위한 프로토콜 제어 수단

를 더 포함하고, 상기 버스 할당 제어 수단이 상기 버스 할당 허락 데이터에 응답하여 상기 데이터 입출력 수단에 대한 버스 할당을 제어하는 버스 제어 시스템.

청구항 13

제12항에 있어서, 상기 프로토콜 선택 모드 생성 수단은 상기 프로토콜 선택 모드 데이터를 기억하기 위한 프로토콜 선택 모드 레지스터이고, 상기 프로토콜 선택 모드 데이터는 적당한 프로토콜을 선택할 수 있는 버스 제어 시스템.

청구항 14

제12항에 있어서, 상기 프로토콜 제어 수단은

상기 복수의 계수 수단으로부터 얻은 상기 복수의 계수된 버스 할당 요구 수를 서로 비교하기 위한 비교 회로; 및

상기 비교된 버스 할당 요구 수와 상기 프로토콜 선택 모드 데이터를 처리하여 할당 프로토콜 데이터를 생성하기 위한 할당 프로토콜 데이터 생성 회로

를 포함하는 버스 제어 시스템.

청구항 15

제14항에 있어서, 상기 버스 할당 제어 수단은 적어도

상기 복수 데이터 입출력 수단으로부터 발생된 상기 버스 할당 요구에 응답하여 프로토콜이 요구되는지를 판정하여 프로토콜 선택 신호를 생성하기 위한 할당 요구 판정 회로;

상기 프로토콜 선택 신호에 응답하여 버스 할당 프로토콜을 생성하기 위한 할당 프로토콜 생성 회로; 및
상기 버스 할당 프로토콜에 기초하여 상기 버스 할당 허락 데이터를 생성하기 위한 버스 할당 허락 데이터 생성 회로

를 포함하고, 상기 버스 할당 제어 수단은 상기 버스 할당 허락 데이터에 응답하여 상기 데이터 입출력 수단에 대한 버스 할당을 제어하는 버스 제어 시스템.

청구항 16

제11항에 있어서,

프로토콜 갱신 주기값을 미리 기억하기 위한 프로토콜 갱신 주기 설정 레지스터; 및

상기 프로토콜 갱신 주기값이 로딩된 때에 타임 클럭 계수 동작을 시작하여 상기 타임 클럭 계수 동작이 선정된 계수값에 도달한 때에 상기 복수의 계수 수단에 오버플로우 신호를 공급하기 위한 타이머

를 더 포함하는 버스 제어 시스템.

청구항 17

제11항에 있어서, 상기 복수의 데이터 입출력 수단에 대한 버스 할당 허락에 대한 우선 순위를 미리 정하기 위한 우선 순위 적용 수단을 더 포함하고, 상기 버스 할당 제어 수단은 상기 계수된 버스 할당 요구 수뿐만 아니라 상기 정해진 우선 순위에도 기초하여 상기 버스 할당 허락을 제어하는 버스 제어 시스템.

청구항 18

제11항에 있어서, 상기 데이터 입출력 수단은 메모리, 디스플레이, 키보드, 사운드 보드, 모뎀, 그래픽 보드 및 LAN(local area network) 보드로부터 선택되는 버스 제어 시스템.

청구항 19

버스 제어 시스템에 있어서,

적어도 하나의 버스에 접속되어 복수의 버스 할당 요구를 발생하기 위한 복수의 데이터 입출력 수단;

상기 복수의 데이터 입출력 수단으로부터 상기 복수의 버스 할당 요구가 발생된 후에 상기 버스 할당 요구가 허락될 때까지 정의되는 복수의 대기 시간을 측정하기 위한 복수의 대기 시간 측정 회로; 및

적어도 상기 복수의 대기 시간 측정 회로로부터 얻은 상기 측정된 대기 시간에 기초하여 상기 데이터 입출력 수단에 상기 버스가 허락되도록 제어하기 위한 버스 할당 제어 수단

을 포함하는 버스 제어 시스템.

청구항 20

제19항에 있어서,

선택된 버스 할당 프로토콜을 나타내는 프로토콜 선택 모드 데이터를 생성하기 위한 프로토콜 선택 모드 생성 수단; 및

순번 데이터를 생성하기 위하여 상기 복수의 측정된 대기 시간을 서로 비교하고, 상기 순번 데이터와 상기 프로토콜 선택 모드 데이터 모두에 기초하여 버스 할당 허락 데이터를 생성하기 위한 프로토콜 제어 수단

을 더 포함하고, 상기 버스 할당 제어 수단은 상기 버스 할당 허락 데이터에 응답하여 상기 데이터 입출력 수단에 대한 버스 할당을 제어하는 버스 제어 시스템.

청구항 21

제20항에 있어서, 상기 프로토콜 선택 모드 생성 수단은 상기 프로토콜 선택 모드 데이터를 기억하기 위한 프로토콜 선택 모드 레지스터이고, 상기 프로토콜 선택 모드 데이터는 적당한 프로토콜을 선택할 수 있는 버스 제어 시스템.

청구항 22

제20항에 있어서, 상기 프로토콜 제어 수단은

상기 복수의 대기 시간 측정 회로로부터 얻은 상기 복수의 측정된 대기 시간을 서로 비교하기 위한 비교 회로; 및

상기 비교된 대기 시간과 상기 프로토콜 선택 모드 데이터를 처리하여 할당 프로토콜 데이터를 생성하기 위한 할당 프로토콜 데이터 생성 회로

를 포함하는 버스 제어 시스템.

청구항 23

제22항에 있어서, 상기 버스 할당 제어 수단은 적어도

상기 복수 데이터 입출력 수단으로부터 발생된 상기 버스 할당 요구에 응답하여 프로토콜이 요구되는지

를 판정하여 프로토콜 선택 신호를 생성하기 위한 할당 요구 판정 회로;
 상기 프로토콜 선택 신호에 응답하여 버스 할당 프로토콜을 생성하기 위한 할당 프로토콜 생성 회로; 및
 상기 버스 할당 프로토콜에 기초하여 상기 버스 할당 허락 데이터를 생성하기 위한 버스 할당 허락 데이터 생성 회로
 를 포함하고, 상기 버스 할당 제어 수단은 상기 버스 할당 허락 데이터에 응답하여 상기 데이터 입출력 수단에 대한 버스 할당을 제어하는 버스 제어 시스템.

청구항 24

제19항에 있어서,
 프로토콜 갱신 주기값을 미리 기억하기 위한 프로토콜 갱신 주기 설정 레지스터; 및
 상기 프로토콜 갱신 주기값이 로딩된 때에 타임 클럭 계수 동작을 개시하고, 상기 타임 클럭 계수 동작이 선정된 계수값에 도달한 때에 상기 복수의 대기 시간 측정 회로에 오버플로우 신호를 공급하기 위한 타이머
 를 더 포함하는 버스 제어 시스템.

청구항 25

제19항에 있어서,
 상기 복수의 데이터 입출력 수단에 대한 버스 할당 허락에 관한 우선 순위를 미리 정하기 위한 우선 순위 적용 수단을 더 포함하고, 상기 버스 할당 제어 수단은 상기 계수된 버스 할당 요구 수뿐만 아니라 상기 정해진 우선 순위에도 기초하여 상기 버스 할당 허락을 제어하는 버스 제어 시스템.

청구항 26

제19항에 있어서, 상기 데이터 입출력 수단은 메모리, 디스플레이, 키보드, 사운드 보드, 모뎀, 그래픽 보드 및 LAN(local area network) 보드로부터 선택되는 버스 제어 시스템.

청구항 27

제13항에 있어서,
 사용자에게 의해 설정된 수동 프로토콜을 기억하기 위한 수동 프로토콜 설정 레지스터를 더 포함하고, 상기 수동 프로토콜은 상기 프로토콜 제어 수단에 공급되는 버스 제어 시스템.

청구항 28

컴퓨터 시스템에 있어서,
 적어도 하나의 버스;
 상기 적어도 하나의 버스에 접속되어 복수의 버스 할당 요구를 발생하기 위한 복수의 데이터 입출력 수단;
 선정된 기간에 상기 복수의 데이터 입출력 수단으로부터 발생된 상기 버스 할당 요구의 수를 계수하기 위한 복수의 계수 수단, 및 적어도 상기 복수의 계수 수단에 의해 얻은 상기 계수된 버스 할당 요구수에 기초하여 상기 데이터 입출력 수단에 상기 버스가 할당되도록 제어하기 위한 버스 할당 제어 수단을 포함하는 버스 제어 장치; 및
 적어도 상기 버스 할당 제어 수단을 제어하기 위한 CPU(central processing unit)
 를 포함하는 컴퓨터 시스템.

청구항 29

컴퓨터 시스템에 있어서,
 적어도 하나의 버스;
 상기 적어도 하나의 버스에 접속되어 복수의 버스 할당 요구를 발생하기 위한 복수의 데이터 입출력 수단;
 상기 복수의 데이터 입출력 수단으로부터 상기 복수의 버스 할당 요구가 발생된 후에 상기 버스 할당 요구가 허락될 때까지 정의되는 복수의 대기 시간을 측정하기 위한 복수의 대기 시간 측정 회로, 및 적어도 상기 복수의 대기 시간 측정 회로로부터 얻은 상기 측정된 대기 시간에 기초하여 상기 데이터 입출력 수단에 상기 버스 할당되도록 제어하기 위한 버스 할당 제어 수단을 포함하는 버스 제어 장치; 및
 적어도 상기 버스 할당 제어 수단을 제어하기 위한 CPU
 를 포함하는 컴퓨터 시스템.

청구항 30

선정된 기간에 복수의 복수 데이터 입출력 수단으로부터 발생되는 버스 할당 요구의 수를 계수하는 단계;

상기 복수 데이터 입출력 수단의 각각으로부터 상기 버스 할당 요구가 발생된 후에 상기 버스 할당 요구가 허락될 때까지 정의되는 대기 시간을 측정하는 단계; 및

상기 계수된 버스 할당 요구 수와 상기 측정된 대기 시간 중 적어도 하나에 기초하여 상기 버스 할당 요구를 발생시킨 상기 데이터 입출력 수단에 적어도 하나의 버스가 할당되고 상기 복수의 데이터 입출력 수단이 상기 적어도 하나의 버스에 접속되도록 할당하는 단계

를 포함하는 버스 제어 단계를 컴퓨터가 실행하도록 하기 위해 사용되는 버스 제어 프로그램을 기억하기 위한 기억 매체.

청구항 31

선정된 기간에 복수의 복수 데이터 입출력 수단으로부터 발생되는 버스 할당 요구의 수를 계수하는 단계;

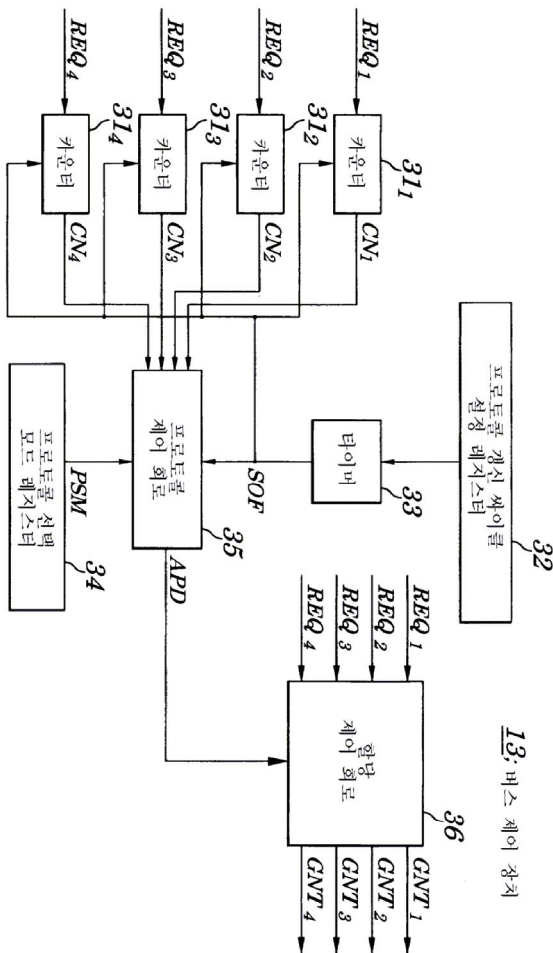
상기 복수 데이터 입출력 수단의 각각으로부터 상기 버스 할당 요구가 발생된 후에 상기 버스 할당 요구가 허락될 때까지 정의되는 대기 시간을 측정하는 단계; 및

상기 계수된 버스 할당 요구 수와 상기 측정된 대기 시간 모두에 기초하여 상기 버스 할당 요구를 발생시킨 상기 데이터 입출력 수단에 적어도 하나의 버스를 할당하고 상기 복수의 데이터 입출력 수단이 상기 적어도 하나의 버스에 접속되도록 할당하는 단계

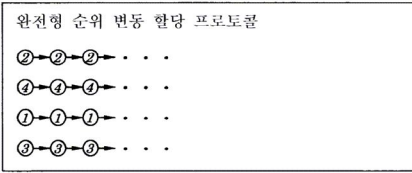
를 포함하는 버스 제어 단계를 컴퓨터가 실행하도록 하기 위해 사용되는 버스 제어 프로그램을 기억하기 위한 기억 매체.

도면

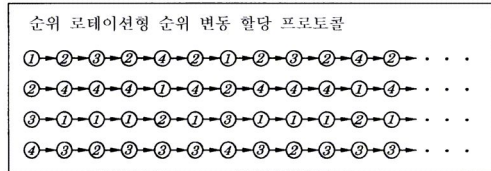
도면1



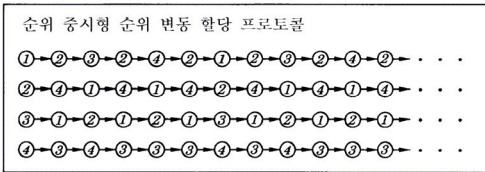
도면4a



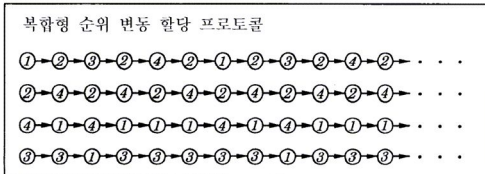
도면4b



도면4c



도면4d



도면5

