



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201526207 A

(43) 公開日：中華民國 104 (2015) 年 07 月 01 日

(21) 申請案號：104110136 (22) 申請日：中華民國 103 (2014) 年 01 月 24 日
 (51) Int. Cl. : *H01L27/115 (2006.01)* *H01L29/788 (2006.01)*
 (30) 優先權：2013/01/24 美國 13/748,747
 (71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)
 美國
 (72) 發明人：霍普金斯 約翰 HOPKINS, JOHN (US)；范 達爾文 法蘭塞達 FAN, DARWIN
 FRANSEDA (US)；席賽克 艾吉 費瑪馬 雅遜 SIMSEK-EGE, FATMA ARZUM
 (US)；布萊登 詹姆士 BRIGHTEN, JAMES (US)；莫瑞 歐瑞里歐 吉安卡羅
 MAURI, AURELIO GIANCARLO (IT)；傑亞提 史瑞坎特 JAYANTI, SRIKANT
 (US)
 (74) 代理人：陳長文
 申請實體審查：有 申請專利範圍項數：20 項 圖式數：11 共 44 頁

(54) 名稱

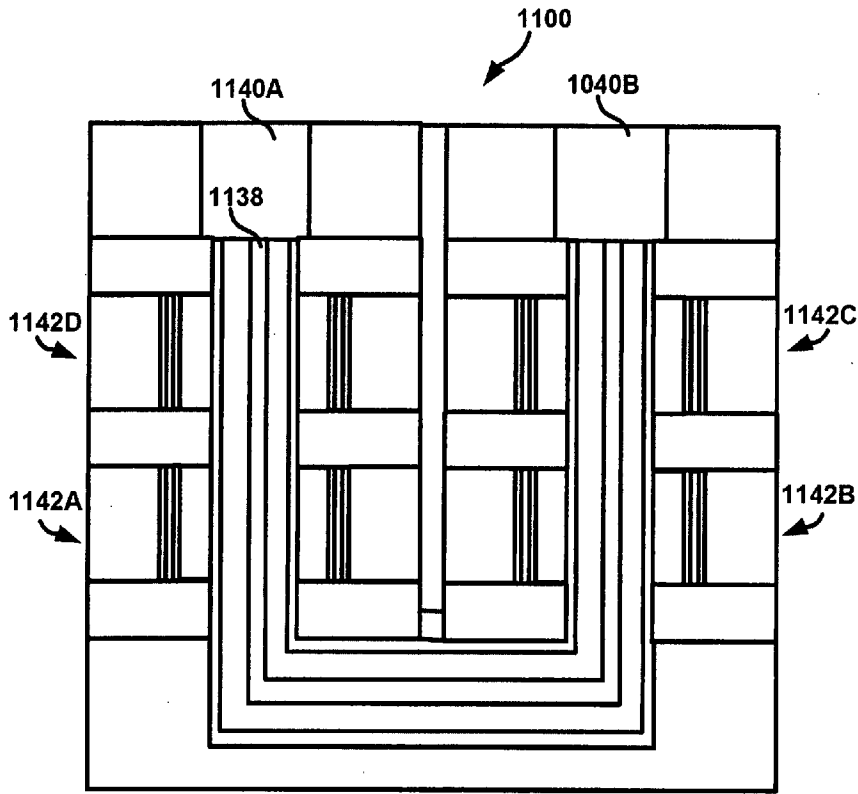
三維記憶體

3-D MEMORY

(57) 摘要

本文大體上討論三維記憶體單元及製造及使用該等記憶體單元之方法。在一或多個實施例中，一三維垂直記憶體可包含一記憶體堆疊。此一記憶體堆疊可包含記憶體單元及介於鄰近記憶體單元之間之一介電質，各記憶體單元包含一控制閘極及一電荷儲存結構。該記憶體單元可進一步包含介於該電荷儲存結構與該控制閘極之間之一障壁材料，該電荷儲存結構及該障壁材料具有一實質上相等之尺寸。

Three-dimensional memory cells and methods of making and using the memory cells are discussed generally herein. In one or more embodiments, a three-dimensional vertical memory can include a memory stack. Such a memory stack can include memory cells and a dielectric between adjacent memory cells, each memory cell including a control gate and a charge storage structure. The memory cell can further include a barrier material between the charge storage structure and the control gate, the charge storage structure and the barrier material having a substantially equal dimension.



- 1100 . . . 記憶體陣列
- 1138 . . . 通道
- 1140A . . . 資料線接觸件
- 1140B . . . 資料線接觸件
- 1142A . . . 記憶體單元
- 1142B . . . 記憶體單元
- 1142C . . . 記憶體單元
- 1142D . . . 記憶體單元

圖 11

201526207

發明摘要

※ 申請案號：104110136 (由103102815分案)

※ 申請日：103.1.24

※IPC 分類：H01L 27/115 (2006.01)

H01L 29/788(2006.01)

【發明名稱】

三維記憶體

3-D MEMORY

【中文】

本文大體上討論三維記憶體單元及製造及使用該等記憶體單元之方法。在一或多個實施例中，一三維垂直記憶體可包含一記憶體堆疊。此一記憶體堆疊可包含記憶體單元及介於鄰近記憶體單元之間之一介電質，各記憶體單元包含一控制閘極及一電荷儲存結構。該記憶體單元可進一步包含介於該電荷儲存結構與該控制閘極之間之一障壁材料，該電荷儲存結構及該障壁材料具有一實質上相等之尺寸。

【英文】

Three-dimensional memory cells and methods of making and using the memory cells are discussed generally herein. In one or more embodiments, a three-dimensional vertical memory can include a memory stack. Such a memory stack can include memory cells and a dielectric between adjacent memory cells, each memory cell including a control gate and a charge storage structure. The memory cell can further include a barrier material between the charge storage structure and the control gate, the charge storage structure and the barrier material having a substantially equal dimension.

【代表圖】

【本案指定代表圖】：第（ 11 ）圖。

【本代表圖之符號簡單說明】：

- 1100 記憶體陣列
- 1138 通道
- 1140A 資料線接觸件
- 1140B 資料線接觸件
- 1142A 記憶體單元
- 1142B 記憶體單元
- 1142C 記憶體單元
- 1142D 記憶體單元

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

三維記憶體

3-D MEMORY

【先前技術】

一些記憶體單元可包含一浮動閘極及包覆該浮動閘極之三側之一氮化物。非所要之電荷可能被捕獲於該氮化物中，特定言之被捕獲於氮化物並非直接介於控制閘極與該浮動閘極之間之部分中。一單元之臨限電壓(V_t)可由捕獲於該氮化物中之非所要電荷改變。

【圖式簡單說明】

圖1繪示一記憶體單元之一實例之一橫截面圖，其中一閘極間介電質(IGD)部分地包覆一浮動閘極。

圖2繪示一記憶體單元之一實例之一橫截面圖。

圖3繪示一記憶體單元之一實例之一橫截面圖。

圖4藉由實例繪示不同記憶體單元中之控制閘極偏壓電壓對比支柱電流之一曲線圖。

圖5A至圖5G繪示製造一垂直記憶體之一技術之一實例。

圖6A至圖6K繪示製造一垂直記憶體之另一技術之另一實例。

圖7A至圖7D繪示製造一垂直記憶體之一技術之另一實例。

圖8A至圖8F繪示製造一垂直記憶體之技術之其他實例。

圖9繪示一垂直記憶體之一實例之一橫截面圖。

圖10A至圖10B繪示製造一垂直記憶體之一技術之一實例。

圖11繪示一記憶體陣列之一實例。

【實施方式】

以下詳細描述係關於以繪示之方式展示具體態樣及可在其中實踐本發明之標的之實施例之隨附圖式。充分詳細描述此等實施例以使熟習此項技術者能實踐本發明。

將本申請案中所使用之術語「水平」界定為平行於一晶圓(諸如一基板)之習知平面或表面之一平面，而與該晶圓或基板之實際定向無關。術語「垂直」係指垂直於如上文所界定之水平之一方向。相對於處於該晶圓或基板之頂面上之習知平面或表面而界定諸如「上」、「側」、「高於」、「低於」、「上方」及「下方」等之介詞，而與該晶圓或基板之實際定向無關。本文中所使用之術語「晶圓」及「基板」大體上係指積體電路形成於其上之任何結構，且亦指在積體電路製造之各個階段期間之此等結構。因此，以下詳細描述不應以限制性意義理解，且本發明之範疇僅由隨附申請專利範圍連同隨附申請專利範圍授權之等效物之全部範圍之來界定。

本文大體上討論三維(3D)記憶體、記憶體單元及製造及使用其等之方法。在一或多個實施例中，一3D垂直記憶體可包含一記憶體堆疊。一記憶體堆疊可包含至少兩個記憶體單元及介於鄰近記憶體單元之間之一介電質之一堆疊，其中各記憶體單元包含一控制閘極(CG)及電荷儲存結構(諸如一浮動閘極(FG)或電荷陷阱(CT))，該電荷儲存結構經組態以儲存累積於其上之電子或電洞。資訊由該單元所儲存之電子或電洞量來表示。該記憶體堆疊可進一步包含一障壁材料，諸如包括氧化物-氮化物-氧化物(「ONO」)之一複合物之一閘極間介電質(IGD)中之氮化物，其中該IGD可介於該電荷儲存結構與該CG之間。該障壁材料及該電荷儲存結構可鄰近而橫向定位、彼此水平對準或具有實質上相等高度。

一NAND陣列架構係一記憶體單元陣列，該陣列經配置使得該陣列之記憶體單元於邏輯列中耦合至存取線(其等被耦合至該等記憶體

單元之CG，且在一些情況下至少部分地由該等記憶單元之CG形成)，該等存取線習知地稱為字線。該陣列之一些記憶體單元一起串聯耦合在一源極線與資料線(其習知地稱為一位元線)之間。

可將NAND陣列架構中之記憶體單元程式化至一所需資料狀態。例如，可將電荷累積(例如，放置)於一記憶體單元之一FG上或自該記憶體單元之一FG移除以將該單元程式化至若干資料狀態之一所需者。習知地稱為單位階單元(SLC)之一記憶體單元可經程式化至兩種資料狀態之所需者(例如，一「1」或一「0」狀態)。習知地稱為多位階單元(MLC)之記憶體單元係指可經程式化至兩種以上資料狀態之一所需者。

當將電子儲存於FG上時，其等改變該單元之 V_t 。因此，當藉由將一特定電壓置於CG上(例如，藉由利用一讀取電壓來驅動耦合至該單元之存取線)來「讀取」該單元時，電流將取決於該單元之 V_t 及置於該CG上之特定電壓而於該單元之通道中流動或不流動。電流之此存在或缺乏可被感測且翻譯成1's及0's，從而重現所儲存之資料。

各記憶體單元可並非直接地耦合至一源極線及一資料線。而是，可於串中將一實例陣列之記憶體單元配置在一起(通常各串具有4、8、16、32或更多單元)，其中該串中之該等記憶體單元一起串聯耦合在一共用源極線與一資料線之間。

可由一列解碼器來存取一NAND陣列，該列解碼器藉由使用一電壓驅動耦合至一列記憶體單元之存取線而啟動該等單元。另外，可使用一不同電壓來驅動耦合至各串之未被選擇之記憶體單元之存取線。例如，可使用一導通電壓來驅動各串之未被選擇之記憶體單元以便將其等作為通路電晶體來操作，從而允許其等以不受其等之經程式化之資料狀態限制之方式來使電流通過。接著，電流可透過串連耦合串之各記憶體單元而自源極線流動至資料線，由經選定而待讀取之各串之

記憶體單元限制。此將該列經選定之記憶體單元之當前經編碼、經儲存之資料值放置於該等資料線上。選定且感測一頁資料線，且接著可自來自該頁之經感測之資料字選擇個別資料字且自記憶體設備來傳遞該等個別資料字。

快閃記憶體(諸如一NAND陣列)形成為具有多於一個以上記憶體單元之堆疊之一3D記憶體。該等記憶單元之CG可鄰近於CG凹部。

圖1展示來自一3D記憶體內之記憶體單元之一堆疊之一記憶體單元100之一實例，該記憶體單元100可包含一電荷儲存結構(諸如FG 102A)、一介電質(例如，氧化物)108、一障壁膜(例如，氮化物)104A、一CG 106及一支柱110。在所繪示之實例中，障壁膜104A介於FG 102A與CG 106之間。如大體上所繪示，該障壁膜104A可為大體上直線的，但可能不大體上呈矩形。電荷可捕獲於障壁膜104A之部分上，諸如捕獲於障壁膜104A不直接使FG 102A與CG 106分離之部分上。

圖2展示一垂直記憶體單元200之一實例之一橫截面圖。該記憶體單元200可包含一FG 102B、一介電質108、一障壁膜104B及一CG 106。該垂直記憶體單元200可用於一NAND串、NOR串或其他類型之串。如圖2中所繪示，障壁膜104可大體上呈矩形。

圖3展示一記憶體單元300(諸如一垂直記憶體單元)之一實例之一橫截面圖，該記憶體單元300可包含一FG 102B、一障壁膜104B、一CG 106、一介電質108及一半導體支柱110。該FG 102B可由一半導體材料(諸如導電摻雜之多晶矽)製成。該FG 102B可具有實質上等於障壁膜104B之一第一尺寸312B之一第一尺寸312A(例如，高度)(例如，在用於製造記憶體單元之一製程中之一標準差之一或兩倍內)，如圖3中所示。該FG 102B之該第一尺寸312A亦可大於障壁膜104B之一第一尺寸312B。該FG 102B可具有垂直於第一尺寸312A之一第二尺寸(例

如，長度)314A，該第二尺寸314A貫穿該FG 102B之整個第一尺寸312A而大於障壁膜104B之第二尺寸314B，如圖3中所示。該FG 102B之該第一尺寸312A可小於CG 106之第一尺寸312C或實質上等於該CG 106之該第一尺寸312C。該CG 106之該第二尺寸314C可貫穿FG 102B之整個第一尺寸312A而大於FG 102B之第二尺寸314A。可使用一PECVD程序來沈積該CG 106、氧化物108、FG 102或障壁膜104。

障壁膜104B可包含一第二尺寸314B，該第二尺寸314B貫穿其第一尺寸312B而實質上相等(例如，障壁膜104B可跨其整個第一尺寸312B而包含一大體上均勻之厚度)，如圖3中所示。該障壁膜104B可於垂直記憶體單元300之一垂直橫截面中大體上呈矩形，如圖3中所示。該障壁膜104B可包含小於FG 102B之一表面積(例如，第二尺寸314A乘以第一尺寸312A)之一表面積(例如，第二尺寸314B乘以第一尺寸312B)，如圖3中所示。該障壁膜104B可完全介於對應於FG 102B之一側之一平面316A與對應於CG 106與該FG 102B之該側相對之一側之一平面316B之間，如圖3中所示。該障壁膜104B可僅鄰近於FG 102B之一側，如圖3中所示。

障壁膜104B可包含一表面且FG 102B可具有一表面，諸如對應於平面316A、與障壁膜104B之該表面相對且大體上平行於障壁膜104B之該表面之表面)。該障壁膜104B之該表面之各部分可與自浮動閘極102B之表面分離達一實質上相等距離，如圖3所示。

FG 102B可具有面向障壁膜104B之一平面側(例如，對應於平面316A之側)。CG 106可具有面向障壁膜104B之一平面側(例如，對應於平面316B之側)。障壁膜104B可具有面向且大體上平行於FG 102B之平面側之一第一平面側及面向且大體上平行於CG 106之平面側之一第二平面側。CG 106之第一尺寸312C可實質上等於障壁膜104B之對應第一尺寸312B，如圖3所示。

圖4展示CG偏壓對比支柱電流之一曲線圖之一實例。線418係包含一障壁膜104(諸如圖2中所展示之障壁膜104B)之一記憶體單元中之一CG偏壓對比支柱電流之一實例。線420係包含障壁膜104(其在三側上鄰近於FG 102，如圖1中所示)之單元中之一CG偏壓對比支柱電流之一實例。對於相同支柱電流，線418之CG 106偏壓可小於線420之CG 106偏壓。例如，如圖4中所繪示，偏壓電壓差可為約2.9伏特。可實現其他電壓差。例如，偏壓電壓差可高達約7伏特。該等電壓差可為捕獲於障壁膜104上之電荷量或FG 102與CG 106之對準程度之函數。例如，較低CG偏壓可至少部分地歸因於相較於捕獲於障壁膜104A上之電荷之捕獲於障壁膜104B上之電荷量之減少。再者，較低CG偏壓可至少部分地歸因於FG 102B與CG 106之間之對準。

如本文中所使用，「垂直記憶體串」可意指一「垂直記憶體堆疊」(例如，交替CG 106及階層介電質524層，其中CG凹部530介於階層介電質524層之間)，該「垂直記憶體堆疊」具有填充有介電質108之一CG凹部530、一FG 102及障壁膜104且包含一支柱110(例如，一經填充溝渠528，諸如填充有多晶矽之一溝渠)。再者，術語「垂直記憶體」可用於指示一最終形式。

圖5A至圖5G展示製造具有一平面障壁膜104之一垂直記憶體500之一技術之一實例。圖5A展示一基板522上之一第一CG 106A至106B、該第一CG 106A至106B上之一第一階層介電質524A至524B、該第一階層介電質524A至524B上之一第二CG 106C至106D、該第二CG 106C至106D上之一第二階層介電質524C至524D及該第二階層介電質524C至524D上之一遮罩材料(例如，介電質，諸如氧化物、氮化物或多晶矽)526。該垂直記憶體500可包含一溝渠528及複數個CG凹部530。介電質108之一第一層(諸如氧化物)可形成於溝渠528之側壁上及CG凹部530中之CG 106之曝露表面上，如圖5A中所示。CG凹部

530可為階層介電層524之間之間隙，該等階層介電層524鄰近於形成於階層介電層524之間之CG 106。

溝渠528及CG凹部530可至少部分地填充有一障壁材料532，如圖5B中所示。例如，該障壁材料532可為氮化物。障壁材料532可沈積或以其他方式形成於該溝渠528及該等CG凹部530中。可(諸如)藉由使用一機械、化學、雷射、蒸汽或光蝕刻程序部分地移除障壁材料532。可自溝渠528及CG凹部530部分地移除障壁材料532以在該等CG凹部530中留下障壁材料532之至少一些以形成鄰近於CG 106之障壁膜104，如圖5C中所示。可使用熱磷酸移除經移除之障壁材料532之部分。可藉由使用不同溫度或濃度之熱磷酸，或藉由將障壁材料532曝露於熱磷酸達不同之時間量來控制該程序之後剩餘之障壁材料532之大小或形狀。

可(諸如)藉由使用一現場蒸汽產生程序(ISSG)來生長介電質108)在障壁膜104上形成介電質108之一第二層(其可為或可不為與第一層相同之介電材料)，如圖5D所示。溝渠528及CG凹部530可至少部分地填充有一電荷儲存材料534，如圖5E中所示。該電荷儲存材料534可為導電摻雜之多晶矽。該電荷儲存材料534可經沈積以至少部分地填充CG凹部530。可至少部分地移除電荷儲存材料534，如圖5F中所示。可自溝渠528及CG凹部530至少部分地移除電荷儲存材料534，且該電荷儲存材料534之剩餘部分可留在CG凹部530中以便形成FG 102。可使用一Certas™(例如，一蒸汽氮)、一氟化銨與硝酸混合物(NH₄F-HNO₃)、一臭氧(O₃)或氫氟酸(HF)混合物或循環(例如，可將曝露表面曝露於臭氧以產生氧化(例如，使氧化)表面且可將該經氧化之表面曝露於氫氟酸以移除該氧化物)、氫氟酸與硝酸混合物(HF-HNO₃)、氫氟酸與過氧化氫混合物(HF-H₂O₂)或一四甲基氫氧化銨(TMAH)程序來移除電荷儲存材料534之部分。用於移除電荷儲存材料534之部分

之程序可依據對電荷儲存材料534之摻雜。例如，若該電荷儲存材料534係n型多晶矽，則可將TMAH程序用於移除電荷儲存材料534之部分。

介電質108之一第三層(諸如一隧道氧化物)可形成(例如，生長)於FG 102上，且一支柱110可形成在溝渠528中，如圖5G中所示。形成一支柱110可包含在溝渠528之曝露表面(諸如該溝渠528之側壁)上形成一襯裡(諸如一多晶矽襯裡)。該襯裡可保護或遮蔽介電質108使之免受一下游程序。可將溝渠528之底部中之介電質108(例如，多晶矽襯裡)穿通或以其他方式移除以便允許與基板522或通道1138之電接觸(參見圖11)。如圖5G中所示，可形成支柱110以至少部分地填充溝渠528。由該技術形成之垂直記憶體500可包含大體上類似於圖3中所展示之垂直記憶體單元300之一記憶體單元，其中FG 102之第一尺寸312A及障壁膜104之第一尺寸312B小於CG 106之第一尺寸312C。圖5G展示具有兩個垂直記憶體串之一垂直記憶體500，各垂直記憶體串包含兩個記憶體單元。

圖6A至圖6J展示製造一垂直記憶體600之一技術之一實例。圖6A中之垂直記憶體600可大體上類似於圖5A中所展示之無介電質108之垂直記憶體600。一介電質108之一層可形成於溝渠528之側壁上及鄰近於凹部530之CG 106之曝露表面上。如圖6B中所示，可(諸如)藉由使用氫氟酸將介電質108之部分自溝渠528之側壁及CG凹部530之曝露表面移除。替代地，介電質108可(例如)透過一現場蒸汽產生(ISSG)程序生長於CG 106之曝露部分上。此一技術可將鄰近於CG 106之一介電質108留在一各自CG凹部530中，該介電質108具有實質上等於該CG 106之一對應尺寸(例如，高度)之一尺寸(例如，高度)。該溝渠528及該等CG 530凹部可至少部分填充有一障壁材料532以將障壁材料532提供於CG凹部530之曝露表面上及溝渠528之側壁上，如圖6C中所

示。

溝渠528及CG凹部530可至少部分地填充有一犧牲材料636。如圖6D中所示，犧牲材料636可沈積或以其他方式形成於溝渠528及CG凹部530中之障壁材料532上。可使用一原子層沈積(ALD)程序、高縱橫比程序(HARP)或其他程序來沈積該犧牲材料636。該犧牲材料636可為一多晶矽、氧化物、正矽酸乙酯(TEOS)、一有機物(諸如碳底抗反射塗層(BARC)或抗蝕劑)、氮化物、其等之摻雜版本或其等之組合。一犧牲材料636可在以下技術中 useful，在該等技術中，若不使用犧牲材料636，則一下游程序(諸如磷酸障壁材料移除)可能損壞原本將變成FG 102之材料。可自溝渠528至少部分地移除該犧牲材料636，從而將一些犧牲材料636留在CG凹部530中，如圖6E中所示。當該犧牲材料636包括多晶矽時，一TMAH、氨(NH₄OH)或蒸汽氨程序可用於至少部分地移除犧牲材料636。當該犧牲材料636包括藉由一ALD或其他程序來沈積之一氧化物或氮化物時，氫氟酸或熱磷酸可用於至少部分地移除該犧牲材料636。當該犧牲材料636包括TEOS或一HARP材料時，氫氟酸可用於至少部分地移除該犧牲材料636。當該犧牲材料包括BARC或抗蝕劑時，一各向異性乾式蝕刻或電漿乾式剝離(例如，「除渣」)可用於至少部分地移除該犧牲材料636。

可蝕刻障壁材料532以自溝渠528及CG凹部530至少部分地移除障壁材料532。如圖6F中所示，該蝕刻可形成鄰近於各自CG凹部530中之介電質108之一障壁膜104，該障壁膜104具有實質上等於鄰近於該凹部530之CG 106之一對應尺寸(例如，高度)之一尺寸(例如，高度)。該犧牲材料636可抵抗一移除程序以便受保護而免於該移除程序。該移除程序可包含一化學蝕刻，該化學蝕刻包含選擇性地移除障壁材料532之部分而不移除介電質108或垂直記憶體600之其他部分之一化學品(諸如熱磷酸)。可移除該犧牲材料636，如圖6G中所示。

介電質108之一第二層可生長於障壁膜104之曝露表面上，如圖6H中所示。一各自CG凹部530中之生長介電質108可具有實質上等於鄰近於該凹部530之CG 106之一對應尺寸(例如，高度)之一尺寸(例如，高度)。

溝渠528及CG凹部530可至少部分地填充有一電荷儲存材料534，如圖6I中所示。可使用一保形沈積程序來填充該溝渠528及該等CG凹部530。可自該溝渠528及該等CG凹部530至少部分地移除該電荷儲存材料534。可將一些電荷儲存材料534留在該等CG凹部530中。留下之電荷儲存材料534可形成FG 102。一各自CG凹部530中之FG 102可具有實質上等於鄰近於該CG凹部530之一CG 106之一對應尺寸(例如，高度)之一尺寸(例如，高度)，如圖6J中所示。如圖6K中所示，介電質108之一第三層(其可為或可不為第一及/或第二層中使用之相同類型之介電質)及一支柱110可形成(例如，生長)於溝渠528中。由該技術所形成之垂直記憶體600可包含大體上類似於圖3中所展示之垂直記憶體單元300之一記憶體單元。

圖7A至圖7D繪示形成一垂直記憶體700之另一技術。該技術可包含關於圖6A至圖6C所描述之程序。一垂直記憶體(諸如圖6C中所描述之垂直記憶體600)可具有形成於溝渠528及CG凹部530中之障壁材料532上之介電質108之一第二層。可至少部分地移除介電質108之該第二層，如圖7A中所示。如圖7B所示，溝渠528及CG凹部530可至少部分地填充有一電荷儲存材料534(例如，使得電荷儲存材料534位於介電質108之該第二層上)。可自溝渠528至少部分地移除該電荷儲存材料534以形成一FG 102，如圖7C中所示。如圖7D所示，可至少部分地移除障壁材料532(諸如藉由使用熱磷酸)，且介電質108之一第三層可形成於溝渠528及CG凹部530之曝露表面上。可使用一沈積程序來形成介電質108之該第三層(諸如高溫氧化物)。該介電質108可形成一隧道氧

化物。一支柱110可形成於溝渠528中，如圖5G中所示。

可填充圖6C中所描繪之垂直記憶體600(諸如藉由使用一ALD程序)。該ALD程序可使用介電質108A來填充CG凹部530及至少部分地填充溝渠528，如圖8A中所示。可移除該溝渠528中之介電質108A之至少一些。可使得介電質108A大體上與該溝渠528中之障壁材料532齊平，如圖8B中所示。圖8C展示藉由透過一現場蒸汽產生(ISSG)程序將障壁材料532轉換成介電質而移除該障壁材料532之後之垂直記憶體800。此一程序可移除障壁材料532之部分，諸如藉由將障壁材料532之部分轉換成介電質108。圖8D展示已使用濕化學(例如氫氟酸)回蝕介電質108A之後之垂直記憶體800。可選擇性地將自ISSG程序所產生之介電質108蝕刻成CG凹部530中之介電材料108A。側壁上之介電質108(例如，使用一ISSG程序轉換成氧化物之氮化物)可比其他介電質108A更慢地蝕除。FG 102可形成於CG凹部530中以形成包含大體上類似於圖1之記憶體之記憶體單元之一垂直記憶體800。此一垂直記憶體可包含一FG 102，該FG 102包含延伸至溝渠528中以與溝渠528中之介電質108齊平之一更大尺寸(例如長度)。

替代地，可使用熱磷酸來蝕刻圖8C中所描繪之垂直記憶體800。該熱磷酸可蝕刻介電質108A及108及障壁材料532以在CG凹部530中形成障壁膜104，如圖8E中所示。該介電質108可比介電質108A更能抵抗熱磷酸蝕刻。例如，將介電質108曝露於熱磷酸達一分鐘可移除之介電質108少於藉由將介電質108A曝露於相同熱磷酸達相同時間量將移除之介電質108A。一介電質108可鄰近於障壁膜104而形成且一FG 102可鄰近於介電質108而形成。圖8F中描繪所得結構。

圖9展示一垂直記憶體900之一實例，可使用與對應於圖7A至圖7D之一記憶體單元之實質上相同之技術來形成該垂直記憶體900。可生長形成隧道氧化物之介電質108。此生長可包含使用一ISSG程序。

使用此一程序可將矽轉換成氧化物，諸如將FG 102之一些轉換成氧化物。此一程序可圓化FG 102之隅角或移除FG 102鄰近於階層介電質524之一部分，如圖9中所示。此一程序可改變形成於FG 102上之後續材料(諸如介電質108及支柱110)之幾何形狀，如圖9所示。

圖10A至圖10B展示形成一垂直記憶體1000之一技術之一實例。該垂直記憶體1000可包含大體上類似於圖6B中所描繪之垂直記憶體600之一結構。一障壁材料532可沈積於溝渠528之側壁上及沈積於CG凹部530之內，如圖10A所示。可將記憶體1000氧化(諸如藉由使用一ISSG程序)以將障壁材料532之部分轉換成一介電質108(諸如一氮氧化物介電質)。圖10B中展示所得結構之一實例。可移除該介電質108且移除剩餘障壁材料532之一些以便形成一障壁材料104，如圖6G中所示。可使用大體上類似於圖6H至圖6K中所描繪之技術之一技術來形成記憶體單元1000之剩餘部分以便形成大體上類似於圖6K中所描繪之垂直記憶體600之一垂直記憶體1000。

圖11展示一記憶體陣列1100之一實例。在該記憶體陣列1100中，可透過一通道1138來將記憶體單元1142A至1142C電耦合。可將通道1138電耦合至一或多個資料線接觸件1140A至1140B。記憶體陣列1100之記憶體單元1142A至1142D可大體上類似於本文中所討論之記憶體單元，諸如圖2、圖5G、圖6K、圖7D、圖9或圖10B中所展示之記憶體單元。

與包含於一個以上之側上鄰近於一FG之一障壁膜(諸如氮化物)之記憶體單元相關聯之一問題可為電荷捕獲於該氮化物不使FG與一CG分離之部分中(例如，捕獲於該氮化物並非直接介於FG與CG之間之部分中)。再者，捕獲之電荷可沿IGD遷移，諸如透過程式化、擦除或溫度循環。相對於在氮化物中不具有此電荷捕獲之記憶體單元，此電荷捕獲或移動可改變記憶體單元之臨限電壓(V_t)或使遞增接躍脈衝程式

化(ISPP)降級。

可藉由包含僅鄰近於FG之一表面之氮化物(例如，藉由包含大體上呈矩形且並非「U」形之氮化物)來至少部分地消除氮化物上之此電荷捕獲或遷移。此一組態可包含電荷捕獲於FG上而非氮化物上。

一或多個實施例之一優點可包含減少記憶體單元中擦除飽和之發生。另一優點可包含歸因於消除製造中之一變動源(諸如氮化物以不規則形狀包覆一CG凹部或一階層氧化物之隅角)而改良FG與CG之間之對準。而可由一電漿增強化學氣相沈積(PECVD)程序(其可實質上為均勻堆疊沈積程序)來界定FG之形狀及大小。

一記憶體單元之程式化及擦除特性係一閘極耦合率之一函數，該閘極耦合率為一記憶體單元之FG與CG之間之一電容之一函數。在一包覆氮化物之情形中(如圖1中所示)，該電容係CG 106及FG 102A之相對表面之間之距離及FG之頂部及底部表面與鄰近於其等之氮化物之間之距離之一函數，如圖1中之箭頭所示。在包含一平面障壁膜104B之一記憶體單元200之情形中(如圖2中所示)，可減少或消除IGD與FG之間產生之電容，以便使該電容成為FG 102B之一表面與CG 106之一相對表面之間之一距離之一函數。此一組態可減少閘極耦合率之變動源，以便改良記憶體單元程式化及擦除效能之均勻性。具有經改良之FG與CG對準之一裝置可包含一經改良之 $V_g V_t$ 。另一優點可包含減少ISPP降級問題或維持一足夠低之 V_t ，諸如藉由經由減少捕獲於氮化物上之電荷而減少由循環導致之 V_t 偏移。

另一優點可包含通道長度與記憶體單元第一尺寸之一增加的比率，此一組態可增加各自記憶體單元之可靠性。

以上描述及圖式繪示本發明之一些實施例以使熟習此項技術者能實踐本發明之實施例。其他實施例可併入結構變化、邏輯變化、電變化、程序變化及其他變化。實例僅代表可能之變動。一些實施例之

部分及特徵可包含入其他實施例之部分及特徵中或取代其他實施例之部分及特徵。熟習此項技術者在閱讀及理解以上描述之後將明白諸多其他實施例。

【符號說明】

100	記憶體單元
102	浮動閘極(FG)
102A	浮動閘極(FG)
102B	浮動閘極(FG)
104	障壁膜
104A	障壁膜
104B	障壁膜
106	控制閘極(CG)
106A	第一控制閘極(CG)
106B	第一控制閘極(CG)
106C	第二控制閘極(CG)
106D	第二控制閘極(CG)
108	介電質
108A	介電質
110	支柱
200	記憶體單元
300	記憶體單元
312A	第一尺寸
312B	第一尺寸
312C	第一尺寸
314A	第二尺寸
314B	第二尺寸

314C	第二尺寸
316A	平面
316B	平面
420	線
500	垂直記憶體單元
522	基板
524	階層介電層
524A	第一階層介電層
524B	第一階層介電層
524C	第二階層介電層
524D	第二階層介電層
528	溝渠
530	凹部
532	障壁材料
534	電荷儲存材料
600	垂直記憶體
636	犧牲材料
700	垂直記憶體
800	垂直記憶體
900	垂直記憶體
1000	垂直記憶體
1100	記憶體陣列
1138	通道
1140A	資料線接觸件
1140B	資料線接觸件
1142A	記憶體單元

1142B 記憶體單元

1142C 記憶體單元

1142D 記憶體單元

申請專利範圍

1. 一種形成一記憶體堆疊之方法，該方法包括：
 - 在階層介電層之間形成複數個控制閘極及控制閘極凹部；
 - 在該等控制閘極凹部中之該複數個控制閘極上形成介電材料之一第一層；
 - 在該等控制閘極凹部中及該介電材料之第一層上形成障壁材料；
 - 移除該障壁材料之部分以形成鄰近於該等控制閘極之障壁膜；
 - 在該等障壁膜上形成介電材料之一第二層；
 - 在該介電材料之第二層上形成電荷儲存結構材料；及
 - 移除該電荷儲存結構材料之部分以形成電荷儲存結構，該等電荷儲存結構之各者具有實質上等於該等障壁膜之一各自者之一對應尺寸之一尺寸。
2. 如請求項1之方法，其進一步包括：
 - 在移除該障壁材料之該等部分之前，在該障壁材料上形成犧牲材料且移除該犧牲材料之部分；及
 - 在形成該介電材料之第二層之前，移除剩餘犧牲材料。
3. 如請求項1之方法，其中移除該障壁材料之部分以形成該等障壁膜包含移除該障壁材料之該等部分以形成該等障壁膜之各者以使之具有實質上等於該等控制閘極之一各自者之一對應尺寸之一尺寸。
4. 如請求項1之方法，其中形成該複數個控制閘極包括形成複數個多晶矽控制閘極。
5. 如請求項1之方法，其中形成障壁材料包括形成氮化物。

6. 如請求項1之方法，其中形成電荷儲存材料包括形成多晶矽。
7. 如請求項1之方法，其中形成該記憶體堆疊包含形成一NAND記憶體堆疊。
8. 一種形成一記憶體堆疊之方法，該方法包括：
 - 在階層介電層之間形成複數個控制閘極及控制閘極凹部；
 - 在該等控制閘極凹部中之該複數個控制閘極上形成介電材料之一第一層；
 - 在該等控制閘極凹部中及該介電材料之第一層上形成障壁材料；
 - 在該障壁材料上形成介電材料之一第二層；
 - 在該介電材料之第二層上形成電荷儲存結構材料；
 - 移除該電荷儲存結構材料之部分以形成電荷儲存結構，該等電荷儲存結構之各者具有實質上等於障壁膜之一各自者之一對應尺寸之一尺寸；
 - 移除該障壁材料之部分以形成鄰近於該等控制閘極之障壁膜；及
 - 在該複數個控制閘極凹部之曝露表面上形成介電材料之一第三層。
9. 如請求項8之方法，其進一步包括：
 - 在移除該障壁材料之該等部分之前，在該障壁材料上形成犧牲材料及移除該犧牲材料之部分；及
 - 在形成該介電材料之第二層之前，移除剩餘犧牲材料。
10. 如請求項8之方法，其中移除該障壁材料之部分以形成該等障壁膜包含移除該障壁材料之該等部分以形成該等障壁膜之各者以使之具有實質上等於該等控制閘極之一各自者之一對應尺寸之一尺寸。

11. 如請求項8之方法，其中形成該複數個控制閘極包括形成複數個多晶矽控制閘極。
12. 如請求項8之方法，其中形成障壁材料包括形成氮化物。
13. 如請求項8之方法，其中形成電荷儲存材料包括形成多晶矽。
14. 如請求項8之方法，其中形成該記憶體堆疊包含形成一NAND記憶體堆疊。
15. 如請求項8之方法，其中移除該障壁材料之部分包含透過一現場蒸汽產生程序來將該障壁之部分轉換成介電質；且
該方法進一步包括蝕刻覆蓋該障壁材料之介電材料。
16. 一種形成一記憶體堆疊之方法，該方法包括：
在控制閘極凹部中形成複數個控制閘極；
在該複數個控制閘極之每一者上及該等控制閘極凹部中形成一第一介電質；
在該等控制閘極凹部中及該第一介電質上形成一障壁膜材料；
在該障壁膜材料上形成一第二介電質；
在該第二介電質上形成一電荷儲存結構；及
移除該電荷儲存結構之一部分以形成具有實質上等於在該等控制閘極凹部中之該障壁膜材料之對應尺寸之一尺寸之一電荷儲存結構。
17. 如請求項16之方法，其進一步包括移除該障壁膜材料之部分以形成鄰近於該等控制閘極之障壁膜。
18. 如請求項17之方法，其中形成該障壁膜材料包含形成該障壁膜材料使得該障壁膜具有一表面，及形成該電荷儲存結構包含形成該電荷儲存結構以具有與該障壁膜之該表面相對且實質上平行於該障壁膜之該表面之一表面，其中該障壁膜之該表面之各

部分與該電荷儲存結構之該表面分離達一實質上相等距離。

19. 如請求項17之方法，其中形成該電荷儲存結構包含形成該電荷儲存結構以具有面向該障壁膜之一實質上平面側，形成該控制閘極包含形成該控制閘極以具有面向該障壁膜之一實質上平面側，及形成該障壁膜包含形成該障壁膜以具有面向且實質上平行於該電荷儲存結構之該實質上平面側之一第一實質上平面側及面向且實質上平行於該控制閘極之該實質上平面側之一第二實質上平面側。
20. 如請求項16之方法，其進一步包括在該複數個控制閘極凹部之曝露表面上形成一第三介電質。

圖式

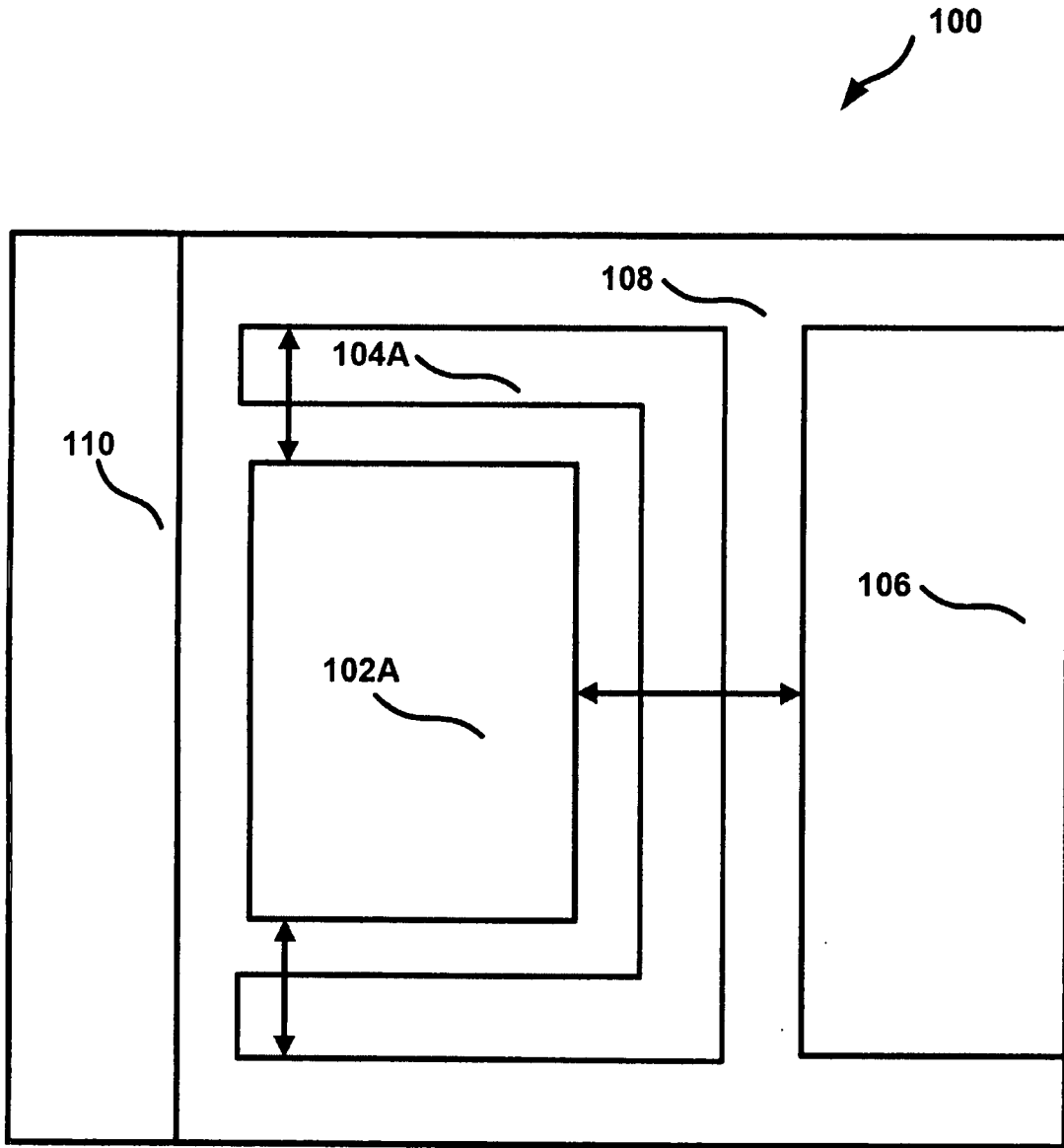


圖 1

200

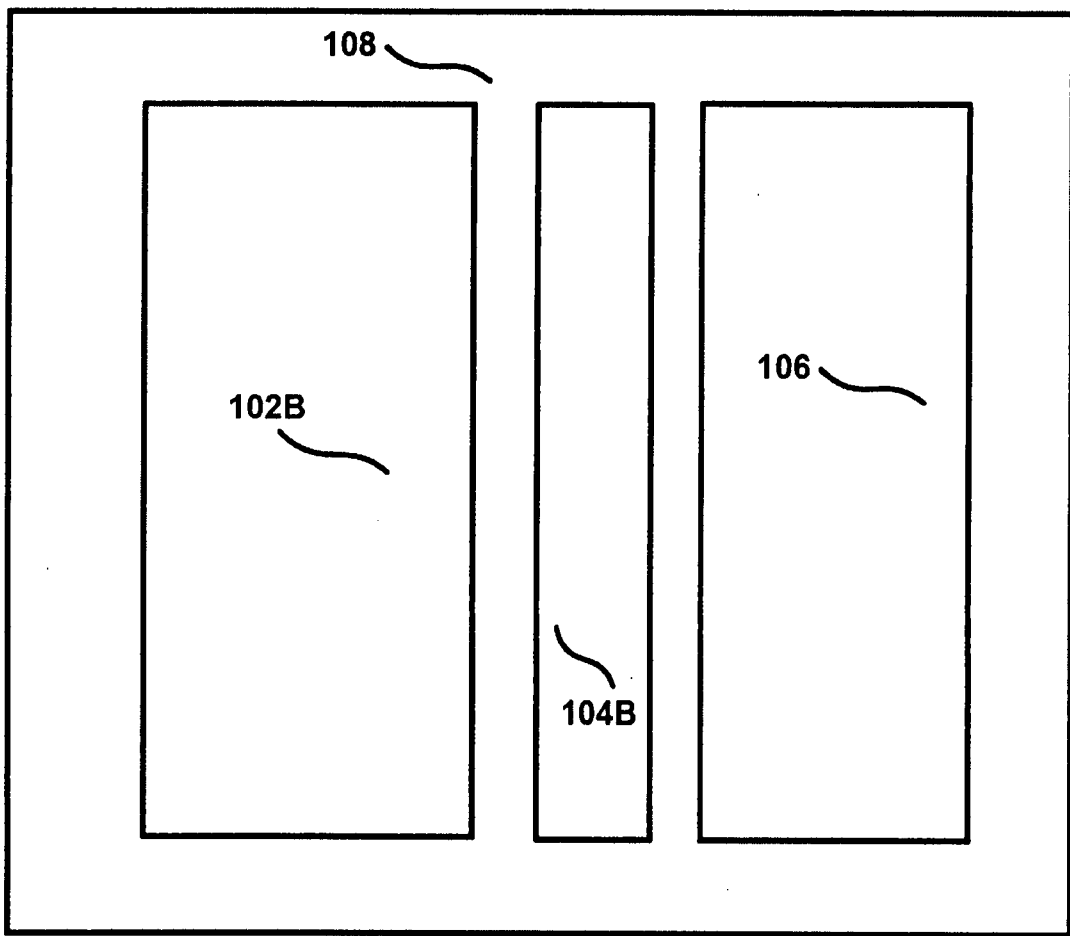


圖 2

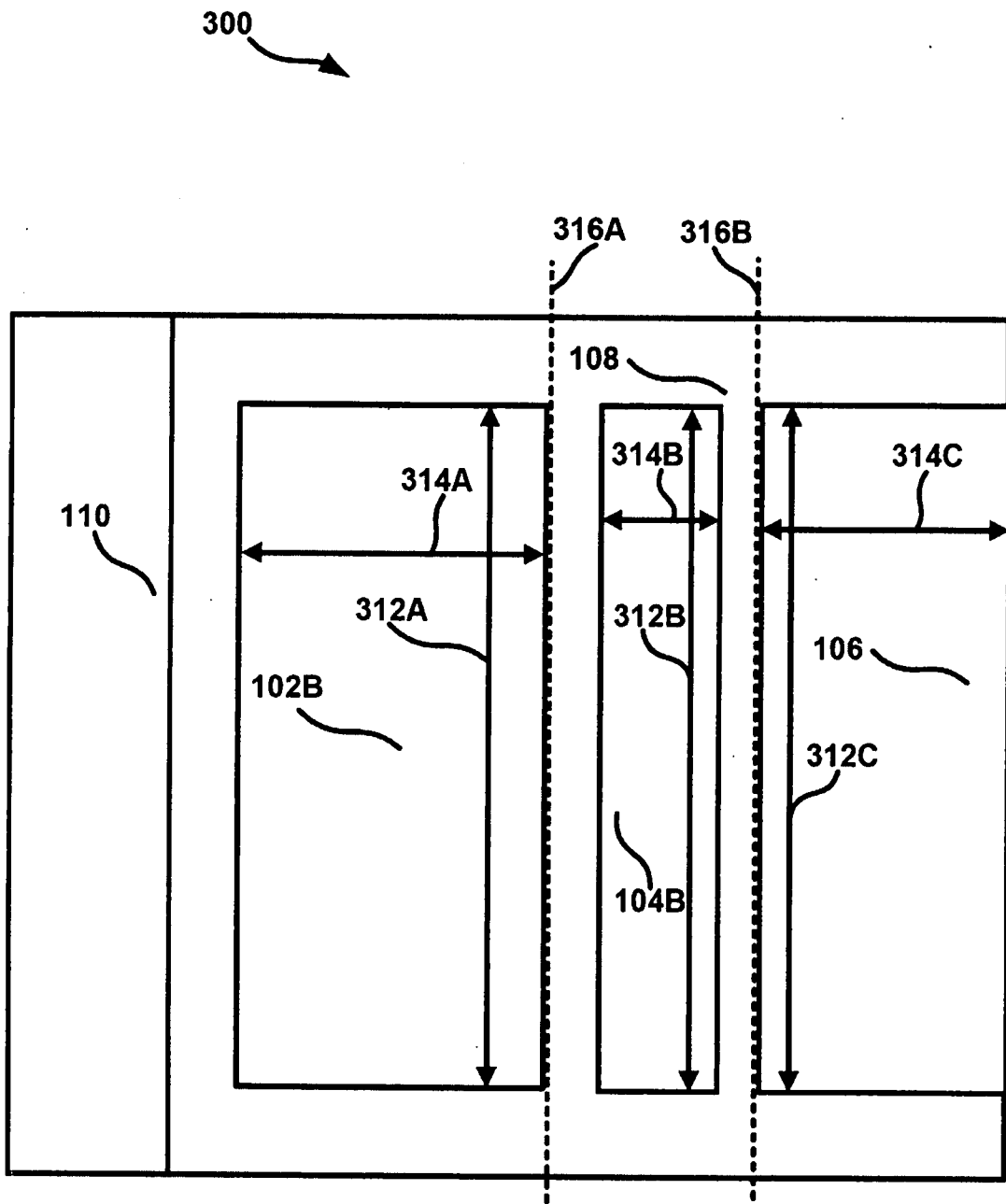


圖 3

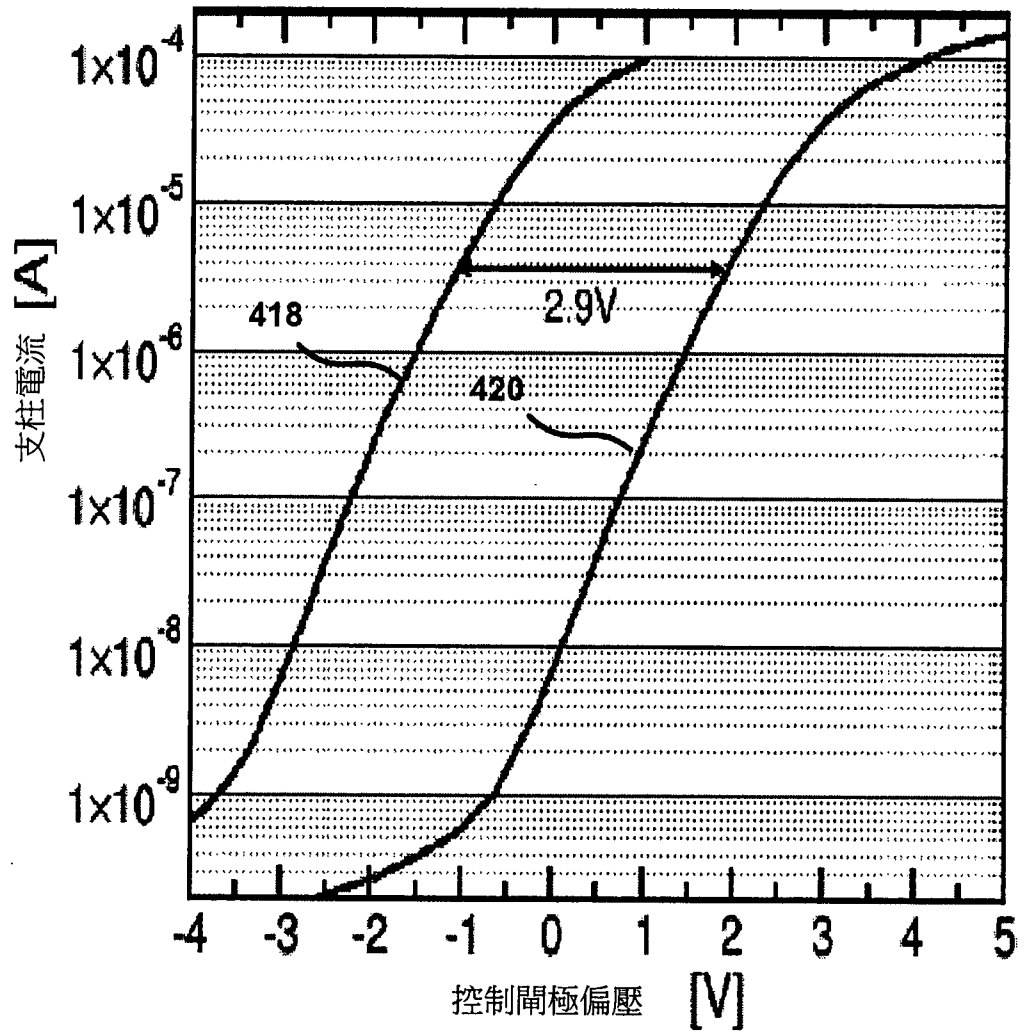


圖 4

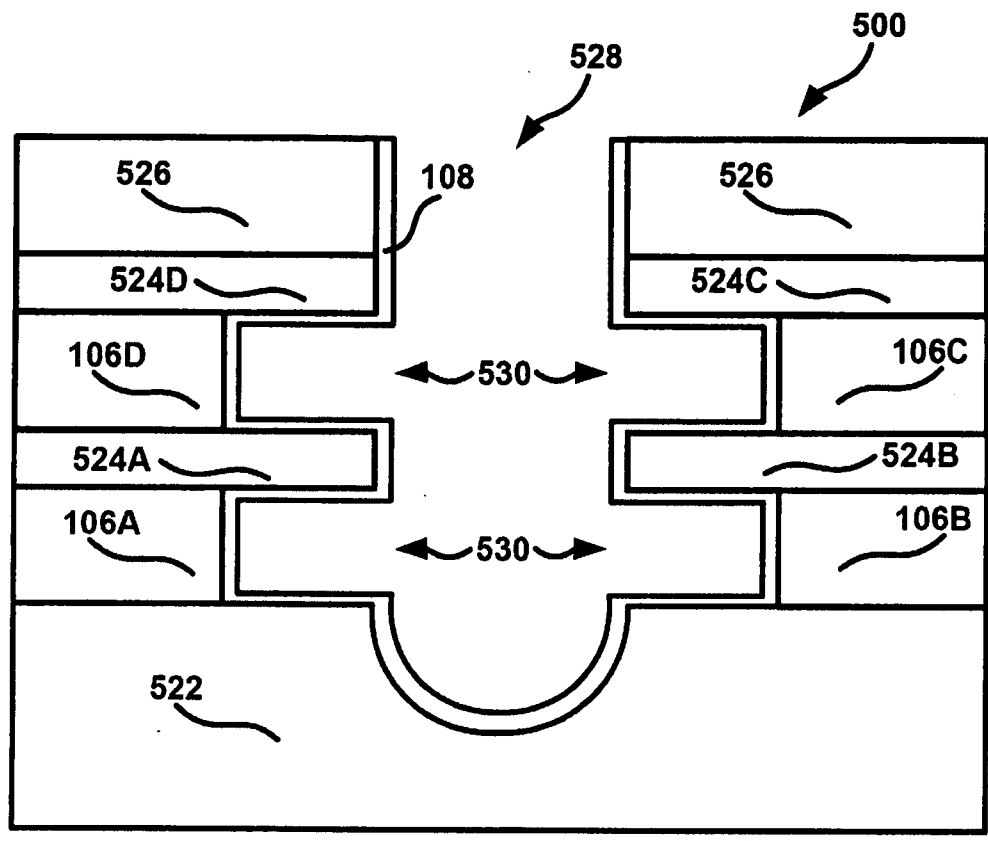


圖 5A

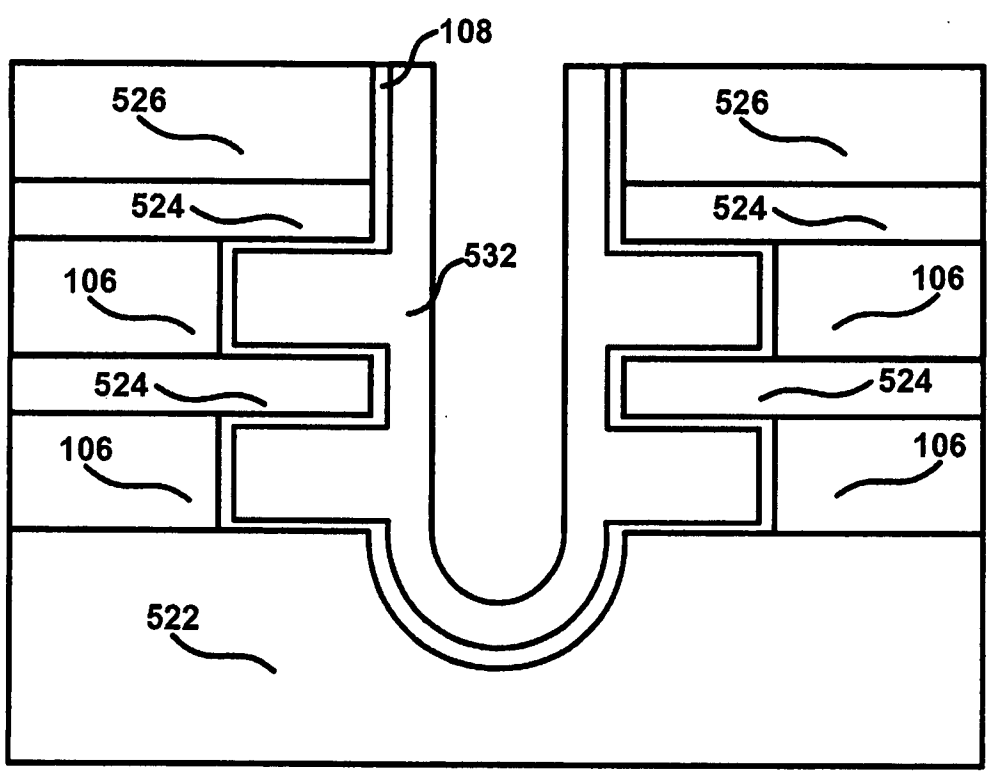


圖 5B

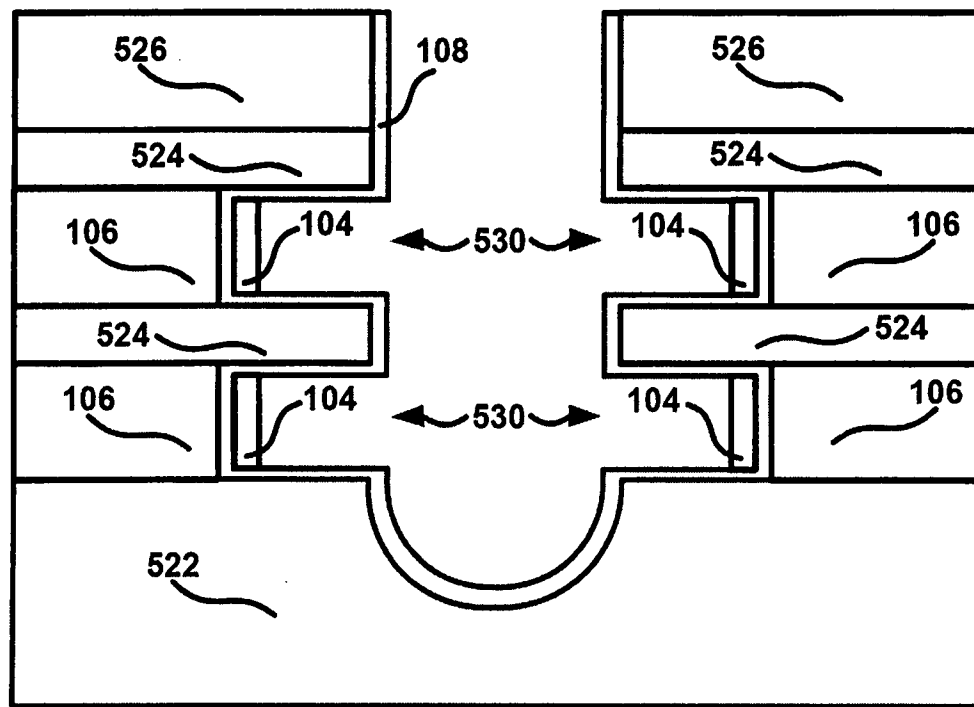


圖 5C

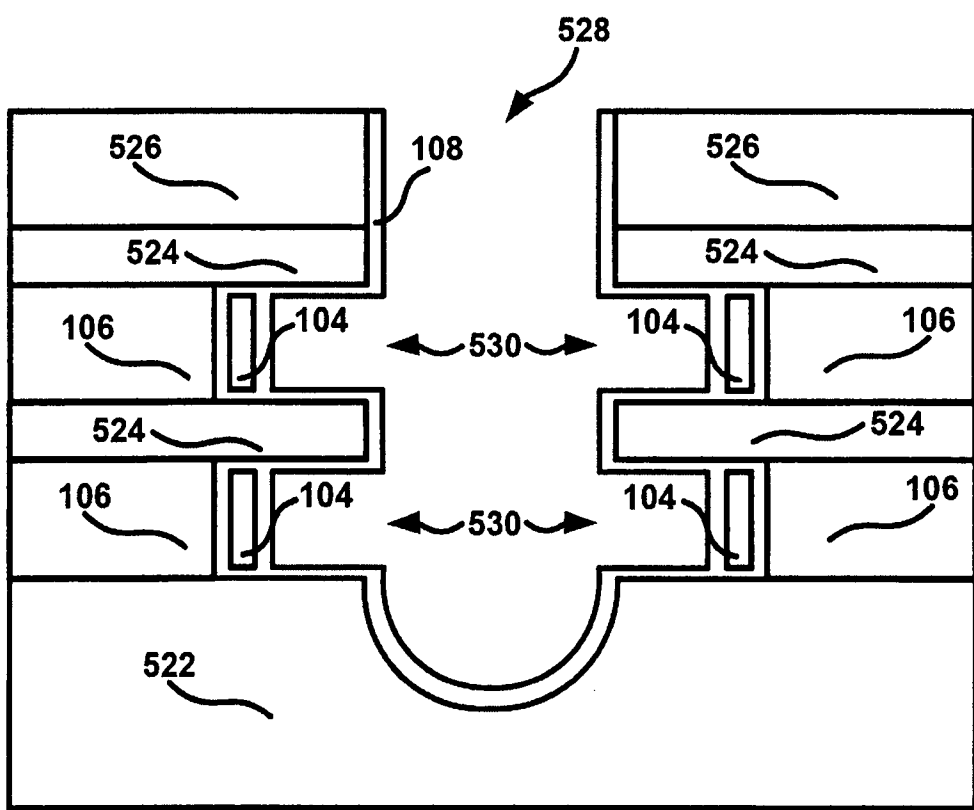


圖 5D

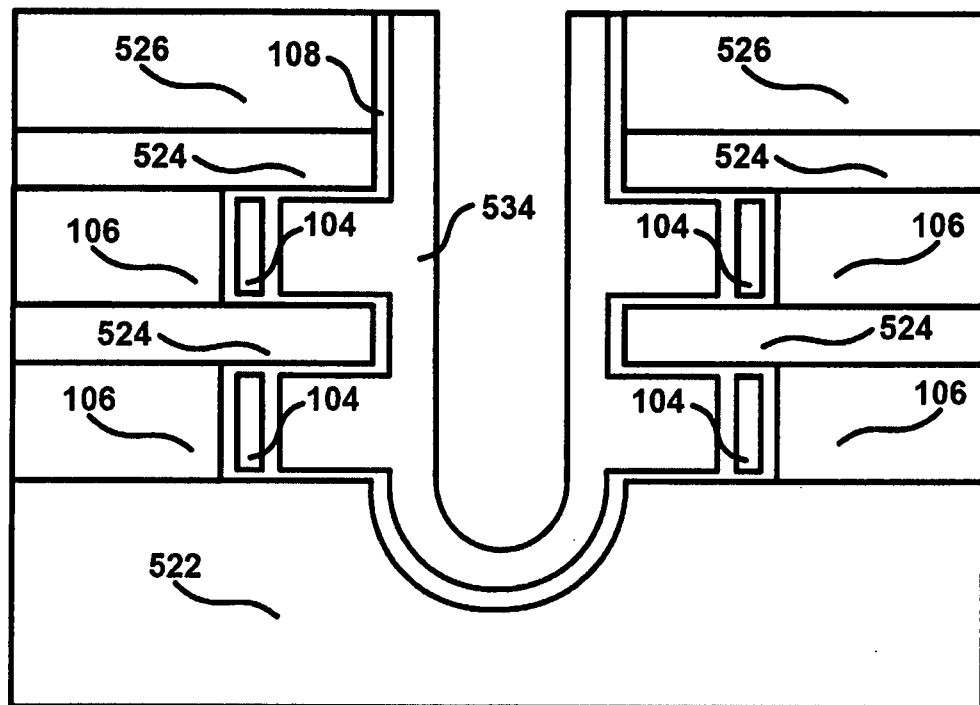


圖 5E

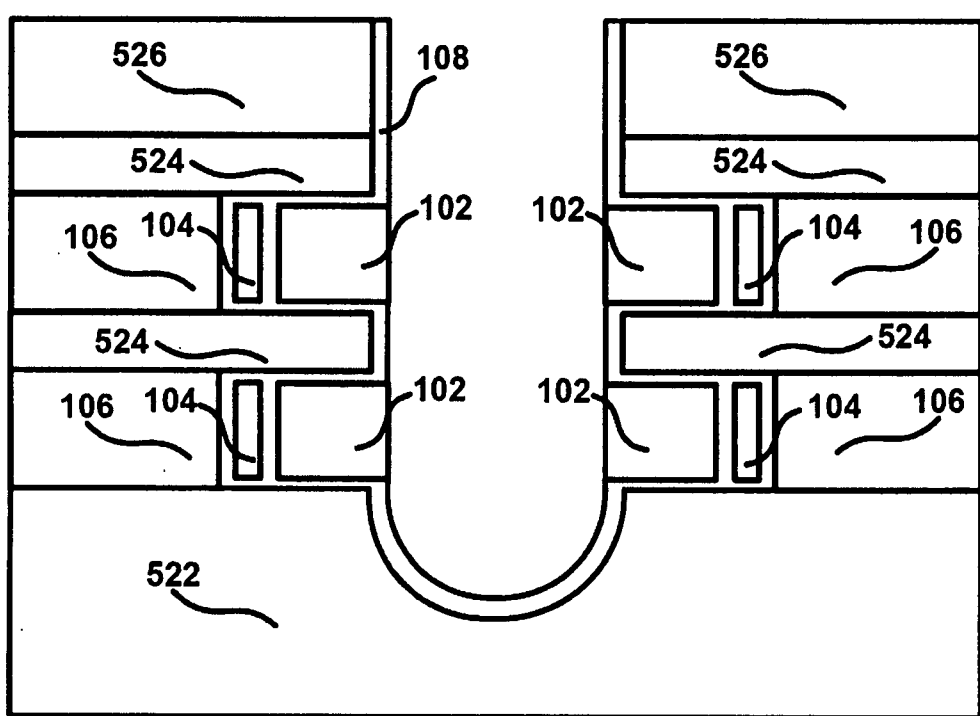


圖 5F

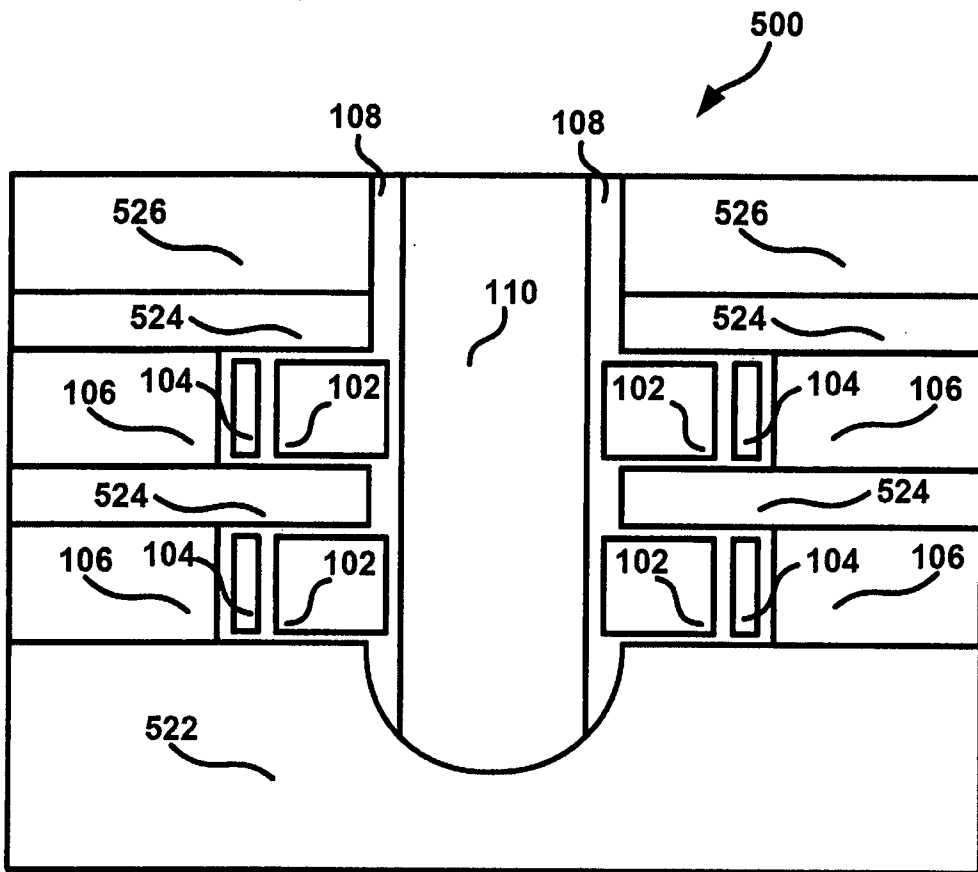


圖 5G

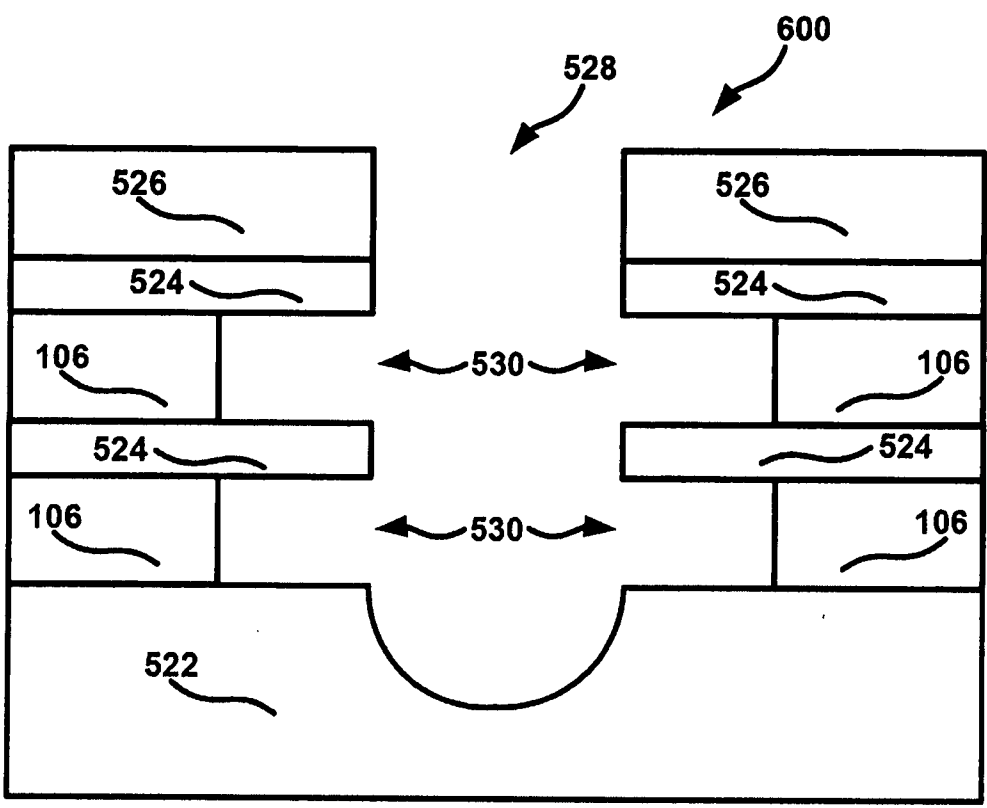


圖 6A

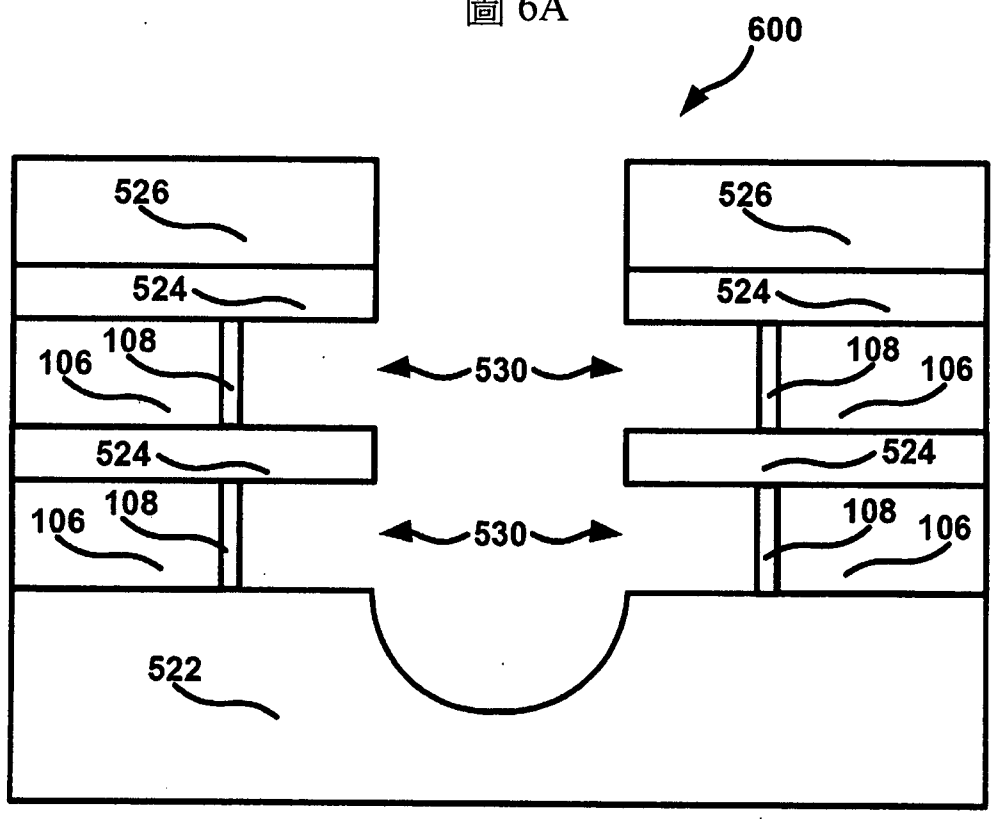


圖 6B

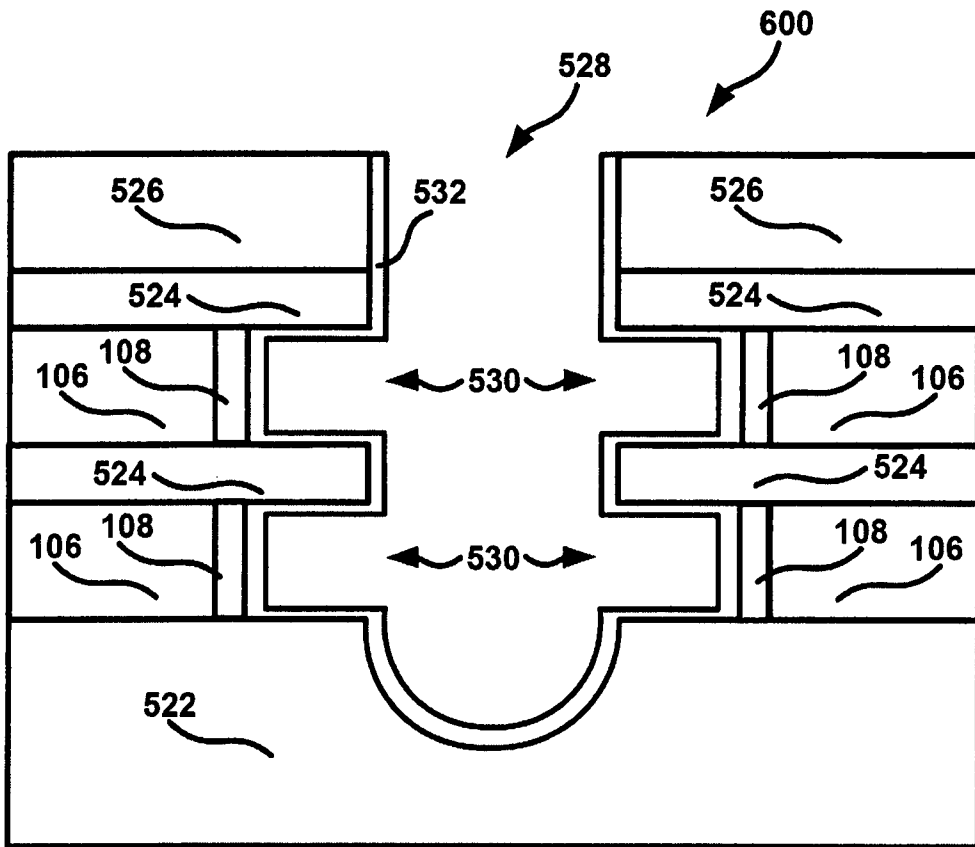


圖 6C

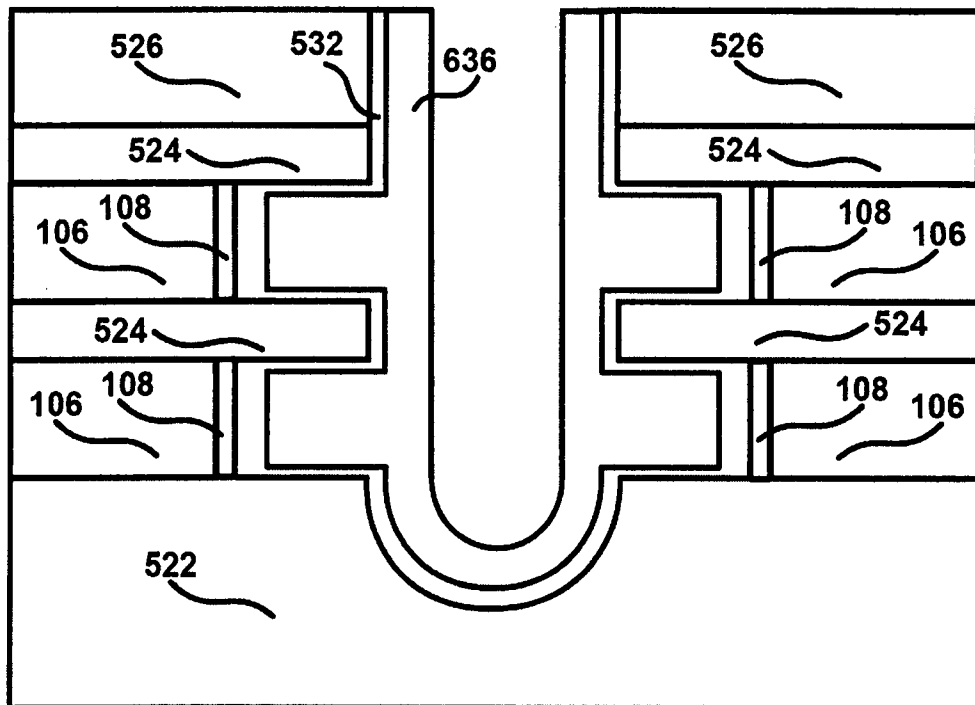


圖 6D

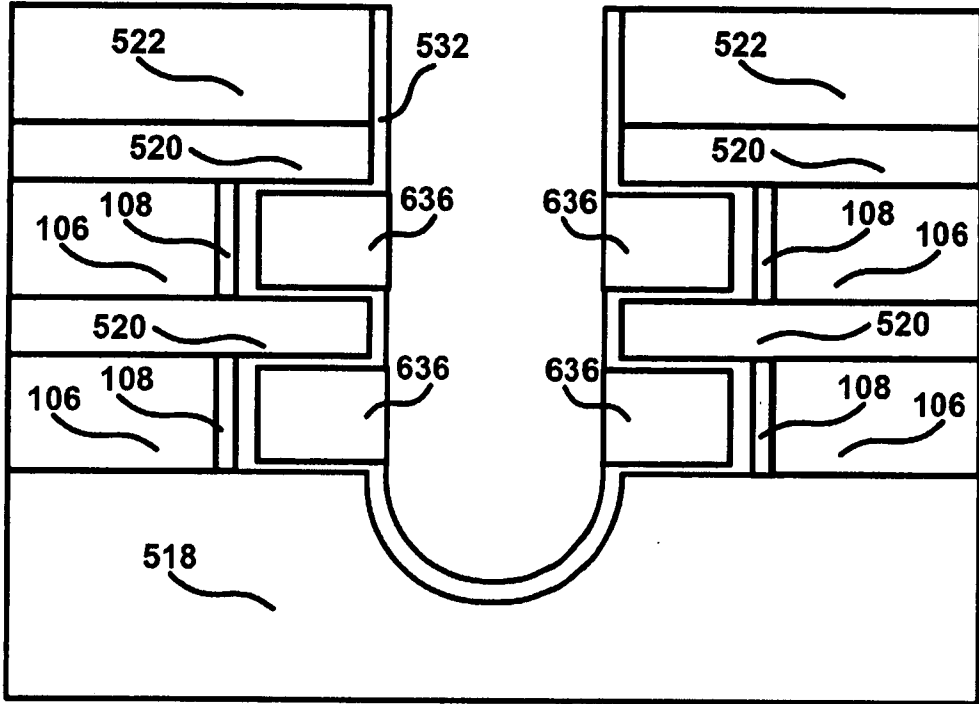


圖 6E

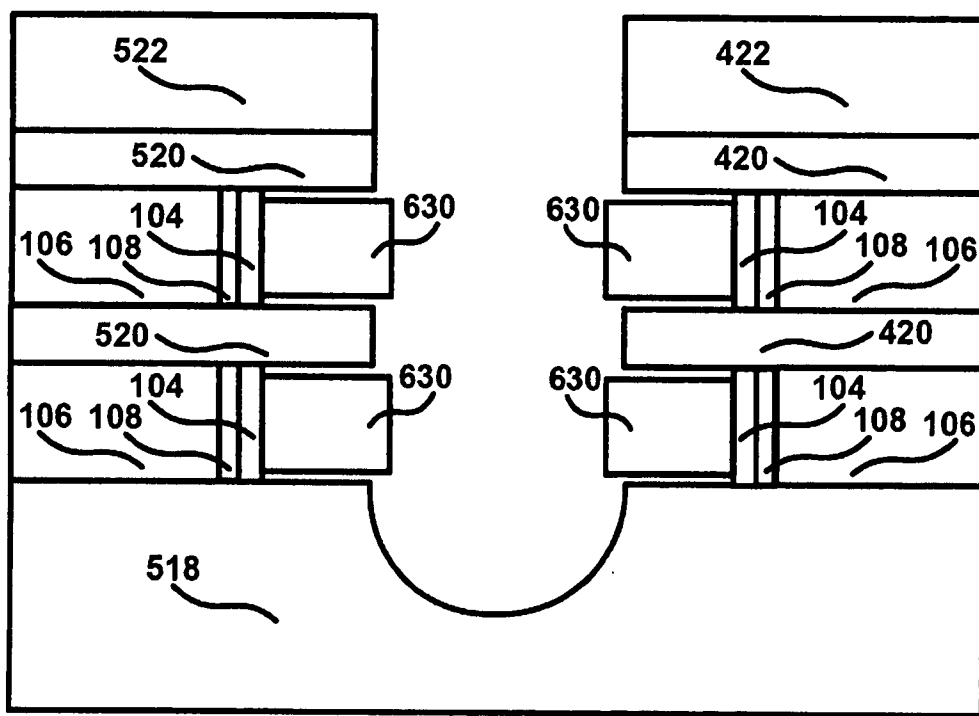


圖 6F

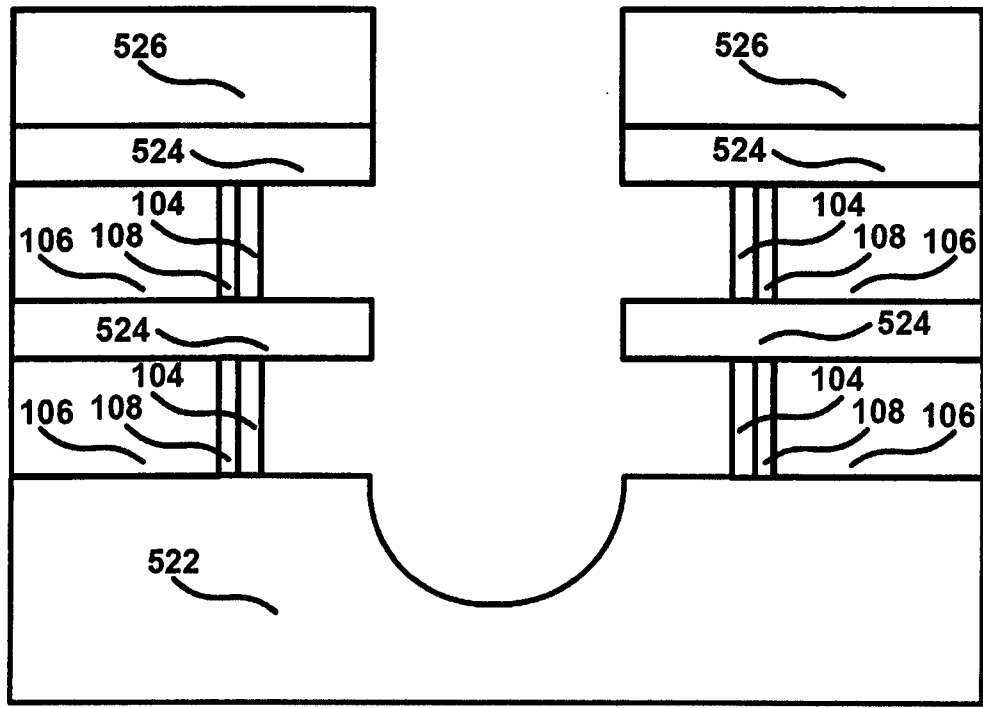


圖 6G

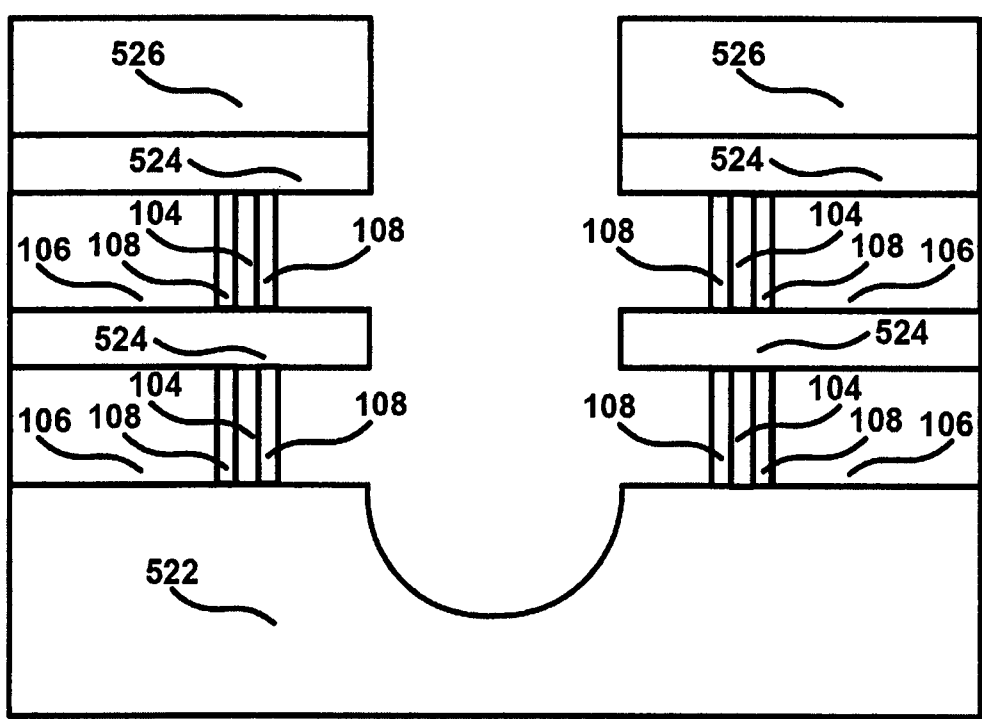


圖 6H

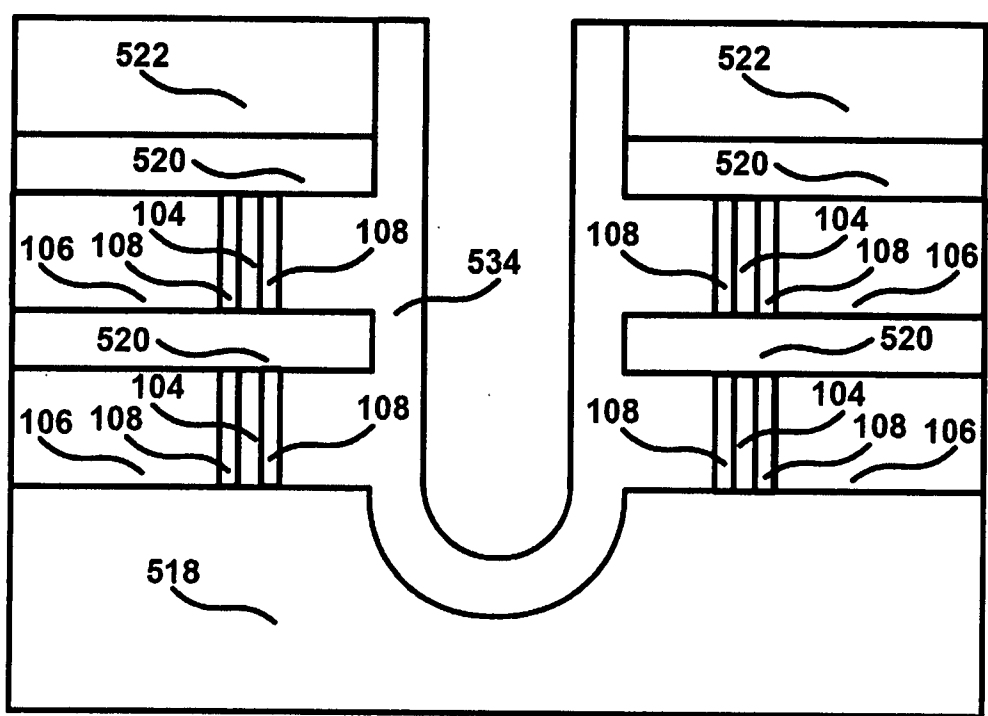


圖 6I

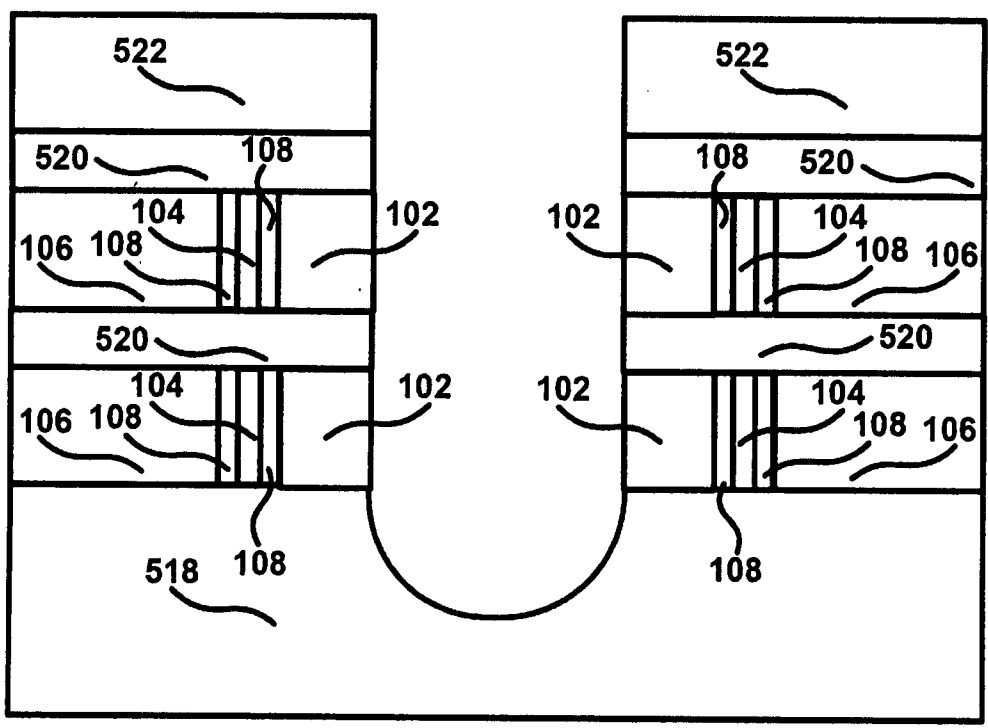


圖 6J

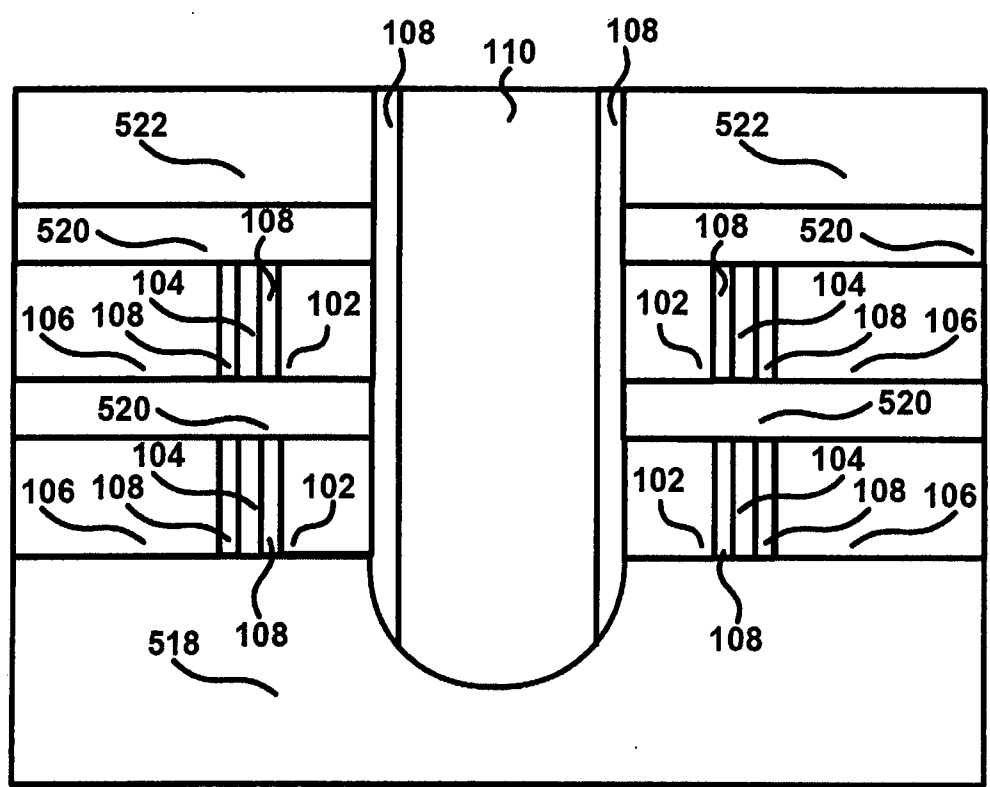


圖 6K

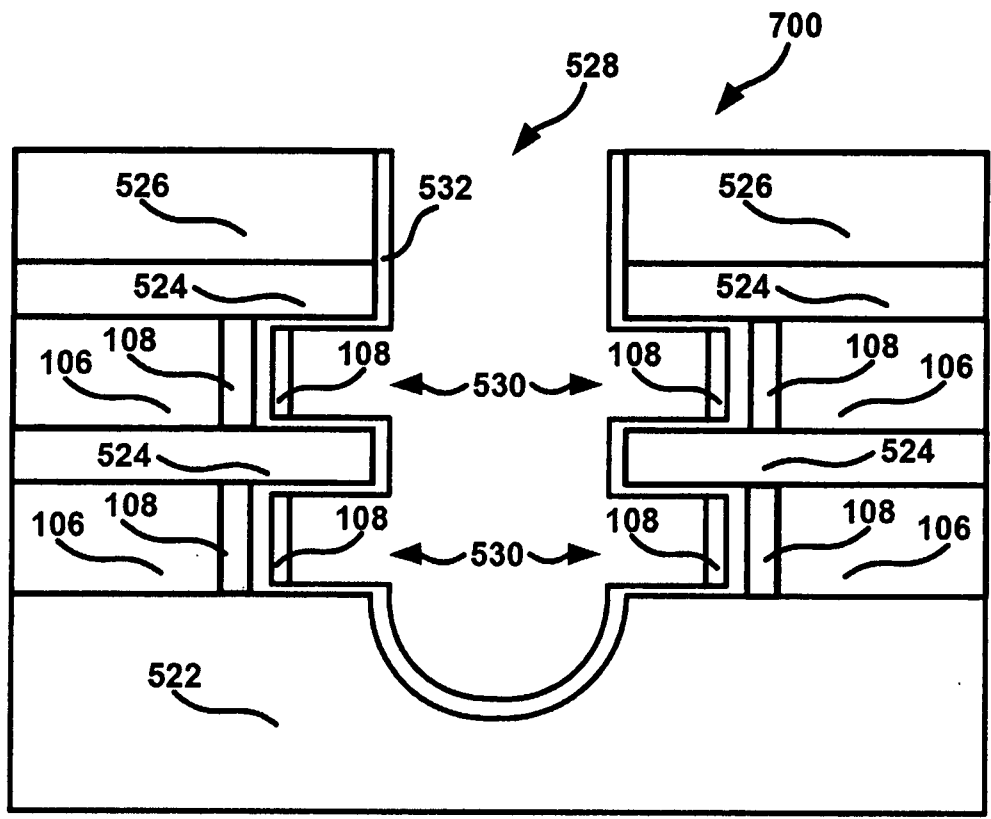


圖 7A

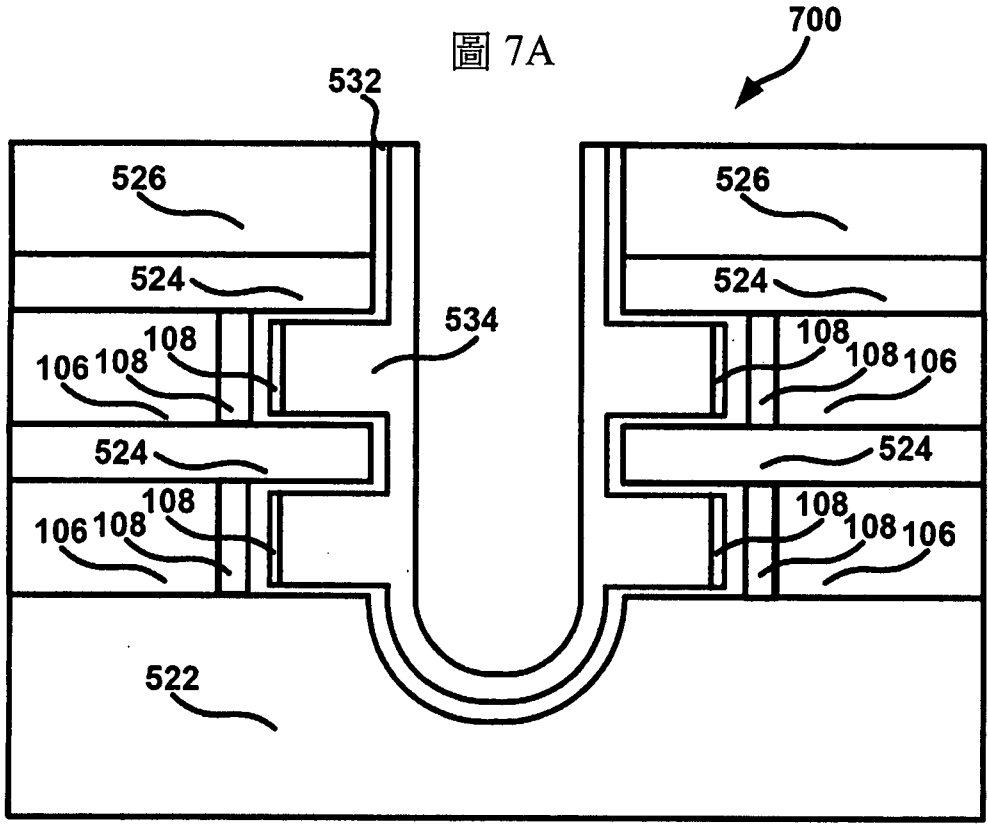


圖 7B

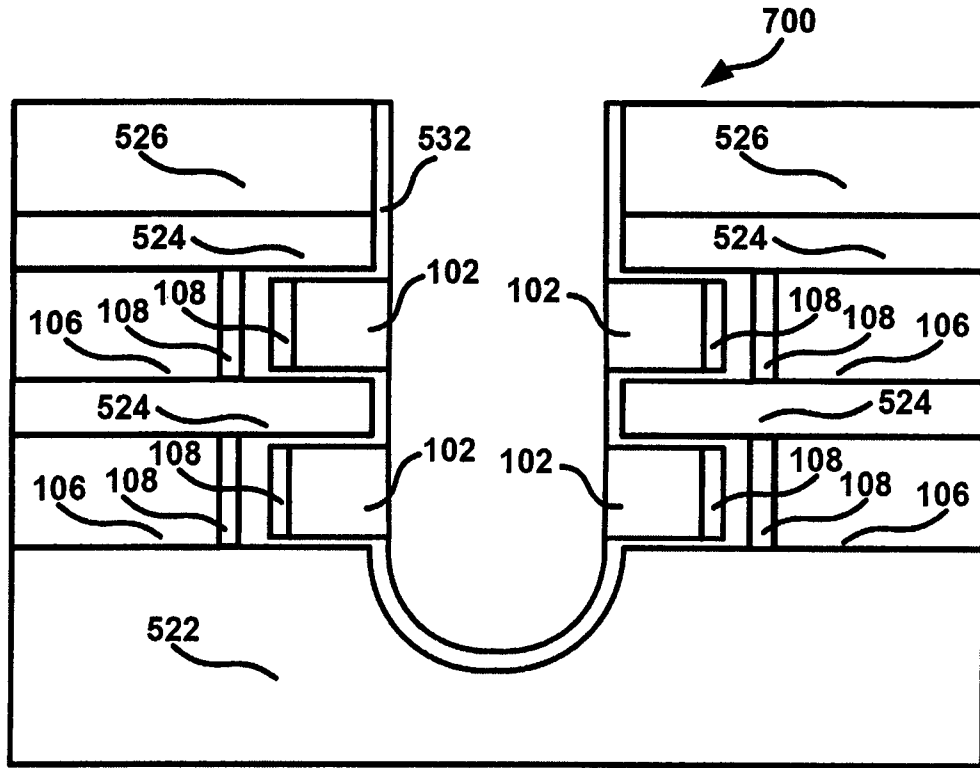


圖 7C

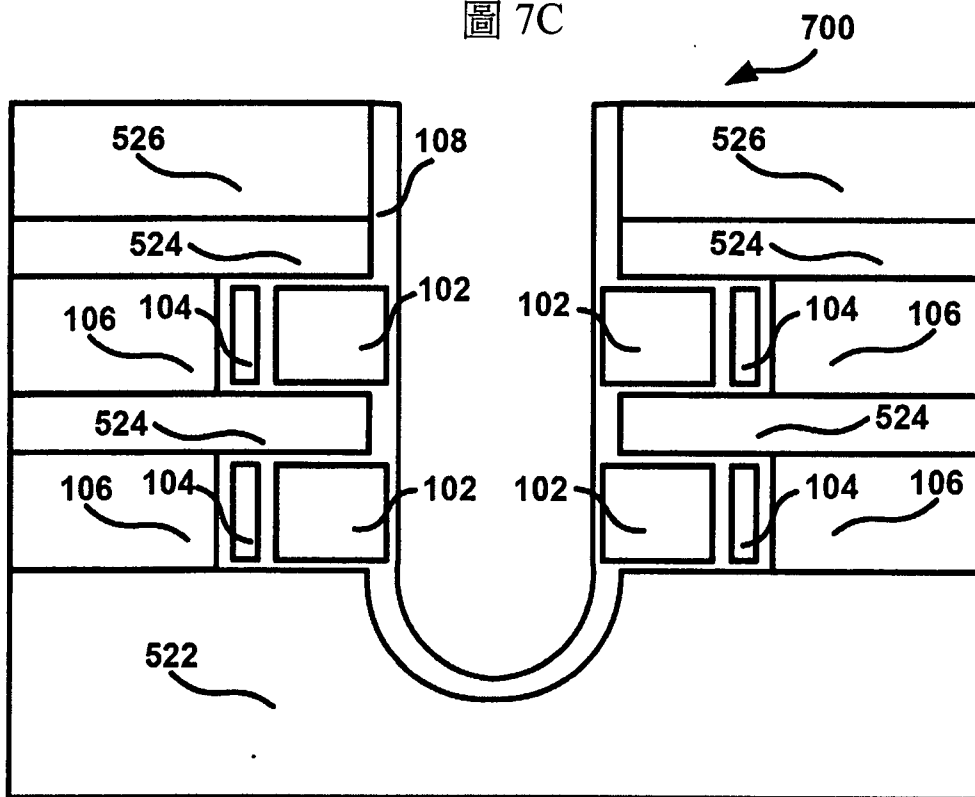


圖 7D

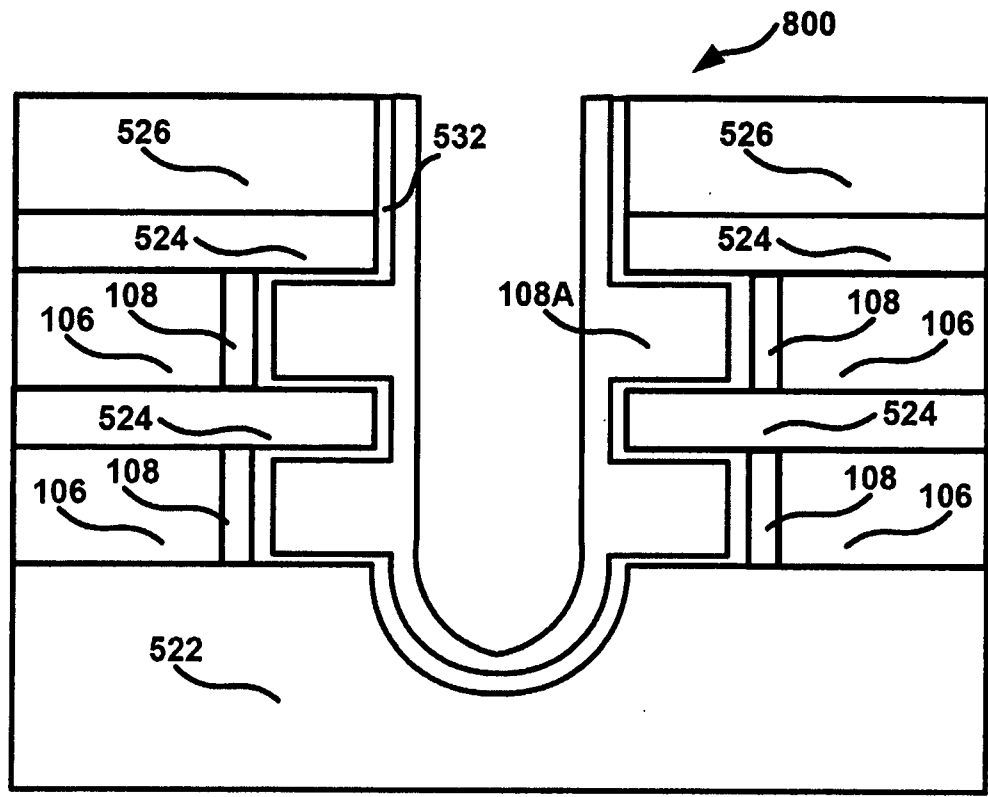


圖 8A

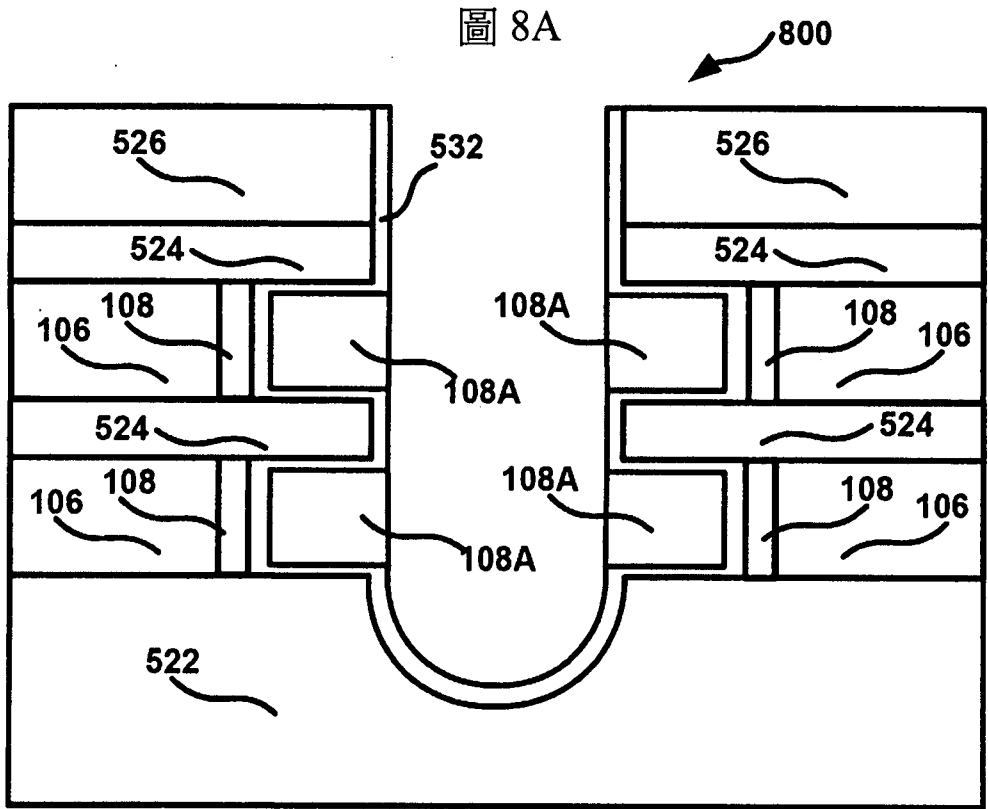


圖 8B

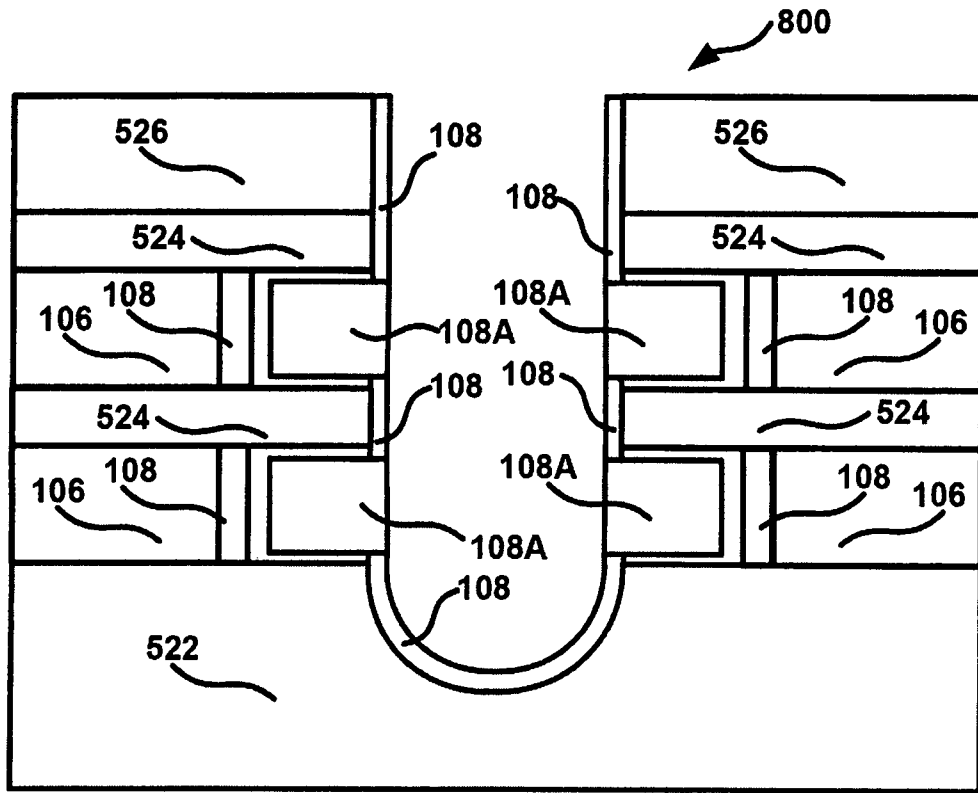


圖 8C

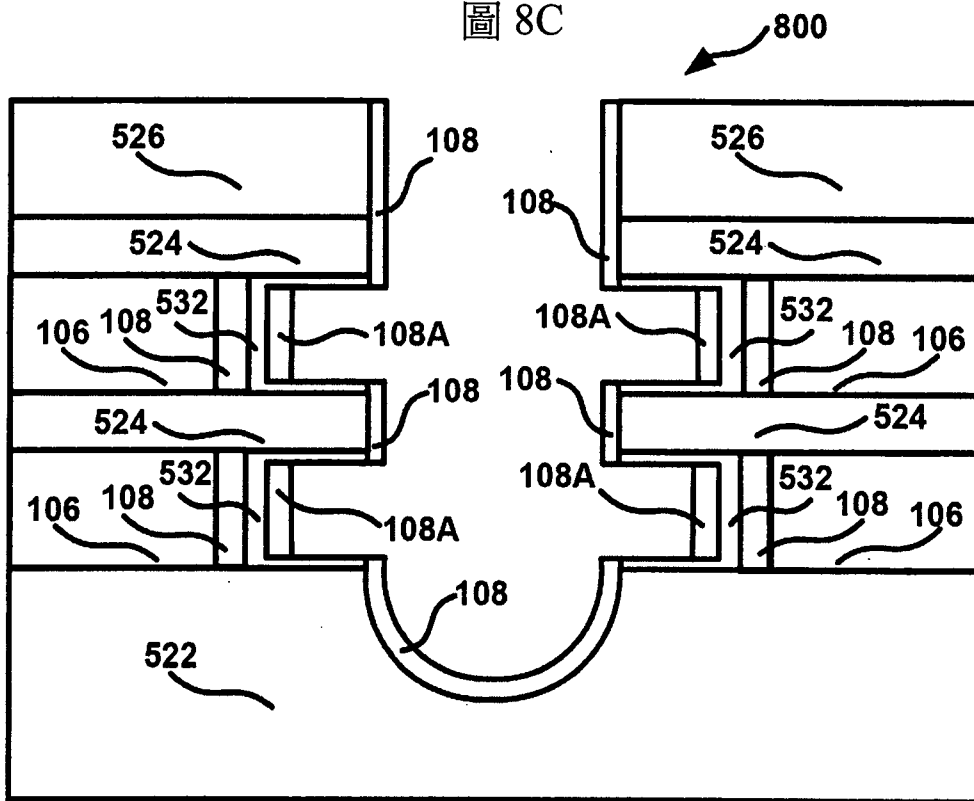


圖 8D

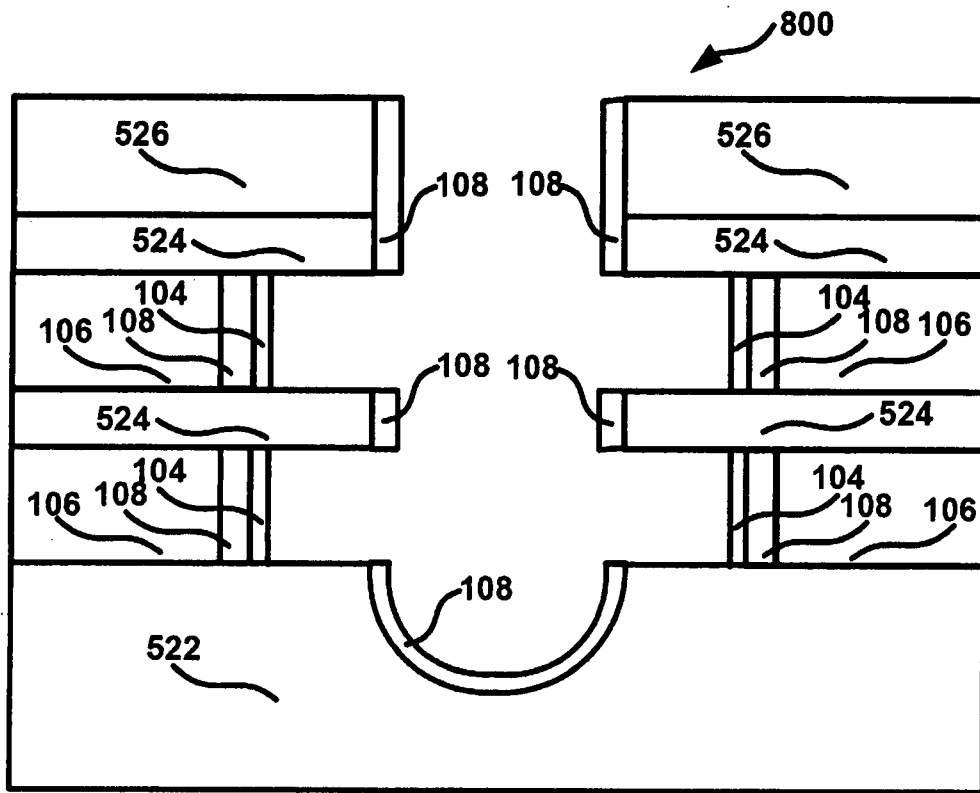


圖 8E

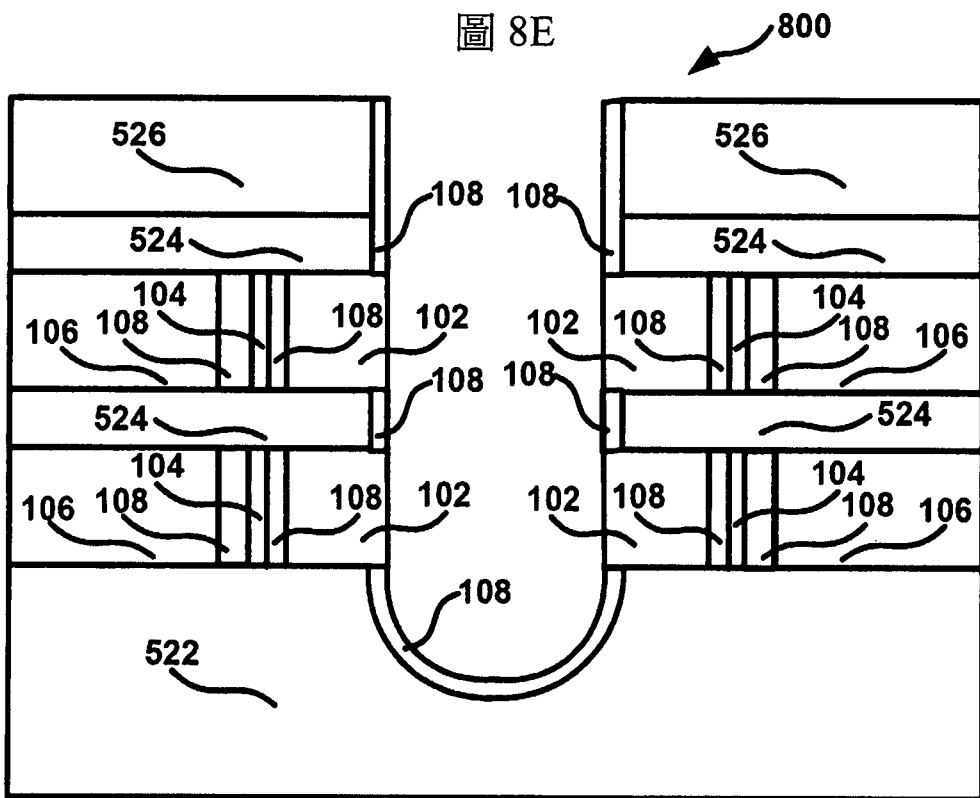


圖 8F

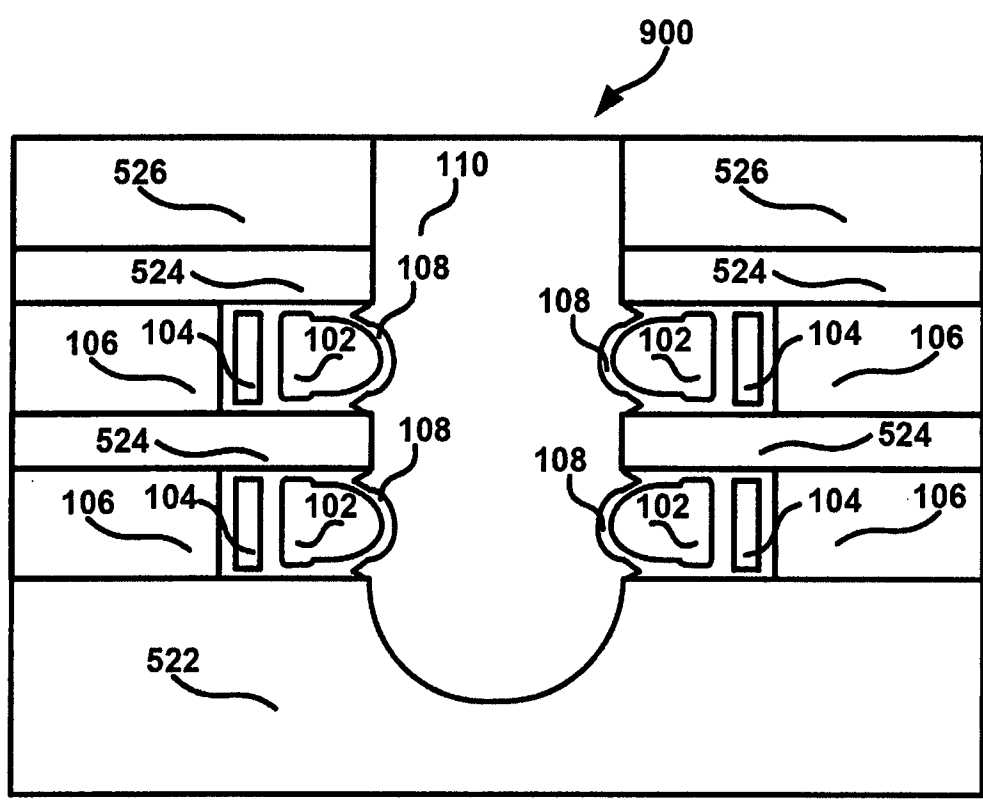


圖 9

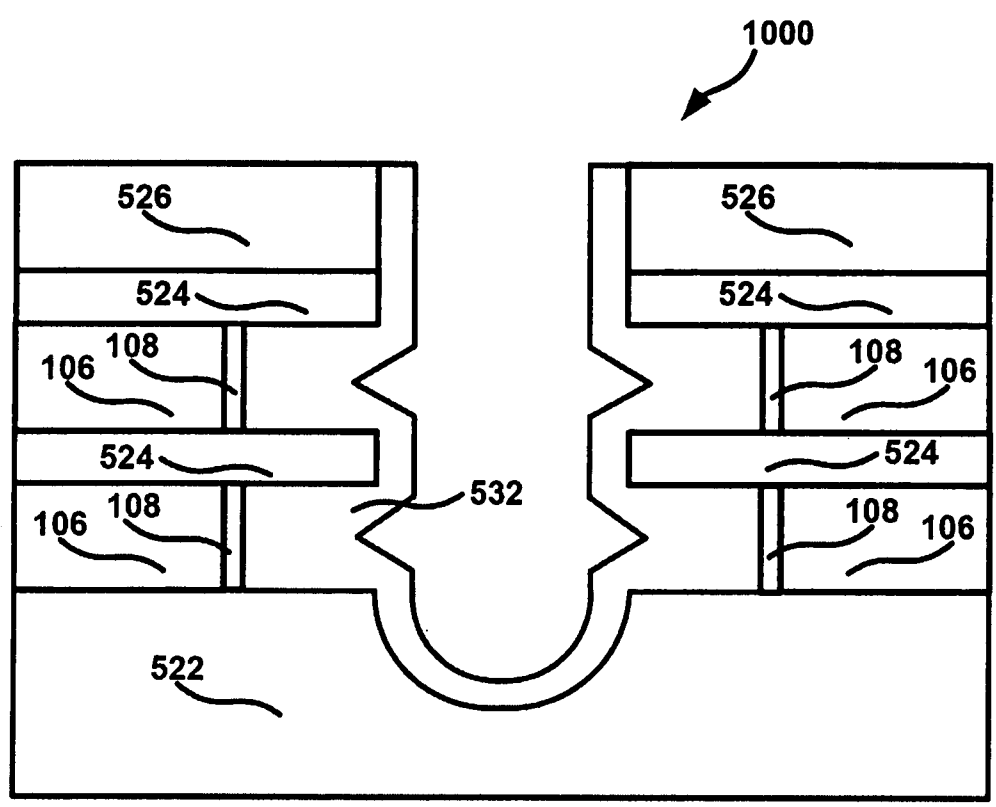


圖 10A

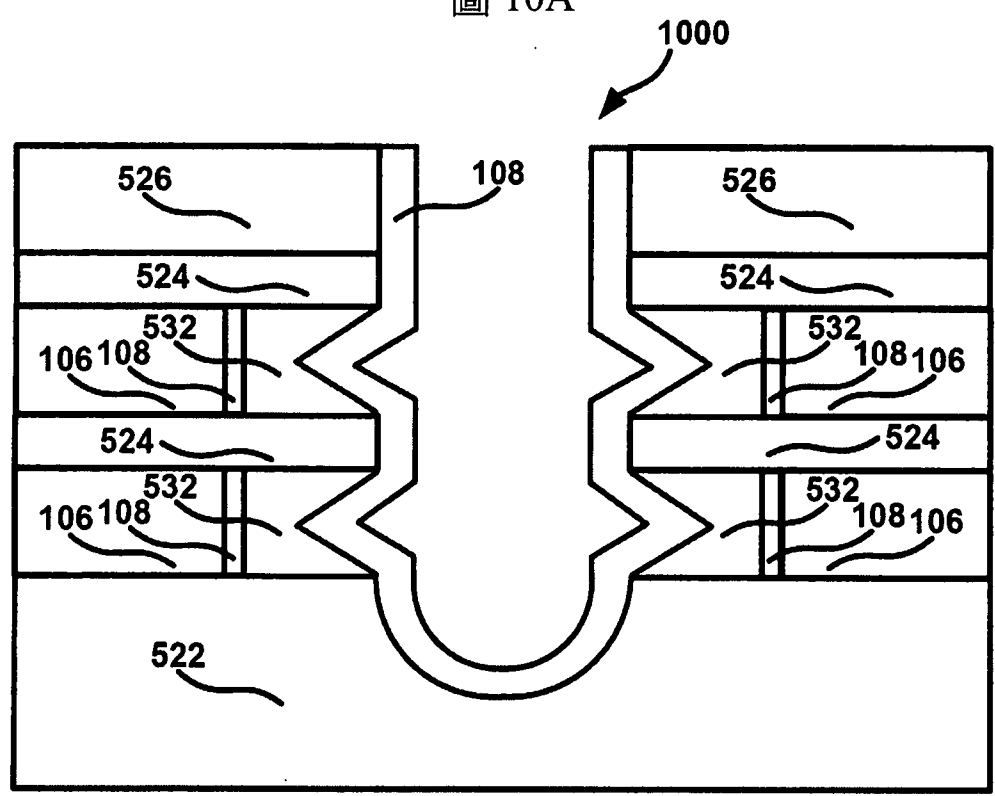


圖 10B

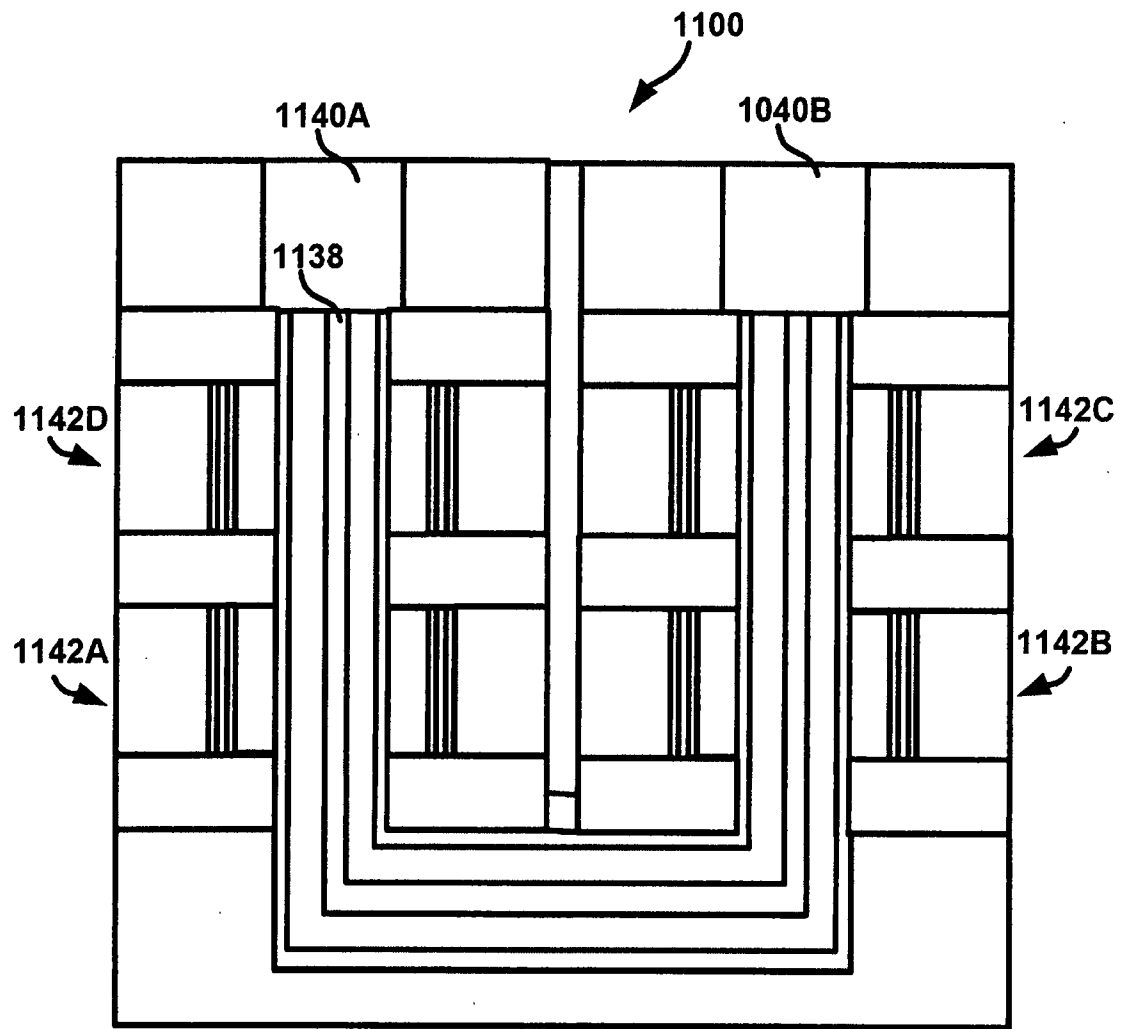


圖 11