



(12) 发明专利

(10) 授权公告号 CN 101841228 B

(45) 授权公告日 2012. 07. 04

(21) 申请号 200910106206. 1

US 2008/0259665 A1, 2008. 10. 23, 全文.

(22) 申请日 2009. 03. 20

CN 101325411 A, 2008. 12. 17, 全文.

(73) 专利权人 辉芒微电子(深圳)有限公司
地址 518057 广东省深圳市南山区科技园高新南一道国微大厦4楼

审查员 郭星

(72) 发明人 谭润钦 郭丽芳 谷文浩

(74) 专利代理机构 深圳市顺天达专利商标代理有限公司 44217

代理人 郭伟刚

(51) Int. Cl.

H02M 1/08(2006. 01)

H02M 1/42(2007. 01)

(56) 对比文件

CN 1481066 A, 2004. 03. 10, 全文.

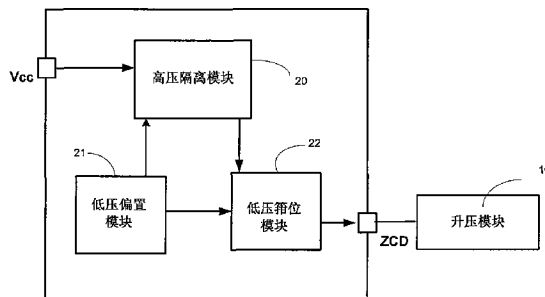
权利要求书 2 页 说明书 5 页 附图 5 页

(54) 发明名称

箝位保护电路及使用所述箝位保护电路的 PFC 控制电路

(57) 摘要

本发明涉及一种箝位保护电路及使用所述箝位保护电路的 PFC 控制电路。其中所述箝位保护电路包括:用于接收高压电源(Vcc)供电并输出低压电压的高压隔离模块(20);用于接收所述高压隔离模块(20)的输出低压电压并实现箝位保护的低压箝位模块(22);以及用于为所述高压隔离模块(20)和低压箝位模块(22)提供低压偏置的低压偏置模块(21)。实施本发明的箝位保护电路,可提高箝位电平精度,简化设计,减小版图面积,同时提高了瞬态响应的速度。将本发明的箝位保护电路应用到 PFC 控制电路中,更能简化整个 PFC 电路的设计,减小版图面积并提高 PFC 控制电路中的箝位保护电路的箝位电平精度和瞬态响应速度。



1. 一种箝位保护电路,其特征在于,所述箝位保护电路包括:
 - 用于接收高压电源 (Vcc) 供电并输出低压电压的高压隔离模块 (20);
 - 用于接收所述高压隔离模块 (20) 的输出低压电压并实现箝位保护的低压箝位模块 (22);
 - 以及用于为所述高压隔离模块 (20) 和低压箝位模块 (22) 提供低压偏置的低压偏置模块 (21);其中
 - 所述低压偏置模块 (21) 包括:用于为所述高压隔离模块 (20) 提供低压偏置的第一偏置模块 (2011) 和用于为所述低压箝位模块 (22) 提供低压偏置的第二偏置模块 (2012);
 - 所述高压隔离模块 (20) 包括高压隔离晶体管 (201)、第一二极管 (202);其中所述高压隔离晶体管 (201) 的栅极连接到所述第一偏置模块 (2011) 的第一输出端 (Node B)、源极和衬底连接到所述低压箝位模块 (22) 的输入端 (Node C)、漏极连接到高压电源 (Vcc),所述第一二极管 (202) 的阳极接地、阴极连接到所述低压箝位模块 (22) 的输入端 (Node C);
 - 所述低压箝位模块 (22) 包括第一开关管 (221),所述第一开关管 (221) 的基极连接到所述第二偏置模块 (2012) 的第二输出端 (Node D)、集电极为所述低压箝位模块 (22) 的输入端 (Node C) 并连接到所述高压隔离晶体管 (201) 的源极和衬底,发射极连接到箝位点。
2. 根据权利要求 1 所述的箝位保护电路,其特征在于,所述第二偏置模块 (2012) 包括偏置电流源 (213)、至少一个开关管、第二晶体管 (214);其中,所述偏置电流源 (213) 的输出端为所述第二输出端 (Node D);所述至少一个开关管的发射极接地,集电极和基极连接到所述偏置电流源 (213) 的输出端,所述第二晶体管 (214) 的栅极连接到所述低压箝位模块 (22) 的输入端 (Node C)、漏极连接到所述第二输出端 (Node D)、源极和衬底连接到所述第一偏置模块 (2011) 的第一输出端 (Node B)。
3. 根据权利要求 2 所述的箝位保护电路,其特征在于,第二偏置模块 (2012) 进一步包括多个开关管。
4. 根据权利要求 2 所述的箝位保护电路,其特征在于,所述第一偏置模块 (2011) 包括:第一电阻 (215) 和第二二极管 (216),所述第二二极管 (216) 的阳极接地、阴极为所述第一输出端 (Node B),所述第一电阻 (215) 连接在所述高压电源 (Vcc) 和所述第一输出端 (Node B) 之间。
5. 根据权利要求 1-4 中任意一条权利要求所述的箝位保护电路,其特征在于,所述开关管为低压 NPN 三极管,所述二极管为齐纳二极管。
6. 一种 PFC 控制电路,包括升压模块 (10),用于检测升压模块 (10) 中升压电感的电流过零点的过零检测模块 (700)、PFC 控制芯片 (701) 和连接到所述 PFC 控制芯片 (701) 的引脚 ZCD 上的箝位保护电路 (200),其特征在于,所述箝位保护电路 (200) 包括:
 - 用于接收高压电源 (Vcc) 供电并输出低压电压的高压隔离模块 (20);
 - 用于接收所述高压隔离模块 (20) 的输出低压电压并实现箝位保护的低压箝位模块 (22);
 - 以及用于为所述高压隔离模块 (20) 和低压箝位模块 (22) 提供低压偏置的低压偏置模块 (21);其中
 - 所述低压偏置模块 (21) 包括:用于为所述高压隔离模块 (20) 提供低压偏置的第一偏置模块 (2011) 和用于为所述低压箝位模块 (22) 提供低压偏置的第二偏置模块 (2012);

所述高压隔离模块 (20) 包括高压隔离晶体管 (201)、第一二极管 (202) ;其中所述高压隔离晶体管 (201) 的栅极连接到所述第一偏置模块 (2011) 的第一输出端 (Node B)、源极和衬底连接到所述低压箝位模块 (22) 的输入端 (Node C)、漏极连接到高压电源 (Vcc),所述第一二极管 (202) 的阳极接地、阴极连接到所述低压箝位模块 (22) 的输入端 (Node C) ;

所述低压箝位模块 (22) 包括第一开关管 (221),所述第一开关管 (221) 的基极连接到所述第二偏置模块 (2012) 的第二输出端 (Node D)、集电极为所述低压箝位模块 (22) 的输入端 (Node C) 并连接到所述高压隔离晶体管 (201) 的源极和衬底,发射极连接到箝位点。

7. 根据权利要求6所述的PFC控制电路,其特征在于,所述箝位保护电路包括多个低压器件。

箝位保护电路及使用所述箝位保护电路的 PFC 控制电路

技术领域

[0001] 本发明涉及开关电源电路,更具体地说,涉及 PFC 控制电路中的箝位保护电路及使用所述箝位保护电路的 PFC 控制电路。

背景技术

[0002] 箝位保护电路,顾名思义,是为了保证电路某部分的电位不超过箝位值,以保证电路安全正常工作,而不至于损坏器件,破坏电路功能等。常用的箝位保护分高箝位保护与低箝位保护,其广泛地运用于模拟电路,尤其是电源管理芯片电路中,如 AC-DC 转换器,PFC 控制器等。

[0003] 在临界导通模式升压有源功率因数校正 (PFC) 控制芯片的典型应用中,过零检测模块检测升压电感电流过零点,当检测到电感电流过零时,控制功率开关管导通,触发新的开关周期,保证 PFC 工作在临界导通模式,减小开关损耗与噪声。过零检测模块通常通过检测变压器副边电位来实现,如图 1 中升压模块 10 所示。当功率开关管 Q 导通时,经过整流后的交流电压 $V_g(t)$ 对电感 L_b 充电,输出端的二极管 D 反偏,输出电容 C_o 给负载供电,电感电流线性增加, V_z 的电位为 $-V_g(t)/n$, n 为变压器匝数比;当功率开关管 Q 断开时,电感电流不能突变,电感两端的极性反向,输出端二极管 D 正偏,电感 L_b 向负载和输出电容放电,此时 V_z 的电位为 $(V_o - V_g(t))/n$ 。交流输入电压有效值通常在 85V 到 265V 之间变化, V_z 的电位就会在正负十几伏甚至几十伏之间变化,若 V_z 直接加到 PFC 控制芯片的引脚 ZCD 上,则对 PFC 控制芯片内部的器件耐压能力要求很高,这在普通的工艺条件下较难实现,或者实现电路复杂,所需版图面积很大。为了能用普通的工艺与器件来实现,简化电路,需要引入箝位保护电路,以保护芯片内部的器件不被烧坏。

[0004] 高箝位常用齐纳稳压二极管实现,当箝位点电位高于齐纳管反偏击穿电压时,齐纳管击穿,将电位箝在一个相对固定值。低箝位保护电路常用如图 1 中 100 电路来实现。当 V_z 电位为负时,隔离高压器件 106 导通,拉低器件 104 栅极电位,产生支路电流 I_1 ,高压器件 105 镜像放大 104 支路电流 I_1 形成支路电流 I_2 , I_1 与 I_2 在箝位点 ZCD 汇合成低箝位电流 I 流经电阻 R_1 ,从而将 ZCD 脚的低电位箝制在 $\text{NodeA} - V_{gs}(106)$ 电位上,而不至于烧毁芯片内部的器件。然而,在不同的应用中 V_z 的变化范围大,低箝位电流 I 在几十微安至几毫安之间变化,在电路设计中常由外部高压电源 V_{cc} 提供,图 1 100 中器件 101,104,105,106 均是高压管,版图面积比较大,成本较高。器件 106,104,105 是电压控制器件,随着箝位电流变化,伴随工艺的偏差,温度的变化等,这种低箝位保护电路的箝位电平精度较差。且器件 105 的源极与漏极跨接在 ZCD 引脚与 V_{cc} 引脚之间,在静电放电 (ESD) 过程中极易形成通路,损坏器件,破坏低箝位的作用,这给静电放电保护设计带来困难。

[0005] 因此,需要一种可提高箝位电平精度,简化设计,减小版图面积的箝位保护电路。

发明内容

[0006] 本发明要解决的技术问题在于,针对现有技术的上述缺陷,提供一种可提高箝位

电平精度,简化设计,减小版图面积的箝位保护电路。

[0007] 本发明解决其技术问题所采用的技术方案是:构造一种箝位保护电路,其特征在于,所述箝位保护电路包括:

[0008] 用于接收高压电源供电并输出低压电压的高压隔离模块;

[0009] 用于接收所述高压隔离模块的输出低压电压并实现箝位保护的低压箝位模块;

[0010] 以及用于为所述高压隔离模块和低压箝位模块提供低压偏置的低压偏置模块。

[0011] 在本发明所述的箝位保护电路中,所述低压偏置模块包括:

[0012] 用于为所述高压隔离模块提供低压偏置的第一偏置模块和用于为所述低压箝位模块提供低压偏置的第二偏置模块。

[0013] 在本发明所述的箝位保护电路中,所述高压隔离模块包括高压隔离晶体管、第一二极管;其中所述高压隔离晶体管的栅极连接到所述第一偏置模块的第一输出端、源极和衬底连接到所述低压箝位模块的输入端、漏极连接到高压电源,所述第一二极管的阳极接地、阴极连接到所述低压箝位模块的输入端。

[0014] 在本发明所述的箝位保护电路中,所述低压箝位模块包括第一开关管,所述第一开关管的基极连接到所述第二偏置模块的第二输出端、集电极为所述低压箝位模块的输入端并连接到所述高压隔离晶体管的源极和衬底,发射极连接到箝位点。

[0015] 在本发明所述的箝位保护电路中,所述第二偏置模块包括偏置电流源、至少一个开关管、第二晶体管;其中,所述偏置电流源的输出端为所述第二输出端;所述至少一个开关管的发射极接地,集电极和基极连接到所述偏置电流源的输出端,所述第二晶体管的栅极连接到所述低压箝位模块的输入端、漏极连接到所述第二输出端、源极和衬底连接到所述第一偏置模块的第一输出端。

[0016] 在本发明所述的箝位保护电路中,第二偏置模块进一步包括多个开关管。

[0017] 在本发明所述的箝位保护电路中,所述第一偏置模块包括:第一电阻和第二二极管,所述第二二极管的阳极接地、阴极为所述第一输出端,所述第一电阻连接在所述高压电源和所述第一输出端之间。

[0018] 在本发明所述的箝位保护电路中,所述开关管为低压 NPN 三极管,所述二极管为齐纳二极管。

[0019] 本发明解决其技术问题采用的另一技术方案是,构造一种 PFC 控制电路,包括升压模块,用于检测升压模块中升压电感的电流过零点的过零检测模块、PFC 控制芯片和连接到所述 PFC 控制芯片的引脚 ZCD 上的箝位保护电路,其中,所述箝位保护电路包括:

[0020] 用于接收高压电源供电并输出低压电压的高压隔离模块;

[0021] 用于接收所述高压隔离模块的输出低压电压并实现箝位保护的低压箝位模块;

[0022] 以及用于为所述高压隔离模块和低压箝位模块提供低压偏置的低压偏置模块。

[0023] 在本发明所述的 PFC 控制电路中,所述箝位保护电路包括多个低压器件。

[0024] 实施本发明的箝位保护电路,可提高箝位电平精度,简化设计,减小版图面积,同时提高了瞬态响应的速度。而将本发明的箝位保护电路应用到 PFC 控制电路中,更能简化整个 PFC 电路的设计,减小版图面积并提高 PFC 控制电路中的箝位保护电路的箝位电平精度和瞬态响应的速度。

附图说明

- [0025] 下面将结合附图及实施例对本发明作进一步说明,附图中:
- [0026] 图 1 是现有技术的箝位保护电路;
- [0027] 图 2 是本发明的箝位保护电路中的第一实施例的原理框图;
- [0028] 图 3 是本发明的箝位保护电路中的第二实施例的原理框图;
- [0029] 图 4 是本发明的箝位保护电路中的第三实施例的电路原理图;
- [0030] 图 5 是现有技术的箝位保护电路与本发明的箝位保护电路的箝位电平随箝位电流变化波形对比图;
- [0031] 图 6 是现有技术的箝位保护电路与本发明的箝位保护电路的瞬态箝位波形对比图;
- [0032] 图 7 是本发明的 PFC 控制电路的第一实施例的原理框图。

具体实施方式

[0033] 图 2 是本发明的箝位保护电路中的第一实施例的原理框图。如图所示,本发明的箝位保护电路包括:用于接收高压电源 V_{cc} 供电并输出低压电压的高压隔离模块 20;用于接收所述高压隔离模块 20 的输出低压电压并实现箝位保护的低压箝位模块 22;以及用于为所述高压隔离模块 20 和低压箝位模块 22 提供低压偏置的低压偏置模块 21。

[0034] 图 3 是本发明的箝位保护电路中的第二实施例的原理框图。在该实施例中,所述低压偏置模块 21 包括:用于为所述高压隔离模块 20 提供低压偏置的第一偏置模块 2011 和用于为所述低压箝位模块 22 提供低压偏置的第二偏置模块 2012。

[0035] 图 4 是本发明的箝位保护电路中的第三实施例的电路原理图。如图 4 所示,所述高压隔离模块 20 包括高压隔离晶体管 201、齐纳二极管 202;其中所述高压隔离晶体管 201 的栅极连接到节点 Node B、源极和衬底连接到 Node C、漏极连接到高压电源 V_{cc} 。齐纳二极管 202 的 P 端接地, N 端接节点 Node B。

[0036] 所述低压箝位模块 22 包括开关管 221,所述开关管 221 的基极连接到 Node D,集电极连接到所述高压隔离晶体管 201 的源极和衬底,发射极连接到箝位点 ZCD。

[0037] 所述低压偏置模块 21 可包括第一偏置模块 2011 和第二偏置模块 2012。其中,所述第二偏置模块 2012 包括偏置电流源 213、开关管 212 和 211、晶体管 214。其中,所述偏置电流源 213 的输出端为 Node D,所述开关管 212 的基极和集电极短接后连接到 Node D,发射极连接到开关管 211 的集电极和基极,所述开关管 211 的发射极接地。在本发明的其他实施例中,可设有多个开关管。并且箝位电平高低可通过增加或减少开关管的个数来实现。所述晶体管 214 的栅极连接到 Node C、漏极连接到 Node D、源极和衬底连接到 Node B。所述第一偏置模块 201 包括:电阻 215 和二极管 216,所述二极管 216 的阳极接地、阴极为 Node B,所述电阻 215 连接在所述高压电源 V_{cc} 和 Node B 之间。

[0038] 在图 4 示出的优选实施例中,还包括连接到箝位点 ZCD(也就是 PCF 芯片的 ZCD 脚)的升压模块 10。其中所述升压模块采用现有技术中已知的任何设计(如图 1 中所示)。在图 4 示出的实施例中,开关管均可以为低压 NPN 三极管,二极管可为齐纳二极管,晶体管 214 可为低压 PMOS 管。

[0039] 下面结合图 5 和 6 对图 4 示出的本发明的实施例进行说明。图 5 为常用箝位保

护电路与本发明具体实现的箝位保护电路的箝位电平随箝位电流 I 变化的波形, 典型情况下, 在箝位电流 I 由 $100\mu\text{A}$ 到 5mA 之间变化时, 常用箝位保护电路的箝位电平变化了将近 0.7V , 再考虑工艺偏差, 温度变化等, 常用箝位保护电路的箝位电平变化将更大。而本发明的低箝位保护电路, 利用低压箝位模块 22 中三极管 221 工艺偏差小, 电流增益高的优点, 克服了这个问题, 提高了精度, 且加快了瞬态响应速度。具体工作原理如下:

[0040] 由于 V_{cc} 是高压电源, 可高达二十多伏, 在普通 MOS 工艺中, 高压 NPN 器件难以获得, 而低压器件不能直接承受二十多伏的高压。在图 4 的具体电路实现中, 由高压隔离晶体管 201 与齐纳二极管 202 组成的高压隔离模块 20 阻挡了 V_{cc} 的高压, 从而保证 NodeC 处电位为低压器件的安全工作电压, 如小于 6V 。低压偏置模块 21 由三极管 211, 212, 偏置电流源 213, 低压 PMOS 管 214 组成, 其中偏置电流源 213, 三极管 211、212 为低压箝位模块 22 提供静态偏置, 当 ZCD 引脚电平低于箝位电平时, 低压箝位模块 22 中的三极管 221 发射极正偏, 集电极反偏, 箝位电流 I 从 ZCD 引脚流出, 流经升压模块 10 中的电阻 R_1 , 从而将引脚 ZCD 低电平箝位在 NodeD- V_{be} 处。箝位电平高低可通过增加或减少三极管 211, 212 的个数来实现。当箝位电流 I 增大到一定程度时, 三极管 221 的电流增益会下降, 需从 Node D 抽取更多的基极电流来满足箝位电流 I , 然而偏置电流源 213 相对恒定, Node D 的电位将难以维持, 故在低压偏置模块 21 中设计了低压 PMOS 管 214 来为 Node D 提供动态偏置电流 I_3 。当箝位电流 I 增加时, Node D 的电位降低, 低压 PMOS 管 214 的栅源电压增大, 提供更大的电流 I_3 到 Node D, 同时提供更多的基极电流到三极管 221, 稳定箝位电平。

[0041] 从图 5 可以看出本发明具体实现电路的低箝位电平变化不超过 0.15V , 箝位精度得到了较大提高。在图 4 中, 只有高压隔离模块 20 中高压隔离晶体管 201 是高压管 (在本实施例中, 可以是高压隔离 NMOS 管), 其余器件均是低压管, 版图面积比图 1 示出的箝位保护电路 100 的版图面积减小约 30% 。且图 4 中的箝位保护电路 200 中不存在极易受 ESD 损坏通路, 降低了 ESD 电路设计的难度。当 V_z 电位由高电平突变到低于箝位电平时, 箝位保护电路的瞬态响应波形如图 6 所示, 本发明的箝位保护电路表现出更快的瞬态响应, 过冲电压很小。而常用箝位保护电路在同样条件下, 过冲 1 伏多才回到箝位电平, 虽然在箝位保护电路 100 中的高压器件 105 的镜像放大倍数可以减小过冲, 但增加了电路板的版图面积。

[0042] 从上面的分析与比较可知, 本发明的箝位保护电路可用普通的工艺, 更小的版图面积, 实现了较常用箝位保护电路更精确, 更快速的箝位保护作用。特别指出, 本发明的箝位保护电路的箝位电平可根据实际运用情况增加或减少低压偏置模块 21 的三极管的个数来实现。

[0043] 图 7 是本发明的 PFC 控制电路的第一实施例的原理框图。如图 7 所示, 该 PFC 控制电路, 包括升压模块 10, 用于检测升压模块 10 中升压电感的电流过零点的过零检测模块 700、PFC 控制芯片 701 和连接到所述 PFC 控制芯片 701 的引脚 ZCD 上的箝位保护电路 200, 所述箝位保护电路 200 包括: 用于接收高压电源 V_{cc} 供电并输出低压电压的高压隔离模块 20; 用于接收所述高压隔离模块 20 的输出低压电压并实现箝位保护的低压箝位模块 22; 以及用于为所述高压隔离模块 20 和低压箝位模块 22 提供低压偏置的低压偏置模块 21。本发明的 PFC 控制电路的各个模块可参见图 1-4 中各个模块进行构建, 本领域技术人员了解并能根据现有技术完成上述模块的构建。

[0044] 虽然本发明是通过具体实施例进行说明的, 本领域技术人员应当明白, 在不脱离

本发明范围的情况下,还可以对本发明进行各种变换及等同替代。因此,本发明不局限于所公开的具体实施例,而应当包括落入本发明权利要求范围内的全部实施方式。

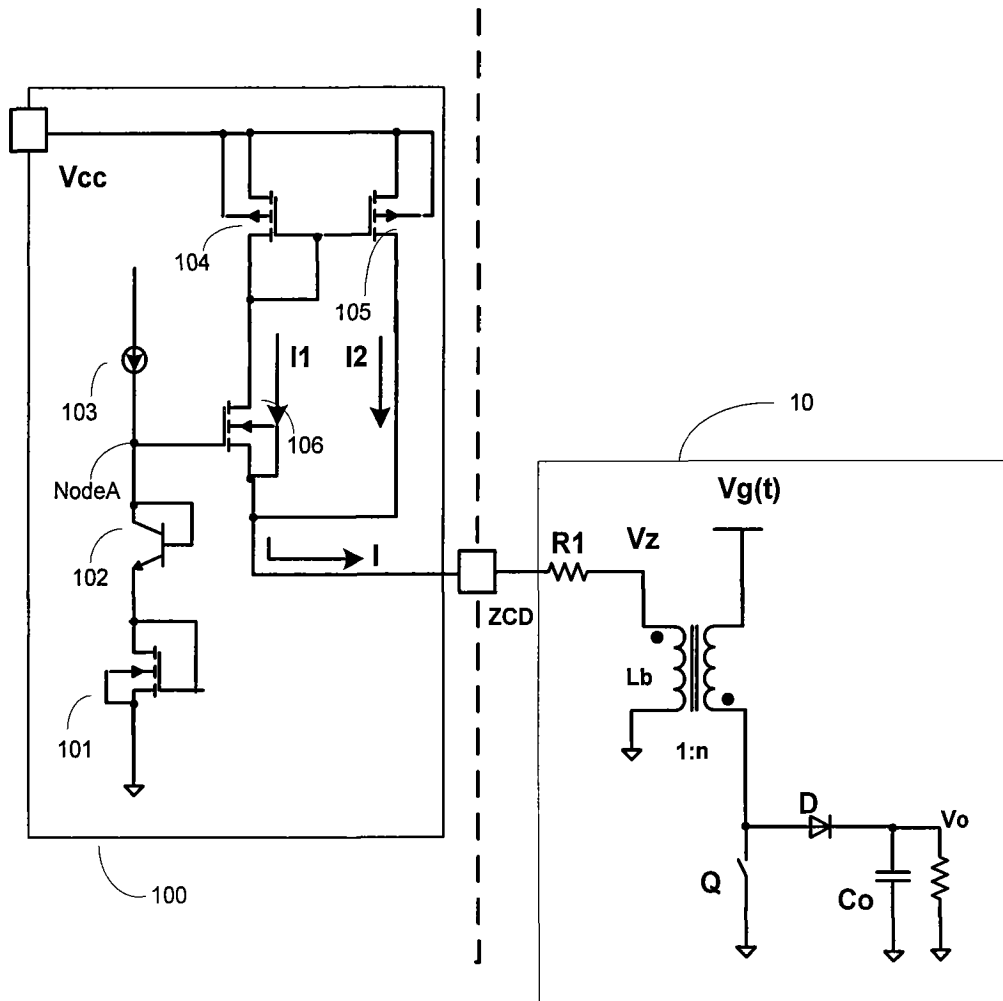


图 1

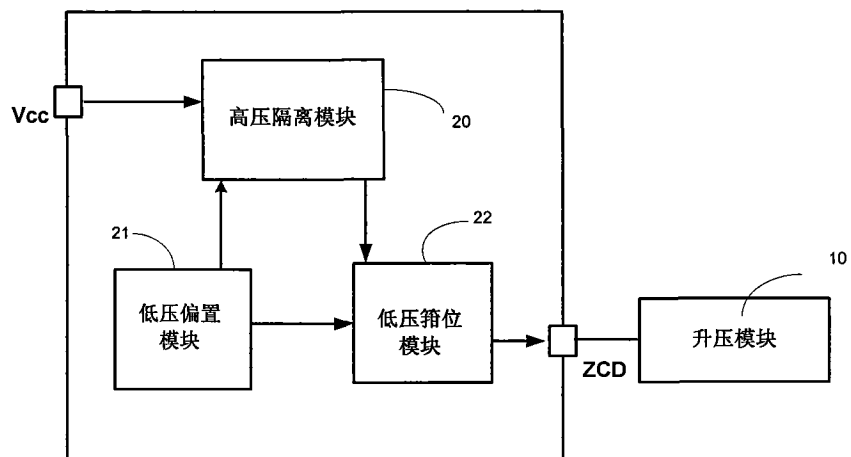


图 2

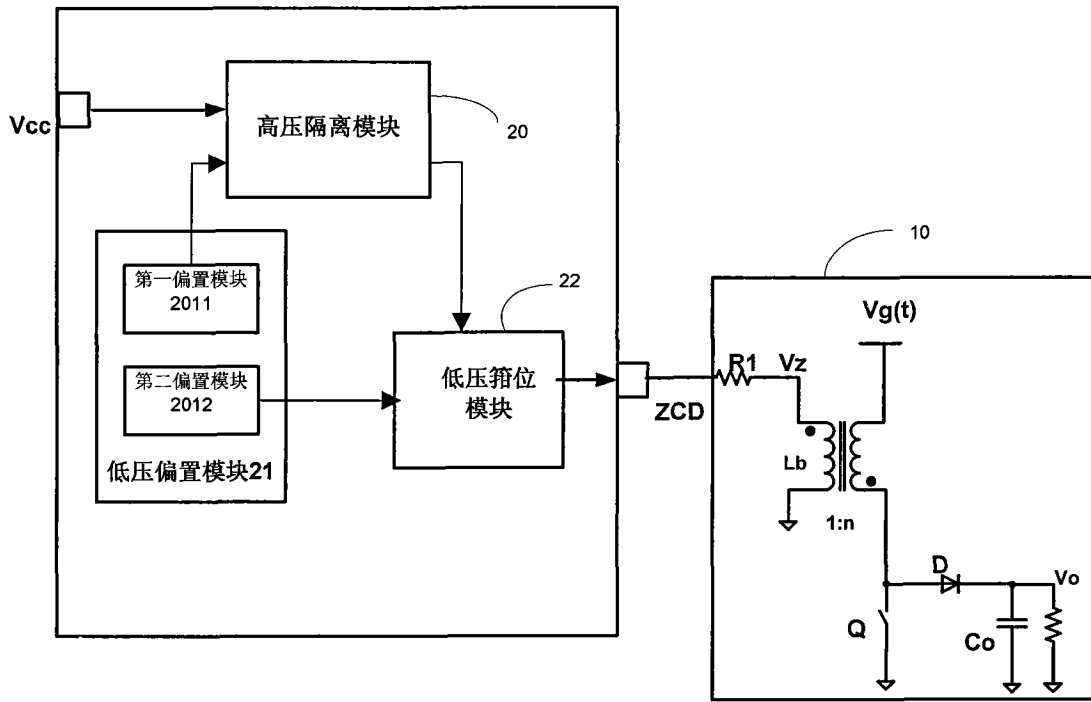


图 3

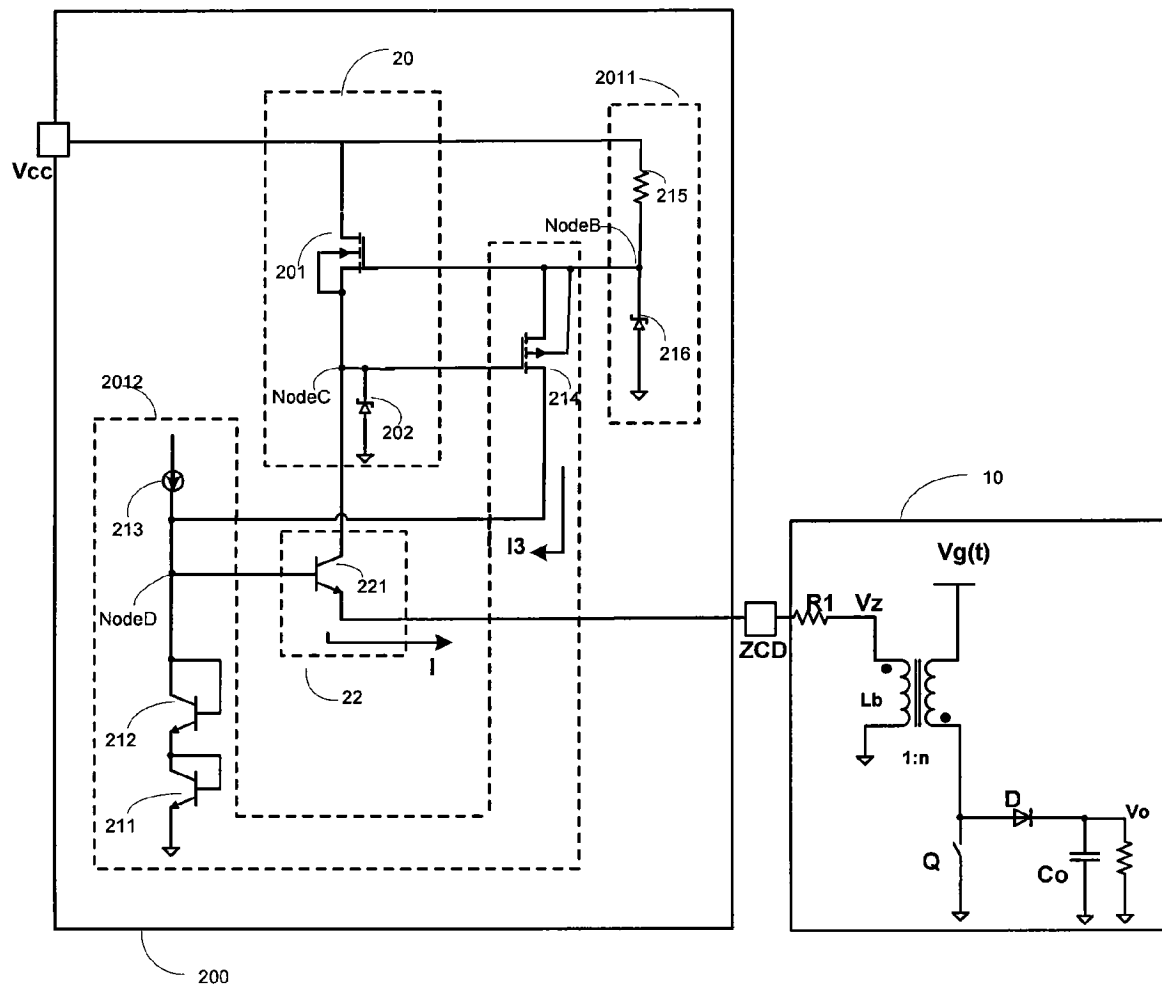


图 4

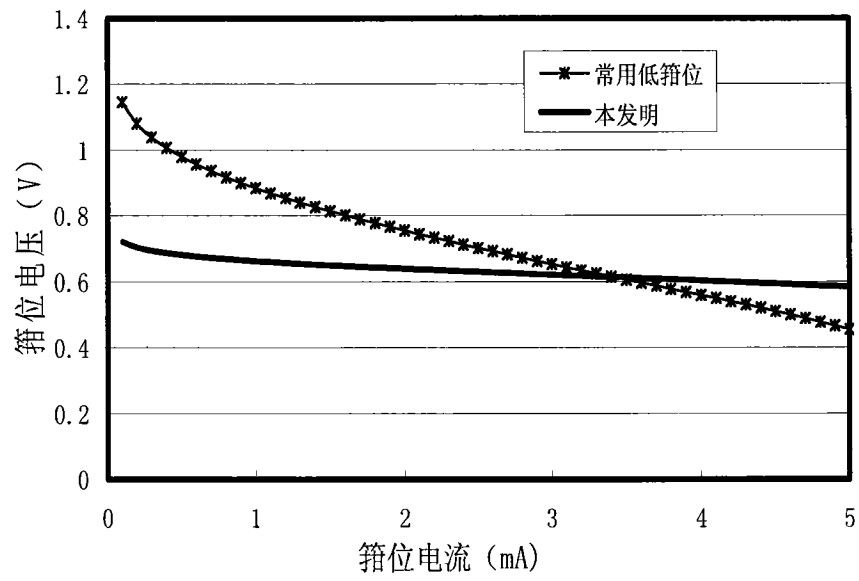


图 5

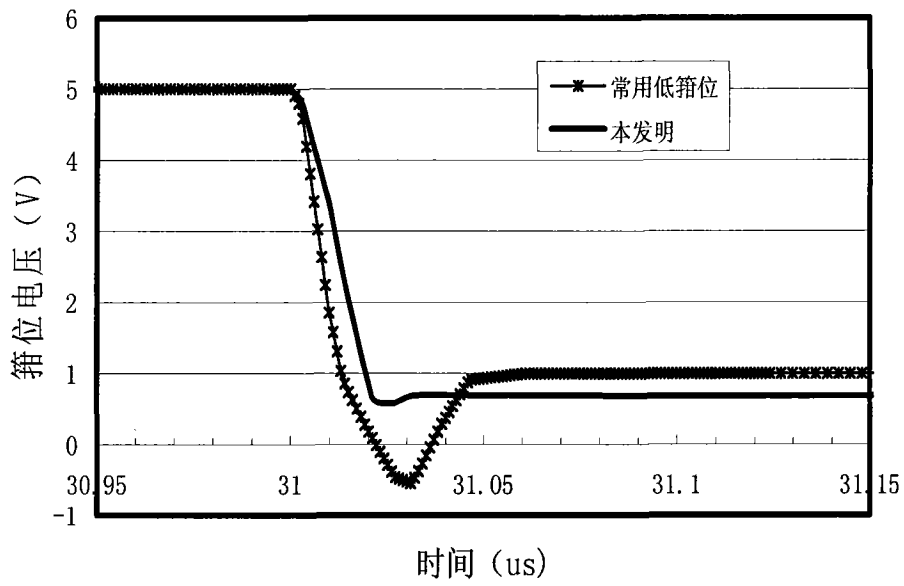


图 6

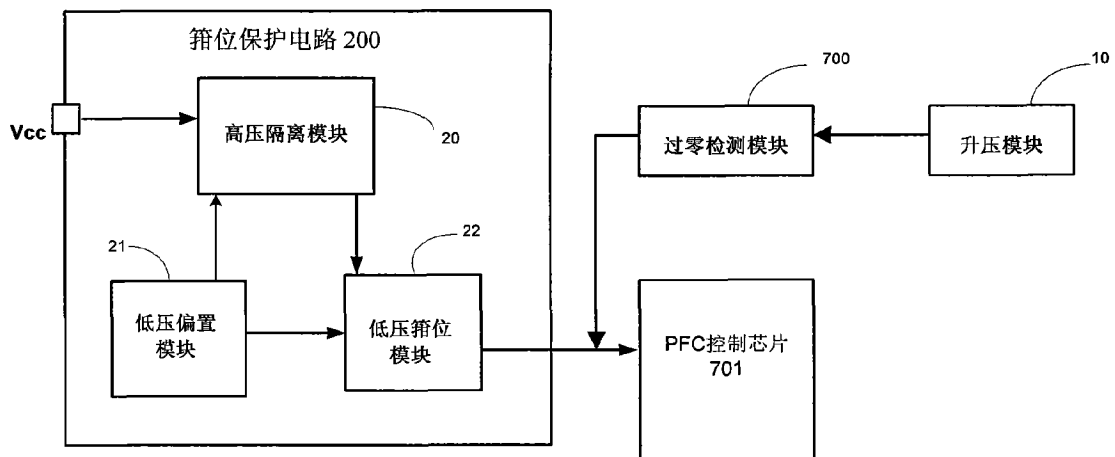


图 7