



(12) 发明专利申请

(10) 申请公布号 CN 105895684 A

(43) 申请公布日 2016. 08. 24

(21) 申请号 201510672757. X

(22) 申请日 2015. 10. 16

(71) 申请人 苏州能讯高能半导体有限公司

地址 215300 江苏省苏州市昆山市高新区晨
丰路 18 号

(72) 发明人 裴风丽 穆国纯 裴轶

(74) 专利代理机构 北京品源专利代理有限公司

11332

代理人 孟金喆 胡彬

(51) Int. Cl.

H01L 29/778(2006. 01)

H01L 29/06(2006. 01)

H01L 21/335(2006. 01)

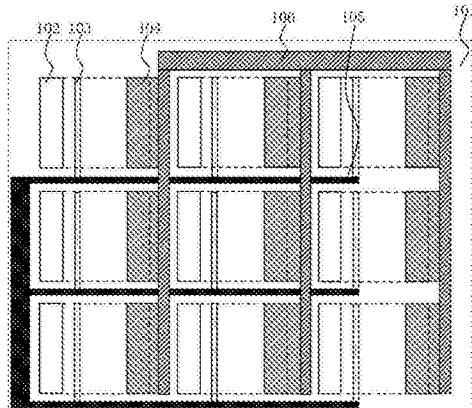
权利要求书1页 说明书7页 附图12页

(54) 发明名称

一种半导体器件及其制造方法

(57) 摘要

本发明公开了一种半导体器件及其制造方法，所述器件包括衬底；位于所述衬底上的半导体层；位于所述半导体层上分散分布的多个器件单元，所述多个器件单元以 M 行 N 列的矩阵形式分布在所述半导体层上，其中 M 和 N 均大于等于 1 且 M 和 N 不同时等于 1；其中，单个器件单元包括至少一个基本器件，单个基本器件包括源极、漏极以及位于源极和漏极之间的栅极，所述至少一个基本器件位于有源区上。本发明能够解决难以降低半导体器件中心温度的问题，改善了沟道散热效果，降低了沟道温度，提高了击穿电压。



1. 一种半导体器件，其特征在于，包括：

衬底；

位于所述衬底上的半导体层；

位于所述半导体层上分散分布的多个器件单元，所述多个器件单元以 M 行 N 列的矩阵形式分布在所述半导体层上，其中 M 和 N 均大于等于 1 且 M 和 N 不同时等于 1；

其中，单个器件单元包括至少一个基本器件，单个基本器件包括源极、漏极以及位于源极和漏极之间的栅极，所述至少一个基本器件位于有源区上。

2. 根据权利要求 1 所述的半导体器件，其特征在于，所述多个器件单元上的栅极之间通过栅极互联金属电连接，所述多个器件单元上的漏极之间通过漏极互联金属电连接，所述栅极互联金属和所述漏极互联金属位于无源区上。

3. 根据权利要求 2 所述的半导体器件，其特征在于，所述栅极互联金属和所述漏极互联金属相交处无电连接。

4. 根据权利要求 2 所述的半导体器件，其特征在于，所述半导体器件的底部设有接地电极，所述多个器件单元中的源极通过贯穿所述衬底和所述半导体层的通孔，与所述接地电极电连接。

5. 根据权利要求 2 所述的半导体器件，其特征在于，所述栅极为条形栅。

6. 根据权利要求 2 所述的半导体器件，其特征在于，所述多个器件单元的栅极的方向不同。

7. 根据权利要求 2 所述的半导体器件，其特征在于，所述半导体器件还包括位于无源区上栅体，所述栅体电连接于所述至少一个基本器件的栅极，且所述栅体位于单个器件单元的中心或边缘。

8. 一种半导体器件的制造方法，其特征在于，包括：

在衬底上形成半导体层；

在所述半导体层上形成以 M 行 N 列的矩阵形式分散分布的多个器件单元，其中 M 和 N 均大于等于 1 且 M 和 N 不同时等于 1，单个器件单元包括至少一个基本器件，单个基本器件包括源极、漏极以及位于源极和漏极之间的栅极，所述至少一个基本器件位于有源区上。

9. 根据权利要求 8 所述的方法，其特征在于，还包括：

形成栅极的同时，在无源区上形成用于电连接所述多个器件单元上的栅极的栅极互联金属；

形成漏极的同时，在无源区上形成用于电连接所述多个器件单元上的漏极的漏极互联金属。

10. 根据权利要求 9 所述的方法，其特征在于，还包括：

在所述半导体器件的底部形成接地电极；

在所述多个器件单元中的源极与所述接地电极之间开设贯穿所述衬底和所述半导体层的通孔；

将所述源极与所述接地电极通过所述通孔电连接。

一种半导体器件及其制造方法

技术领域

[0001] 本发明涉及半导体技术领域，具体涉及一种半导体器件及其制造方法。

背景技术

[0002] 氮化镓高电子迁移率晶体管 (High Electron Mobility Transistor, HEMT) 非常适合于制作高温、高频、高压和大功率的器件，可以广泛用于射频微波领域及电力电子领域，是目前半导体器件领域的研究热点之一。为了提高器件的输出功率，人们普遍将器件尺寸增大，即通过增大栅宽及多叉指栅的数量来提高输出功率，但是器件发热量随之增大，并且在器件内部分布不均匀，一般器件中心温度最高，造成器件性能及可靠性降低。

[0003] 现有技术中，解决器件沟道区域散热问题的方法主要有三种。第一，优化版图结构，增大多叉指栅极结构中栅条的间距。但该方法的缺点在于其改善效果有限，无法将器件中心区域的热量及时散发出去，器件中心区域依然是温度最高的区域；第二，使用导热率更高的衬底材料，比如将碳化硅衬底磨掉，采用化学气相沉积 (Chemical Vapor Deposition, CVD)、溅射或键合等方法在外延层背面形成金刚石膜或类钻碳膜，但是该方法的缺点在于增加了工艺复杂度和成本；第三，优化封装工艺，使用散热效果更好的管壳结构等，但是该方法缺点在于不能将器件内部的温度有效、均匀、及时地通过管壳散发出去，器件中心处温度依然最高，且器件内部的温度仍分布不均匀，因此并没有解决根本问题。

发明内容

[0004] 有鉴于此，本发明提出了一种半导体器件及其制造方法，以解决难以降低半导体器件中心温度的问题，改善沟道散热效果，降低沟道温度，提高击穿电压。

[0005] 为实现上述目的，本发明采用如下技术方案：

[0006] 一方面，本发明实施例提供了一种半导体器件，包括：

[0007] 衬底；

[0008] 位于所述衬底上的半导体层；

[0009] 位于所述半导体层上分散分布的多个器件单元，所述多个器件单元以 M 行 N 列的矩阵形式分布在所述半导体层上，其中 M 和 N 均大于等于 1 且 M 和 N 不同时等于 1；

[0010] 其中，单个器件单元包括至少一个基本器件，单个基本器件包括源极、漏极以及位于源极和漏极之间的栅极，所述至少一个基本器件位于有源区上。

[0011] 进一步的，所述多个器件单元上的栅极之间通过栅极互联金属电连接，所述多个器件单元上的漏极之间通过漏极互联金属电连接，所述栅极互联金属和所述漏极互联金属位于无源区上。

[0012] 进一步的，所述栅极互联金属和所述漏极互联金属相交处无电连接。

[0013] 进一步的，所述半导体器件的底部设有接地电极，所述多个器件单元中的源极通过贯穿所述衬底和所述半导体层的通孔，与所述接地电极电连接。

[0014] 进一步的，所述栅极为条形栅。

- [0015] 进一步的,所述多个器件单元的栅极的方向不同。
- [0016] 进一步的,所述半导体器件还包括位于无源区上棚体,所述棚体电连接于所述至少一个基本器件的栅极,且所述棚体位于单个器件单元的中心或边缘。
- [0017] 另一方面,本发明实施例提供了一种半导体器件的制造方法,包括:
- [0018] 在衬底上形成半导体层;
- [0019] 在所述半导体层上形成以 M 行 N 列的矩阵形式分散分布的多个器件单元,其中 M 和 N 均大于等于 1 且 M 和 N 不同时等于 1,单个器件单元包括至少一个基本器件,单个基本器件包括源极、漏极以及位于源极和漏极之间的栅极,所述至少一个基本器件位于有源区上。
- [0020] 进一步的,还包括:
- [0021] 形成栅极的同时,在无源区上形成用于电连接所述多个器件单元上的栅极的栅极互联金属;
- [0022] 形成漏极的同时,在无源区上形成用于电连接所述多个器件单元上的漏极的漏极互联金属。
- [0023] 进一步的,还包括:
- [0024] 在所述半导体器件的底部形成接地电极;
- [0025] 在所述多个器件单元中的源极与所述接地电极之间开设贯穿所述衬底和所述半导体层的通孔;
- [0026] 将所述源极与所述接地电极通过所述通孔电连接。
- [0027] 本发明的有益效果是:本发明的半导体器件及其制造方法,在半导体层上设置多个器件单元,并将多个器件单元以 M 行 N 列的矩阵形式分散分布,可以分散各器件单元有源区处的结温,避免有源区处热量过于集中导致的器件输出功率下降,有效地改善了散热效果;同时,有源区的平均结温降低,使半导体的电阻减小,提高了等效电流密度,从而提高了输出功率。

附图说明

[0028] 下面将通过参照附图详细描述本发明的示例性实施例,使本领域的普通技术人员更清楚本发明的上述及其他特征和优点,附图中:

- [0029] 图 1 是本发明实施例一提供的单个器件单元的剖面示意图;
- [0030] 图 2 是本发明实施例一提供的单个器件单元的俯视图;
- [0031] 图 3 是本发明实施例一提供的半导体器件的俯视图;
- [0032] 图 4 是本发明实施例二提供的半导体器件的俯视图;
- [0033] 图 5 是本发明实施例二提供的单个器件单元的剖面示意图;
- [0034] 图 6 是本发明实施例三提供的单个器件单元的俯视图;
- [0035] 图 7 是本发明实施例三提供的半导体器件的俯视图;
- [0036] 图 8 是本发明实施例四提供的单个器件单元的俯视图;
- [0037] 图 9 是本发明实施例四提供的半导体器件的俯视图;
- [0038] 图 10 是本发明实施例五提供的单个器件单元的俯视图;
- [0039] 图 11 是本发明实施例五提供的半导体器件的俯视图;

- [0040] 图 12 是本发明实施例六提供的单个器件单元的俯视图；
- [0041] 图 13 是本发明实施例六提供的半导体器件的俯视图；
- [0042] 图 14 是本发明实施例七提供的单个器件单元的俯视图；
- [0043] 图 15 是本发明实施例七提供的半导体器件的俯视图；
- [0044] 图 16 是本发明实施例八提供的单个器件单元的俯视图；
- [0045] 图 17 是本发明实施例八提供的半导体器件的俯视图。

具体实施方式

[0046] 下面结合附图并通过具体实施方式来进一步说明本发明的技术方案。可以理解的是，此处所描述的具体实施例仅仅用于解释本发明，而非对本发明的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与本发明相关的一部分而非全部结构。

[0047] 实施例一

[0048] 图 3 是本发明实施例一提供的半导体器件的俯视图，结合图 1、图 2 和图 3 可知，该半导体器件包括衬底 100；位于衬底 100 上的半导体层 101；位于半导体层 101 上分散分布的多个器件单元，多个器件单元以 M 行 N 列的矩阵形式分布在半导体层 101 上，其中 M 和 N 均大于等于 1 且 M 和 N 不同时等于 1；其中，单个器件单元包括至少一个基本器件，单个基本器件包括源极 102、漏极 104 以及位于源极 102 和漏极 104 之间的栅极 103，上述至少一个基本器件位于有源区（图 3 中至少一个基本器件上的虚线框内的区域）上。

[0049] 本实施例中，半导体器件可以包括 9 个器件单元，单个器件单元可以包括一个基本器件，9 个器件单元可任意分散分布在半导体层 101 上，以避免有源区处热量过于集中导致的器件输出功率下降，改善散热效果。

[0050] 进一步的，将多个器件单元以 M 行 N 列的矩阵形式分布在半导体层上，示例性的，将多个器件单元以 3 行 3 列的矩阵形式分布在半导体层上，使得半导体器件内部的热量均匀分布，进一步解决了半导体器件中心温度高的问题，提高了半导体器件性能及可靠性。

[0051] 本实施例中，衬底 100 可以是氮化镓、铝镓氮、铟镓氮、铝铟镓氮、磷化铟、砷化镓、碳化硅、金刚石、蓝宝石、锗、硅中的一种或多种的组合，或任何其他能够生长 III 族氮化物的材料。

[0052] 半导体层 101 的材料可以包括基于 III-V 族化合物的半导体材料，具体的，半导体层 101 可包括：

[0053] 位于衬底 100 上的成核层，该成核层影响位于其上的异质结材料的晶体质量、表面形貌以及电学性质等参数，起匹配衬底材料和异质结结构中半导体材料层的作用。

[0054] 位于成核层上的缓冲层，缓冲层能够保护衬底 100 不被一些金属离子侵入，又能够粘合需要生长于其上的其他半导体材料层的作用，缓冲层的材料可以是 AlGaN、GaN 或 AlGaN 等 III 族氮化物材料。

[0055] 位于缓冲层上的沟道层，位于沟道层上的势垒层，势垒层的材料可以为 AlGaN，沟道层和势垒层形成异质结结构，异质界面处形成有 2DEG (Two-Dimensional Electron Gas, 二维电子气) 沟道，其中，沟道层提供了 2DEG 运动的沟道，势垒层起势垒作用。

[0056] 另外，位于势垒层上的源极 102 和漏极 104 分别与 2DEG 接触，位于源极 102 和漏极 104 之间且位于势垒层上的栅极 103，当栅极 103 上施加适当的偏压时，可以控制和调制

电子在沟道层和势垒层界面之间的 2DEG 沟道的流动。

[0057] 本发明实施例一提供的半导体器件，在半导体层上设置多个器件单元，并将多个器件单元分散分布，可以分散各器件单元有源区处的结温，避免有源区处热量过于集中导致的器件输出功率下降，有效地改善了散热效果；同时，有源区的平均结温降低，使半导体的电阻减小，提高了等效电流密度，从而提高了输出功率；将多个器件单元以 M 行 N 列的矩阵形式分布在半导体层上，使得半导体器件内部的热量均匀分布，进一步解决了半导体器件中心温度高的问题，提高了半导体器件性能及可靠性。

[0058] 下面，对本发明实现上述半导体器件的制造方法做详细说明。

[0059] 该半导体器件的制造方法用于制备上述半导体器件，该制造方法包括：

[0060] 步骤一、在衬底 100 上形成半导体层 101。

[0061] 具体的，可在衬底 100 上顺次形成成核层、缓冲层、沟道层和势垒层，其中，沟道层和势垒层形成异质结结构，异质结界面处形成有 2DEG。

[0062] 步骤二、在半导体层 101 上形成以 M 行 N 列的矩阵形式分散分布的多个器件单元。

[0063] 其中，M 和 N 均大于等于 1 且 M 和 N 不同时等于 1，单个器件单元包括至少一个基本器件，单个基本器件包括源极 102、漏极 104 以及位于源极 102 和漏极 104 之间的栅极 103，至少一个基本器件位于有源区上。

[0064] 示例性的，上述多个器件单元可采用预先设计的光刻版，在半导体层 101 上一次形成。对于单个器件单元，在有源区的沟道层之上形成栅介质层，在栅介质层上形成栅极 103，对于硅器件，在沟道层两端经离子注入形成源区和漏区，对于氮化镓器件，在沟道层两端经退火形成源区和漏区，最后，在源区和漏区上沉淀金属，形成源极 102 和漏极 104。

[0065] 本发明实施例一提供的半导体器件的制造方法，在半导体层上形成多个器件单元，并将多个器件单元分散分布，可以分散各器件单元有源区处的结温，避免有源区处热量过于集中导致的器件输出功率下降，有效地改善了散热效果；同时，有源区的平均结温降低，使半导体的电阻减小，提高了等效电流密度，从而提高了输出功率。

[0066] 实施例二

[0067] 图 4 是本发明实施例二提供的半导体器件的俯视图，本实施例以上述实施例为基础进行优化，将多个器件单元上的栅极通过栅极互联金属电连接，将多个器件单元上的漏极通过漏极互联金属电连接。如图 4 和图 5 所示，该半导体器件可以包括：衬底 100；位于衬底 100 上的半导体层 101；位于半导体层 101 上分散分布的多个器件单元，其中多个器件单元以 M 行 N 列的矩阵形式分布在半导体层 101 上，其中 M 和 N 均大于等于 1 且 M 和 N 不同时等于 1；上述单个器件单元包括至少一个基本器件，单个基本器件包括源极 102、漏极 104 以及位于源极 102 和漏极 104 之间的栅极 103，至少一个基本器件位于有源区（图 4 中至少一个基本器件上的虚线框内的区域）上。上述多个器件单元上的栅极 103 之间通过栅极互联金属 105 电连接，多个器件单元上的漏极 104 之间通过漏极互联金属 106 电连接，其中，栅极互联金属 105 和漏极互联金属 106 位于无源区上。该方案可增大散热面积，进一步改善散热效果，提高输出功率；另外，将多个器件单元上的栅极 103 和漏极 104 通过互联金属进行电连接，只需对任意一个栅极 103 和任意一个漏极 104 供电，就可以使半导体器件工作，操作简单。

[0068] 进一步的，参见图 5，本实施例中，半导体器件的底部设有接地电极 107，多个器件

单元中的源极 102 通过贯穿衬底 100 和半导体层 101 的通孔 108,与接地电极 107 电连接。该方案在源极 102 与接地电极 107 之间开通孔 108,使源极 102 接地,可以降低接地时的寄生电感值,增大半导体器件的增益。

[0069] 另外,本实施例中的栅极 103 可以为条形栅。

[0070] 进一步的,上述多个器件单元的栅极的方向不同。具体的,不同器件单元的栅极的方向可以不一致,例如,两个器件单元的栅极可以相互垂直设置。

[0071] 下面,对本发明实现上述半导体器件的制造方法做详细说明。

[0072] 该半导体器件的制造方法用于制备上述半导体器件,该制造方法包括:

[0073] 步骤一、在衬底 100 上形成半导体层 101。

[0074] 步骤二、在半导体层 101 上形成以 M 行 N 列的矩阵形式分散分布的多个器件单元。

[0075] 其中,单个器件单元包括至少一个基本器件,单个基本器件包括源极 102、漏极 104 以及位于源极 102 和漏极 104 之间的栅极 103,至少一个基本器件位于有源区上。

[0076] 优选的,在半导体层 101 上形成以 M 行 N 列的矩阵形式分布的多个器件单元,其中 M 和 N 均大于等于 1 且 M 和 N 不同时等于 1。

[0077] 进一步的,形成栅极 103 的同时,在无源区上形成用于电连接多个器件单元上的栅极 103 的栅极互联金属 105;形成漏极 104 的同时,在无源区上形成用于电连接多个器件单元上的漏极 104 的漏极互联金属 106。其中,栅极互联金属 105 和漏极互联金属 106 的走线分布不作限制,示例性的,如图 4 所示,栅极互联金属 105 和漏极互联金属 106 可以以正交的方式相交,且栅极互联金属 105 和漏极互联金属 106 的相交处无电连接,为此,栅极互联金属 105 和漏极互联金属 106 之间可以用绝缘层(图中未标出)隔开。

[0078] 步骤三、在半导体器件的底部形成接地电极 107。

[0079] 步骤四、在多个器件单元中的源极 102 与接地电极 107 之间开设贯穿衬底 100 和半导体层 101 的通孔 108。

[0080] 步骤五、将源极 102 与接地电极 107 通过通孔 108 电连接。

[0081] 在本实施例中,与实施例一相同的部分不再重述。

[0082] 本发明实施例二提供的半导体器件及其制造方法,在无源区上形成栅极互联金属和漏极互联金属,分别电连接多个器件单元上的栅极和漏极,增大了散热面积,进一步改善了散热效果,提高了输出功率;通过通孔将源极与接地电极电连接,降低了接地时的寄生电感值,增大了半导体器件的增益。

[0083] 实施例三

[0084] 图 6 为本发明实施例三提供的单个器件单元的俯视图,图 7 为本发明实施例三提供的半导体器件的俯视图,与实施例一不同的是,本实施例中单个器件单元的结构为多叉指栅极结构,该半导体器件还包括位于无源区上栅体,该栅体电连接于相邻的两个基本器件的栅极,且栅体位于单个器件单元的边缘。如图 7 所示,该半导体器件包括衬底(图中未标出);位于衬底上的半导体层 201;位于半导体层 201 上分散分布的多个器件单元;其中,单个器件单元包括至少一个基本器件,单个基本器件包括由外向内对称分布的一对漏极 204、一对栅极 203 以及中间的一个源极 202,上述至少一个基本器件位于有源区(图 7 中至少一个基本器件上的虚线框内的区域)上;位于无源区上,用于电连接多个器件单元的栅极 203 的栅极互联金属 205,及用于电连接多个器件单元的漏极 204 的第一漏极互联金属

206 ;位于无源区上的一对栅体 207 和一对漏体 208 ;位于单个器件单元中心,用于电连接单个器件单元上至少一个基本器件的漏极 204 的第二漏极互联金属 209。

[0085] 其中,一对栅极 203 通过栅体 207 连接,一对漏极 204 通过漏体 208 连接,单个器件单元中的栅体 207、漏体 208、栅极 203、源极 202 和漏极 204,以单个器件单元的中心点为中心,形成中心对称图案。

[0086] 本实施例中,4 个器件单元以 2 行 2 列的矩阵形式分布在半导体层上,单个器件单元包括 4 个基本器件,同等的版图面积上增加了器件的数量,大大提高了器件的输出功率;单个器件单元上的有源区数量增加,且有源区呈对称分散分布,使单个器件单元的内部热量分布均匀,进而使整个半导体器件的内部热量分布均匀,进一步提高半导体器件的性能及可靠性。

[0087] 实施例四

[0088] 图 8 为本发明实施例四提供的单个器件单元的俯视图,图 9 是本发明实施例四提供的半导体器件的俯视图,与上述实施例不同的是,本实施例中单个器件单元的栅极为星形发散状结构,该半导体器件还包括位于无源区上栅体,该栅体电连接于至少一个基本器件的栅极,且栅体位于单个器件单元的中心。如图 9 所示,该半导体器件包括衬底(图中未标出);位于衬底上的半导体层 301;位于半导体层 301 上分散分布的多个器件单元;其中,单个器件单元包括至少一个基本器件,单个基本器件包括源极 302、漏极 304 以及位于源极 302 和漏极 304 之间的栅极 303,上述至少一个基本器件位于有源区(图 9 中至少一个基本器件上的虚线框内的区域)上;位于无源区上,用于电连接多个器件单元的栅极 303 的栅极互联金属 305,及用于电连接多个器件单元的漏极 304 的漏极互联金属 306;位于无源区上的一对源体 309 和一对漏体 208,及位于单个器件单元中心,用于电连接单个器件单元上至少一个基本器件的栅极 303 的圆形栅体 307。

[0089] 其中,每个源体 309 连接 2 个源极 302,每个漏体 308 连接 2 个漏极 304,4 个栅极 303 从栅体 307 向外发散生长,分别形成于各基本器件的源极 302 和漏极 304 之间。单个器件单元中的栅体 307、漏体 308、栅极 303、源极 302 和漏极 304,以单个器件单元的中心点为中心,形成中心对称图案。

[0090] 本实施例中,4 个器件单元以 2 行 2 列的矩阵形式分布在半导体层上,单个器件单元包括 4 个基本器件,同等的版图面积上增加了器件的数量,大大提高了器件的输出功率;电连接于源极的源体的金属面积显著增大,有助于增加通孔尺寸,进一步降低了接地时的寄生电感值,增大了半导体器件的增益。

[0091] 实施例五

[0092] 图 10 为本发明实施例五提供的单个器件单元的俯视图,图 11 为本发明实施例五提供的半导体器件的俯视图。如图 11 所示,本实施例以实施例四为基础,去除了图 9 中多个器件单元中的源体 309,节省了金属材料,减小了半导体器件的总面积。

[0093] 实施例六

[0094] 图 12 为本发明实施例六提供的单个器件单元的俯视图,图 13 为本发明实施例六提供的半导体器件的俯视图,与实施例三不同的是,本实施例中单个器件单元的结构为弯曲的多叉指栅极结构,该半导体器件还包括位于无源区上栅体,该栅体电连接于至少一个基本器件的栅极,且栅体位于单个器件单元的中心。如图 13 所示,该半导体器件包括衬底

(图中未标出);位于衬底上的半导体层 401;位于半导体层 401 上分散分布的多个器件单元;其中,单个器件单元包括至少一个基本器件,单个基本器件包括由外向内对称分布的一对漏极 404、一对第一栅极 403 以及中间的一个源极 402,上述至少一个基本器件位于有源区(图 13 中至少一个基本器件上的虚线框内的区域)上;位于无源区上,用于电连接多个器件单元的栅极 403 的栅极互联金属 405,及用于电连接多个器件单元的漏极 404 的漏极互联金属 406;位于无源区上的一对源体 409 和一对漏体 408,及位于单个器件单元中心,用于电连接单个器件单元上至少一个基本器件的栅极 403 的栅体 407。

[0095] 其中,一对第一栅极 403 通过无源区上,与第一栅极 403 垂直的第二栅极 410 连接,一对漏极 404 通过漏体 408 连接,单个器件单元中的栅体 407、漏体 408、栅极 403、源极 402 和漏极 404,以单个器件单元的中心点为中心,形成中心对称图案。

[0096] 本实施例中,4 个器件单元以 2 行 2 列的矩阵形式分布在半导体层上,单个器件单元包括 4 个基本器件,同等的版图面积上增加了器件的数量,大大提高了器件的输出功率;电连接于源极的源体的金属面积显著增大,有助于增加通孔尺寸,进一步降低了接地时的寄生电感值,增大了半导体器件的增益;单个基本器件的栅宽等于一对第一栅极和第二栅极的长度之和,在有限面积内增大了器件栅宽,提高了器件输出功率。

[0097] 实施例七

[0098] 图 14 为本发明实施例七提供的单个器件单元的俯视图,图 15 为本发明实施例七提供的半导体器件的俯视图。如图 15 所示,本实施例以实施例六为基础,去除了图 13 中多个器件单元中的源体 409,节省了金属材料,减小了半导体器件的总面积。

[0099] 实施例八

[0100] 图 16 为本发明实施例八提供的单个器件单元的俯视图,图 17 为本发明实施例八提供的半导体器件的俯视图,与上述实施例不同的是,本实施例中单个器件单元的源极共同形成 T 型分布。如图 17 所示,该半导体器件包括衬底(图中未标出);位于衬底上的半导体层 501;位于半导体层 501 上分散分布的多个器件单元;其中,单个器件单元包括至少一个基本器件,单个基本器件包括源极 502、漏极 504 以及位于源极 502 和漏极 504 之间的栅极 503,上述至少一个基本器件位于有源区(图 17 中至少一个基本器件上的虚线框内的区域)上;位于无源区上,用于电连接多个器件单元的栅极 503 的第一栅极互联金属 505,及用于电连接多个器件单元的漏极 504 的第一漏极互联金属 506。

[0101] 其中,单个器件单元的源极 502 共同形成 T 型分布,并集中分布在单个器件单元的中部,且源极的方向一致;单个器件单元中的栅极 503 通过无源区上的第二栅极互联金属 507 电连接,单个器件单元中的漏极 504 通过无源区上的第二漏极互联金属 508 电连接。

[0102] 本实施例中,4 个器件单元以 2 行 2 列的矩阵形式分布在半导体层上,单个器件单元包括 4 个基本器件,同等的版图面积上增加了器件的数量,大大提高了器件的输出功率。

[0103] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

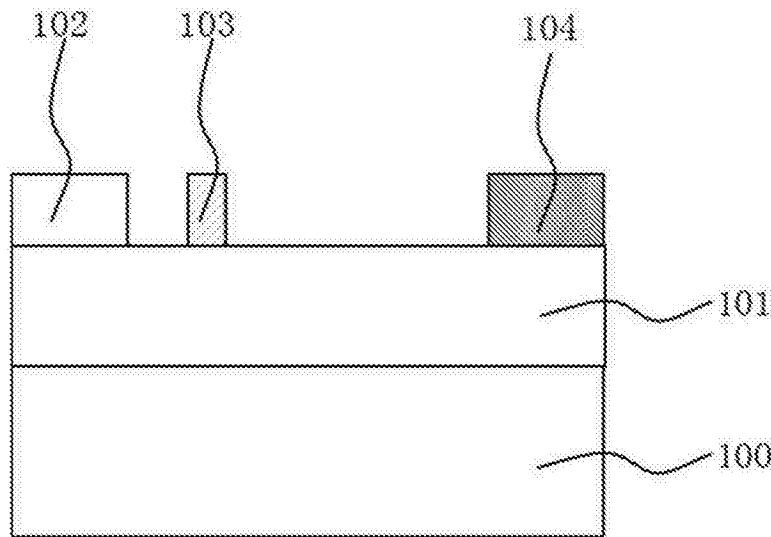


图 1

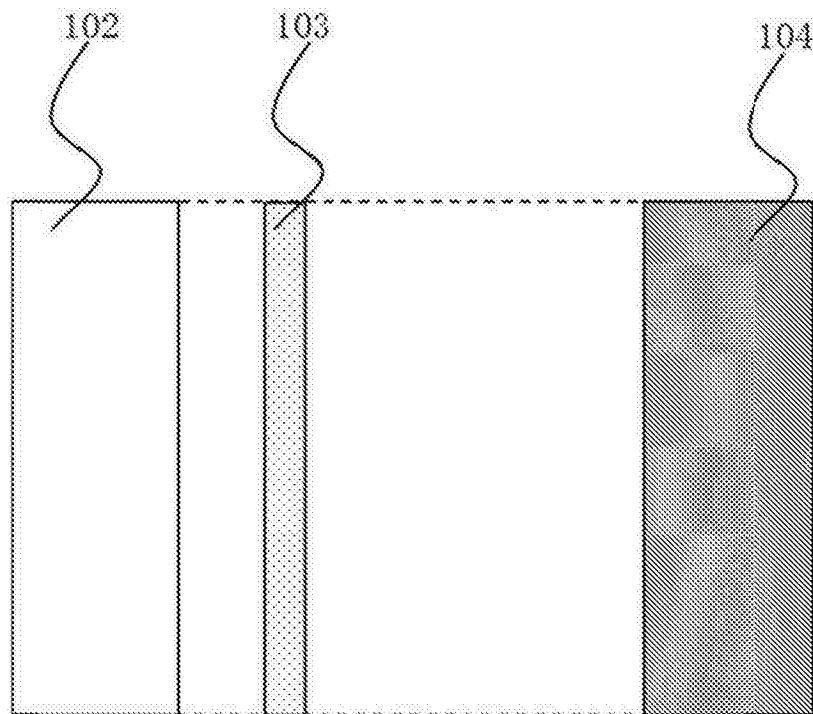


图 2

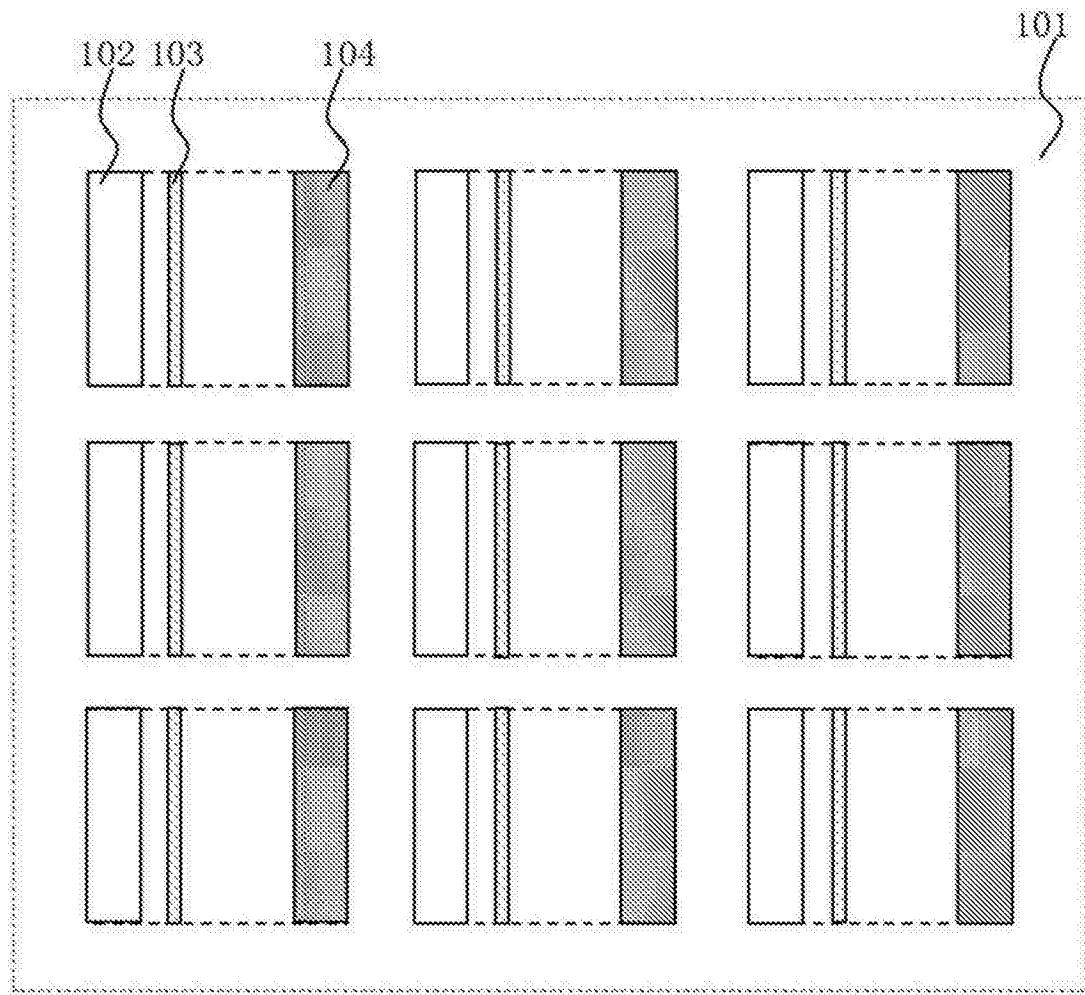


图 3

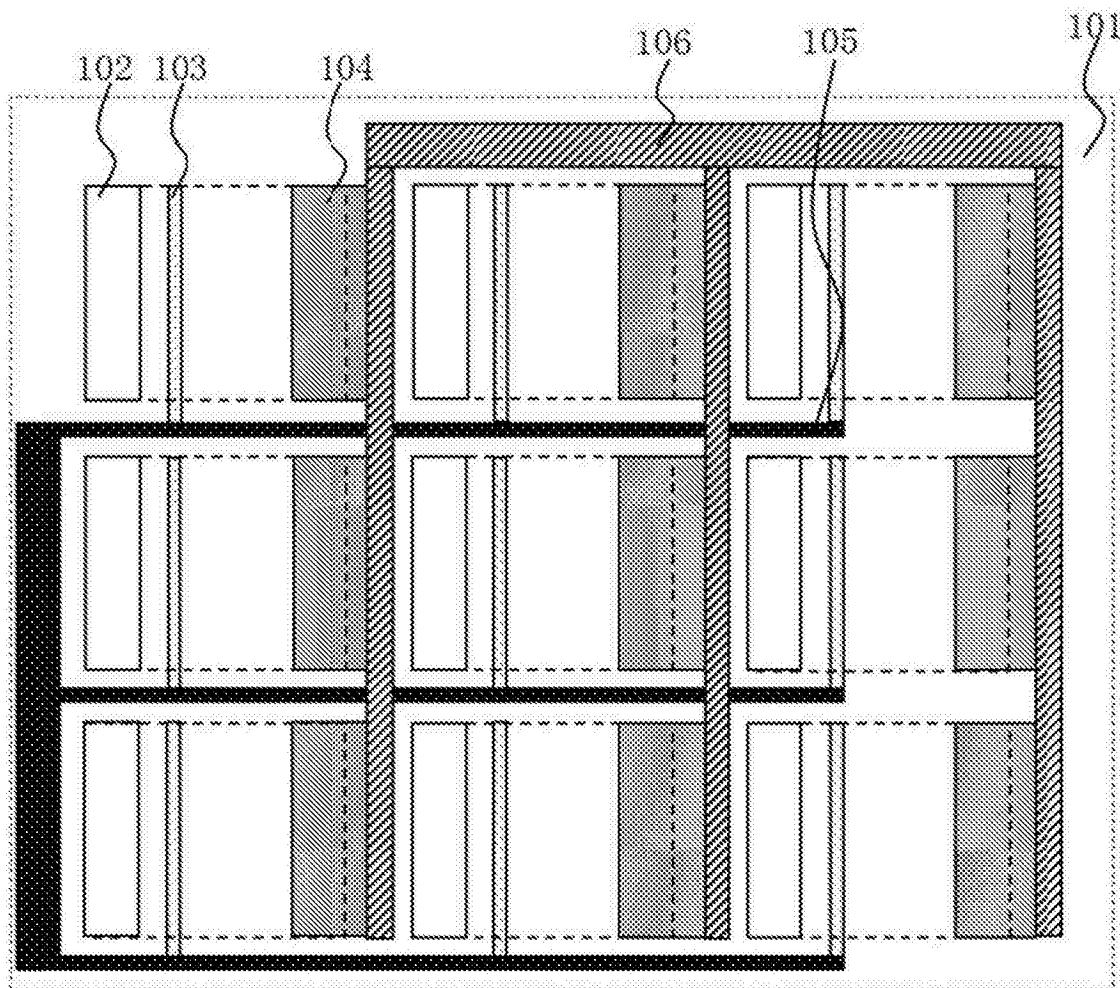


图 4

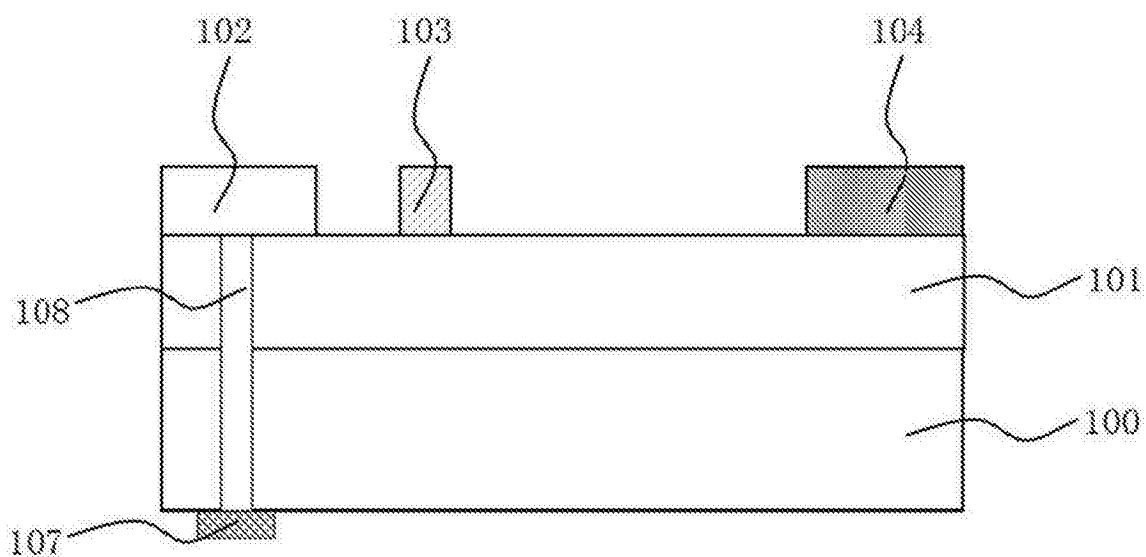


图 5

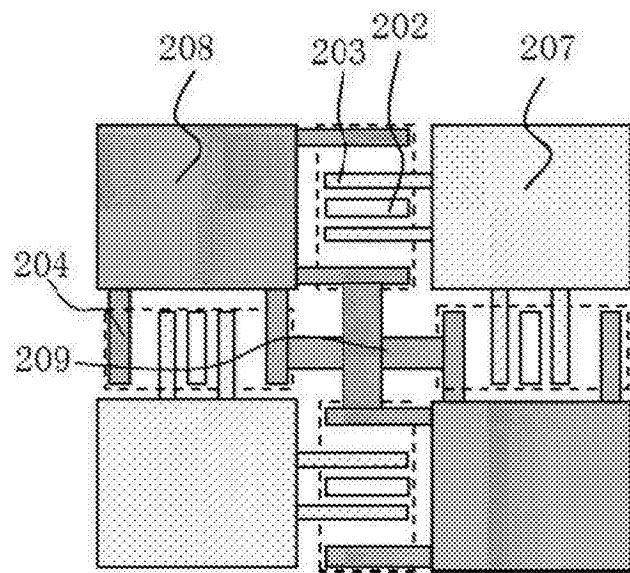


图 6

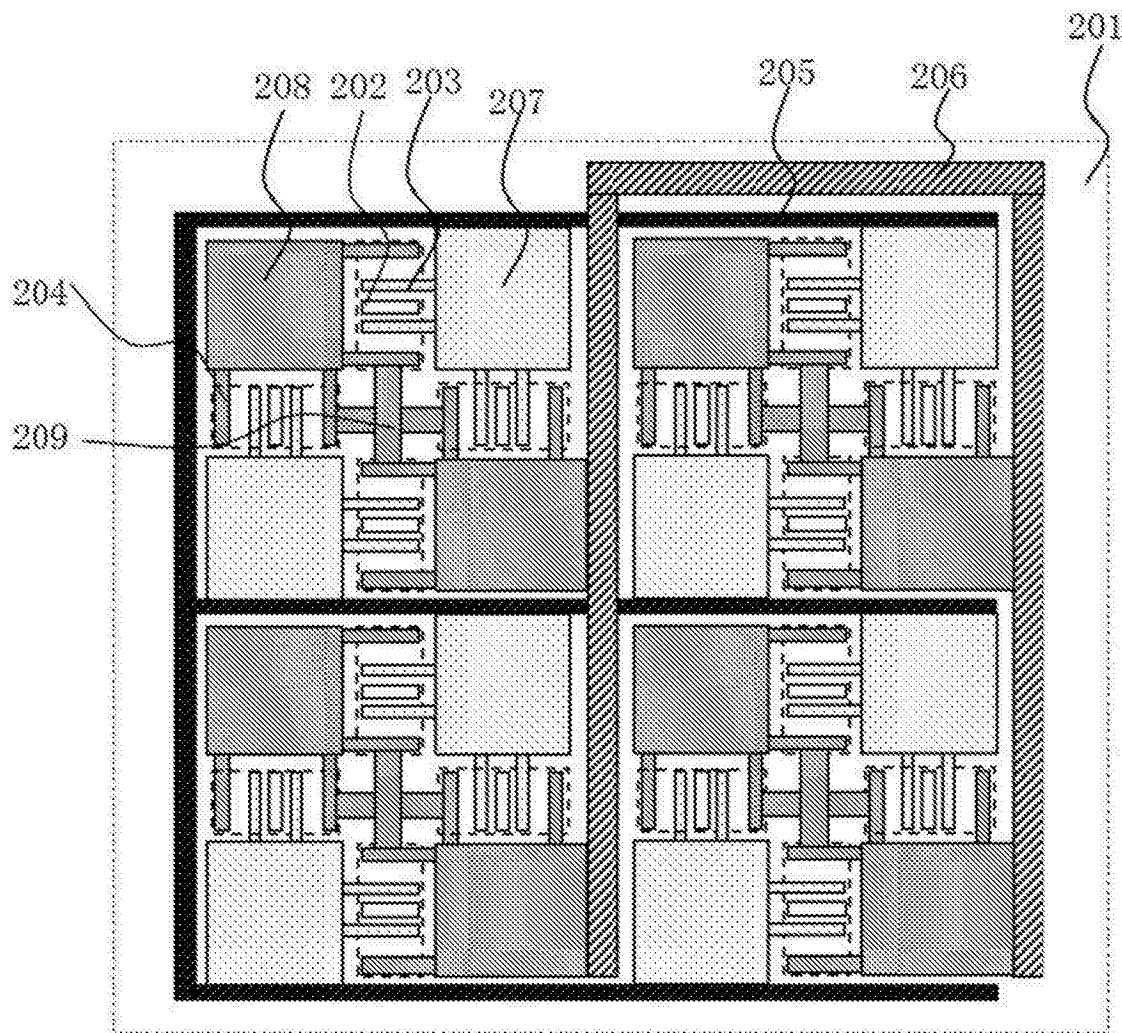


图 7

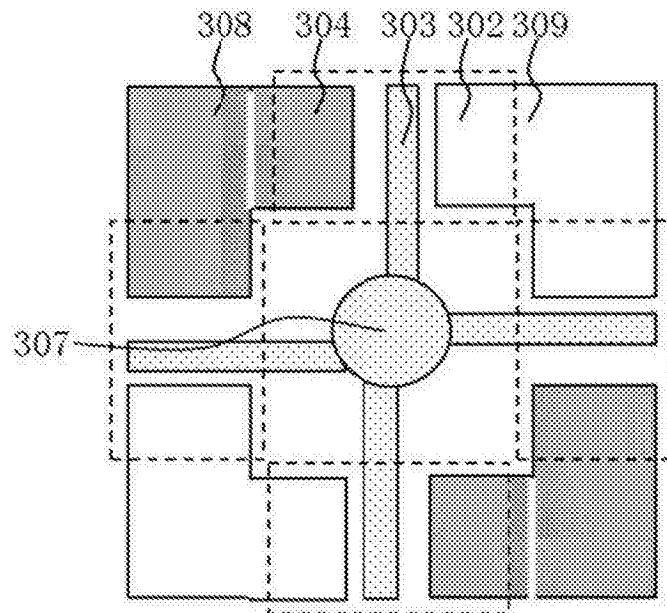


图 8

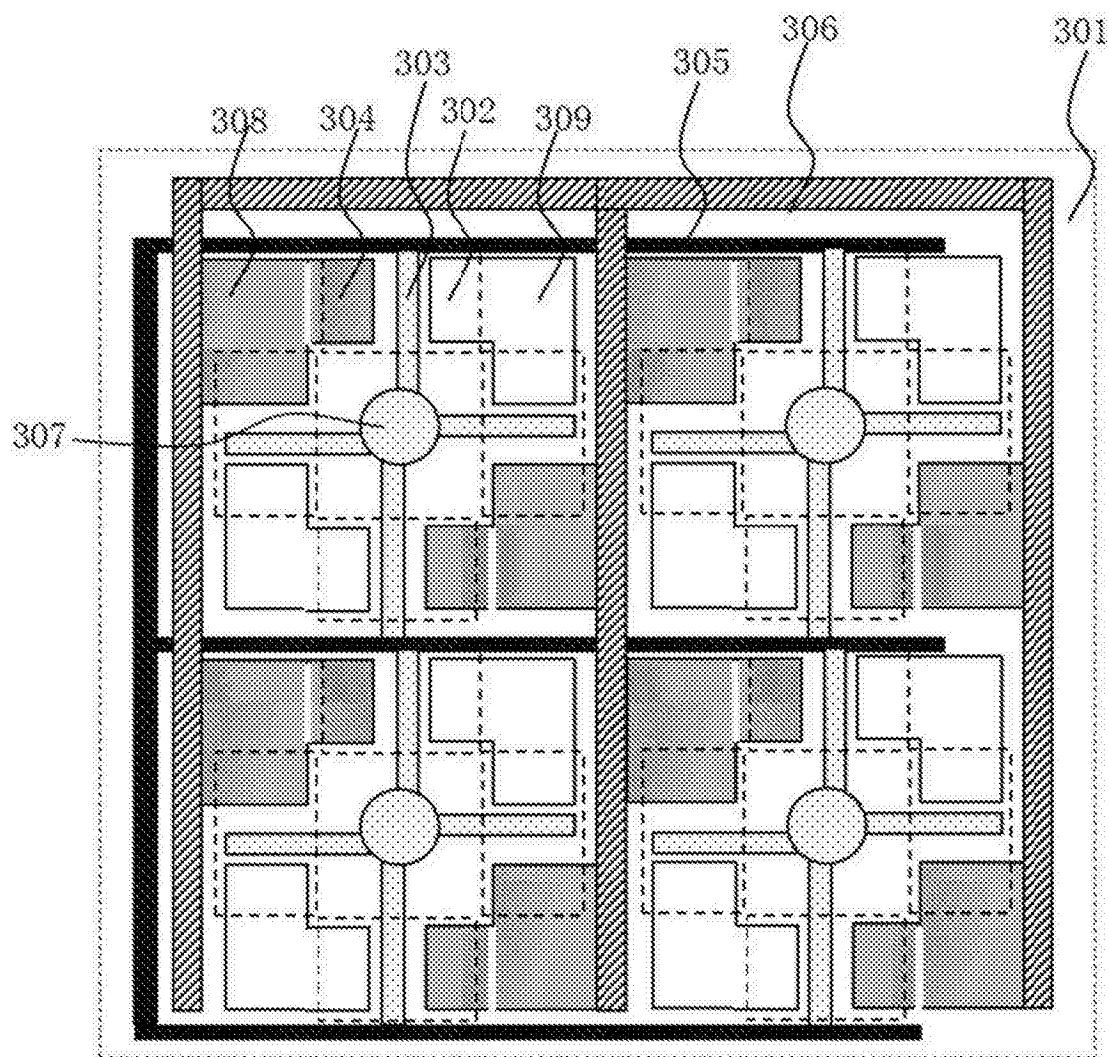


图 9

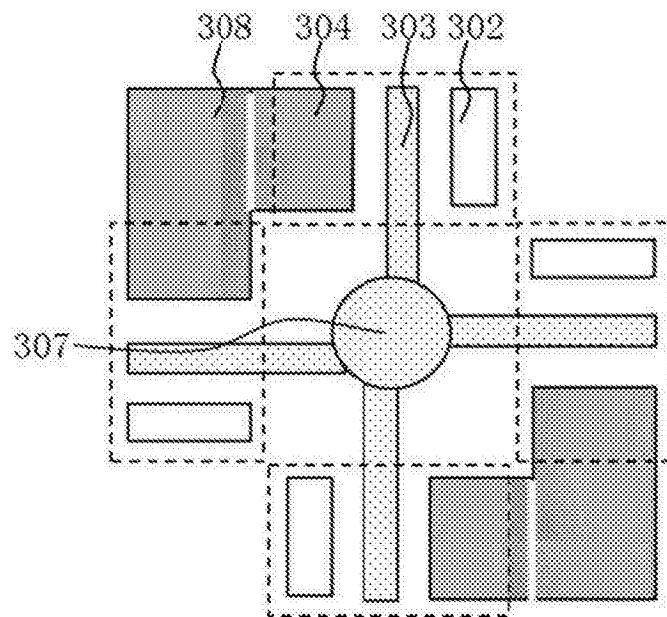


图 10

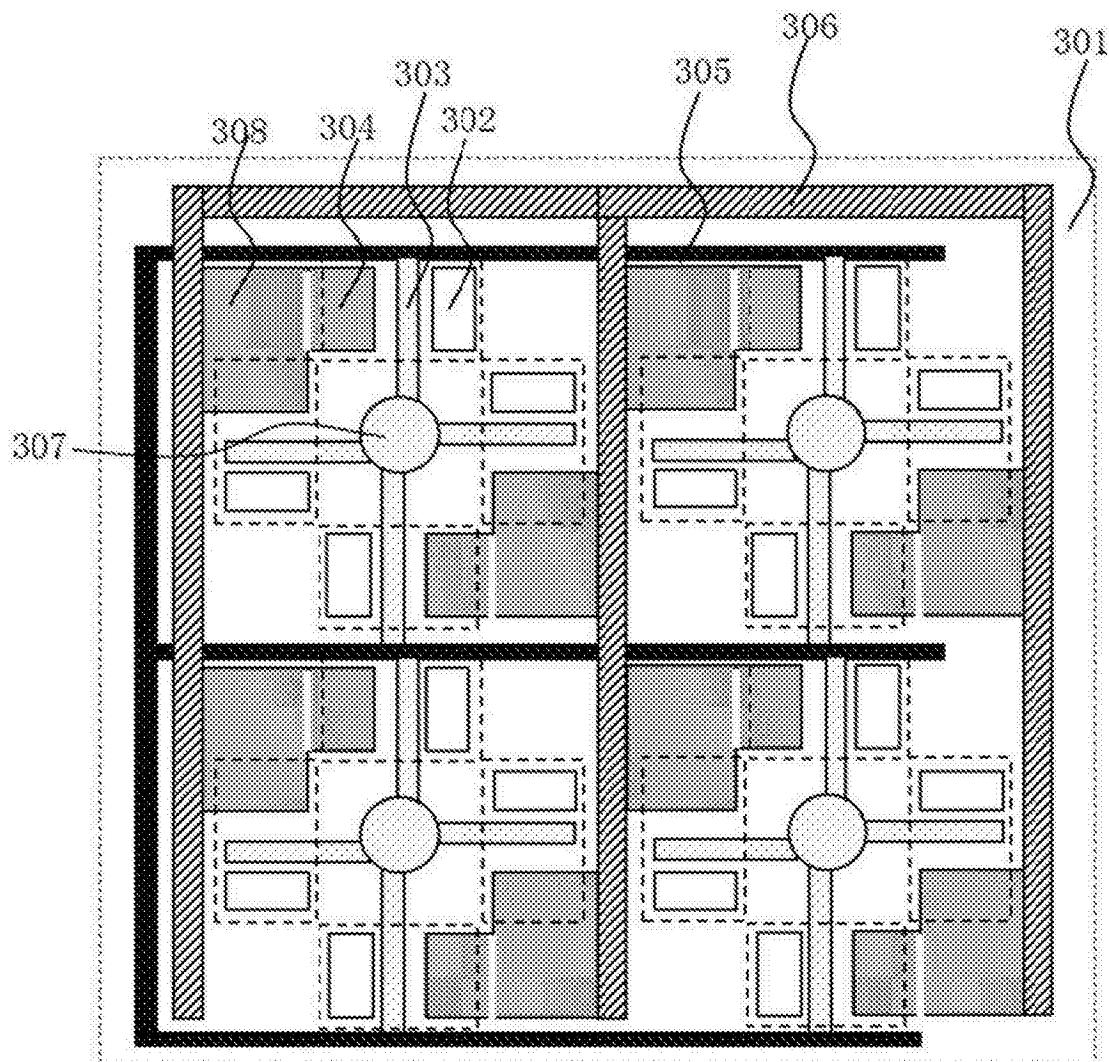


图 11

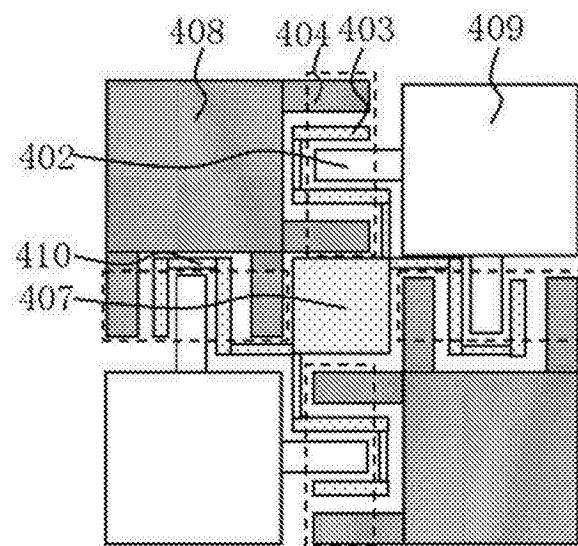


图 12

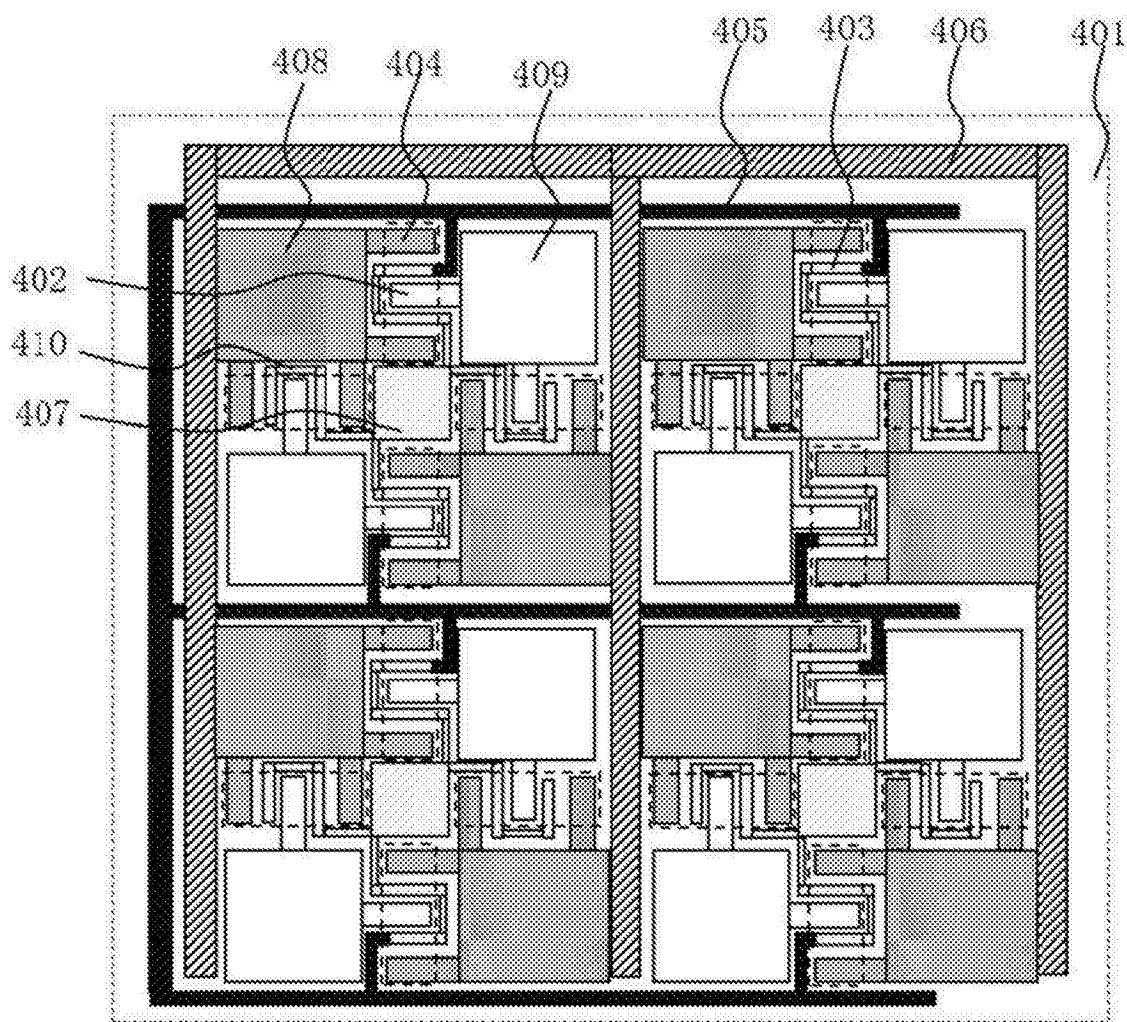


图 13

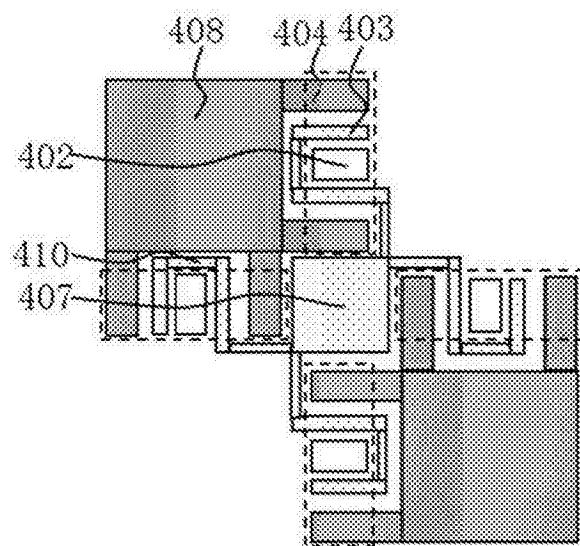


图 14

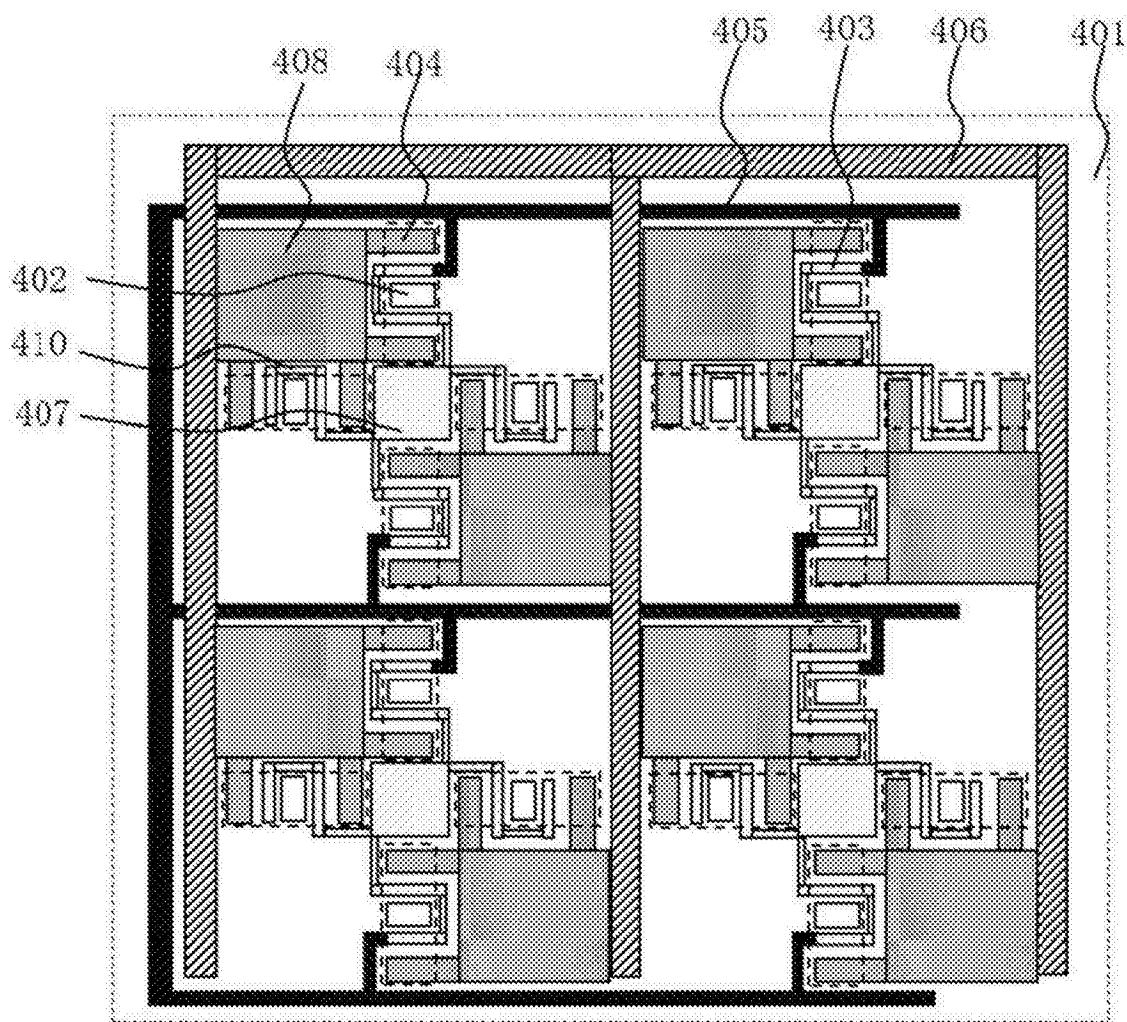


图 15

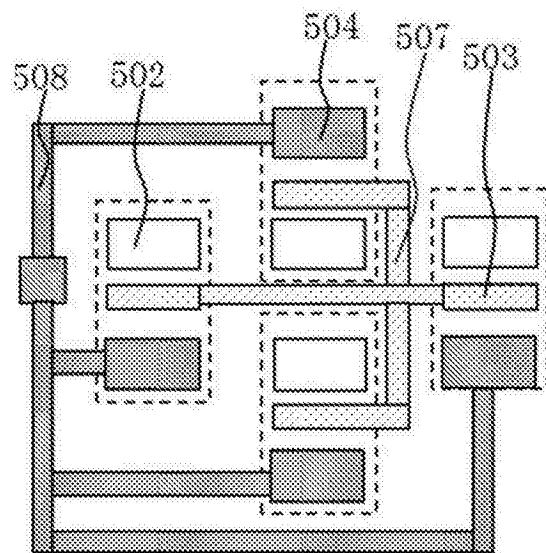


图 16

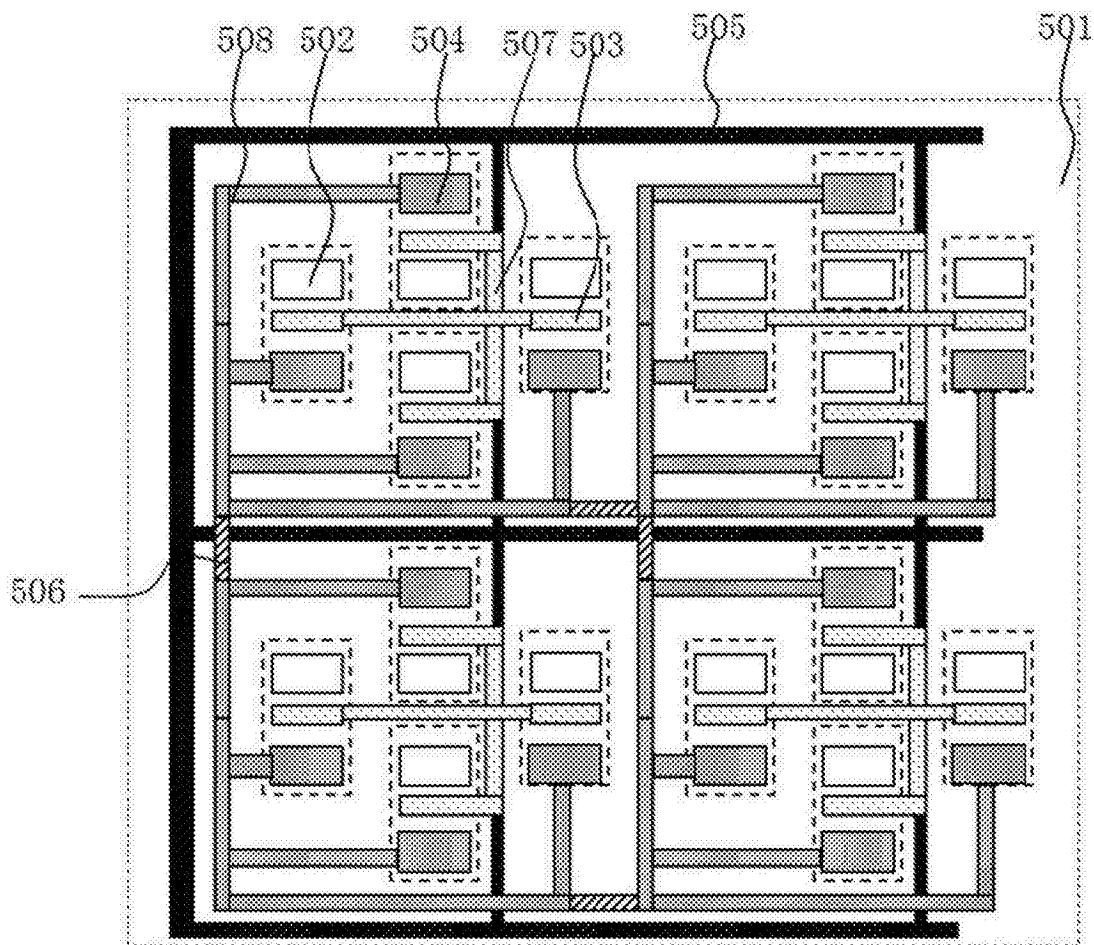


图 17