

(12) 发明专利

(10) 授权公告号 CN 1637948 B

(45) 授权公告日 2011.02.23

(21) 申请号 200410081973.9

审查员 林松岭

(22) 申请日 2004.12.30

(30) 优先权数据

100549/03 2003.12.30 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 安洙珍

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邸万奎 黄小临

(51) Int. Cl.

G11C 13/00 (2006.01)

G11C 7/00 (2006.01)

(56) 对比文件

US 2003/0067013 A1, 2003.04.10, 全文 .

CN 1351379 A, 2002.05.29, 全文 .

JP 特开 2002-203392 A, 2002.07.19, 全文 .

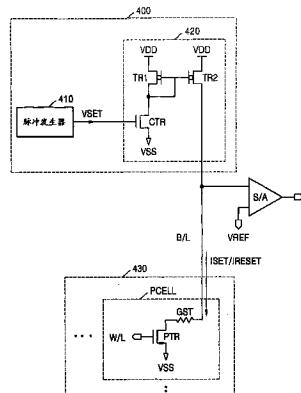
权利要求书 2 页 说明书 7 页 附图 4 页

(54) 发明名称

用于相变存储阵列的置位编程方法和写入驱动器电路

(57) 摘要

本发明的示范实施例提供了用于相变存储阵列的置位编程方法和写入驱动器电路。置位编程方法的示范实施例可包括将置位电流脉冲施加到可包括在相变存储阵列中的相变单元，这可使得该相变单元转变到置位阻抗状态。置位编程方法和 / 或写入驱动器电路的示范实施例可导致相变单元转变到置位阻抗状态。



1. 一种用于具有多个相变单元的相变存储阵列的置位编程方法,所述相变单元响应于对其施加的电流脉冲而转变到复位阻抗状态或置位阻抗状态,该方法包括:

作为将置位电流脉冲施加到相变单元的结果,而将该相变单元转变到置位阻抗状态;其中

该置位电流脉冲包括多个阶段,其中该置位电流脉冲的幅度逐渐减小。

2. 根据权利要求 1 的置位编程方法,其中所述多个阶段至少包括第 1 到第 n 阶段,其中 n 大于或等于 2。

3. 根据权利要求 2 的置位编程方法,其中该第 1 阶段的置位电流脉冲的幅度对应于用于将相变单元转变到置位阻抗状态的最大电流。

4. 根据权利要求 2 的置位编程方法,其中该第 1 阶段的置位电流脉冲的幅度不超过用于将该相变单元加热到它们的熔化温度的电流的幅度。

5. 根据权利要求 1 的置位编程方法,还包括其区间置位电流脉冲的幅度为 0 的阶段。

6. 根据权利要求 1 的置位编程方法,其中依次产生所述多个阶段的置位电流脉冲。

7. 根据权利要求 1 的置位编程方法,其中所述多个阶段包括 4 个阶段。

8. 一种用于具有多个相变单元的相变存储阵列的置位编程方法,所述相变单元响应于对其施加的电流脉冲而转变到复位阻抗状态或置位阻抗状态,该方法包括:

将具有一幅度的第 1 电流脉冲施加到相变单元,使得该相变单元转变到置位阻抗状态;以及

依次将幅度小于第 1 电流脉冲的幅度的 n-1 个附加电流脉冲施加到该相变单元,其中 n 大于或等于 2,第 2 到第 n 电流脉冲的幅度依次减小。

9. 根据权利要求 8 的置位编程方法,其中该第 1 电流脉冲的电流幅度对应于用于将相变单元转变到置位阻抗状态的最大电流。

10. 根据权利要求 8 的置位编程方法,其中该第 1 电流脉冲的幅度不超过用于将该相变单元加热到它们的熔化温度的电流的幅度。

11. 根据权利要求 8 的置位编程方法,还包括其区间置位电流脉冲的幅度为 0 的阶段。

12. 根据权利要求 8 的置位编程方法,其中依次产生第 1 到第 n 电流脉冲。

13. 根据权利要求 8 的置位编程方法,其中所述多个阶段包括 4 个阶段。

14. 一种具有多个相变单元的相变存储阵列的写入驱动器电路,所述相变单元响应于对其施加的电流脉冲而转变到复位阻抗状态或置位阻抗状态,该写入驱动器电路包括:

脉冲发生器,适配为产生具有电压幅度逐渐减小的第 1 到第 n 阶段的置位电压脉冲,其中 n 大于或等于 2;以及

电流控制器,适配为将置位电流脉冲施加到该相变单元,其中该置位电流脉冲具有电流幅度基于该置位电压脉冲而逐渐减小的第 1 到第 n 阶段,其中 n 大于或等于 2。

15. 根据权利要求 14 的写入驱动器电路,其中该电流控制器包括:

第一晶体管,具有连接到电源电压的第一端和连接到其栅极的第二端;

第二晶体管,具有连接到电源电压的第一端、通过其输出置位电流脉冲的第二端、和连接到第一晶体管的栅极的栅极;以及

控制晶体管,具有与第一晶体管的第二端相连接的第一端以及与地电压相连接的第二端,其中由施加到其栅极的置位电压脉冲确定该控制晶体管导通的程度。

16. 根据权利要求 14 的写入驱动器电路, 其中该第 1 阶段的置位电压脉冲的幅度对应于需要最大电流以转变到置位阻抗状态的相变单元的最大电压。

17. 根据权利要求 14 的写入驱动器电路, 其中该第 1 阶段的置位电压脉冲的幅度不超过产生用于将该相变单元加热到它们的熔化温度的置位电流脉冲所需的电压。

18. 根据权利要求 14 的写入驱动器电路, 还包括其间置位电流脉冲的幅度为 0 的阶段。

19. 根据权利要求 14 的写入驱动器电路, 其中依次产生第 1 到第 n 阶段的置位电压脉冲。

20. 根据权利要求 14 的写入驱动器电路, 其中 n 为 4。

21. 一种电流控制器, 包括 :

第一晶体管, 具有连接到电源电压的第一端和连接到该第一晶体管的栅极的第二端 ;

第二晶体管, 具有连接到电源电压的第一端、适配为输出置位电流脉冲的第二端、和连接到第一晶体管的栅极 ; 以及

控制晶体管, 具有与第一晶体管的第二端相连接的第一端以及与地电压相连接的第二端, 其中由施加到该控制晶体管的栅极的置位电压脉冲确定该控制晶体管的功能。

22. 一种写入驱动器电路, 适配为在多个阶段期间, 响应于多个置位电压脉冲而产生多个置位电流脉冲, 其中, 置位电压脉冲和置位电流脉冲的幅度逐渐减小, 并且将该置位电流脉冲施加到多个相变存储单元, 使得所述多个相变单元转变到置位状态。

23. 一种实现权利要求 1 的置位编程方法的写入驱动器电路, 包括 :

电流控制器, 作为将置位电流脉冲施加到相变单元的结果, 而将该相变单元转变到置位阻抗状态 ; 其中

该置位电流脉冲包括多个阶段, 其中该置位电流脉冲的幅度逐渐减小。

24. 一种实现权利要求 8 的置位编程方法的写入驱动器电路, 包括 :

电流控制器, 将具有一幅度的第 1 电流脉冲施加到相变单元, 使得该相变单元转变到置位阻抗状态 ; 以及

依次将幅度小于第 1 电流脉冲的幅度的 n-1 个附加电流脉冲施加到该相变单元, 其中 n 大于或等于 2, 第 2 到第 n 电流脉冲的幅度依次减小。

25. 一种包括电流控制器的写入驱动器电路, 该电流控制器包括 :

第一晶体管, 具有连接到电源电压的第一端和连接到该第一晶体管的栅极的第二端 ;

第二晶体管, 具有连接到电源电压的第一端、适配为输出置位电流脉冲的第二端、和连接到第一晶体管的栅极 ; 以及

控制晶体管, 具有与第一晶体管的第二端相连接的第一端以及与地电压相连接的第二端, 其中由施加到该控制晶体管的栅极的置位电压脉冲确定该控制晶体管的功能。

用于相变存储阵列的置位编程方法和写入驱动器电路

技术领域

[0001] 本发明涉及用于相变存储阵列的置位编程方法和可执行置位编程方法的写入驱动器电路。

背景技术

[0002] PRAM(相变随机存取存储器)是可利用具有可响应于可能由温度变化引起的材料的相变而变化的阻抗的例如GST(Ge-Sb-Te)的材料来存储数据的非易失性存储器件。该材料可称为相变材料。

[0003] 在PRAM器件的写入操作期间,当电流可能流过时,相变材料可将状态改变为晶态或非晶态。相变材料的晶态或非晶态的转变可取决于流过该相变材料的电流的强度和/或流量。较大量电流可流过该相变材料一段时间,并且该相变材料可改变为非晶态,这可称为复位状态。该复位状态可对应于数据1。

[0004] 小于复位电流的电流可流过该相变材料一段时间,并且该相变材料可变换为晶态,这可称为置位状态。该置位状态可对应于数据0。

[0005] 复位状态的相变材料的阻抗可大于置位状态的阻抗。存储单元可通过使可将该相变材料加热到大于熔化温度的温度的复位电流流过该相变材料,而从置位状态转变为复位状态,并且该相变材料可(例如很快)冷却。

[0006] 存储单元可通过使可将该相变材料加热到大于结晶温度的温度的置位电流流过该相变材料,而从复位状态改变为置位状态,并保持此状态达一时间量,并且该相变材料可冷却。

[0007] 图1是图示了用于向该相变材料写入数据的电流脉冲的例子的图。参考图1,具有减小周期的较大电流脉冲可施加到该相变材料并可熔化该相变材料。该相变材料可(例如很快)冷却,并且该相变材料可变换为非晶态(例如复位状态)。具有长周期的较小电流脉冲可施加到该相变材料,以将该相变材料改变为晶态(置位状态),其中该具有长周期的较小电流脉冲可将该相变材料加热到结晶温度或更高。

[0008] 在可包括多个相变存储单元的存储阵列中,存储单元可根据存储阵列的排列而包括不同寄生负载。可连接到存储单元的信号线可具有不同负载。因为存储阵列的区域可能增加,所以在制造过程期间,可产生存储单元之间的复位电流差。该复位电流差可导致置位电流差。一些存储单元不会通过一个置位电流而改变到置位状态。

[0009] 例如,一些存储单元可响应于置位电流而改变到置位状态,而一些存储单元不会响应于置位电流而改变到置位状态。这可导致相变存储阵列故障。

发明内容

[0010] 本发明的示范实施例可提供一种用于可具有多个相变单元的相变存储阵列的置位编程方法,所述相变单元可响应于可对其施加的电流脉冲而转变到复位阻抗状态或置位阻抗状态。该置位编程方法可包括将置位电流脉冲施加到相变单元,这可使该相变单元转

变到置位阻抗状态。该置位电流脉冲可包括第 1 到第 n 阶段，其中电流幅度可（例如逐渐）减小。

[0011] 在本发明的示范实施例中，第 1 阶段的置位电流脉冲的幅度可对应于用于将相变单元转变到置位阻抗状态的相变单元的最大电流。

[0012] 在本发明的示范实施例中，第 1 阶段的置位电流脉冲的幅度不超过可将相变单元加热到它们的熔化温度的电流的幅度。

[0013] 在本发明的示范实施例中，在相邻阶段的置位电流脉冲之间可存在电流幅度为 0 的周期，并且 / 或者可依次产生第 1 到第 n 阶段的置位电流脉冲。

[0014] 在本发明的示范实施例中，n 可为 4。

[0015] 本发明的另一示范实施例可提供一种用于可具有多个相变单元的相变存储阵列的置位编程方法，所述相变单元可响应于对其施加的电流脉冲而转变到复位阻抗状态或置位阻抗状态。该置位编程方法可包括：将具有一幅度的第 1 电流脉冲施加到相变单元，使得该相变单元可转变到置位阻抗状态；并依次将其幅度可小于第 1 电流脉冲的幅度的第 2 到第 n 电流脉冲施加到该相变单元。第 2 到第 n 电流脉冲的幅度可依次降低。

[0016] 在本发明的示范实施例中，第 1 电流脉冲的电流幅度可为可将相变存储单元转变到置位阻抗状态的最大电流。

[0017] 本发明的另一示范实施例可提供一种可具有多个相变单元的相变存储阵列的写入驱动器电路，所述相变单元响应于对其施加的电流脉冲而转变到复位阻抗状态或置位阻抗状态。写入驱动器电路可包括脉冲发生器和电流控制器。

[0018] 在本发明的示范实施例中，脉冲发生器可产生可具有电压幅度可（例如逐渐）减小的第 1 到第 n 阶段的置位电压脉冲。

[0019] 在本发明的示范实施例中，电流控制器可将置位电流脉冲施加到相变单元，其中该置位电流脉冲可具有第 1 到第 n 阶段，其中电流幅度可（例如逐渐）减小，并可响应于置位电压脉冲。

[0020] 在本发明的示范实施例中，电流控制器可包括第一晶体管、第二晶体管和控制晶体管。

[0021] 第一晶体管可具有连接到电源电压的第一端和连接到其栅极的第二端。该第二晶体管具有可连接到电源电压的第一端和通过其输出置位电流脉冲的第二端。第二晶体管的栅极可连接到第一晶体管的栅极。

[0022] 控制晶体管可具有与第一晶体管的第二端相连接的第一端以及与地电压相连接的第二端。由可施加到其栅极的置位电压脉冲来确定可导通控制晶体管的程度。

[0023] 在本发明的示范实施例中，第 1 阶段的置位电压脉冲的幅度可对应于可将该相变存储单元转变到置位阻抗状态的最大幅度。

[0024] 在本发明的示范实施例中，第 1 阶段的置位电压脉冲的幅度不超过可产生置位电流脉冲并可将相变单元加热到它们的熔化温度的电压。

[0025] 在本发明的示范实施例中，在相邻阶段的置位电压脉冲之间可存在电压幅度为 0 的周期，并且 / 或者可依次产生第 1 到第 n 阶段的置位电压脉冲。

[0026] 在本发明的示范实施例中，n 可为 4。

[0027] 本发明的另一示范实施例可提供一种电流控制器，可包括：第一晶体管，可具有连

接到电源电压的第一端和连接到第一晶体管的栅极的第二端；第二晶体管，可具有连接到电源电压的第一端、适配为输出置位电流脉冲的第二端、以及连接到第一晶体管的栅极的栅极；以及控制晶体管，可具有与第一晶体管的第二端相连接的第一端以及与地电压相连接的第二端。至少由可施加到控制晶体管的栅极的置位电压脉冲来确定控制晶体管的功能。

[0028] 本发明的另一示范实施例可提供一种写入驱动器电路，其可适配为在多个阶段期间，响应于多个置位电压脉冲而产生多个置位电流脉冲。置位电压脉冲和置位电流脉冲的幅度可（例如逐渐）减小，并且可将该置位电流脉冲施加到多个相变存储单元，使得所述多个相变单元可转变到置位状态。

附图说明

[0029] 通过参考附图，本发明的示范实施例将变得更加清楚，其中：

[0030] 图 1 是图示了用于向相变材料写入数据的电流脉冲的例子的图；

[0031] 图 2 是图示了根据施加到相变存储单元的电流变化的相变存储单元的阻抗变化的例子的图；

[0032] 图 3A 图示了根据本发明示范实施例的置位编程方法中施加到相变存储阵列的置位电流脉冲；

[0033] 图 3B 图示了根据本发明另一示范实施例的置位编程方法中施加到相变存储阵列的置位电流脉冲；

[0034] 图 4 是根据本发明另一示范实施例的写入驱动器电路的示意图；

[0035] 图 5A 图示了由图 4 的脉冲发生器产生的第一置位电压脉冲；和

[0036] 图 5B 图示了由图 4 的脉冲发生器产生的第二置位电压脉冲。

具体实施方式

[0037] 现在将通过参考附图来描述本发明的示范实施例。然而，本发明可以许多不同形式来实施，并且不应被解释为限于这里阐述的实施例；而且，提供这些示范实施例使得该公开全面且完整，并将本发明的概念完全转达给本领域的技术人员。附图中，相同的附图标记表示相同元件。

[0038] 图 2 是图示了根据施加到相变存储单元的电流的变化的相变存储单元的阻抗变化的例子的图。图 2 图示了相变存储阵列的存储单元中的存储单元 A 和 B 的例子。

[0039] 参考图 2，当施加到存储单元 A 的电流增加时，存储单元 A 的阻抗可降低，并且 / 或者当施加到存储单元 A 的电流为大约 1mA 时，存储单元 A 的阻抗可达到充分降低（例如最小）值。施加到存储单元 A 的电流可超过 1mA，并且当该电流达到 1.2mA 或更大时，存储单元 A 的阻抗可（例如逐渐）增加到充分更大（例如最大）值。该阻抗可达到饱和状态，并且该阻抗不再增加。

[0040] 当存储单元 A 的阻抗具有充分高（例如最大）的值时，施加到存储单元 A 的电流可降低，并且存储单元 A 的阻抗可减小。施加到存储单元 A 的电流可达到小于 1mA，并且存储单元 A 的阻抗可保持一个值。当电流小于 1mA 时，存储单元 A 的阻抗可保持充分降低（例如最小）值，如图 2 中的线 (i) 所示。

[0041] 施加到存储单元 A 的电流可为 1mA，并且存储单元 A 的状态可为置位阻抗状态，当施加到存储单元 A 的电流增加和 / 或减小时，存储单元 A 可保持置位阻抗状态。

[0042] 当施加到存储单元 B 的电流为大约 0.8mA 时，存储单元 B 的阻抗可达到降低的、或充分降低（例如最小）值。当施加到存储单元 B 的电流大于或等于 0.9mA 时，存储单元 B 的阻抗可达到更大的、或充分更大（例如最大）值。

[0043] 存储单元 B 的阻抗可具有更大、或充分更大（例如最大）值，施加到存储单元 B 的电流可降低，并且存储单元 B 的阻抗可减小。施加到存储单元 B 的电流可小于或等于 0.8mA，并且存储单元 B 的阻抗可保持一个值。存储单元 B 的阻抗可保持一个值，如图 2 中的线 (i) 所示，并且电流可降低为小于或等于 0.8mA。

[0044] 施加到存储单元 B 的电流可为 0.8mA，并且存储单元 B 可处于置位阻抗状态。存储单元 B 可保持为置位阻抗状态，而对其施加的电流可增加和 / 或减小。

[0045] 如图 2 所示，存储单元 A 和 B 转变为置位阻抗状态的电流可不同。图 2 仅示出了两个存储单元 A 和 B，相变存储阵列的多个存储单元可需要不同电流以转变为置位阻抗状态。

[0046] 在本发明的示范实施例中，可将一些电流施加到存储单元，并且允许存储单元维持置位阻抗状态的电流可降低。

[0047] 当置位电流被施加到存储单元至少一次、但可能几次时，相变存储阵列的存储单元可转变为置位阻抗状态，并且施加的电流可（例如逐渐）减小。

[0048] 图 3A 图示了根据本发明示范实施例的置位编程方法中可施加到相变存储阵列的置位电流脉冲，而图 3B 图示了根据本发明另一示范实施例的置位编程方法中可施加到相变存储阵列的置位电流脉冲。

[0049] 在置位编程方法的示范实施例中，可将置位电流脉冲 ISET 施加到相变单元，使得该相变单元可处于置位阻抗状态。置位电流脉冲 ISET 可改变，并且该电流可（例如逐渐）减小。

[0050] 参考图 3A，在 ST1 中，置位电流脉冲 ISET 可具有更大、或充分更大（例如最大）幅度，而在 STn 中，置位电流脉冲 ISET 可具有更低、或充分更低（例如最小）幅度。ST1 的置位电流脉冲的幅度可确保相变单元可具有转变到置位阻抗状态的更大的电流幅度。ST1 到 STn、以及可包括在其中的例如 ST2、ST3 等的全部可称为阶段，例如第 1 阶段、第 2 阶段、第 3 阶段、第 n 阶段等。

[0051] 可为相变存储单元的图 2 的存储单元 A 可具有更大、或充分更大幅度（例如最大幅度），并可转变为置位阻抗状态。ST1 的置位电流脉冲 ISET 的幅度可为 1mA。置位电流脉冲 ISET 的幅度可取决于存储阵列的存储单元，ST1 的置位电流脉冲 ISET 的幅度可不大于或等于将该相变单元加热到可引起熔化的温度的幅度。

[0052] 相变单元可被加热到大于可引起熔化的温度的温度，并且相变单元可转变到复位阻抗状态。ST1 的置位电流脉冲 ISET 的幅度（例如，置位电流脉冲 ISET 的最大幅度）可小于或等于可将相变单元加热到可引起熔化的温度的电流幅度。

[0053] 置位电流脉冲 ISET 可被施加到可具有多种形式的相变存储阵列，图 3A 和 3B 给出了示例。图 3A 的置位电流脉冲 ISET 在状态（例如，相邻状态）之间可具有一个周期或多个周期，其间电流幅度可为小、或充分小（例如零电流）。图 3A 中存在具有周期的一个或多

一个置位电流脉冲 ISET，在其周期期间，在置位电流脉冲 ISET 之间，电流可不被施加到该相变存储器。ST1 的置位电流脉冲 ISET 后面可跟随由 ST2 的置位电流脉冲 ISET 等跟随的具有小、或充分小（例如零电流）的周期。

[0054] 可如图 3B 所示施加置位电流脉冲 ISET。ST1 的置位电流脉冲 ISET 和 ST2 的另一置位电流脉冲 ISET 可被施加到相变存储阵列。ST1 到 STn 的置位电流脉冲 ISET 可被（例如顺序）施加到该相变存储阵列，并且可不存在具有小、或充分小的电压（例如零电压）的周期。图 3B 的置位电流脉冲 ISET 可具有与阶梯形波相同或基本相同的形状。

[0055] ST1 到 STn 的置位电流脉冲 ISET 可具有图 3A 和 3B 中的矩形波形。

[0056] 置位电流脉冲 ISET 可具有多个阶段。可由相变存储阵列的尺寸和 / 或 ST1 的置位电流脉冲 ISET 的幅度来确定可允许相变单元转变到置位阻抗状态的阶段的数目。当 n 等于 4 时，置位电流脉冲 ISET 可在 ST1、ST2、ST3 和 / 或 ST4。这可以是相变存储阵列的单元转变到置位阻抗状态的阶段的数目。

[0057] 在置位编程方法的另一示范实施例中，可将第 1 电流脉冲施加到相变材料，使得该相变单元可转变到置位阻抗状态。相变单元可将幅度小于或等于第 1 电流脉冲的幅度的第 2 到第 n 电流脉冲（例如顺序）传输到该相变单元。第 2 到第 n 电流脉冲的电流幅度可减小（例如顺序减小）。

[0058] 在置位编程的另一示范实施例中，第 1 到第 n 电流脉冲可与图 3A 和 3B 中所示的 ST1 到 STn 的置位电流脉冲的例子相同或基本相同。

[0059] 置位编程方法的示范实施例可将图 3A 和 3B 所示的 ST1 到 STn 的置位电流脉冲施加（例如顺序施加）到相变存储阵列。

[0060] 图 4 是写入驱动器电路 400 的示范实施例的示意图。图 5A 图示了可由图 4 的脉冲发生器产生的第一置位电压脉冲，而图 5B 图示了可由图 4 的脉冲发生器产生的第二置位电压脉冲。

[0061] 写入驱动器电路 400 可包括脉冲发生器 410 和电流控制器 420。脉冲发生器 410 可产生 ST1 到 STn 的置位电压脉冲 VSET，其中电压幅度可减小（例如，逐渐减小）。电流控制器 420 可将 ST1 到 STn 的置位电流脉冲 ISET 施加到该相变单元 PCELL，其中电流幅度可响应于置位电压脉冲 VSET 而降低（例如，逐渐降低）。

[0062] 图 4 示出了一个相变单元 PCELL。该相变单元 PCELL 可包括可导通或关断的与字线 W/L 相连接的晶体管 PTR，以及可根据对其施加的置位电流脉冲 ISET 和 / 或复位电流脉冲 IRESET 而改变其阻抗的相变材料 GST。

[0063] 图 4 的写入驱动器电路 400 可执行如上所述的置位编程方法的示范实施例。写入驱动器电路 400 可将置位电流脉冲 ISET 施加到相变存储阵列 430 的相变单元 PCELL，并且该相变单元 PCELL 可转变到置位阻抗状态。置位电流脉冲 ISET 的例子可如图 3A 和 3B 所示，并可具有与上述相同或基本相同的特性。置位电流脉冲 ISET 可包括 ST1 到 STn，其中电流幅度可减小（例如，逐渐减小）。

[0064] 脉冲发生器 410 可产生具有图 5A 或 5B 所示电压波形的置位电压脉冲 VSET，它可使写入驱动器电路 400 创建如图 3A 或 3B 所示的置位电流脉冲 ISET 的示范实施例。图 5A 中图示了可由脉冲发生器 410 产生的复位电压脉冲 VRESET 的示范实施例。脉冲发生器 410 可产生复位电压脉冲 VRESET，并且写入驱动器电路 400 可将复位电流 IRESET 输出到相变存

储阵列的相变单元 PCELL。可由脉冲发生器 410 产生的置位电压脉冲 VSET 可如图 5B 中图示，并可具有与图 3A 中图示的置位电流脉冲 ISET 相同、或基本相同的形式。置位电压脉冲 VSET 可具有电压幅度小、或充分小（例如 0）的部分。

[0065] 图 5B 所示的置位电压脉冲 VSET 可具有与图 3B 所示置位电流脉冲 ISET 的示范实施例相同、或基本相同的形式。可产生（例如顺序产生）ST1 到 STn 的置位电压脉冲 VSET。

[0066] 电流控制器 420 可产生置位电流脉冲 ISET，其可具有与脉冲发生器 410 产生的置位电压脉冲 VSET 形状相似（或基本相似）的波形。可由脉冲发生器 410 产生的置位电压脉冲 VSET 的形式来控制施加到相变存储阵列 430 的相变单元 PCELL 的置位电流脉冲 ISET 的形式。

[0067] 图 5A 和 5B 所示的可产生置位电压脉冲 VSET 的脉冲发生器 410 的结构可被本领域普通技术人员所理解，并因此省略详细解释。

[0068] 脉冲发生器 410 可产生 ST1 的置位电压脉冲 VSET 的幅度。置位电压脉冲 VSET 的电压幅度可对应于可产生置位电流脉冲 ISET 的电压幅度。置位电流脉冲 ISET 可具有允许相变单元转变到置位阻抗状态的电流幅度（例如最大电流幅度）。ST1 的置位电压脉冲 VSET 的幅度不可大于或等于可产生置位电流脉冲 ISET 的电压。置位电流脉冲 ISET 可将相变单元 PCELL 加热到可引起熔化的温度。

[0069] 置位电压脉冲 VSET 可具有多个阶段（例如 ST1 到 STn）。可由相变存储阵列 430 的尺寸和 / 或 ST1 的置位电压脉冲 VSET 的幅度来确定可将相变单元 PCELL 转变到置位阻抗状态的阶段的数目。与置位电流脉冲 ISET 类似，n 可等于 4，并且置位电压脉冲 VSET 可包括 ST1、ST2、ST3 和 ST4。ST1、ST2、ST3 和 ST4 可将相变存储阵列 430 的单元转变到置位阻抗状态。

[0070] 电流控制器 420 可包括晶体管 TR1 和 TR2 以及控制晶体管 CTR。晶体管 TR1 可具有与电源电压 V_{DD} 相连接的一端以及与其栅极相连接的另一端。晶体管 TR2 可具有与电压 V_{DD} （例如电源电压）相连接的一端和可通过其输出该置位电流脉冲 ISET 的另一端。晶体管 TR2 的栅极可与晶体管 TR1 的栅极相连接。晶体管 TR1 和 TR2 可为电流反射镜（current mirror）。

[0071] 控制晶体管 CTR 可具有与晶体管 TR1 的一端相连接的一端和与电压 V_{ss} （例如，地）相连接的另一端。可由施加到控制晶体管 CTR 的栅极的置位电压脉冲 VSET 来确定控制晶体管 CTR 可导通的程度。当将 ST1 的置位电压脉冲 VSET 施加到控制晶体管 CTR 的栅极时，控制晶体管 CTR 可导通的程度可大于或等于施加 STn 的置位电压脉冲 VSET 的情况。

[0072] 当将 ST1 的置位电压脉冲 VSET 施加到控制晶体管 CTR 的栅极时，流过控制晶体管 CTR 的电流幅度可大于或等于当施加 STn 的置位电压脉冲 VSET 时流过控制晶体管 CTR 的电流幅度。

[0073] 可传输到晶体管 TR2 一端的置位电流脉冲 ISET 的幅度可与流过控制晶体管 CTR 的电流成正比。传输到相变存储阵列 430 的置位电流脉冲 ISET 的幅度可与施加到控制晶体管 CTR 的置位电压脉冲 VSET 的幅度成正比。写入驱动器电路 400 可控制由脉冲发生器 410 产生的置位电压脉冲 VSET 的幅度，并可确定传输到相变存储阵列 430 的置位电流脉冲 ISET 的电流幅度。

[0074] 相变存储阵列 430 的相变单元 PCELL 可通过减小（例如，逐渐减小）经由图 4 的

写入驱动器电路 400 传输到相变存储阵列 430 的置位电流脉冲 ISET 的幅度, 而转变为置位阻抗状态。

[0075] 如上所述, 在根据本发明示范实施例的置位编程方法和写入驱动器电路中, 相变存储阵列的相变单元可通过将多个置位电流脉冲传输到该相变存储阵列而转变为置位阻抗状态, 这可减小(例如, 逐渐减小)置位电流脉冲的幅度。

[0076] 尽管本发明的示范实施例已被描述为利用与阶梯形和/或矩形波类似的电流和/或电压脉冲的逐渐减小, 但是应当理解, 可如本领域普通技术人员期望的一样利用适于转变相变存储阵列内的相变存储单元的任何合适的幅度变化。

[0077] 尽管已结合包括例如 GST(Ge-Sb-Te) 的 PRAM(相变随机存取存储器)而描述了本发明的示范实施例, 但是应当理解, 可结合由如本领域普通技术人员期望的任何合适的材料而创建的任何合适存储器来利用本发明的示范实施例。

[0078] 尽管已基于施加的电流脉冲的幅度变化而描述了本发明的示范实施例, 但是应当理解, 也可以与本领域普通技术人员期望的, 利用电流脉冲的持续时间的变化, 来以相同、或基本相同的方式实现相变存储单元和/或阵列。

[0079] 尽管已将本发明的示范实施例描述为在图 4 所示的电路中实现, 但是应当理解, 可如本领域普通技术人员期望的一样利用任何合适的电路。

[0080] 尽管已将本发明的示范实施例描述为将相变存储单元从复位状态转变为置位状态, 但是应当理解, 可如本领域普通技术人员期望的一样, 也可利用本发明的示范实施例将相变存储单元从复位状态转变为置位状态。而且, 应当理解, 可如本领域普通技术人员期望的一样, 可利用本发明的示范实施例将任何存储单元和/或阵列从一个状态转变为另一状态。

[0081] 尽管以上已描述了关于对应于数据 0 的置位状态和对应于数据 1 的复位状态的示范实施例, 但是应当理解, 可如本领域普通技术人员期望的一样, 任意状态可对应于任意数据值。

[0082] 尽管本发明的范围不限于该方面, 但是上述 PRAM 的示范实施例可为包含含有可编程为不同存储状态以存储数据的例如硫族化物(chalcogenide)材料的相变存储材料的多个存储单元的存储阵列。该材料可为例如展示从非晶态到晶态或多晶态的可逆结构相变的硫族化物合金。由于该可逆结构, 相变材料可响应于温度改变而从非晶态改变到晶态, 并可在其后变回到非晶态, 或反之亦然。

[0083] 上述 PRAM 的示范实施例可用作二值单元(非晶或晶体的)或多值单元(例如, 非晶、基本非晶、晶体的、或基本晶体的)。

[0084] 尽管已参考其示范实施例具体示出和描述了本发明, 但本领域普通技术人员应当理解, 在不脱离以下权利要求限定的本发明的精神和范围的情况下, 可进行形式和细节的各种改变。

[0085] 本申请要求 2003 年 12 月 30 日向韩国知识产权局提交的韩国专利申请第 2003-100549 号的优先权, 这里通过引用而全部合并其公开。

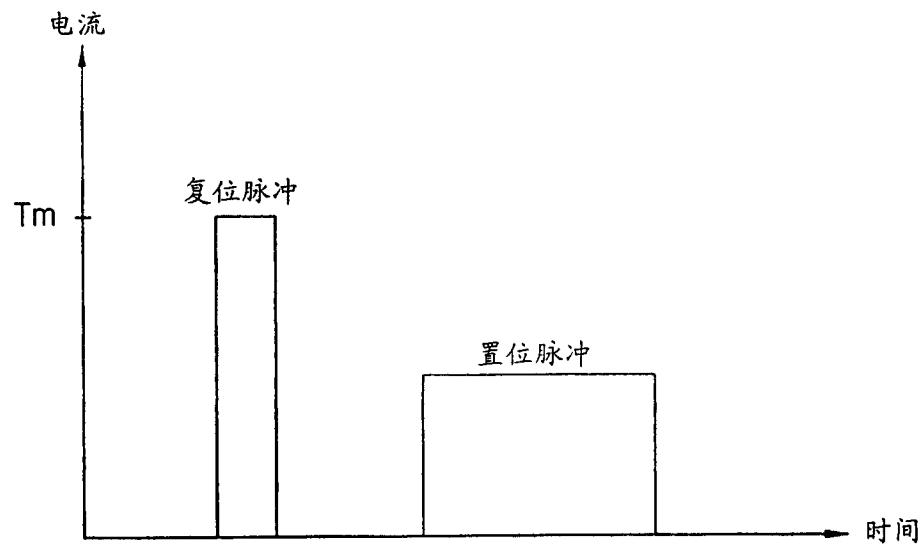


图 1

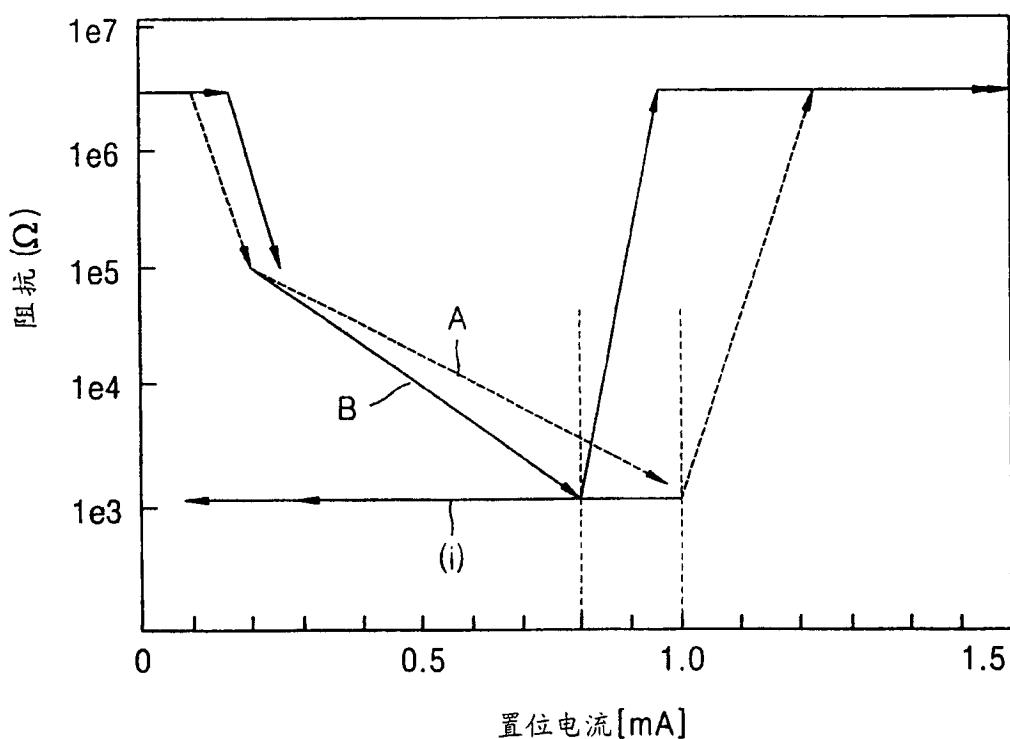


图 2

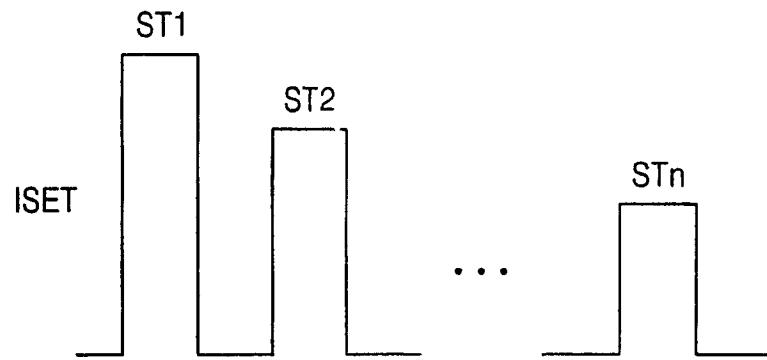


图 3A

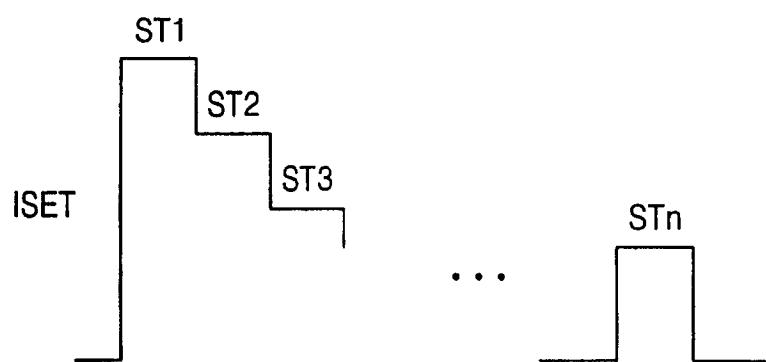


图 3B

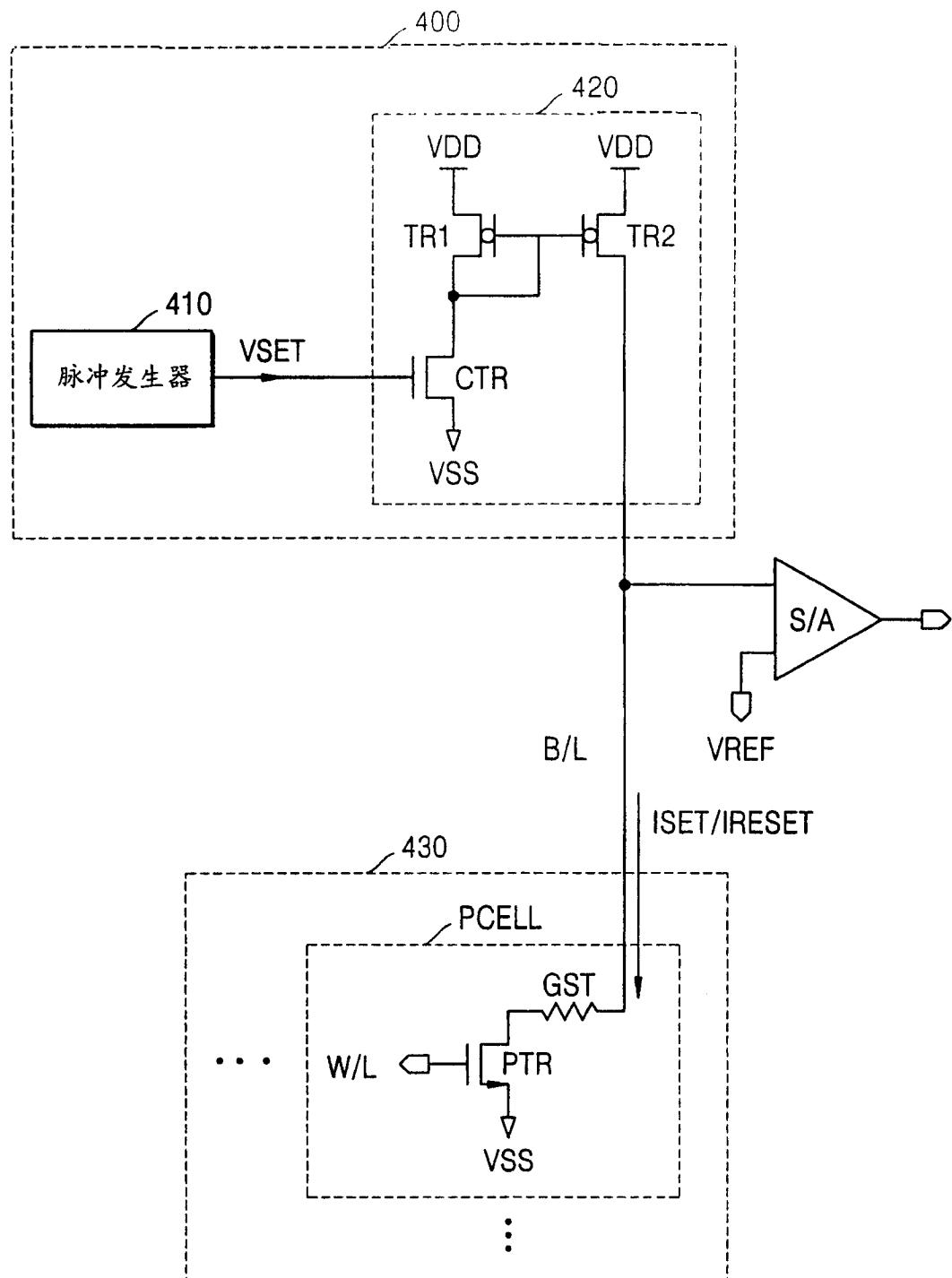


图 4

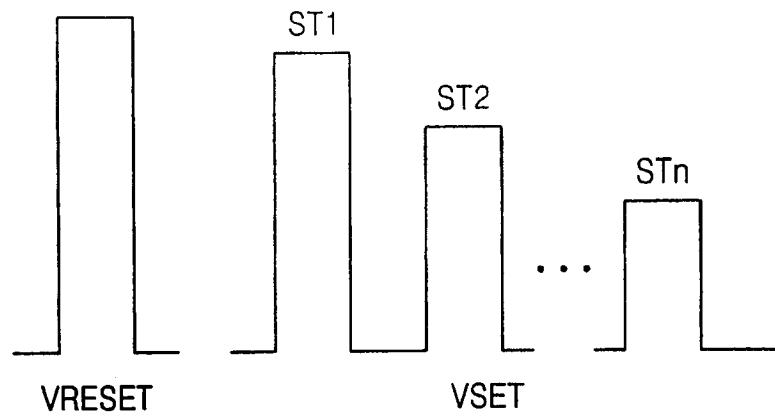


图 5A

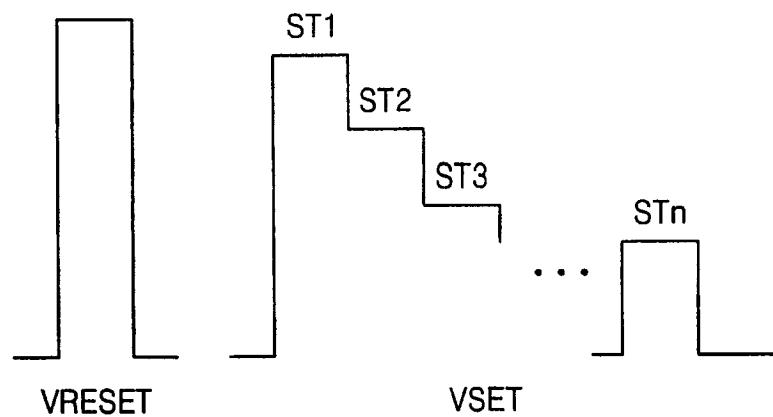


图 5B