

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4459433号
(P4459433)

(45) 発行日 平成22年4月28日(2010.4.28)

(24) 登録日 平成22年2月19日(2010.2.19)

(51) Int.Cl.

F I

H O 1 L 33/00 (2010.01)

H O 1 L 33/00 H

H O 1 L 21/60 (2006.01)

H O 1 L 33/00 Z

H O 1 L 21/92 G O 2 N

請求項の数 3 (全 41 頁)

(21) 出願番号	特願2000-393079 (P2000-393079)	(73) 特許権者	000005821
(22) 出願日	平成12年12月25日(2000.12.25)		パナソニック株式会社
(62) 分割の表示	特願平10-532702の分割		大阪府門真市大字門真1006番地
原出願日	平成9年12月26日(1997.12.26)	(74) 代理人	100077931
(65) 公開番号	特開2001-230448 (P2001-230448A)		弁理士 前田 弘
(43) 公開日	平成13年8月24日(2001.8.24)	(74) 代理人	100094134
審査請求日	平成16年12月14日(2004.12.14)		弁理士 小山 廣毅
(31) 優先権主張番号	特願平9-18782	(74) 代理人	100110939
(32) 優先日	平成9年1月31日(1997.1.31)		弁理士 竹内 宏
(33) 優先権主張国	日本国(JP)	(74) 代理人	100110940
(31) 優先権主張番号	特願平9-21124		弁理士 嶋田 高久
(32) 優先日	平成9年2月4日(1997.2.4)	(74) 代理人	100113262
(33) 優先権主張国	日本国(JP)		弁理士 竹内 祐二
(31) 優先権主張番号	特願平9-302473	(74) 代理人	100115059
(32) 優先日	平成9年11月5日(1997.11.5)		弁理士 今江 克実
(33) 優先権主張国	日本国(JP)		最終頁に続く

(54) 【発明の名称】 発光素子の製造方法

(57) 【特許請求の範囲】

【請求項 1】

放射光に対して透明な材料からなる基板の上に、少なくとも第1導電型半導体領域と該第1導電型半導体領域上の第2導電型半導体領域とからなる半導体層を形成する第1の工程と、

前記第2導電型半導体領域の一部を除去して、前記第1導電型半導体領域の一部を露出させる第2の工程と、

前記第1導電型半導体領域の露出した一部の上に第1の金属膜からなる第1の電極を形成する第3の工程と、

前記第2導電型半導体領域の他の一部の上に第2の金属膜からなる第2の電極を形成する第4の工程と、

前記第1の電極の一部の上方に位置する領域と前記第2の電極の一部の上方に位置する領域とを開口したマスク部材を形成する第5の工程と、

少なくとも前記マスク部材の開口部に第3の金属膜を堆積する第6の工程と、

前記マスク部材を除去して、前記第1および第2の電極の上に前記第3の金属膜を残してマイクロバンプを形成する第7の工程と、

リードフレーム又はサブマウントの主面上に前記基板の第2導電型半導体領域を対向させることにより、前記各マイクロバンプを前記リードフレーム又は前記サブマウントと接続する第8の工程と

を備えていることを特徴とする発光素子の製造方法。

10

20

【請求項 2】

放射光に対して透明な材料からなる基板の上に、少なくとも第 1 導電型半導体領域と該第 1 導電型半導体領域上の第 2 導電型半導体領域とからなる半導体層を形成する第 1 の工程と、

前記第 2 導電型半導体領域の一部を除去して、前記第 1 導電型半導体領域の一部を露出させる第 2 の工程と、

前記第 1 導電型半導体領域の露出した一部の上に第 1 の金属膜を形成する第 3 の工程と

、基板の全面上に第 2 の金属膜を形成する第 4 の工程と、

前記第 2 の金属膜のうち、前記第 1 の金属膜の一部の上方に位置する領域と、前記第 2 導電型半導体領域の他の一部の上に位置する領域とを開口したマスク部材を形成する第 5 の工程と、

少なくとも前記マスク部材の開口部に第 3 の金属膜を堆積する第 6 の工程と、

前記マスク部材を除去するとともに前記第 2 の金属膜をパターニングして、前記第 1 導電型半導体領域の上には、前記第 1 および第 2 の金属膜からなる第 1 の電極とその上のマイクロバンプを残存させる一方、前記第 2 導電型半導体領域の上には、前記第 2 の金属膜からなる第 2 の電極とその上のマイクロバンプとを残存させる第 7 の工程と、

リードフレーム又はサブマウントの主面上に前記基板の第 2 導電型半導体領域を対向させることにより、前記各マイクロバンプを前記リードフレーム又は前記サブマウントと接続する第 8 の工程と

を備えていることを特徴とする発光素子の製造方法。

【請求項 3】

請求項 2 記載の発光素子の製造方法であって、

前記第 6 の工程では、選択メッキ法により第 3 の金属膜を堆積することを特徴とする発光素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、絶縁基板上に形成された半導体積層膜を備えた発光素子、およびそのような半導体発光素子を含む発光装置、ならびにそれらの製造方法に関する。特に、本発明は、サファイア基板上に形成された窒化ガリウム系化合物半導体を用いた発光素子（LED）およびそのような発光素子を備えた発光装置（LED ランプ）に対して好適に適用される。

【0002】

【従来の技術】

近年、液晶表示デバイス等の光を利用したデバイスの需要の拡大に伴い、各種の発光素子が実用化されてきている。このような発光素子の中でも窒化ガリウム系化合物半導体（ $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ 、 $0 \leq x$ 、 $0 \leq y$ 、 $x+y \leq 1$ ）は、現在高輝度青色および緑色発光ダイオード（LED）として製品化されているとともに、今後、さらに青色レーザーダイオードや紫外線センサーや太陽電池を構成する材料として注目されている。

【0003】

図 4 A、図 4 B および図 4 C は、それぞれ、製品化されている従来の GaN・LED 素子の平面図、B - B 線断面図および C - C 線断面図である。なお、図示されている各半導体層の厚さは、現実の厚さに対応しているわけではない。図 5 は、製品化されている従来の LED ランプの断面図である。この GaN・LED 素子 40 は、サファイア基板 30 の上面の上に、GaN バッファ層 31 と、n 型 GaN 層 32 と、InGaN 活性層 33 と、p 型 AlGaIn 層 34 と、p 型 GaN 層 35 とが順に積層されたダブルヘテロ構造を有している。n 型 GaN 層 32 の上面は、下段部と上段部とからなる階段状に形成されており、下段部における n 型 GaN 層 32 の上面の上には、Ti と Au よりなる n 電極 36 が形成されている。また、上段部における n 型 GaN 層 32 の上面の上には、上述の InGaIn 活性層 33 と、p 型 AlGaIn 層 34 と、p 型 GaN 層 35 とが順に積層されている。そし

て、p型GaN層35の上面の上には、NiとAuよりなる電流拡散用の透明電極37が形成され、さらにその上にp電極38が形成されている。このGaN・LED素子40は絶縁性のサファイア基板を用いて構成されているため、両電極はともに、サファイア基板の上面側に形成されている。また、GaN・LED素子40の上面側が光の取り出し面となっており、n電極36およびp電極38のボンディングパッド部36a、38aを除く上面は保護膜39でオーバーコートされている。そして、このGaN・LED素子40は、絶縁性の接着剤43を介してリードフレーム44a先端のダイパッドにダイスボンディングされている。GaN・LED素子40のn電極36はAuワイヤー41を介してリードフレーム44aに接続され、p電極38はAuワイヤー42を介してリードフレーム44bに接続されている。そして、GaN・LED素子40を搭載しているリードフレーム44a、44bの先端部分が透光性のエポキシ樹脂45でモールドされて、LEDランプが構成されている。

10

【0004】

【発明が解決しようとする課題】

前記従来の発光素子においては、以下のような問題があった。

【0005】

上述のように、GaN・LED素子40と他の素子等とを電氣的に接続させるためにワイヤーボンディングを行おうとすると、n電極36とp電極38それぞれに、少なくとも、直径が100μm以上の円形状または一辺が100μm以上の正方形のボンディングパッド部36a、38aが必要となり、しかも光取り出し面側に、前記両電極36、38が形成されているため、光取り出し効率が悪くなる。したがって、ボンディングパッド部36a、38aに必要な面積と光の取り出し量を確保するために必要な面積とを確保しようとする、発光素子のサイズの縮小に制約が生じ、発光素子の小型化が困難になるといった問題が生じてくる。

20

【0006】

本発明の主な目的は、半導体発光素子およびその製造方法において、発光素子の電氣的接続のための電極に必要な面積を低減し、発光素子全体の小型化を図りつつ、発光素子の輝度および光の取り出し効率の向上を図ることにある。

【0007】

また、本発明の他の目的は、上記半導体発光素子を備えた発光装置およびその製造方法を提供することにある。

30

【0008】

【課題を解決するための手段】

本発明の発光装置は、基板と、前記基板上に形成された第1導電型半導体領域と、前記第1導電型半導体領域のうちの一部の領域の上に形成された第2導電型半導体領域と、前記第1導電型半導体領域のうちの前記一部の領域以外の他の領域の上に形成された第1の電極と、前記第2導電型半導体領域の上に形成された第2の電極とを備えた発光素子であって、前記第1および第2の電極上に形成された導電性材料からなる複数のマイクロバンプを更に備え、前記第1の電極上に形成された前記マイクロバンプの数は1であり、前記第2の電極上に形成された前記マイクロバンプの数は1以上である。

40

【0009】

前記マイクロバンプの各々は、柱状または茸状の形状を有し、前記マイクロバンプの各々の横方向の最大寸法は、5から300μmの範囲内にあり、前記マイクロバンプの各々の高さは、5から50μmの範囲内にすることが好ましい。

【0010】

前記第1の電極および第2の電極の少なくとも一方の下には、前記第1又は第2導電型半導体領域に対して密着性のよい金属層が設けられていることが好ましい。

【0011】

本発明の他の発光素子は、基板と、前記基板上に形成された第1導電型半導体領域と、前記第1導電型半導体領域のうちの一部の領域の上に形成された第2導電性半導体領域と、

50

前記第1導電型半導体領域のうちの前記一部の領域以外の他の領域の上に形成された第1の電極と、前記第2導電型半導体領域の上に形成された第2の電極とを備えた発光素子であって、前記第1の電極および第2の電極の上に形成された導電性材料からなるマイクロバンプを更に備え、前記第1の電極および第2の電極の各々には、前記マイクロバンプが形成された領域以外に、プローブ針が接触し得るプローブ領域が形成されている。

【0012】

前記第1の電極のプローブ領域がダイシングストリートの一部にまたがって形成されていることが好ましい。

【0013】

本発明の更に他の発光素子は、基板と、前記基板上に形成された第1導電型半導体領域と、前記第1導電型半導体領域のうちの一部の領域の上に形成された第2導電型半導体領域と、前記第1導電型半導体領域のうちの前記一部の領域以外の他の領域の上に形成された第1の電極と、前記第2導電型半導体領域の上に形成された第2の電極とを備えている発光素子であって、前記第1の電極および第2の電極の上に形成された導電性材料からなるマイクロバンプを更に備え、前記第2の電極には、発光素子からの光を外部に放射するための開口部が形成されている。

10

【0014】

前記第2の電極に形成された開口部の形状は、直径が20 μm 以下の円、または直径が20 μm 以下の円内に含まれる多角形であることが好ましい。

【0015】

20

前記第2の電極に形成された開口部内に、前記第2導電型半導体領域に対してオーミックコンタクトを形成する導電性透明電極が設けられていてもよい。

【0016】

前記基板は、発光素子が放射する光に対して透明な材料から形成されていることが好ましい。

【0017】

前記基板は、サファイアから形成され、前記基板上にGaN系化合物半導体積層構造が形成されていてもよい。

【0018】

前記マイクロバンプは、少なくともAuを含む金属材料から形成されていることが好ましい。

30

【0019】

本発明の発光素子の製造方法は、基板の上に、少なくとも第1導電型半導体領域と該第1導電型半導体領域上の第2導電型半導体領域とからなる半導体層を形成する第1の工程と、前記第2導電型半導体領域の一部を除去して、前記第1導電型半導体領域の一部を露出させる第2の工程と、前記第1の半導体領域の一部の上に第1の金属膜からなる第1の電極を形成する第3の工程と、前記第2の半導体領域の一部の上に第2の金属膜からなる第2の電極を形成する第4の工程と、前記第1の電極の一部の上方に位置する領域と前記第2の電極の一部の上方に位置する領域とを開口したマスク部材を形成する第5の工程と、少なくとも前記マスク部材の開口部に第3の金属膜を堆積する第6の工程と、前記マスク部材を除去して、前記第1および第2の電極の上に前記第3の金属膜を残してマイクロバンプを形成する第7の工程とを備えている。

40

【0020】

本発明の更に他の発光素子の製造方法は、基板の上に、少なくとも第1導電型半導体領域と該第1導電型半導体領域上の第2導電型半導体領域とからなる半導体層を形成する第1の工程と、前記第2導電型半導体領域の一部を除去して、前記第1導電型半導体領域の一部を露出させる第2の工程と、前記第1の半導体領域の一部の上に第1の金属膜を形成する第3の工程と、基板の全面上に第2の金属膜を形成する第4の工程と、前記第2の金属膜のうち、前記第1の金属膜の一部の上方に位置する領域と、前記第2半導体領域の一部の上方に位置する領域とを開口したマスク部材を形成する第5の工程と、少なくとも前記

50

マスク部材の開口部に第3の金属膜を堆積する第6の工程と、前記マスク部材を除去するとともに前記第2の金属膜をパターンングして、前記第1の半導体領域上には、前記第1および第2の金属膜からなる第1の電極とその上のマイクロパンプを残存させる一方、前記第2の半導体領域の上には、前記第2の金属膜からなる第2の電極とその上のマイクロパンプとを残存させる第7の工程とを備えている。

【0021】

前記第6の工程では、選択メッキ法により第3の金属膜を堆積してもよい。

【0022】

本発明の発光装置は、基板と該基板上に設けられたn型半導体領域とp型半導体領域とを有する発光素子と、電界効果トランジスタからなる静電保護素子とを備え、前記発光素子のp型半導体領域と前記電界効果トランジスタのソース領域又はドレイン領域とが電氣的に接続され、前記発光素子のn型半導体領域と前記電界効果トランジスタのドレイン領域又はソース領域とが電氣的に接続されており、前記電界効果トランジスタのしきい値電圧は、前記発光素子の動作電圧よりも大きくかつ前記発光素子の順方向破壊電圧および逆方向破壊電圧よりも小さい。

10

【0023】

本発明の発光装置は、絶縁基板と該絶縁基板上に設けられたp型半導体領域とn型半導体領域とを有する発光素子と、ダイオードからなる静電保護素子とを備え、前記発光素子の前記n型半導体領域と前記ダイオードのp型半導体領域との間、前記発光素子の前記p型半導体領域と前記ダイオードのn型半導体領域との間はそれぞれ電氣的に接続されており、前記静電保護素子は、前記発光素子上に層間絶縁膜を介して形成された半導体薄膜により構成されている。

20

【0024】

本発明の発光装置は、絶縁基板と該絶縁基板上に設けられたp型半導体領域とn型半導体領域とを有する発光素子と、ダイオードからなる静電保護素子とを備え、前記発光素子の前記n型半導体領域と前記ダイオードのp型半導体領域との間、前記発光素子の前記p型半導体領域と前記ダイオードのn型半導体領域との間はそれぞれ電氣的に接続されており、前記静電保護素子は、前記発光素子とともに前記絶縁基板上に形成されている。

【0025】

前記静電保護素子は、前記絶縁基板上に形成された半導体薄膜により構成されていてもよい。

30

【0026】

本発明の発光装置は、絶縁基板と該絶縁基板上に設けられたp型半導体領域とn型半導体領域とを有する発光素子と、ダイオードからなる静電保護素子とを備え、前記発光素子の前記n型半導体領域と前記ダイオードのp型半導体領域との間、前記発光素子の前記p型半導体領域と前記ダイオードのn型半導体領域との間はそれぞれ電氣的に接続されており、前記発光素子の前記絶縁基板と、前記静電保護素子とは共通の親基板の上に設けられている。

【0027】

前記静電保護素子は、前記親基板上に形成された半導体薄膜により構成されていてもよい。

40

【0028】

本発明の発光装置は、絶縁基板と該絶縁基板上に設けられたp型半導体領域とn型半導体領域とを有する発光素子と、ダイオードからなる静電保護素子とを備え、前記発光素子の前記n型半導体領域と前記ダイオードのp型半導体領域との間、前記発光素子の前記p型半導体領域と前記ダイオードのn型半導体領域との間はそれぞれ電氣的に接続されており、前記発光素子は、液晶デバイスのバックライト用の発光素子である、

本発明の発光装置は、絶縁基板と該絶縁基板上に設けられたp型半導体領域とn型半導体領域とを有する発光素子と、ダイオードからなる静電保護素子とを備え、前記発光素子の前記n型半導体領域と前記ダイオードのp型半導体領域との間、前記発光素子の前記p型

50

半導体領域と前記ダイオードのn型半導体領域との間はそれぞれ電氣的に接続されており、前記発光素子と前記静電気保護素子とは共通のハウスの内に収納されている。

【0029】

本発明の発光装置は、絶縁基板と該絶縁基板上に設けられたp型半導体領域とn型半導体領域とを有する発光素子と、ダイオードからなる静電保護素子とを備え、前記発光素子の前記n型半導体領域と前記ダイオードのp型半導体領域との間、前記発光素子の前記p型半導体領域と前記ダイオードのn型半導体領域との間はそれぞれ電氣的に接続されており、少なくとも前記発光素子の周囲に設けられ、前記発光素子から出射される光を反射するための反射体をさらに備えている。

【0030】

前記反射体は、その上端が少なくとも前記発光素子内の発光する領域よりも高くなるように構成されていることが好ましい。

【0031】

前記反射体は、金属リードで形成されており、前記静電気保護素子が前記金属リード上に搭載されていることが好ましい。

【0032】

本発明の発光装置の製造方法は、透明基板上に半導体積層膜が形成され、かつ前記半導体積層膜の表面にp側電極およびn側電極が形成された半導体発光素子と、少なくとも2つの独立した電極を有するサブマウント素子と、前記サブマウント素子を支持し、前記サブマウント素子に電力を供給することのできる基材とを備え、前記サブマウント素子が前記基材と電氣的に導通するように前記基材上に搭載され、前記半導体発光素子がフェイスダウン状態で前記サブマウント素子の上面に搭載されたフリップチップ型の発光装置の製造方法であって、前記半導体発光素子および前記サブマウント素子の何れか一方の素子が有する電極上にマイクロバンプを形成する工程と、前記マイクロバンプを介して、前記半導体発光素子のp側電極およびn側電極を前記サブマウント素子の前記電極に接合するチップ接合工程とを包含する。

【0033】

前記チップ接合工程は、前記サブマウント素子を含む複数のサブマウント素子が行列状に形成されたウェハに対して、チップ状の前記半導体発光素子を接近させる工程と、前記マイクロバンプを介して、前記ウェハに含まれる前記サブマウント素子の前記電極に前記半導体発光素子の前記p側電極およびn側電極を接合する工程とを包含し、更に、前記チップ接合の後に、前記ウェハをチップ単位に分離し、一体化された前記半導体発光素子および前記サブマウント素子を前記ウェハから複数個形成する工程を包含してもよい。

【0034】

前記チップ接合工程は、前記マイクロバンプを介して対向する前記電極を相互に接触させながら、前記半導体発光素子および前記サブマウント素子の少なくとも一方に対して、熱、超音波および荷重を印加することによって、前記マイクロバンプを前記電極に溶着させる工程を含んでもよい。

【0035】

前記マイクロバンプを形成する工程は、前記半導体発光素子のp側電極およびn側電極上にスタッドバンプを形成する工程を含み、前記チップ接合工程は、前記ウェハ内の各サブマウント素子に対して、対応する半導体発光素子を位置合わせする工程と、前記マイクロバンプを前記ウェハ内の各サブマウント素子の前記電極に溶着させることによって、前記サブマウント素子上に前記半導体発光素子を固定するとともに、対向する電極を前記マイクロバンプを介して電氣的に相互接続する工程を含み、更に、前記一体化された半導体発光素子およびサブマウント素子を、前記ウェハから分離した後、前記基材のマウント部に配置し、前記サブマウント素子を前記基材上に固定する工程を包含してもよい。

【0036】

前記マイクロバンプを形成する工程は、前記半導体発光素子のp側電極およびn側電極上にスタッドバンプを形成する工程を含み、前記チップ接合工程は、前記サブマウント素子

10

20

30

40

50

を前記基材のマウント部上に配置し、前記サブマウント素子を前記基材上に固定した後、前記マイクロバンプを前記サブマウント素子の前記電極に溶着させることによって、前記サブマウント素子上に前記半導体発光素子を固定するとともに、対向する電極を前記マイクロバンプを介して電氣的に相互接続する工程を含んでもよい。

【0037】

前記マイクロバンプを鍍金工程により形成してもよい。

【0038】

前記マイクロバンプを形成する工程は、前記ウェハに含まれる各サブマウント素子の電極上にスタッドバンプを形成する工程を含み、前記チップ接合工程は、前記ウェハ内の各サブマウント素子に、対応する半導体発光素子を位置合わせする工程と、前記マイクロバンプを前記半導体発光素子の電極に溶着させることによって、前記サブマウント素子上に前記半導体発光素子を固定するとともに、対向する電極を前記マイクロバンプを介して電氣的に接続する工程を含んでもよい。

10

【0039】

前記マイクロバンプを形成する工程は、前記サブマウント素子の電極上にスタッドバンプを形成する工程を含み、前記チップ接合工程は、前記サブマウント素子を前記基材のマウント部上に配置し、前記サブマウント素子を前記基材上に固定した後、前記マイクロバンプを前記サブマウント素子の電極に溶着させることによって、前記サブマウント素子上に前記半導体発光素子を固定するとともに、対向する電極を前記マイクロバンプを介して電氣的に接続する工程を含んでもよい。

20

【0040】

前記マイクロバンプは、鍍金工程により形成されてもよい。

【0041】

前記チップ接合の後に、前記サブマウント素子にプローブ針を接触させながら、前記半導体発光素子の上方に配置した光特性検査用のディテクターを用いて、前記半導体発光素子が放射する光を前記透明基板の上面から検査する光特性検査工程を更に包含してもよい。

【0042】

前記チップ接合工程は、前記サブマウント素子を含む複数のサブマウント素子が行列状に形成されたウェハに対して、チップ状の前記半導体発光素子を接近させる工程と、前記マイクロバンプを介して、前記ウェハに含まれる前記サブマウント素子の前記電極に前記半導体発光素子のp側電極およびn側電極を接合する工程とを包含してもよい。

30

前記光特性検査工程は、前記チップ接合の後に、前記ウェハ内の各半導体発光素子に対して行うことが好ましい。

【0043】

【発明の実施の形態】

- 発光素子 -

本発明による発光素子は、第1の電極上に形成された1つのマイクロバンプと、第2の電極上に形成された少なくとも1つのマイクロバンプとを備えている。第1の電極上のマイクロバンプの数が1つである理由は、第1の電極の占める面積を最小限にし、発光素子の発光面積を最大限に大きく取るためである。第1の電極上には、直径が30～40μm程度の円柱状又は葎形状のマイクロバンプ（以下、このようなマイクロバンプを「点状マイクロバンプ」と称する）を形成することが好ましい。

40

【0044】

本発明では、第2の電極上のマイクロバンプの数は1つ以上である。その理由は、第1の電極上に設けた点状マイクロバンプと、第2の電極上に設けたマイクロバンプとによって、GaN・LED素子等の半導体発光素子のチップを安定的に支持し、そのチップが傾かないようにすることである。この目的を達成するため、第2の電極上に点状マイクロバンプを形成する場合、そのマイクロバンプの数は2つ以上であることが好ましい。点状のマイクロバンプが連続的に線状につながったマイクロバンプ（以下、このようなマイクロバンプを「線状マイクロバンプ」と称する）を形成する場合や、点状のマイクロバンプが連

50

続的に面状につながったマイクロバンプ（以下、このようなマイクロバンプを「面状マイクロバンプ」と称する）を形成する場合は、そのマイクロバンプの数は１つでも充分である。

【００４５】

マイクロバンプの横方向の最大寸法は５から３００μｍの範囲内にすることが好ましく、高さは５から５０μｍの範囲内にすることが好ましい。横方向の最大寸法が５μｍ以上であることが好ましい理由は、メッキによってマイクロバンプを形成する場合、形成の容易さから、マイクロバンプの横方向の最大寸法は５μｍ以上にすることが好ましい。マイクロバンプの横方向の最大寸法は３００μｍ以下であることが好ましい。

【００４６】

点状マイクロバンプは、直径が３０～４０μｍの円またはこの円内に含まれる多角形の形状を持つことが好ましい。線状マイクロバンプは、幅が２０～３０μｍで、長さが１５０～２００μｍのサイズを持つことが好ましい。

【００４７】

マイクロバンプの高さは５μｍ以上にすることが好ましい。その理由は、半導体発光素子のチップをリードフレーム等にマイクロバンプを介して接合するとき、荷重、熱および超音波によりマイクロバンプを溶着する接合方法を用いられるからである。マイクロバンプの高さが５μｍ以下になると、チップとリードフレームとがバンプ以外の部分で接触し、ショート不良を起こすおそれがある。マイクロバンプの高さは５０μｍ以下であることが好ましい。その理由は、その程度の高さならば、鍍金法によって容易にマイクロバンプを形成できるからである。より好ましいマイクロバンプの高さは、２０～３０μｍである。

【００４８】

組立工程において、半導体発光素子が形成されたウェハをチップ状に分割し、チップをリードフレーム等に載置する場合、マイクロバンプを下にして置かれたチップは、点状マイクロバンプの場合、第１の電極上に１つ形成し、第２の電極上に少なくとも２つを形成することにより、チップは少なくとも３点で支えられることになり傾くことはない。この場合、３つのマイクロバンプは、チップ内で可能な限り大きくとれる二等辺三角形の３つの頂点の位置に配置するのが好ましい。

【００４９】

また、第１の電極上に点状マイクロバンプを１つ形成し、第２電極上に１つのマイクロバンプを形成する場合、第２電極上のマイクロバンプを線状マイクロバンプ又は面状マイクロバンプにすることによつて、チップは３点以上で支えられるので傾くことはない。従って、ダイスボンダー時にチップの認識エラーやアームへの取り込みエラーは解消される。

【００５０】

この他にも第２の電極上に形成するマイクロバンプは、複数の点状や線状や、様々な形状の面状マイクロバンプが可能であるが、第１の電極上に形成されるマイクロバンプは、点状マイクロバンプを１つのみ形成することが好ましい。これは、第１の電極の面積を極力少なくし、発光面積を可能な限り大きく取るためである。

【００５１】

本発明の発光素子によれば、チップをリードフレーム等にマイクロバンプを介して接合する場合、荷重、熱および超音波によりＡｕマイクロバンプを溶着する接合方法においても、チップとリードフレームとがバンプ以外の部分で接触することはなく、ショート不良は起こらない。

【００５２】

マイクロバンプが形成される第１の電極および／または第２の電極の下面には、第１および／または第２導電型半導体領域に対して密着性のよい金属を敷くことが好ましい。これにより、半導体発光素子のチップをリードフレーム等にマイクロバンプを介して接合する場合、荷重、熱および超音波によりＡｕマイクロバンプを溶着し接合する工法においても、超音波により電極が剥がれるといった問題は生じない。第１および第２導電型半導体領域がｎ型ＧａＮおよびｐ型ＧａＮの場合は、Ｔｉが密着性の良い金属である。またＴｉは

10

20

30

40

50

n型Ga_{0.9}Nの良好なオーミックコンタクト電極でもあり好都合である。

【0053】

第1の電極および第2の電極の上において、マイクロバンプが形成される領域以外の領域に、プローブ針が接触しうる領域（プローブ領域）を形成してもよい。これにより、発光素子の特性検査を行うプローブ検査工程において、プローブ針がマイクロバンプに接触することはなく、マイクロバンプを破壊することはない。上記プローブ領域は、少なくとも50μm×50μmの面積が必要であるが、第2の電極の上には容易に上記プローブ領域を確保することができる。しかし、第1の電極の場合は、極力この面積を少なくすることが好ましい。

【0054】

10

第1の電極のプローブ領域をダイシングストリートの一部にまたがって形成してもよい。これにより、第1の電極の大きさは、直径が30～40μm程度の円柱状又は茸状マイクロバンプ1つを形成できる大きさにすることができ、発光面積を可能な限り大きく取ることができる。この場合、ダイシングストリートは、n型Ga_{0.9}N層を露出するように形成する。また、第1の電極を分離して、マイクロバンプを形成する領域と、プローブ領域とを離してもよいが、好ましくは、両領域を隣り合わせにして第1の電極は分離しないほうがよい。そのほうが、正確な特性検査が行えるからである。

【0055】

第2の電極に、発光素子が発光する光を取り出すための開口部を形成してもよい。これにより、開口部から出た光が、上方にあるディテクターに届くようになり、光の強度および波長を測定することができる。第2の電極に形成された開口部を直径が20μm以下の円またはこの円内に含まれる多角形にすることが好ましい。その理由は、開口部が大きすぎると、第2導電型半導体領域（p型Ga_{0.9}N層）が薄いと、活性層に十分に電流注入が行えなくなり、十分な光を取り出せないばかりか、輝度低下の要因ともなるからである。開口部が小さすぎても十分な光を取り出せないが、メッシュ状に複数個の開口部を形成すればよい。

20

【0056】

第2の電極に形成された開口部に、第2導電型半導体領域にオーミックコンタクトする導電性透明電極を形成しても良い。これにより、上記InGa_{0.9}N活性層に電流注入を行い、かつ光を取り出すことが出来る。

30

【0057】

なお、プローバーのディテクターの位置を変更して、ウェハの下方に設置できれば開口部など必要なくなることは言うまでもない。

【0058】

また、基板は、発光素子が発する光に対して透明体で構成することができる。これにより、素子内で発光した光を基板側から取り出すことが可能となり、フリップチップ構造での効率良い光の取り出しが可能となる。発光素子がGa_{0.9}N系化合物半導体により構成されている場合には、基板を、サファイアにより構成することが好ましい。これにより、Ga_{0.9}N結晶とサファイア結晶との結晶学的な整合性が良いこと、およびサファイア基板が透光性絶縁性基板であるため、フリップチップ構造に好都合であることを利用して、青色光等の発光特性の良好なフリップチップ構造発光素子が得られる。また、光取り出し効率に関しても、Ga_{0.9}Nの屈折率が2.1、サファイアの屈折率が1.77、またモールド樹脂の屈折率が1.5であるので、サファイア基板は、Ga_{0.9}Nとモールド樹脂との中間の屈折率を持ち、効率の良い光取り出しが可能であり好都合な基板である。

40

以下、添付図面を参照しながら、本発明による発光素子の実施形態を説明する。

【0059】

（第1の実施形態）

図1および図2は、それぞれ、本実施形態のGa_{0.9}N・LED素子1の平面図およびA-A線断面図である。図1および図2に示すように、Ga_{0.9}N・LED素子1は、サファイア基板30の上面の上に、Ga_{0.9}Nバッファ層31と、n型Ga_{0.9}N層32と、InGa_{0.9}N活性層

50

3 3 と、p 型 A l G a N 層 3 4 と、p 型 G a N 層 3 5 とが順に積層されたダブルヘテロ構造を有している。n 型 G a N 層 3 2 の上面は、上面のごくわずかの部分を占める下段部と残りの大部分を占める上段部とからなる階段状に形成されており、下段部における n 型 G a N 層 3 2 の上面の上には、T i および A u の積層膜の上にさらに N i および A u の積層膜を重ねてなる n 電極 6 が形成されている。また、上段部における n 型 G a N 層 3 2 の上面の上に、上述の I n G a N 活性層 3 3 と、p 型 A l G a N 層 3 4 と、p 型 G a N 層 3 5 とが順に積層されている。そして、p 型 G a N 層 3 5 の上面の上には、電流拡散用の透明電極を設けることなく N i および A u からなる p 電極 5 が直接設けられている。本実施形態における G a N ・ L E D 素子 1 の平面的なサイズは、一辺が 0 . 2 8 m m 程度の正方形である。そして、n 電極 6 および p 電極 5 の上には、A u 又は A u 合金からなるマイクロ

10

【 0 0 6 0 】

図 3 は、G a N ・ L E D 素子 1 をリードフレーム上にマイクロバンプボンディング法でマウントして形成される L E D 装置を概略的に示す断面図である。リードフレーム 1 3 a、1 3 b の先端には、互いに絶縁分離された 2 つのダイパッド 1 7 a、1 7 b が設けられており、各ダイパッド 1 7 a、1 7 b にマイクロバンプ 2 3、2 2 がそれぞれ接触した状態で、G a N ・ L E D 素子 1 がダイパッド 1 7 a、1 7 b 上に搭載されている。G a N ・ L E D 素子 1 とダイパッド 1 7 a、1 7 b とは、紫外線硬化性絶縁樹脂 1 6 により固着されている。

【 0 0 6 1 】

20

なお、発光領域から発光される光は、リードフレーム 1 3 a によって上方に反射され、サファイア基板 3 0 を通過して上方に取り出される。また、リードフレーム 1 3 a、1 3 b の側端には、G a N ・ L E D 素子 1 の側方に漏れる光を上方に反射するための反射板 1 5 a、1 5 b が設けられている。

【 0 0 6 2 】

次に、本実施形態に係る L E D 装置の製造方法について説明する。

【 0 0 6 3 】

まず、L E D 素子の作製方法について説明する。

【 0 0 6 4 】

上述のごとく、サファイア基板 3 0 の上面の上に、G a N バッファ層 3 1 と、n 型 G a N 層 3 2 と、I n G a N 活性層 3 3 と、p 型 A l G a N 層 3 4 と、p 型 G a N 層 3 5 とが順に積層されたダブルヘテロ構造を有するウェハを形成する。そして、このウェハの p 型 G a N 層 3 5 の表面に、選択的に除去しようとする領域を開口した S i O₂ マスクを形成し、この S i O₂ マスクを用いてドライエッチングを行って、p 型 G a N 層 3 5、p 型 A l G a N 層 3 4、I n G a N 活性層 3 3 の各一部を縦方向に選択的に除去し、さらに、n 型 G a N 層 3 2 の一部を表面から少し下方まで掘込んで、全体を段付の形状にする。

30

【 0 0 6 5 】

次に、G a N ・ L E D 素子 1 上に p 電極 5、n 電極 6 およびマイクロバンプ 2 2、2 3 を形成する手順の一例について説明する。

【 0 0 6 6 】

40

n 型 G a N 層 3 2 の上面上に n 電極 6 を形成するには、リフトオフ法あるいはエッチング法を用いて、厚みが約 0 . 2 μ m の T i 膜と厚みが約 0 . 5 μ m の A u 膜とを順に積層した後、この積層膜を直径 5 0 μ m 程度の円形状にパターニングする。さらに、ウェハの全面上に、厚みが約 0 . 2 μ m の N i 膜を形成し、さらにその上に厚みが約 1 μ m の A u 膜を蒸着により形成する。その後、フォトリソグラフィ工程を行って、N i 膜および A u 膜の積層膜上に、マイクロバンプを形成しようとする領域を開口したレジストマスクを形成する。そして、このレジストマスクの開口領域に A u 又は A u 合金の選択メッキを行って、n 電極 6 および p 電極 5 上に位置する領域に、直径約 3 0 μ m、高さ約 2 0 μ m の茸形状のマイクロバンプ 2 2、2 3 をそれぞれ形成する。その後、p 型 G a N 層 3 5 上に位置する領域のほぼ全部と n 電極上に位置する領域とを残し、それ以外の部分に付着して

50

いるNi膜およびAu膜をエッチングにより選択的に除去する。

【0067】

次に、GaN・LED素子1をリードフレーム13a、13bに搭載する手順について説明する。

【0068】

GaN・LED素子1を、マイクロバンプ22、23が形成された面を下方にサファイア基板30を上方に向けてつまりフリップチップ状態で、リードフレーム13a、13bのダイパッド17a、17bに対向させ、p電極5上のマイクロバンプ23をダイパッド17aに、n電極6上のマイクロバンプ22をダイパッド17bにそれぞれ位置合わせする。そして、紫外線硬化性絶縁樹脂16をダイパッド17a、17b又はGaN・LED素子1に塗布し、GaN・LED素子1を押圧しながら紫外線を照射して紫外線硬化性絶縁樹脂16を硬化させる。なお、ダイパッド17a、17bはGaN・LED素子1を搭載してから切り離してもよい。

10

【0069】

本実施形態によると、GaN・LED素子1を内蔵したLED装置において、一方の面側にp電極5とn電極6とを形成し、このn電極6とp電極5との上にマイクロバンプ22、23を形成して、このマイクロバンプ22、23を介してGaN・LED素子1をリードフレーム等の部材と接続する構造としたことによって、以下の効果を得ることができる。

【0070】

20

まず、マイクロバンプは、通常、簡単に直径10μ程度まで小さくでき、従来の素子に要求されていたようなボンディングパッドが不要となるので、電極構造を小さくでき、発光素子（本実施形態ではGaN・LED素子1）のサイズを小型化することが可能になる。そして、この小型化によって、サファイア基板30や化合物半導体基板のような高価な材料の使用量の低減によりコストの低減を図ることができる。また、n電極6も小さくできるため、GaN・LED素子1の内部における発光領域、すなわちpn接合領域が広くなり、従来と同一サイズの素子に比べ、輝度も向上する。さらに、光取り出し面が、図3に矢印で示されている方向、すなわち各電極5、6が形成されている面とは反対側のサファイア基板30側であり、光取り出しを妨げる電極等の部材がないため光取り出し効率も向上する。

30

【0071】

次に、本実施形態の特徴部分であるマイクロバンプの好ましい形状について説明する。マイクロバンプ22、23の径は、前述のように5～300μmであることが好ましいが、5～100μmの範囲であることがより好ましい。マイクロバンプ22、23の径が100μmを越えると、その占める面積が増大し、ワイヤーボンディングと比較して、メリットが少なくからである。マイクロバンプの径は、10～30μmの範囲であることが更に好ましい。一方、マイクロバンプ22、23の高さは、円柱状の場合には30μm以下であることが好ましく、茸状の場合には50μm以下であることが好ましい。円柱形の場合には、選択メッキ法により形成しようとする、フォトリソグラフィー工程によって形成されるレジスト膜の厚みを厚くする必要があるが、30μm以上の厚みを有するレジスト膜を形成するのは、困難を伴うからである。また、茸状の場合には、50μmを越える高さまでメッキを行うと茸状の傘の部分の横方向の径が100μm程度まで増大するので、ワイヤーボンディングと比較して、メリットが少なくなる。

40

【0072】

n電極6のサイズは、マイクロバンプ22を形成できるサイズ、即ち、マイクロバンプの円柱の直径より少し大きい直径の円であることが好ましい。例えばマイクロバンプの直径が30μm程度の場合には、直径50μm程度の円形とすることがLED装置の小型化に適している。また、マイクロバンプの横断面における形状は、前記実施形態のごとき円形に限定されるものではなく、楕円形や正方形に近い形状などであってもよいことはいうまでもない。その場合には、横方向の最大寸法が上述の直径の寸法の範囲内にあればよい。

50

【 0 0 7 3 】

また、光取り出し面がサファイヤ基板 3 0 側であるため、p 電極 5 の上に従来の GaN・LED 素子のように透明電極を形成する必要がないので、p 型 GaN 層 3 5 の全面上に厚膜の p 電極を設けてもよい。

【 0 0 7 4 】

上述の方法で作製した LED 素子のサイズは、例えば一辺が 0 . 2 8 mm の正方形で発光に寄与しない n 電極周りの面積は、素子表面の 1 5 分の 1 を占めている。従来の素子の場合、素子のサイズは、一辺が 0 . 3 4 mm の正方形であり、発光に寄与しない面積は、素子表面の 2 分の 1 を占めている。即ちこの実施例の場合、素子のサイズは、0 . 6 8 倍と小さくなったにもかかわらず、発光面積は、1 . 2 6 倍に増えている。

10

【 0 0 7 5 】

また、前記実施形態における製造方法では、n 電極専用の金属 (Ti と Au) の上に p 電極専用の金属 (Ni と Au) をさらに積層し、この p 電極専用の金属の上にマイクロバンプを構成する金属の選択メッキを行うので、選択メッキの条件を均一にすることができる。また、その結果、p 電極 5 は p 電極専用の金属だけで構成される一方、n 電極 6 は n 電極専用の金属の上に p 電極専用の金属を重ねて構成されているので、p 型 GaN 層 3 5 と n 型 GaN 層 3 2 との間の段差が緩和され、2 カ所のマイクロバンプ 2 2、2 3 の先端がほぼ同じ高さ位置になるという効果をも有する。ただし、本発明の発光素子の製造方法は、斯かる実施形態に限定されるものではなく、p 電極および n 電極をそれぞれ専用の金属のみで構成し、その上にマイクロバンプをそれぞれ形成するようにしてもよい。また、マイクロバンプを構成する金属を堆積するのは、選択メッキ法に限定されるものではなく、蒸着等により金属膜を堆積した後、リフトオフ法によりレジストマスクとともに周囲の金属膜を除去してマイクロバンプのみを残すリフトオフ法によってもよい。

20

【 0 0 7 6 】

なお、前記実施形態では、GaN・LED 素子をリードフレーム上に搭載したが、本発明は斯かる実施形態に限定されるものではない。例えば、GaN・LED 素子を能動素子や受動素子或いは親基板の上にフリップチップ接続してもよいし、逆に GaN・LED 素子の上に他の能動素子や受動素子等をフリップチップ接続してもよい。

【 0 0 7 7 】

また、本発明に係る発光素子は、GaN・LED 素子に限定されるものではなく、他の発光素子でもよい。ただし、GaN・LED 素子は透明で絶縁性のサファイヤ基板上に形成されるので、p 電極および n 電極が一方の面側に形成されることから、本発明を適用することで著効を発揮することができる。

30

【 0 0 7 8 】

さらに、本発明に係る発光素子の基板は必ずしも透明体である必要はない。不透明な基板である場合には、光を基板とは反対側に取り出せば済むからである。ただし、基板を透明体で構成することにより、光を p 電極および n 電極の反対方向から取り出すことができるので、上述のように、光の取り出し効率の向上を図ることができる。

【 0 0 7 9 】

上記 GaN・LED 素子の特性を検査するプローブ検査工程や、チップに分割してリードフレーム等に組み立てる組立工程においては、次のような問題が生じる可能性がある。

40

【 0 0 8 0 】

第 1 に、組立工程において、GaN・LED 素子が形成されたウェハを 1 つの GaN・LED 素子単位にチップ状に分割し、各チップをリードフレーム等に載置する場合、マイクロバンプを下にして置かれた前記チップを、ダイスボンダー等のアームが認識し取りに来る。その際、二本のマイクロバンプでチップを支えているため、チップが傾きやすく、認識やアームへの取り込みに問題が生じるおそれがある。また、マイクロバンプを介してチップをリードフレーム等に接合する際に、荷重、熱および超音波により Au マイクロバンプを溶着し接合する方法によれば、マイクロバンプの高さが低いとチップとリードフレームとがバンプ以外の部分で接触する可能性がある。そのような接触が生じると、ショート

50

不良を起こしたり、超音波により電極が剥がれるといった問題が生じる。

【0081】

第2に、GaN・LED素子のn電極6は、上述したように可能な限り小さいほうが発光面積を広くできる。そのため、電極の大きさは、直径が30 μ m程度の円柱状又は茸形状のマイクロバンプ1つを形成できる大きさにするのが好ましい。この場合、n電極6の形状は直径60 μ m程度の円形であることが好ましい。素子の特性検査を行うプローブ検査工程において、プローブ針がマイクロバンプに接触するためにマイクロバンプを破壊するという問題が生じてくる可能性がある。

【0082】

第3に、通常のプローバーを用いてプローブ検査工程を実行する場合、GaN・LED素子が形成されたウェハを電極側を上にしてステージ上に置き、真空チャックで固定する。プローブ針をウェハ上方から電極に接触させ特性検査を行うが、光の強度および波長を測定するディテクターは、通常、ステージの上方に置かれているため、GaN・LED素子の光の取り出しがサファイア基板側から行うために、十分な光が上方にあるディテクターに届かないという問題が生じてくる可能性がある。

【0083】

下記の実施形態は、マイクロバンプを持つフリップチップ構造の発光素子の検査工程および組立工程が支障なく行えるような構造の発光素子に関する。

【0084】

(第2の実施形態)

図6Aおよび図6Bは、それぞれ、本実施形態におけるGaN・LED素子1の平面図およびD-D線断面図である。本実施形態の特徴は、GaN・LED素子1のn電極6の上に点状マイクロバンプが1つ、およびp電極5の上に点状マイクロバンプが2つ形成されている点である。

【0085】

この構造を詳しく説明すると、図6Aおよび図6Bに示すように、GaN・LED素子1は、サファイア基板30の上面の上に、GaNバッファ層31と、n型GaN層32と、InGaN活性層33と、p型AlGaN層34と、p型GaN層35とが順に積層されたダブルヘテロ構造を有している。n型GaN層32の上面は、ごくわずかな部分を占める下段部と、残りの大部分を占める上段部とからなる階段状に形成されており、下段部におけるn型GaN層32の上面の上には、TiおよびAuの積層膜の上にさらにMgおよびAuの積層膜を重ねてなるn電極6が形成されている。また、上段部におけるn型GaN層32の上面の上に、上述のInGaN活性層33と、p型AlGaN層34と、p型GaN層35とが順に積層されている。そして、p型GaN層35の上面の上には、透明電極を設けることなくMgおよびAuからなるp電極5が直接設けられている。そして、n電極6の上面の上には、AuまたはAu合金からなる1つの点状マイクロバンプ24が、またp電極5の上面の上には、AuまたはAu合金からなる2つの点状のマイクロバンプ25がそれぞれ形成されている。そして、素子の表面は、マイクロバンプを除いて保護膜39で被われている。

【0086】

ここで、前記3つの点状マイクロバンプのサイズは、直径が40 μ mで高さが20 μ mの茸状または円柱状であり、チップ内で可能な限り大きくとれる二等辺三角形の3つの頂点の位置に配置されている。

【0087】

これにより、GaN・LED素子1のチップは、マイクロバンプにより3点で支えられるので、マイクロバンプを下にして置かれた場合でも傾くことはなく、ダイスボンド時にチップの認識エラーやアームへの取り込みエラーは発生しない。

【0088】

また、マイクロバンプの高さを20 μ mとすることにより、前記GaN・LED素子1のチップをリードフレーム等に、荷重、熱および超音波によりマイクロバンプを溶着し接合

10

20

30

40

50

する工法においては、適切な接合条件の設定で、前記チップとリードフレームとがバンプ以外の部分で接触するショート不良の発生はなく、なおかつ十分な接合強度が保たれている。

【0089】

また、n電極のTiおよびp電極のMgは、GaNに対して付着力の強い電極材料であり、超音波による剥がれは、発生しなかった。

【0090】

(第3の実施形態)

図7Aおよび図7Bは、それぞれ、本実施形態におけるGaN・LED素子1の平面図およびE-E線断面図である。本実施形態の特徴は、GaN・LED素子1のn電極6の上に点状マイクロバンプ24が1つ、およびp電極5の上に線状マイクロバンプ25aが1つ形成されている点であり、その他は、第2の実施形態と同じである。

10

【0091】

p電極5上の線状マイクロバンプ25aのサイズは、幅が20μm、長さが180μm、高さが20μmで、前記E-E線の断面が茸状または柱状である。

【0092】

この場合も、GaN・LED素子1のチップは、マイクロバンプにより支えられ傾かないので、ダイスボンド時にチップの認識エラーやアームへの取り込みエラーは発生しない。

【0093】

(第4の実施形態)

20

図8Aおよび図8Bは、それぞれ、本実施形態におけるGaN・LED素子1の平面図およびF-F線断面図である。本実施形態の特徴は、GaN・LED素子1のマイクロバンプが位置するp電極の下面にp型GaN層と密着性のよい金属を敷いた点であり、その他は、第2の実施形態と同じである。

【0094】

これは、p電極5の材料として、NiとAuなどの積層膜を用いる場合、p型GaN層とNiとの密着力が弱い場合、前記チップをリードフレーム等に、荷重、熱および超音波によりマイクロバンプを溶着し接合する工法において、超音波により、マイクロバンプ25の位置する近傍のp電極5の下面のp型GaN層とNiとの界面が剥がれる。これを防ぐためには、マイクロバンプ25の位置するp電極5の下面の近傍に密着力の強いTiなどの金属73を敷くことが効果的であり、接合時の剥がれはなくなり、十分な接合強度が保たれる。

30

【0095】

前記実施形態では、チップとリードフレーム等との接合方法を荷重、熱、超音波により、マイクロバンプを溶着させる方法を例に掲げたが、接合方法はこれに限ったものではなく、例えばスタットバンプボンディング(SBB)法や異方導電シート/接着剤を用いるACF法やハンダバンプを用いる工法にも適用できるものである。

【0096】

(第5の実施形態)

図9Aおよび図9Bは、それぞれ、本実施形態における2インチウェハ上に形成されたGaN・LED素子群の一部分の平面図およびG-G線断面図である。本実施形態の特徴は、GaN・LED素子1のp電極5およびn電極6上にプローブ領域が設けられていることであり、特にn電極上に設けられたプローブ領域はダイシングストリート上に形成されている点である。

40

【0097】

図9Aにおいて、前記n型GaN層32の下段部の上面の上には、n電極6が形成されているが、このn電極6はダイシングストリート37の一部分に渡って形成されている。また、p型GaN層35の上面のほぼ全面に、p電極5が形成されており、n電極6およびp電極5の上には、AuまたはAu合金から成るマイクロバンプ24および25がそれぞれ形成されている。そして、素子の表面は、保護膜39で被われているが、p電極5の上

50

面上のAuパンプ25とプローブ針を接触させるプローブ領域5aおよびn電極6の上面上のAuパンプ24とプローブ領域6aは、保護膜39が開口されている。ここで、p電極5のプローブ領域5aのサイズは、 $70\mu\text{m} \times 80\mu\text{m}$ 、n電極6のプローブ領域6aのサイズは、 $40\mu\text{m} \times 80\mu\text{m}$ 程度である。

【0098】

このように、n電極6上のプローブ領域6aをダイシングストリート71上に形成することにより、マイクロパンプを傷つけることなくプローブ検査が可能になり、かつ、GaN・LED素子1の発光面積を可能な限り大きく取ることができる。

【0099】

(第6の実施形態)

図10に示すように、本実施形態は、n電極6とは分離する形でダイシングストリート上にプローブ領域6bを設けること以外、第5の実施形態と同じである。プローブ領域6bのサイズは少し小さくなるが、プローブは可能である。この場合も、プローブ領域6bは、ダイシングストリート上に設けられているので、LED・GaN素子1の発光面積を大きく取ることができる。但し、プローブ領域6bは、n電極6と分離しない方が正確な特性検査が行える。

【0100】

(第7の実施形態)

図11Aおよび図11Bは、それぞれ、本実施形態におけるGaN・LED素子1の平面図およびH-H線断面図である。本実施形態の特徴は、GaN・LED素子1のp電極5の中央部分に、開口部72を行列状に複数個設けた点である。

【0101】

一つの開口部のサイズは、直径 $10\mu\text{m}$ の円で、これを3行5列に配置することにより、輝度および波長測定に必要な光量をディテクターに供給することが出来る。

【0102】

また、開口部72はp電極5の中央部分に限らず、p電極内で形成可能な部分であればどこでもよい。

【0103】

(第8の実施形態)

図12Aおよび図12Bは、それぞれ、本実施形態におけるGaN・LED素子1の平面図およびI-I線断面図である。本実施形態は、第7の実施形態における開口部72の行列部分をp型GaN層にオーミックコンタクトする透明電極に置き換えたものである。この場合の透明電極のサイズは、 $50\mu\text{m} \times 100\mu\text{m}$ で、十分な光量をディテクター供給することができる。もちろんサイズはこの値に限ったものではない。

【0104】

- 半導体発光装置 -

図5に示すような絶縁基板上に半導体層を設けて得られるLEDランプは、素子材料の物理定数(例えば、誘電率 ϵ)や素子構造に起因して、一般に静電気に弱い。例えば、このLEDランプと静電気がチャージされたコンデンサーとを対向させて両者間に放電を生じさせた場合、順方向でおよそ100Vの静電圧で、また、逆方向でおよそ30Vの静電圧で破壊される。この値は、他のバルク化合物半導体(GaPやGaAlAsなど)で構成されるLED素子と比較して非常に小さな値である。そのため、外部から静電気が印加されないような保護処理を施さずにLEDランプを取り扱おうと、内部のGaN・LED素子がすぐに破壊されてしまうおそれがある。

【0105】

以下、静電気等の高電圧の印加に対する破壊防止機能を内蔵した信頼性の高い半導体発光装置を説明する。

【0106】

(第9の実施形態)

図13は、本実施形態における半導体発光装置(GaN系LEDランプ)の断面図である

10

20

30

40

50

。本実施形態に係るGaN系LEDランプの特徴は、GaN・LED素子1が直接リードフレーム上に搭載されているのではなく、GaN・LED素子1が、p電極とn電極とを有するSiダイオード素子2を挟んでリードフレーム13a、13b上に搭載されている点である。

【0107】

図13に示すように、反射鏡を持つリードフレーム13aの先端のダイパッド上には、Siダイオード素子2が主面を上方に下面を下方に向けた状態で載置されている。また、Siダイオード素子2は、下面上のn電極9をリードフレーム13aのダイパッドに接触させながら、Agペースト14によりダイパッドにダイスボンディングされている。更に、Siダイオード素子2の上面の上には、p電極7と、n電極8と、p電極のボンディングパッド部10とが設けられている。Siダイオード素子2の上方には、GaN・LED素子1がサファイヤ基板側を上方にし、p電極5およびn電極6を下方に向けて載置されている。そして、GaN・LED素子1のp電極5とSiダイオード素子2のn電極8とはAuマイクロバンプ12を介して、GaN・LED素子1のn電極6とSiダイオード素子2のp電極7とはAuマイクロバンプ11を介して、それぞれ電氣的に接続されているとともに、紫外線硬化性絶縁樹脂16によりGaN・LED素子1とSiダイオード素子2とが固着されている。なお、GaN・LED素子1とSiダイオード素子2との間の機械的な接続は、紫外線硬化性絶縁樹脂16を用いる代わりに、マイクロバンプ11および12を溶着することによって達成しても良い。このような溶着について、後述する。Siダイオード素子2のp電極のボンディングパッド部10とリードフレーム13bとは、Auワイヤー17を介してワイヤーボンディングにより接続されている。また、リードフレーム13aのダイパッド側面には光を上方に反射させるための反射体15が取り付けられていて、GaN・LED素子1は反射体15によって取り囲まれている。

【0108】

上記GaN・LED素子1およびSiダイオード素子2を搭載した状態でリードフレーム13a、13bの先端部分全体が透光性エポキシ樹脂18でモールドされて、LEDランプが構成されている。なお、上記GaN・LED素子1で生成される光はサファイヤ基板側から上方に取り出される。そのため、GaN・LED素子1のp電極5側には、従来のGaN・LED素子に形成されていたような電流拡散用の透明電極(図4A、図4Bおよび図4Cに示す符号37で示される部材)は必要でなく、電流拡散用の部材としては、厚膜のp電極5のみがあればよい。

【0109】

また、GaN・LED素子1の側方に漏れた光は反射体15によって上方に反射され、光の取り出し効率を高めるように構成されている。そのため、反射体15の先端が少なくともGaN・LED素子1の発光領域よりも上方に位置していることが好ましい。

【0110】

図14は、本実施形態のLEDランプが内蔵する保護回路を説明するための回路図である。

【0111】

図14に示すように、Siダイオード素子2とGaN・LED素子1とを逆極性関係で接続つまり互いのp電極とn電極とのうち逆極性の電極同士を接続して、GaN・LED素子1にリードフレーム側から高電圧が印加されないようにしたものである。この場合、Siダイオード素子2の順方向動作電圧は約0.9Vであるので、GaN・LED素子1に印可される逆方向の電圧は0.9Vでカットされる。また、Siダイオード素子2の逆方向ブレークダウン電圧は10V近傍に設定可能であるため、GaN・LED素子1に印可される順方向電圧も10V近傍でカットできる。上述のように、GaN・LED素子1の順方向破壊電圧値は100V程度であり、逆方向破壊電圧値は30V程度であるので、このような構成により、静電気等の高電圧の印加によるGaN・LED素子1の破壊を確実に防ぐことができる。

【0112】

つまり、GaN・LED素子1の順方向破壊電圧、逆方向破壊電圧をそれぞれ V_{f1} 、 V_{b1} とし、Siダイオード素子2の順方向動作電圧、逆方向ブレイクダウン電圧をそれぞれ V_{f2} 、 V_{b2} とし、GaN・LED素子1の動作電圧を V_F とすると、下記の関係 $V_{f2} < V_{b1}$
 $V_{b2} < V_{f1}$
 $V_{b2} > V_F$

が成立していればよい。

【0113】

次に、本実施形態のLEDランプの各部の詳細構造と概略の製造工程とを説明する。

【0114】

図15Aおよび図15Bは、本実施形態のGaN・LED素子1の平面図およびJ-J線断面図である。同図に示すように、GaN・LED素子1は、サファイア基板30の上面の上に、GaNバッファ層31と、n型GaN層32と、InGaN活性層33と、p型AlGaN層34と、p型GaN層35とが順に積層されたダブルヘテロ構造を有している。n型GaN層32の上面は、上面のごくわずかの部分を占める下段部と残りの大部分を占める上段部とからなる階段状に形成されており、下段部におけるn型GaN層32の上面の上には、TiとAuよりなるn電極6が形成されている。また、上段部におけるn型GaN層32の上面の上には、上述のInGaN活性層33と、p型AlGaN層34と、p型GaN層35とが順に積層されている。そして、p型GaN層35の上面の上には、電流拡散用の透明電極を設けることなく直接p電極5が設けられている。本実施形態におけるGaN・LED素子1の平面的なサイズは、一辺が0.28mm程度の正方形である。

【0115】

図16Aおよび図16Bは、本実施形態のSiダイオード素子2の平面図およびK-K線断面図である。図16Aおよび図16Bに示すように、このSiダイオード素子2のn型シリコン基板20内に選択的に不純物イオンの注入を行うことによりp型半導体領域21が形成されており、逆方向ブレイクダウン電圧が10V近傍に設定されている。その後、p型半導体領域21およびn型シリコン基板20（n型半導体領域）の上に、Siダイオード素子2のp電極7およびn電極8が形成され、p電極7の一部がボンディングパッド部10となる。また、n型シリコン基板20の下面の上には、リードフレームと電氣的に接続するためのn電極9が形成されている。本実施形態におけるSiダイオード素子2の平面的なサイズは、0.32mm×0.45mm程度である。

【0116】

次に、Siダイオード素子2上にGaN・LED素子1を搭載する手順について説明する。

【0117】

まず、図13に示すLEDランプにおいて、Siダイオード素子2とGaN・LED素子1の電極間を電氣的に接続するAuマイクロバンプの形成手順について説明する。Siダイオード素子2の上面の上のp、n電極7、8の上に、フォトリソグラフィ工程によってパターニングされたレジスト膜をマスクにして、両電極7、8上にのみAuの選択メッキを行うことにより、マイクロバンプ11、12をそれぞれ形成する。本実施形態におけるマイクロバンプ11、12は、直径30μm、高さ10μm程度の茸状に形成されている。

【0118】

次に、Siダイオード素子2のp電極7の上にGaN・LED素子1のn電極6を、Siダイオード素子2のn電極8の上にGaN・LED素子1のp電極5をそれぞれ対向させて、GaN・LED素子-Siダイオード素子間に紫外線硬化性絶縁樹脂16を介在させ、GaN・LED素子1を押圧しながら紫外線を照射することにより、両素子1、2を固着するとともに両素子1、2の各電極間の電氣的接続を行う。以上のマイクロバンプボンディング法によるフリップチップ接続工程を実施することにより、電子デバイスと光デバ

イスをペアにした複合素子を形成する。

【0119】

その後、図13に示すように、この複合素子をリードフレーム13a上にAgペースト14によりダイスボンドした後、p電極7のボンディングパッド部10とリードフレーム13b間をAuワイヤー17で接続するワイヤーボンディング工程を行う。ただし、ワイヤーボンディング工程を行ってから、上述のフリップチップ接続工程を行ってもよい。

【0120】

そして、最終的に透光性エポキシ樹脂18により、樹脂封止工程を行って、図1に示す状態の発光装置とする。

【0121】

本実施形態によると、上述のごとく、Siダイオード素子2とGaN・LED素子1とを逆極性関係で接続して複合素子を構成したので、リードフレーム13a、13b間に高電圧が印加されたときに、GaN・LED素子1に印可される逆方向電圧はSiダイオード素子2の順方向電圧付近の電圧で、GaN・LED素子1に印可される順方向電圧はSiダイオード素子2の逆方向ブレークダウン電圧付近の電圧で、それぞれカットすることができ、静電気によるGaN・LED素子1の破壊を確実に防ぐことができる。

【0122】

また、本実施形態では、GaN・LED素子1は、マイクロバンプボンディング法によりSiダイオード素子2上にフリップチップ実装されて、両者で複合素子を形成しているので、両者間の接続に際してはワイヤーボンディングのための広いボンディングパッド部が不要となり、複合素子全体を小型化できるとともに、発光に寄与しないn電極6およびその周囲部分の面積を狭くできる。具体的に説明すると、本実施形態の場合、n電極6およびその周囲部分の面積はGaN・LED素子1の表面積の15分の1しか占めていない。それに対し、図4Aに示すように、従来のGaN・LED素子1の場合は、素子のサイズが、一辺が0.34mmの正方形とすると、発光に寄与しないn電極36およびその周囲部分の面積は、素子の表面積の2分の1を占めていた。すなわち、本実施形態のGaN・LED素子1は、従来の図4Aおよび図4Bに示すGaN・LED素子1に比べ、サイズが0.68倍と小さくなったにもかかわらず、発光面積は1.26倍に増えている。したがって、マイクロバンプボンディング法によるフリップチップ接続を行うことで、高価な化合物半導体基板の面積の低減によるコストの削減と、発光能力の増大とを図ることができる。

【0123】

また、本実施形態では、透明なサファイヤ基板側から光を取り出すことができるので、発光の取り出し効率が向上するという利点も得られる。

【0124】

なお、本実施形態では、p電極7とボンディングパッド部10とを切り離しているが、両者を一体的に形成してもよい。本実施形態の場合、紫外線硬化性絶縁樹脂16がボンディングパッド部10にまで広がるのを途中の溝部で容易かつ確実に阻止できる利点がある。また、先にワイヤーボンディング工程を行ってからフリップチップ接続工程を行う場合には、p電極7のマイクロバンプ11を形成する部分とボンディングパッド部10とを一体化しておく方が本実施形態よりも有利である。紫外線硬化性絶縁樹脂16がボンディングパッド部10に広がっても不具合は生じることがなく、かえってボンディングパッド部10とp電極7とが安定して同電位になるという利点があるからである。

【0125】

さらに、本実施形態では、GaN・LED素子1のp電極5とSiダイオード素子2のn電極8とが対向しているので、p電極5の下方の発光層から発光された光をn電極8によって上方に反射させることができ、光の取り出し効率の向上を図ることができる。

【0126】

なお、以上の説明ではマイクロバンプ11、12をSiダイオード素子2のp電極7およびn電極8上に形成した例を説明したが、GaN・LED素子1のp電極5およびn電極

10

20

30

40

50

6 上に形成するようにしてもよいことはいうまでもない。

【0127】

また、Siダイオード素子2上のn電極8をできるだけ大きくしてGaN・LED素子1のp電極5に対向していることが好ましい。GaN・LED素子1の側方に漏れる光を上方に反射させることで、光の取り出し効率をより向上させることができるからである。

【0128】

なお、本実施形態では、Siダイオード2の上面側のp電極およびn電極を一方向につき互いに平行な矩形状に分割しているが、本発明は斯かる実施形態に限定されるものではなく、平面的にみて斜め方向に分割されていたり、曲線的に分割されていてもよい。

【0129】

(第10の実施形態)

上記第9の実施形態ではSiダイオード素子の上にGaN・LED素子を搭載したが、本実施形態では、GaN・LED素子の上に薄膜で構成されるSiダイオード素子を設ける。

【0130】

図17は、本実施形態に係るLEDランプのうちデバイス部分のみを示す断面図である。リードフレームへの搭載状態の図示は省略するが、第1の実施形態における図1と同様の状態でリードフレームに搭載され、最終的に樹脂封止されるものである。

【0131】

同図に示すように、上記第9の実施形態におけると同様の構造を有するGaN・LED素子1の上にシリコン酸化膜からなる層間絶縁膜51が形成されており、その上にシリコン薄膜が形成され、シリコン薄膜内にp型半導体領域52とn型半導体領域53とが形成されている。このシリコン薄膜の形成は、液晶デバイスのTFT形成技術を利用すれば容易に行うことができる。そして、層間絶縁膜51に形成された接続孔を埋めてGaN・LED素子1のn電極6に接続されるとともにダイオード素子50のp型半導体領域52に接続されるダイオード素子50のp電極54と、層間絶縁膜51に形成された接続孔を埋めてGaN・LED素子1のp電極5に接続されるとともにダイオード素子50のn型半導体領域53に接続されるダイオード素子50のn電極55とが設けられている。そして、ダイオード素子50のp電極54とn電極55とは、図示しないがワイヤーボンディングによりリードフレームに接続されている。なお、この場合、GaN・LED素子1で生成された光はリードフレームによって反射されて上方に取り出されるが、ダイオード素子50を形成する部分は狭い範囲に限定できるので、所望の取り出し効率を得ることは容易である。

【0132】

本実施形態においても、上述のような第9の実施形態と同じ効果を発揮することができる。

【0133】

(第11の実施形態)

次に、第11の実施形態について説明する。本実施形態の発光装置は、第9の実施形態と同様のSiダイオード素子を有するが、GaN・LED素子がダイオード素子に対向しない状態でシリコン基板上に搭載されているものである。

【0134】

図18は、本実施形態に係るLEDランプのデバイス部分のみの構造を示す断面図である。リードフレームへの搭載状態の図示は省略するが、第9の実施形態における図13と同様の状態でリードフレームに搭載され、樹脂封止されるものである。

【0135】

同図に示すように、Siダイオード素子2は、上記第9の実施形態におけるよりも大面積のn型シリコン基板20内に形成されている。すなわち、n型シリコン基板20内に選択的に不純物イオンの注入を行ってp型半導体領域21が形成されており、さらに、層間絶縁膜57が形成された後、層間絶縁膜57の上にp型半導体領域21にコンタクトするp

10

20

30

40

50

電極 5 8 が形成されている。ただし、図示しないが、図 1 8 に示す断面以外の部分において n 型シリコン基板 2 0 つまり n 型半導体領域にコンタクトする n 電極も形成されている。なお、S i ダイオード素子 2 の逆方向ブレークダウン電圧や順方向電圧は、上記第 9 の実施形態と同様の値に設定されている。

【 0 1 3 6 】

一方、シリコン基板 2 0 の上には上記第 9 の実施形態におけると基本的に同じ構造を有する G a N ・ L E D 素子 1 が載置されている。ただし、本実施形態では、G a N ・ L E D 素子 1 の n 電極 6 は、ワイヤボンディングが可能な面積を有するように大きめに形成されている。そして、G a N ・ L E D 素子 1 の n 電極 6 と S i ダイオード素子 2 の p 電極 5 8 とがワイヤー 5 9 によって接続され、かつ図 1 8 には示されていない部分において、G a N ・ L E D 素子 1 の p 電極 5 と S i ダイオード素子 2 の n 電極とがワイヤーによって接続されている。本実施形態では、G a N ・ L E D 素子 1 から p 電極 6 の上方に光を取り出すことになる。

10

【 0 1 3 7 】

ただし、ダイオード素子 2 の各半導体領域と G a N ・ L E D 素子 1 の各電極との接続は、上記第 1 0 の実施形態のように多層配線構造を形成することにより行ってもよい。

【 0 1 3 8 】

本実施形態の場合、発光装置の全体のコンパクト化や光の取り出し効率の向上効果については上記第 9 の実施形態に比べて劣るものの、マイクロバンプを使用しない方法で、上記第 9 の実施形態と同様の静電気等に対する耐圧性を発揮しうる発光装置を得ることができる。

20

【 0 1 3 9 】

(第 1 2 の実施形態)

次に、第 1 2 の実施形態について説明する。本実施形態では、共通の絶縁基板上に G a N ・ L E D 素子とダイオード素子とを形成するようにしている。

【 0 1 4 0 】

図 1 9 は、本実施形態に係る L E D ランプのデバイス部分のみの構造を示す断面図である。リードフレームへの搭載状態の図示は省略するが、第 9 の実施形態における図 1 3 同様の状態でリードフレームに搭載され、樹脂封止されるものである。

【 0 1 4 1 】

同図に示すように、サファイア基板 3 0 の上には、上記第 9 の実施形態におけると同じ構造を有する G a N ・ L E D 素子 1 が形成されている。さらに、サファイア基板 3 0 の上において、G a N ・ L E D 素子 1 の側方には、シリコン薄膜内に p 型半導体領域 6 1 と n 型半導体領域 6 2 とを形成して構成されるダイオード 6 0 が設けられている。このサファイア基板 3 0 上のシリコン薄膜の形成は、例えば液晶デバイスの T F T 形成技術を利用して容易に行うことができる。そして、ダイオード素子 6 0 の p 型半導体領域 6 1 と G a N ・ L E D 素子 1 との接続は、上記第 1 0 の実施形態のように多層配線構造を形成することにより行ってもよいし、上記第 1 1 の実施形態のごとくワイヤーボンディングにより行ってもよい。

30

【 0 1 4 2 】

本実施形態の場合、サファイア基板 3 0 の融点が高いので、ポリシリコン膜を堆積した後レーザ再結晶化法によりシリコン単結晶薄膜の形成が極めて容易となる利点がある。また、下方のサファイア基板から光を取り出すように容易に構成できるので、ワイヤーボンディングによって G a N ・ L E D 素子 1 とダイオード素子 6 0 とを接続するように構成した場合でも、光の取り出し効率を高く維持することも可能である。

40

【 0 1 4 3 】

(上記第 9 ~ 第 1 2 の実施形態の変形形態)

上記実施形態に対して以下の変形形態を採ることができる。

【 0 1 4 4 】

上記第 9 の実施形態の構造において、S i ダイオード 2 の n 電極 8 を G a N ・ L E D 素子

50

1のp電極5と面对称の形状として、両電極がほぼ全面で相対向する構造とすることも可能である。その場合、GaN・LED素子1のp電極5から下方に出射される光をSiダイオード素子2のn電極8で上方に反射させることで、さらに光の取り出し効率の向上を図ることができる。

【0145】

上記第12の実施形態において、サファイア基板を液晶デバイスの液晶を保持する透明基板の1つとし、GaN・LED素子から発光される光をサファイア基板側に取り出して、液晶デバイスのバックライトの1つとしてもよい。その場合、静電気保護素子はTFTと同期して動作させることもできる。このような構造によって、特に信頼性の高い液晶デバイスのバックライト用発光装置を得ることができる。ただし、水晶ガラス等のガラス基板の上に発光素子とシリコン薄膜からなるダイオードとを搭載したものを液晶デバイスの液晶挟持板の一方として利用することもできる。

10

【0146】

上記各実施形態では、静電気保護素子として横型pnダイオードを形成するようにしたが、本発明は斯かる実施形態に限定されるものではない。例えば、縦型pnダイオード、pinダイオード、ショットキーバリアダイオード、ツェナーダイオード、トンネルダイオード、ガンダイオード等の各種のダイオードを静電気保護素子として用いることができる。また、化合物半導体のガン効果を利用したガンダイオードを発光素子の基板上に形成することも可能である。

【0147】

また、静電気保護素子として、しきい値電圧が発光素子の動作電圧よりも高くかつ順方向破壊電圧や逆方向破壊電圧よりは小さい値に調整された電界効果型トランジスタを設けてもよい。

20

【0148】

上記各実施形態では、発光素子としてGaN・LED素子を備えた発光装置について説明したが、本発明は斯かる実施形態に限定されるものではない。例えばGaN系のレーザダイオード素子を備えた発光装置や、GaN系以外の絶縁基板上に設けられる発光素子を搭載した発光装置であってもよい。

【0149】

また、上記従来の図5に示す状態で、ダイパッド上のGaN・LED素子の側方に静電気保護素子を載置して、両素子間をワイヤーで接続する構成にしてもよい。その場合、静電気保護素子として、第1の実施形態のごとくシリコン基板上にダイオードを形成したものをを用いてもよいが、ダイパッド上に絶縁膜を介してシリコン薄膜を形成し、このシリコン薄膜を利用してダイオードを形成することも可能である。

30

【0150】

- 半導体発光装置の製造方法 -

図20は本発明の製造方法によって得られるフリップチップ型の発光素子を備えた半導体発光装置の一例を示す概略図である。この半導体発光装置は、図13の装置と類似しているが、以下の実施形態におけるサブマウント素子2は必ずしも静電保護機能を発揮する素子である必要はない。もちろん、サブマウント素子2としてSiダイオード素子を用いて図2に示す回路を構成した場合、前述のように、サブマウント素子2は静電気保護素子として機能し、静電気等の高電圧に対する保護機能を発揮することができる。しかし、図20のサブマウント素子2は、リードフレーム13a、13bと発光素子との接続を容易にする役割を果たすものであれば、ダイオードなどの構造を有する必要は必ずしもない。

40

【0151】

図20の発光装置においては、サブマウント素子2とLED素子1とが重ね合わされた状態でリードフレーム13aのマウント部15上に搭載されている。LED素子1は、透光性基板1aの裏面が上方を向くようにフェイスダウン状態に配置され、LED素子1のp型半導体領域およびn型半導体領域上に形成されたp側電極5およびn側電極6が下方を向いている。透光性基板1aの裏面が光取出し面として機能し、素子1が発する光は、透

50

光性基板 1 a の裏面から高い効率で放射される。

【 0 1 5 2 】

サブマウント素子 2 の下面には裏面電極 9 が形成されている。その裏面電極 9 が導電性ペースト 1 4 を介してマウント部 1 5 に電氣的に接続されている。また、サブマウント素子 2 の上面には電極 7、8 が形成されており、半導体発光素子 1 の n 側電極 6 および p 側電極 5 にそれぞれ対向している。LED 素子 1 の n 側電極 6 および p 側電極 5 と、これらに対向するサブマウント素子 2 の電極 7、8 とは、マイクロバンプ 1 1、1 2 を介して相互に接続されている。

【 0 1 5 3 】

サブマウント素子 2 の電極 7 の表面にはボンディングパッド部 1 0 が形成されている。ボンディングパッド部 1 0 はワイヤ 1 7 を介してリードフレーム 1 3 b に接続されている。これらの素子 1 および 2 は透光性樹脂 1 8 によってモールドされている。

10

【 0 1 5 4 】

本発明の半導体発光装置の製造方法では、マイクロバンプを半導体発光素子の電極上またはサブマウント素子の電極上に形成した後、このマイクロバンプを介して、半導体発光素子をサブマウント素子に電氣的 / 物理的に接続する。両素子の電極を対向させて接触させるとき、両素子の間にマイクロバンプの高さに相当する隙間ができる。このため、両素子はマイクロバンプ以外の部分で接触することなく、通電時のショート不良をなくすことができ、歩留のよい製造方法を提供することができる。ただし、マイクロバンプを介して両素子の電極を接合するとき、接続方法によっては、マイクロバンプをある程度つぶすことになるため、両素子間の隙間は狭くなる。そのため、それを考慮してマイクロバンプの高さを高めに形成しておくことが好ましい。好ましいマイクロバンプの高さは、20 ~ 50 μm 程度である。

20

【 0 1 5 5 】

マイクロバンプの材料は、半田と Au 系材料に大きく分けられる。本発明のマイクロバンプの材料には、半田と Au 系材料のどちらを用いてもよいが、Au 系材料が半田よりも好ましく用いられる。その理由は、Au 系材料を用いた場合、(1) マイクロバンプが形成される電極の面積を小さくできること、(2) マイクロバンプ形成方法が簡単であること、および (3) マイクロバンプを介して両素子を比較的容易に接合できる、などの利点があるからである。

30

【 0 1 5 6 】

Au 系マイクロバンプは、スタッドバンプ法または鍍金法により形成できる。スタッドバンプ法によれば、まず、キャピラリー中を通した Au ワイヤの先端を球状にした後、その球状部分を電極上に押圧し、超音波と熱で球状部分をつぶしながら電極上に溶着させる。その後、Au ワイヤを引っ張り、Au 線幹部を切断することにより、マイクロバンプを形成する。この場合、半導体発光素子またはサブマウント素子の電極は、Au または Al から形成することが好ましい。上記電極を Au または Al から形成する場合は、特別な電極構造を採用する必要がなく、素子検査工程後、良品の素子のみ形成できるといった利点を持つ。

【 0 1 5 7 】

しかし、スタッドバンプ法によれば、例えば直径 30 μm の Au ワイヤを用いても、電極面積を直径 100 μm 程度以上にすることが必要になる。

40

【 0 1 5 8 】

鍍金法によれば、素子形成プロセスの中に鍍金のための工程が付加的に必要となる。以下、鍍金法で半導体発光素子上にマイクロバンプを形成する場合を例にとり、より詳細に説明する。すちなわ、半導体発光素子の基板 (サファイアウェハ) 上に半導体積層膜を堆積し、そこに p 型半導体領域と n 型半導体領域を形成する。次に、n 型半導体領域の一部の上に Ti 層および Au 層を順に積層した n 電極を形成する。その後、ウェハの全面上に Ni 層および Au 層を順に積層後、フォトリソ工程により、n 電極の一部の上方に位置する領域と p 型半導体領域の一部の上方に位置する領域とを開口したレジスト膜を形成し、前

50

記開口部にAu系の鍍金を行い高さ15～30μm程度のマイクロバンプを形成する。レジスト除去後、NiおよびAu層をマイクロバンプが形成されたn電極およびp型半導体領域を残して、他の部分をエッチングにより除去する。これにより、マイクロバンプが形成された半導体発光素子が完成する。

【0159】

鍍金法でサブマウント素子上にマイクロバンプを形成する場合は、サブマウント素子の電極がAu系材料から形成されているときは、上記工程と同じ工程でマイクロバンプを形成できるが、その電極がAlから形成されている場合は、Al電極上にバリアメタル層の形成が必要になる。これは、集積回路素子のAl電極上にマイクロバンプを形成する方法と同様の方法である。

10

【0160】

このような鍍金方法によれば、素子製造工程数が多くなることや素子検査方法に工夫が必要になるといった不利な点もあるが、マイクロバンプ形成に必要な電極面積を最小にすることができる利点がある。例えば、直径が30μmで高さが20μmのマイクロバンプを形成するのに必要な電極の直径は、60μm程度で十分である。従って、素子サイズを小さくでき、低コスト化が可能である。また、マイクロバンプ形成の位置精度は、フォトリソグラフィ工程での位置決め精度によって決まるため、スタッドバンプの場合と比較して、非常に良い。

【0161】

サブマウント素子とLED素子をマイクロバンプを介して接合する方法には、種々の方法が揚げられる。例えば、以下に示す4つの方法があげられる。

20

【0162】

第1の接続方法：Au-Au接合法またはAu-Al接合法

この方法では、電極上に形成したAuマイクロバンプを、熱、超音波および荷重を用いて対向する電極に溶着させる。

【0163】

第2の接続方法：スタットバンプボンディング(SBB)法

マイクロバンプ上に導電性ペーストを転写した後、対向する電極に接触させ、導電性ペーストを固化する。その後、封止樹脂を充填し、樹脂を固化する。外部応力に対する信頼性が高いという利点がある。また、実装時にストレスが発生しにくい。封止前に検査が可能であるため、リペアが容易である。

30

【0164】

第3の接続方法：ACF法

異方導電シート/接着剤を用いて接続する。工程数が比較的に少ないという利点がある。

【0165】

第4の接続方法：半田接合法。

【0166】

マイクロバンプに対向する側の電極上に半田によるカウンターバンプを形成し、半田をリフローして接合する。封止剤を充填し、固化する。リフロー後の接続強度が強いという利点がある。

40

【0167】

上記第2～第4の接続方法は、多数のマイクロバンプが高密度に配列した集積回路素子を回路基板上に面実装するのに適している。しかし、これらの接続方法は、接合を完結するタクトが長く、生産性が比較的に低い。これに対して、第1の接続方法は、熱、超音波および荷重を用いてマイクロバンプをつぶすため、高密度にバンプが配列された集積回路素子の実装には不適だが、本発明のように、LED素子の電極上に100μm以上の間隔でマイクロバンプが2～3個存在する場合には好適である。また、この第1の接続方法の実施に要する時間は、0.5秒と非常に短く、LED素子等の実装には生産性の観点からも優れている。生産性を重視しなければ、第2～第4の接続方法を用いてもよい。

【0168】

50

以下、添付図面を参照しながら、本発明による半導体発光装置の製造方法の実施形態を詳細に説明する。

【0169】

(第13の実施形態)

図21のフローチャートを参照しながら、図20の装置の製造方法の実施形態を説明する。

【0170】

まず、LED素子製造プロセスを実行し、ステップS1でLEDエキスパンド工程を行う。LEDエキスパンド工程は、ウェハレベルの製造プロセスの最終段階において、ウェハからチップ単位に分離されたLED素子1を得る工程である。本実施形態では、図31Aおよび図31Bに示すLED素子1を半導体発光素子として使用する。このLED素子1は、例えば、以下に示すようにして製造される。

10

【0171】

まず、サファイア基板1aの上面の上に、GaNバッファ層31、n型GaN層32、InGaN活性層33、p型AlGaN層34、およびp型GaN層35を、この順番で基板側から積層する。こうして、ダブルヘテロ構造を含む半導体積層構造がサファイア基板1a上に形成される。

【0172】

上記半導体積層構造の一部をその上面からn型GaN層32の内部に至るまでエッチングすることによって、図31Aおよび図31Bに示されるような形状を持つ構造が得られる。このエッチングによって、n型GaN層32の上面は、下段部と上段部とからなる階段状に加工される。n型GaN層32の上面の上段部には、InGaN活性層33、p型AlGaN層34およびp型GaN層35がエッチングされずにそのまま残される。

20

【0173】

このエッチングの後、NiおよびAuからなるp側電極5をp型GaN層35の上面の上に形成し、TiとAuよりなるn電極6をn型GaN層32の上面の下段部に形成する。この後、本実施形態では、スタッドバンプ11をn側電極6上に形成し、スタッドバンプ12aおよび12bをp側電極5上に形成する。スタッドバンプ11、12aおよび12bの形成は、前述したスタッドバンプ法により行う。

【0174】

上記各工程は、ウェハ状のサファイア基板1aを用いて、そのサファイア基板1aの上に同時に複数のLED素子1を形成するように実行される。そのため、図示されているようなLED素子1が、複数個、ウェハ状のサファイア基板1aの上に形成される。

30

【0175】

本実施形態では、スタッドバンプを形成する前に、ウェハ状のサファイア基板1aに形成された複数のLED素子1を検査する。この検査によって、不良のLED素子1が見つかったときは、その不良のLED素子1上にはスタッドバンプを形成しない。こうしてスタッドバンプを良品素子のみに形成した後、LED素子1のマイクロバンプが下方を向くようにしてサファイア基板1aをシートに対向させ、サファイア基板1a上のLED素子1をシートに張り付ける。次に、サファイア基板1aをスクライブし、ブレイクする。その後、シートを横方向に引き延ばすことによって、各LED素子1を横方向に分離する(LEDエキスパンド工程)。

40

【0176】

次に、図21に示すステップS2のランク分類工程で、LED素子1を輝度ランクおよび波長ランク毎に分類した後、ステップS3のチップ接合工程を実行する。具体的には、まず、複数のSiダイオード素子2が行列上に配列されたウェハ(シリコンウェハ)を用意する。このウェハ内の各Siダイオード素子2に対して、LED素子1を配置する。図27は、チップ接合工程における、シリコンウェハ90、LED素子1、およびLED素子1を搬送する治具100の関係を模式的に示している。

【0177】

50

このチップ接合工程をより詳細に説明すれば、まず、LED素子1のマイクロバンプが形成されている面が下方を向くようにして、LED素子1をSiダイオード素子2を含むウェハ90に接近させる。この後、LED素子1のマイクロバンプをSiダイオード素子2の電極7、8（図27において不図示。）に位置合わせし、マイクロバンプ11、12a、12bを電極7、8に接触させながら、熱、超音波および荷重を加える。これは、前述の第1の接続方法である。こうして、マイクロバンプを電極7、8に溶着させることによって、LED素子1をマイクロバンプを介してSiダイオード素子2上に接合する。この接合によって、LED素子1は、マイクロバンプを介して、電氣的／物理的にSiダイオード素子2と固定される（チップ接合工程）。チップ接合のタクトは短く、LED素子の認識、搬送、位置合わせ、接合を約3秒以下で行うことができる。この位置合わせの精度は、15μm以下である。チップ接合により、LED素子1とSiダイオード素子2との間に20μmの隙間が空き、ショート不良はほとんど発生しない。

10

【0178】

この後、図21のステップS4のダイシング工程で、対応するLED素子1およびSiダイオード素子が一体化された状態のウェハをシートに張り付けた後、一体化構造をダイシングによってウェハからチップ単位に分離する。図28は、ダイシング工程における、ウェハ90とダイシングブレード101との関係を模式的に示している。

【0179】

図21のステップS5の移載工程で一体化構造をトレーに移載した後、ステップS6のダイスボンディング工程（D/B工程）で一体化構造をリードフレーム13aのマウント部15上に配置・固定する。このとき、Siダイオード素子2の裏面電極9を導電性ペースト14を介してマウント部15に対向させ、それによってSiダイオード素子2の裏面電極9とマウント部15とを電氣的／物理的に接続する。

20

【0180】

ステップS7のワイヤボンディング工程（W/B工程）で、Siダイオード素子2のボンディングパッド部10と他方のリードフレーム13bとの間をワイヤー17で接続する。この後、リードフレームの上端部の構成要素を透光性樹脂18によりモールドすることにより、図20の半導体発光装置が得られる。

【0181】

このように本実施形態では、マイクロバンプをLED素子側の電極上にスタッドバンプ法で形成した後、チップ化されたLED素子をウェハ状のSiダイオード素子に接合する。

30

【0182】

（第14の実施形態）

図22のフローチャートを参照しながら、本発明の製造方法の他の実施形態を説明する。本実施形態の特徴は、マイクロバンプをLED素子側の電極上にスタッドバンプ法で形成することと、前述した第1の接続方法によってLED素子とSiダイオード素子とのチップ接合をリードフレームのマウント部上で行う点にある。

【0183】

まず、図22のステップS11でLEDエキスパンド工程を行った後、ステップS12のランク分類工程でLED素子1を輝度ランクおよび波長ランク毎に分類する。

40

【0184】

次に、Siダイオード素子2を含むウェハの裏面電極9がシートに対向するように、ウェハをシートに張り付ける。ステップS13でウェハをダイシングした後、ステップS14でウェハから各チップを分離し、シートを横方向に引き延ばす（ツェナーエキスパンド工程）。

【0185】

ステップS15で、Siダイオード素子2をリードフレーム13aのマウント部15上に配置・固定する（図20参照）。このとき、Siダイオード素子2の裏面電極9を導電性ペースト14を介してマウント部15に対向させ、それによってSiダイオード素子2の裏面電極9とマウント部15とを電氣的／物理的に接続する（ツェナーD/B工程）。

50

【 0 1 8 6 】

ステップ S 1 6 のチップ接合工程で、マウント部分 1 5 上の S i ダイオード素子 2 に対して L E D 素子 1 を配置する。より詳細には、まず、L E D 素子 1 のマイクロバンプが形成されている面が下方を向くようにして、L E D 素子 1 を S i ダイオード素子 2 に接近させる。この後、L E D 素子 1 のマイクロバンプを S i ダイオード素子 2 の電極 7、8 に位置合わせし、マイクロバンプ 1 1、1 2 a、1 2 b を電極 7、8 に接触させながら、熱、超音波および荷重を加える。こうして、マイクロバンプを電極 7、8 に溶着させることによって、L E D 素子 1 をマイクロバンプを介して S i ダイオード素子 2 上に接合する。この接合によって、L E D 素子 1 は、マイクロバンプを介して、電氣的 / 物理的に S i ダイオード素子 2 と固定される。図 2 9 は、この段階における L E D 素子 1 および S i ダイオード素子 2 を示している。

10

【 0 1 8 7 】

次に、ステップ S 7 のワイヤボンディング工程 (W / B 工程) で、S i ダイオード素子 2 のボンディングパッド部 1 0 と他方のリードフレーム 1 3 b との間をワイヤー 1 7 で接続する。こうして、図 2 0 の半導体発光装置が得られる。

【 0 1 8 8 】

(第 1 5 の実施形態)

図 2 3 のフローチャートを参照しながら、本発明の製造方法の更に他の実施形態を説明する。本実施形態の特徴は、マイクロバンプをウェハ状態の S i ダイオード素子側の電極上にスタッドバンプ法で形成し、チップ化された L E D 素子とウェハ状態の S i ダイオード素子とのチップ接合を第 1 の接合方法によって行う点にある。

20

【 0 1 8 9 】

まず、ステップ S 2 1 で L E D エキスパンド工程を行った後、ステップ S 2 2 のランク分類工程で L E D 素子 1 を輝度ランクおよび波長ランク毎に分類する。

【 0 1 9 0 】

次に、ステップ S 2 3 のスタッドバンプ形成工程で、ウェハに含まれる各 S i ダイオード素子 2 の p 側電極 7 および n 側電極 8 上にスタッドバンプ 1 1、1 2 を形成する。図 3 0 は、スタッドバンプを形成する工程における、ウェハ 9 0 とキャピラリー 1 0 2 との関係を模式的に示している。また、図 3 3 A および図 3 3 B は、スタッドバンプが形成された S i ダイオード素子 2 の平面図および断面図である。S i ダイオード素子 2 は、n 型シリコン基板 2 1 内に選択的に不純物イオンの注入を行うことにより形成された p 型半導体領域 2 2 が有しており、逆方向ブレークダウン電圧が 1 0 V 近傍に設定されている。S i ダイオード素子 2 の上面側の p 型半導体領域 2 2 および n 型シリコン基板 (n 型半導体領域) 2 1 の上には、それぞれ、A 1 よりなる p 電極 7 および n 電極 8 が形成されている。スタッドバンプ 1 1 および 1 2 は、それぞれ、p 側電極 7 および n 側電極 8 上に形成されている。p 側電極 7 の一部はボンディングパッド部 1 0 として機能する。S i ダイオード素子 2 の下面には A u よりなる裏面電極 9 が形成されている。

30

【 0 1 9 1 】

次に、図 2 3 のステップ S 2 4 のチップ接合工程を実行する。具体的には、ウェハ内の各 S i ダイオード素子 2 に対して、ランク分類された L E D 素子 1 を配置する。より詳細には、まず、L E D 素子 1 の電極が形成されている面が下方を向くようにして、L E D 素子 1 を S i ダイオード素子 2 を含むウェハ 9 0 (図 3 0 参照) に接近させる。この後、L E D 素子 1 の電極を S i ダイオード素子 2 の電極 7、8 に位置あわせし、L E D 素子 1 の電極を S i ダイオード素子 2 上のマイクロバンプ 1 1、1 2 に接触させながら、熱、超音波および荷重を加える。こうして、マイクロバンプ 1 1、1 2 を電極に溶着させることによって、L E D 素子 1 をマイクロバンプを介して S i ダイオード素子 2 上に接合する。この接合によって、L E D 素子 1 は、マイクロバンプを介して、電氣的 / 物理的に S i ダイオード素子 2 と固定される (チップ接合工程) 。

40

【 0 1 9 2 】

以下、ステップ S 2 5 からステップ S 2 8 までの工程を、第 1 3 の実施形態について説明

50

した方法と同様の方法で実行する。

【0193】

(第16の実施形態)

図24のフローチャートを参照しながら、本発明の製造方法の更に他の実施形態を説明する。本実施形態の特徴は、マイクロバンプをウェハ状態のSiダイオード素子側の電極上にスタッドバンプ法で形成し、チップ化されたLED素子とSiダイオード素子とのチップ接合を、リードフレームのマウント部上で、第1の接合方法を用いて行う点にある。

【0194】

まず、ステップS31でLEDエキスパンド工程を行った後、ステップS32ランク分類工程でLED素子1を輝度ランクおよび波長ランク毎に分類する。

10

【0195】

次に、ステップS33のスタッドバンプ形成工程で、ウェハに含まれる各Siダイオード素子2のp側電極7およびn側電極8上にスタッドバンプ11、12を形成する(図30参照)。

【0196】

次に、Siダイオード素子2を含むウェハの裏面電極9がシートに対向するように、ウェハをシートに張り付ける。ステップS34でウェハをダイシングした後、ステップS35でウェハから各チップを分離し、シートを横方向に引き延ばす(ツェナーエキスパンド工程)。

20

【0197】

ステップS36で、Siダイオード素子2をリードフレーム13aのマウント部15上に配置・固定する。このとき、Siダイオード素子2の裏面電極9を導電性ペースト14を介してマウント部15に対向させ、それによってSiダイオード素子2の裏面電極9とマウント部15とを電氣的/物理的に接続する(ツェナーD/B工程)。

【0198】

ステップS37のチップ接合工程で、マウント部分15上のSiダイオード素子2に対してLED素子1を配置する。より詳細には、まず、LED素子1の電極が形成されている面が下方を向くようにして、LED素子1をSiダイオード素子2に接近させる。この後、LED素子1の電極をSiダイオード素子2の電極7、8に位置合わせし、LED素子1の電極をマイクロバンプ11、12に接触させながら、熱、超音波および荷重を加える。こうして、マイクロバンプを電極に溶着させることによって、LED素子1をマイクロバンプを介してSiダイオード素子2上に接合する。この接合によって、LED素子1は、マイクロバンプを介して、電氣的/物理的にSiダイオード素子2と固定される。

30

【0199】

ステップS37のワイヤボンディング工程(W/B工程)で、Siダイオード素子2のボンディングパッド部10と他方のリードフレーム13bとの間をワイヤー17で接続する。こうして、図20の半導体発光装置が得られる。

【0200】

(第17の実施形態)

第13の実施形態(図21)では、マイクロバンプをスタッドバンプ法によってLED素子の電極上に形成したが、本実施形態では、マイクロバンプをLED素子の電極上に「Au鍍金法」で形成する。その他の点は、第13の実施形態と同様であるので、その詳細な説明は省略する。

40

【0201】

図32Aおよび図32Bは、それぞれ、鍍金法によってマイクロバンプが形成されたLED素子1の平面図および断面図である。

【0202】

図示されるLED素子1の構造は、図31Aおよび図31BのLED素子1の構造と本質的に同じであるが、マイクロバンプがAu鍍金バンプであること、LED素子表面に保護膜39が形成されていること、およびn電極6の形成面積が小さいことが異なっている。

50

【 0 2 0 3 】

(第 1 8 の実施形態)

第 1 4 の実施形態 (図 2 2) では、マイクロバンプをスタッドバンプ法によって L E D 素子の電極上に形成したが、本実施形態では、マイクロバンプを L E D 素子の電極上に A u 鍍金法で形成する。その他の点は、第 1 4 の実施形態と同様であるので、その詳細な説明は省略する。

【 0 2 0 4 】

(第 1 9 の実施形態)

図 2 5 は本実施形態のフローチャートを示している。本実施形態の製造方法は、マイクロバンプをウェハ状態の S i ダイオード素子の電極上に A u 鍍金法で形成すること工程を包
10
含する。この点以外、第 1 5 の実施形態と同じである。すなわち、ステップ S 4 1 の L E D エキスパン
ド工程、ステップ S 4 2 のランク分類工程、ステップ S 4 3 の鍍金バンプ形成工程、ステップ S 4 4 のチップ接合工程、ステップ S 4 5 のダイシング工程、ステップ S 4 6 の移載工程、ステップ S 4 7 の D / B 工程、ステップ S 4 8 の W / B 工程を順次行うことになる。

【 0 2 0 5 】

(第 2 0 の実施形態)

図 2 6 は本実施形態のフローチャートを示している。本実施形態の製造方法は、マイクロバンプをウェハ状態の S i ダイオード素子の電極上に A u 鍍金法で形成すること工程を包
20
含する。この点以外、第 1 6 の実施形態と同じである。すなわち、ステップ S 5 1 の L E D エキスパン
ド工程、ステップ S 5 2 のランク分類工程、ステップ S 5 3 の鍍金バンプ形成工程、ステップ S 5 4 のダイシング工程、ステップ S 5 5 のツェナーエキスパン
ド工程、ステップ S 5 6 のツェナー D / B 工程、ステップ S 5 7 のチップ接合工程、ステップ S 5 8 の W / B 工程を順次行うことになる。

【 0 2 0 6 】

上述のようなフリップチップ型の半導体発光素子では、サファイア基板側が主な光取出し面となるので、ウェハ上に半導体発光素子を形成したものでは、ディテクターと反対側に光取出し面ができることになる。このように光取出し面がディテクターと反対側であっても、電極を形成した側にも或る程度の光が漏れ出てこれをディテクターによって感知できるが、全体の光量が不足するため、光の波長や輝度を高精度で測定することはできない。
30

【 0 2 0 7 】

これに対し、ウェハ上に半導体発光素子を形成した状態でディテクターによる光特性の測定ができるようにするためには、たとえば電極を形成した面側に光を取り出すための開口部を設けることで光量を増やすようにすることが一つの有効な手段として考えられる。

【 0 2 0 8 】

しかしながら、このような開口部を形成するには、半導体発光素子の電極形成プロセスが複雑になるほか、開口部の寸法精度がフォトリソグラフィ工程やエッチング工程においてばらつく可能性があり、精度の高い光特性の測定に影響を及ぼす。

【 0 2 0 9 】

(第 2 1 の実施形態)

図 3 4 を参照しながら、本発明の製造方法の更に他の実施形態を説明する。

【 0 2 1 0 】

本実施形態では、マイクロバンプをウェハ状態の S i ダイオード素子すなわちサブマウント素子側の電極上にスタッドバンプとして形成し、チップ化された半導体発光素子をサブマウント素子上に接合した後に、光特性検査を行なう。

【 0 2 1 1 】

まず、ステップ S 6 1 で L E D エキスパン
ド工程を行った後、ステップ S 6 2 のスタッドバンプ形成工程で、ウェハに含まれる各 S i ダイオード素子 2 の p 側電極 7 および n 側電極 8 上にスタッドバンプ 1 1、1 2 を形成する。

【 0 2 1 2 】

10

20

30

40

50

次に、ステップS 6 3のチップ接合工程を実行する。具体的には、ウェハ内の各S iダイオード素子2に対して、ランク分類されたLED素子1を配置する。より詳細には、まず、LED素子1の電極が形成されている面が下方を向くようにして、LED素子1をS iダイオード素子2を含むウェハに接近させる。この後、LED素子1の電極をS iダイオード素子2の電極7、8に位置あわせし、LED素子1の電極をマイクロバンプ11、12に接触させながら、熱、超音波および荷重を加える。こうして、マイクロバンプ11、12を電極に溶着させることによって、LED素子1をマイクロバンプを介してS iダイオード素子2上に接合する。この接合によって、LED素子1は、マイクロバンプを介して、電氣的／物理的にS iダイオード素子2と固定される(チップ接合工程)。

【0213】

10

ここで、フリップチップ型の半導体発光素子1は、ウェハ状態のサブマウント素子2にチップ接合して一体化されている。このとき、半導体発光素子1はサファイア基板1aを上に向けた姿勢となっている。

【0214】

次に、ステップS 6 4で、ウェハをプローバのステージ上に置き、プローブ針をサブマウント素子2のボンディングパッド部10に接触させ、ステージとプローブ針間に通電する。図35は、この段階におけるウェハ90、プローブ針103、および光ディテクタ105の関係を示している。通電により、半導体発光素子1が発光すると、サファイア基板1aの上面が発光輝度が最大の光取り出し面となる。このため、ウェハの上方に配置されているディテクター105方向への光量も十分となり、その波長および輝度が高い精度で測定

20

【0215】

この光特性の検査工程の後に、図34のステップS 6 5で、ウェハをダイシングシートに貼り付け、ダイシング装置を用いたダイシングによりチップ単位に分離する(図28参照)。ステップS 6 6で、波長および輝度のランク分類を行ない、一体化素子をトレイに移載する。

【0216】

さらに、ステップS 6 7で、一体化素子をリードフレーム13aのマウント部15上にサブマウント素子2の裏面電極9を下にして、導電性ペースト14を介して電氣的接続を取りながら固定する(D/B)。

30

【0217】

次に、ステップS 6 8で、サブマウント素子2のボンディングパッド部10と他方のリードフレーム13b間をAuワイヤ17で接続し(W/B)、最後に、封止樹脂18で封止すれば、フリップチップ型の半導体発光素子1を搭載した発光装置(図20)が得られる。

【0218】

本実施形態の製造方法では、サブマウント素子2の電極側にスタッドバンプを形成したが、半導体発光素子1の電極側に形成しても光特性検査は同様の方法で行なうことができる。

40

【0219】

本実施形態の製造方法において、半導体発光素子1は、サブマウント素子2上にマイクロバンプ11、12を介して電極が接合され、サファイア基板1aは上を向いた姿勢となる。したがって、プローバによる光特性検査において、サファイア基板1aの上面が発光輝度が最大の光取り出し面となり、ディテクターD方向への光量も十分となり、その発光波長および発光輝度が高い精度で測定可能となる。

【0220】

このように、p側およびn側の電極を形成した面と対向する反対側の透明基板の表面すなわち発光輝度が大きな光取り出し面が、サブマウント素子上にマイクロバンプを介して電極どうしの接合によって上を向く姿勢となるようにチップ接合されたものを検査対象とする

50

ことができる。従って、ディテクターによる光特性の検査工程においては、光取出し面から十分な光が得られるので、高精度の波長や輝度の測定が可能となり、高品質の発光素子が得られる。

【0221】

また、ウェハの上に一定のピッチで一体化された発光素子が光取出し面が上を向く姿勢で形成されているので、ディテクターによる光特性の検査工程では効率よくかつ高精度で発光波長や発光輝度の測定ができ、歩留りの向上が図れる。

【0222】

上述のように、本実施形態の製造方法では、複数のサブマウント素子が行列状に形成されたウェハ状態のサブマウント素子の2つの独立した電極上に、チップ状の半導体発光素子のp側およびn側の電極をマイクロバンプを介して電氣的導通をとりながら接合して一体化した(チップ接合工程)後に、光特性検査工程およびランク分類工程を実行する。この方法によれば、ウェハの上に一定のピッチで一体化された発光素子が光取出し面が上を向く姿勢で形成されているので、効率よくかつ高精度で光特性すなわち波長や輝度の測定が可能になる。

【0223】

しかしながら、光特性検査工程の際に、サブマウント素子がウェハ状態にある必要はなく、サブマウント素子がチップ化されていてもよい。発光素子の透明基板の裏面、すなわち発光輝度の大きな光取出し面が光ディテクターの方を向くようにして、発光素子がサブマウント素子上にマイクロバンプを介して接合されていれば、光取出し面から十分な光が得られるので、高精度の波長や輝度の測定が可能となる。

【0224】

本発明は、絶縁性基板上に形成した半導体多層膜によって発光を得る発光素子の小型化を可能にするとともに、静電破壊から発光素子を守る機能を発揮しうるサブマウント素子を用いてフリップチップ構造のコンパクトなパッケージを実現することができる。このように、本発明は、LEDランプなどの発光装置の分野において、量産性に優れた高輝度発光装置を提供する。

【0225】

【発明の効果】

以上説明してきたように、本発明の発光素子によれば、マイクロバンプの採用によってボンディングパッド部分が不要となるため、素子の小型化および輝度の向上が実現する。

【0226】

また、本発明の発光素子によれば、マイクロバンプを持つフリップチップ構造の発光素子の検査工程および組立工程に際して生じうる種々の問題が解消し、支障無く検査および組立を実施することができる。

【0227】

本発明の半導体発光装置によれば、絶縁基板上に設けられた半導体発光素子を有しながら、静電気等の高電圧の印加に対する破壊防止機能を内蔵した信頼性の高い発光装置が提供される。

【0228】

本発明の半導体発光装置の製造方法によれば、GaN系LED素子のごとく、絶縁基板上に形成されたp型半導体領域およびn型半導体領域を有する発光素子に対して、そのp型半導体領域とn型半導体領域との間に高電圧が印加されたときに両半導体領域をバイパスして電流を流すためのダイオード素子等の静電気保護素子を並列接続させておく構造が実現でき、絶縁基板上に形成されながらも静電気等による破壊を防止する機能を持った信頼性の高い発光装置を歩留よく製造することができる。さらに、発光素子と静電気保護素子との電氣的接続状態や、発光素子からの光の集光手段を工夫することで、発光装置の小型化や光の取り出し効率の向上を図ることができる。

【0229】

本発明の半導体発光装置の製造方法が、ウェハ状態にあるサブマウント素子に対して半導

10

20

30

40

50

体発光素子を接合する工程を包含する場合、サブマウント素子としてシリコンダイオードなどの半導体素子を用いることが容易になる。シリコンダイオードなどの半導体素子は、シリコンウェハを用いて同時に複数個製造される。サブマウント素子がウェハ内で行列上に規則正しく配列されていることは、チップ接合工程を容易にする。

【0230】

半導体発光素子側にスタッドバンプを形成する場合、半導体発光素子の電極は、AuまたはAlから形成することが好ましい。そうすることによって、特別な電極構造を採用する必要がなく、LED素子の検査終了後に良品の素子だけにマイクロバンプを形成できるといった利点がある。しかし、ウェハ状態のサブマウント素子に対して半導体発光素子を接

10

【0231】

これに対して、ウェハ状態にない独立した状態のサブマウント素子に対して、マイクロバンプを介して半導体発光素子を接合する場合は、位置合わせ精度の自由度を大きく取ることができる。

【0232】

鍍金によりマイクロバンプを形成する場合、チップサイズを小さくでき、低コスト化が可能である。また、マイクロバンプを形成する工程の位置精度は、スタッドバンプを形成する工程の位置精度に比較して良い。

20

【0233】

サブマウント素子が配列されたウェハ上にスタッドバンプを形成する方法によれば、サブマウント素子にスタッドバンプを形成することにより、半導体発光素子の取扱が楽になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る窒化ガリウム系化合物半導体発光素子の電極配置を示す平面図である。

【図2】第1の実施形態に係る窒化ガリウム系化合物半導体発光素子の図1のA-A線における断面図である。

30

【図3】第1の実施形態に係る窒化ガリウム系化合物半導体発光素子をマイクロバンプボンディング法でリードフレーム上にマウントして得られるLED装置の断面図である。

【図4A】製品化されている従来のLED素子の平面図である。

【図4B】図4AのB-B線における断面図である。

【図4C】図4AのC-C線における断面図である。

【図5】製品化されている従来のLEDランプの構成を示す断面図である。

【図6A】第2の実施形態に係るGaN・LED素子の構造を示す平面図である。

【図6B】図6AのD-D線断面図である。

【図7A】第3の実施形態に係るGaN・LED素子の構造を示す平面図である。

【図7B】図7AのE-E線断面図である。

40

【図8A】第4の実施形態に係るGaN・LED素子の構造を示す平面図である。

【図8B】図8AのF-F線断面図である。

【図9A】第5の実施形態に係るGaN・LED素子の構造を示す平面図である。

【図9B】図9AのG-G線断面図である。

【図10】第6の実施形態に係るGaN・LED素子の構造を示す平面図である。

【図11A】第7の実施形態に係るGaN・LED素子の構造を示す平面図である。

【図11B】図11AのH-H線断面図である。

【図12A】第8の実施形態に係るGaN・LED素子の構造を示す平面図である。

【図12B】図12AのI-I線断面図である。

【図13】第9の実施形態に係るGaN系LEDランプの断面図である。

50

【図 1 4】第 9 の実施形態に係る L E D ランプの保護回路を説明するための回路図である。

【図 1 5 A】第 9 の実施形態に係る G a N ・ L E D 素子の構造を示す平面図である。

【図 1 5 B】図 1 5 A の J - J 線断面図である。

【図 1 6 A】第 9 の実施形態の S i ダイオード素子の構造を示す平面図である。

【図 1 6 B】図 1 6 A の K - K 線断面図である。

【図 1 7】第 1 0 の実施形態に係る G a N ・ L E D 素子およびダイオード素子の構造を示す断面図である。

【図 1 8】第 1 1 の実施形態に係る G a N ・ L E D 素子およびダイオード素子の構造を示す断面図である。

10

【図 1 9】第 1 2 の実施形態に係る G a N ・ L E D 素子およびダイオード素子の構造を示す断面図である。

【図 2 0】本発明による半導体発光装置の他の実施形態の断面図である。

【図 2 1】第 1 3 の実施形態に係る製造方法のフローチャートである。

【図 2 2】第 1 4 の実施形態に係る製造方法のフローチャートである。

【図 2 3】第 1 5 の実施形態に係る製造方法のフローチャートである。

【図 2 4】第 1 6 の実施形態に係る製造方法のフローチャートである。

【図 2 5】第 1 9 の実施形態に係る製造方法のフローチャートである。

【図 2 6】第 2 0 の実施形態に係る製造方法のフローチャートである。

【図 2 7】チップ接合工程における、ウェハ、L E D 素子、および L E D 素子を搬送する治具の関係を模式的に示す断面図である。

20

【図 2 8】スタッドバンプを形成する工程における、ウェハとキャピラリー 1 0 2 との関係を模式的に示す断面図である。

【図 2 9】チップ接合工程で、マウント部分上の S i ダイオード素子に対して L E D 素子を配置した状態の断面図である。

【図 3 0】スタッドバンプを形成する工程における、ウェハとキャピラリーとの関係を模式的に示す断面図である。

【図 3 1 A】第 1 3 の実施形態で使用する L E D 素子の平面図である。

【図 3 1 B】図 3 1 A の L - L 線断面図である。

【図 3 2 A】鍍金法によってマイクロバンプが形成された L E D 素子の平面図である。

30

【図 3 2 B】図 3 2 A の M - M 線断面図である。

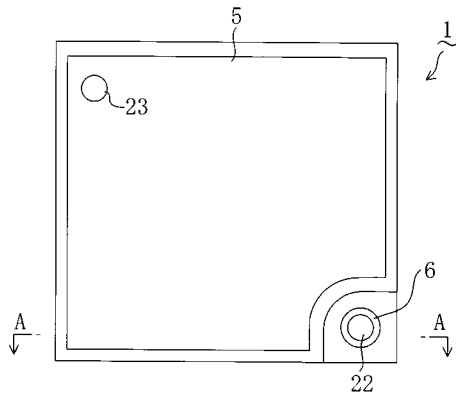
【図 3 3 A】スタッドバンプが形成された S i ダイオード素子の平面図である。

【図 3 3 B】図 3 3 A の N - N 線断面図である。

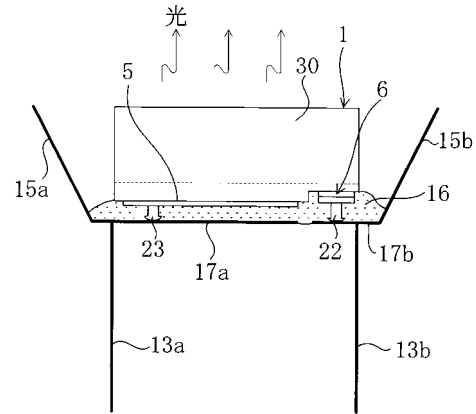
【図 3 4】第 2 1 の実施形態に係る製造方法のフローチャートである。

【図 3 5】光特性検査工程における、ウェハとプローブと光ディテクターとの関係を模式的に示す断面図である。

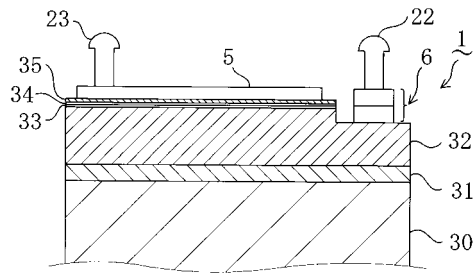
【図 1】



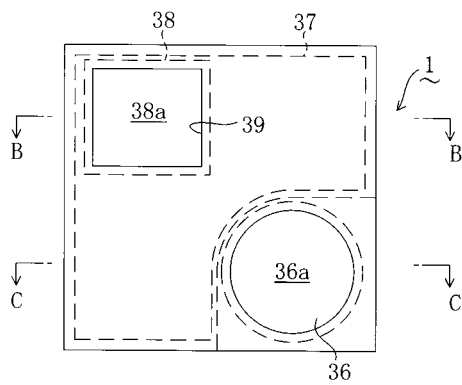
【図 3】



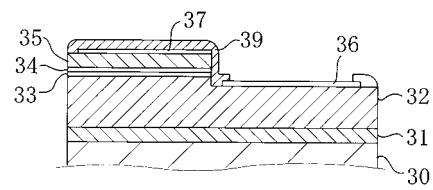
【図 2】



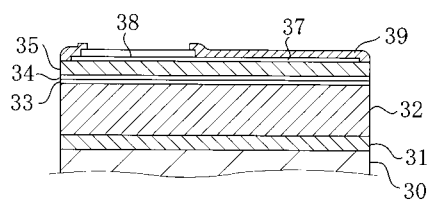
【図 4 A】



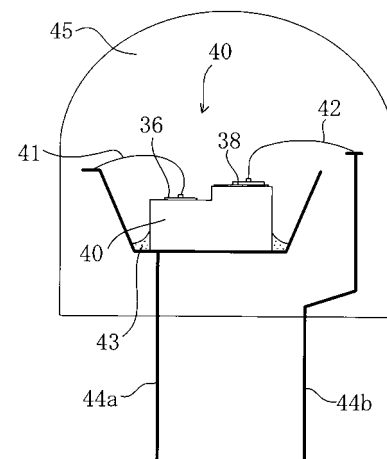
【図 4 C】



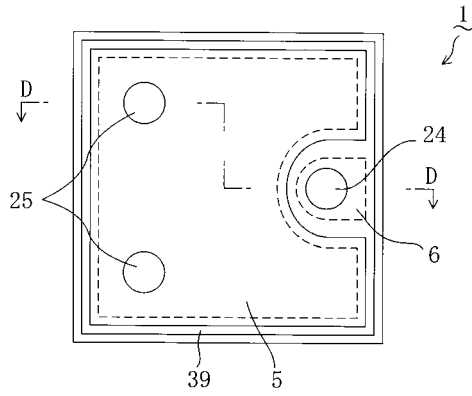
【図 4 B】



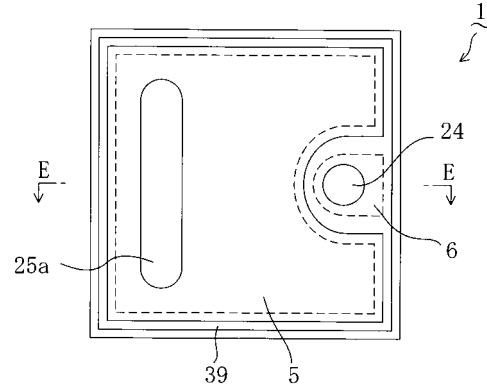
【図 5】



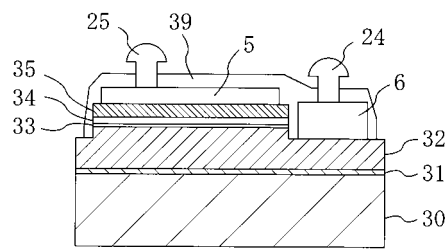
【図 6 A】



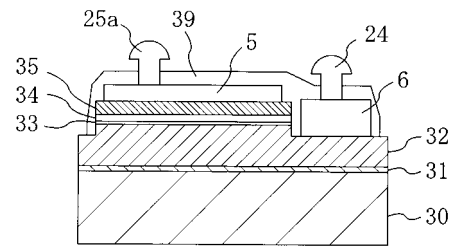
【図 7 A】



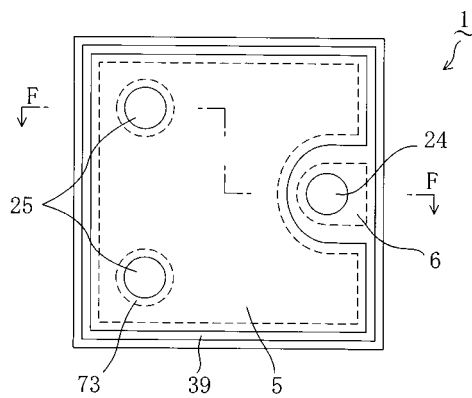
【図 6 B】



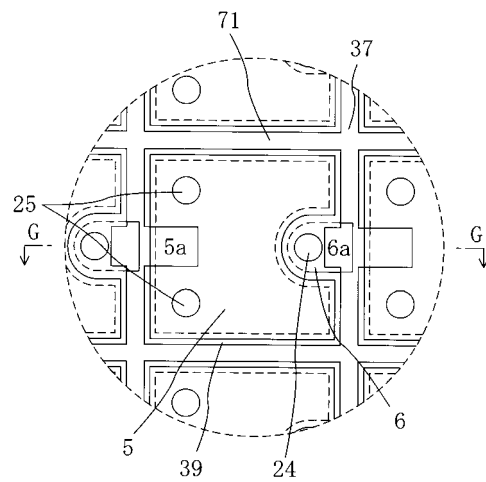
【図 7 B】



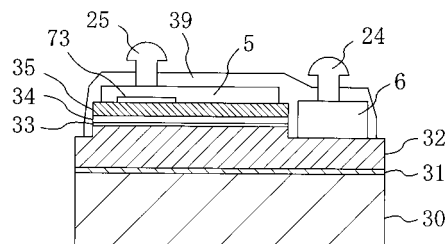
【図 8 A】



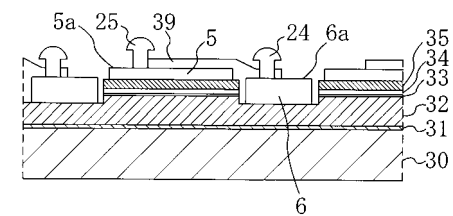
【図 9 A】



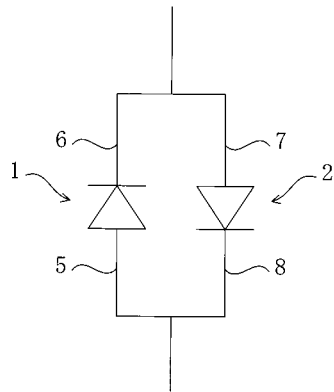
【図 8 B】



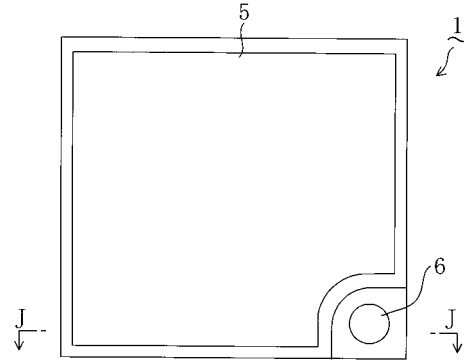
【図 9 B】



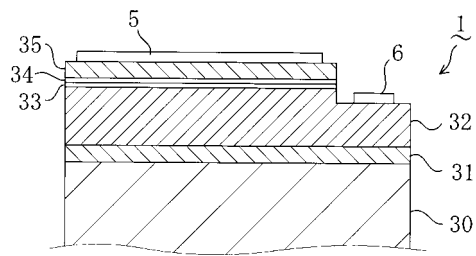
【図 14】



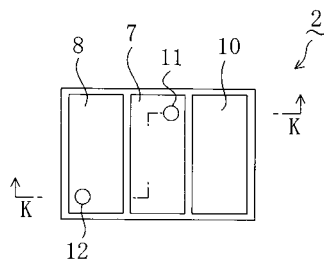
【図 15 A】



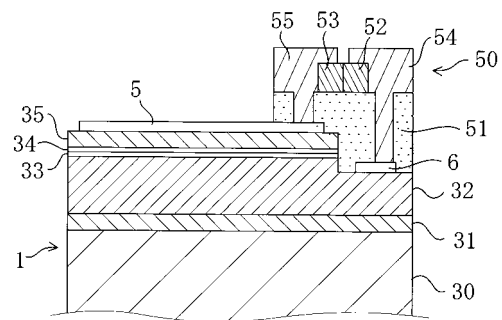
【図 15 B】



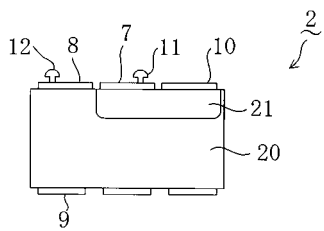
【図 16 A】



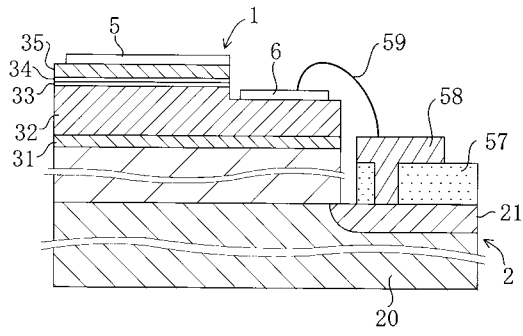
【図 17】



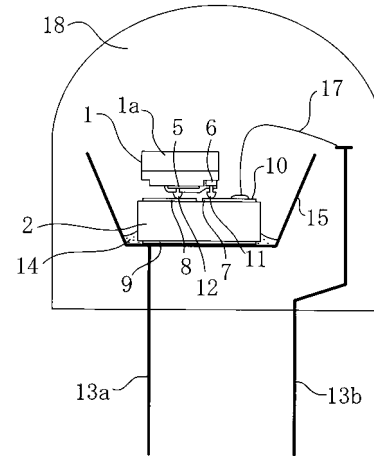
【図 16 B】



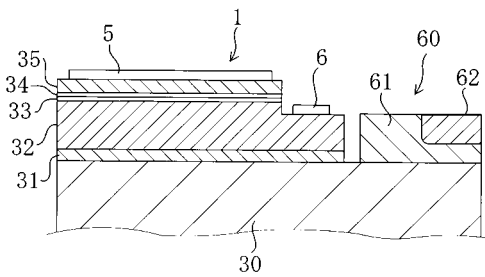
【図18】



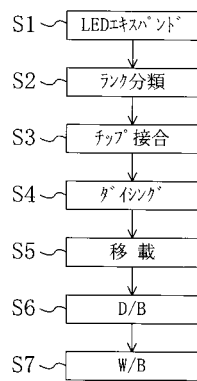
【図20】



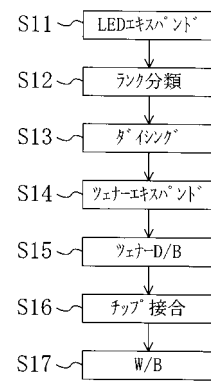
【図19】



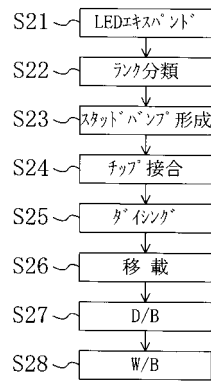
【図21】



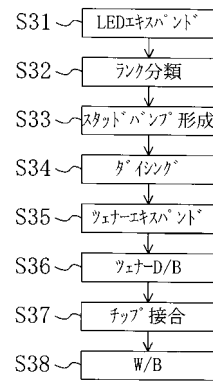
【図22】



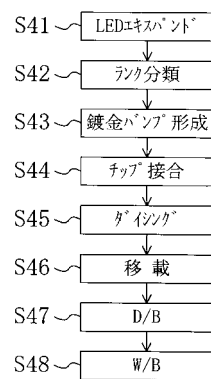
【図 23】



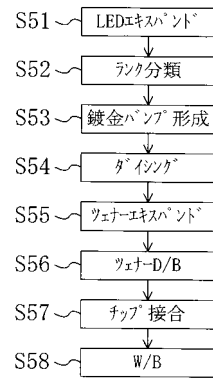
【図 24】



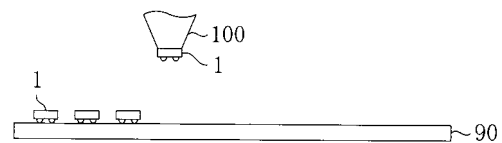
【図 25】



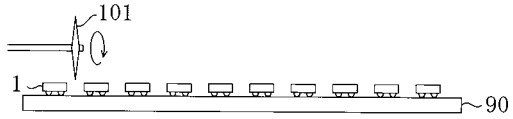
【図 26】



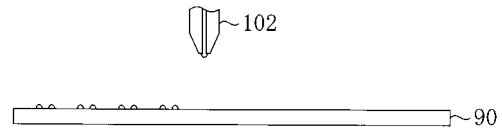
【図 27】



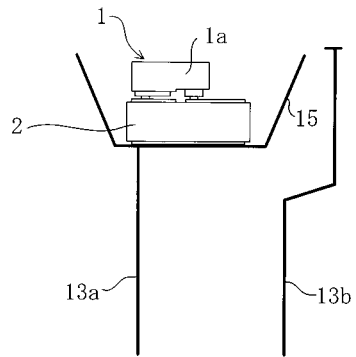
【図 28】



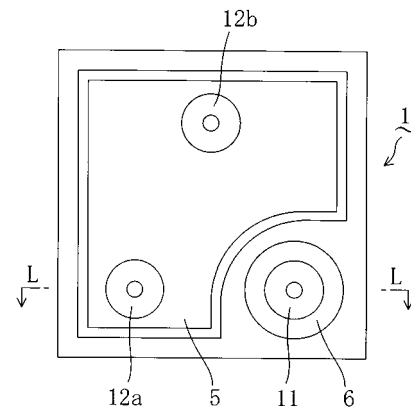
【図 30】



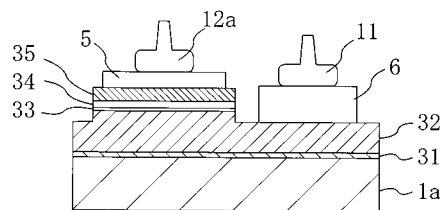
【図 29】



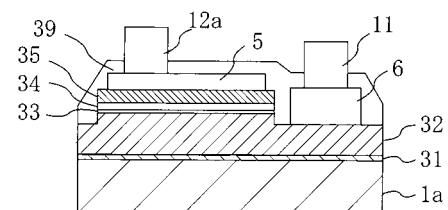
【図 31 A】



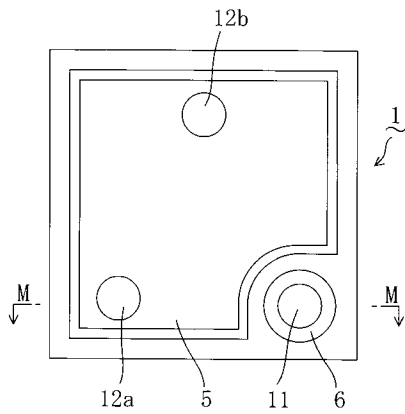
【図 31 B】



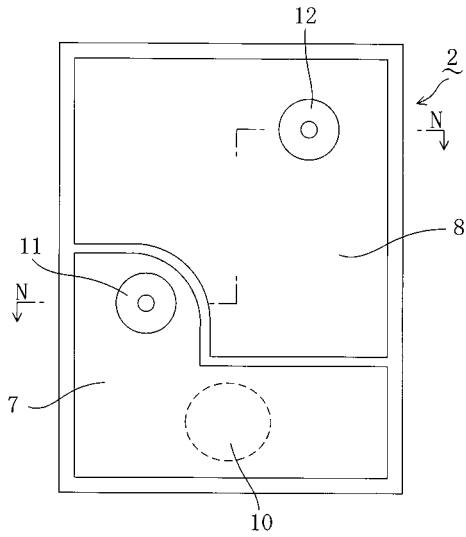
【図 32 B】



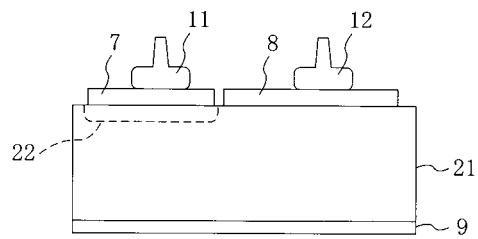
【図 32 A】



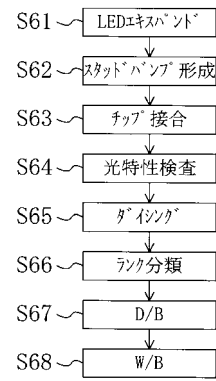
【図 3 3 A】



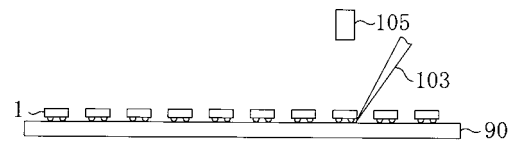
【図 3 3 B】



【図 3 4】



【図 3 5】



フロントページの続き

- (74)代理人 100115510
弁理士 手島 勝
- (74)代理人 100115691
弁理士 藤田 篤史
- (72)発明者 井上 登美男
大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内
- (72)発明者 真田 研一
大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内
- (72)発明者 小屋 賢一
大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内
- (72)発明者 福田 康彦
大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

審査官 山下 崇

- (56)参考文献 実開平 0 6 - 0 7 9 1 6 7 (J P , U)
特開平 0 7 - 0 6 6 4 5 6 (J P , A)
特開平 0 5 - 2 2 9 1 7 4 (J P , A)
特開昭 5 9 - 1 8 8 1 8 1 (J P , A)
特開平 0 6 - 1 8 8 5 2 4 (J P , A)
実開昭 6 1 - 1 9 6 5 6 1 (J P , U)
特開平 0 7 - 3 0 2 9 3 0 (J P , A)
特開平 0 7 - 1 1 1 3 3 9 (J P , A)
特開平 0 6 - 2 1 6 3 6 7 (J P , A)
特開平 0 7 - 0 3 0 1 5 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 33/00

H01S 5/00-5/50