

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年11月3日(03.11.2016)



(10) 国際公開番号

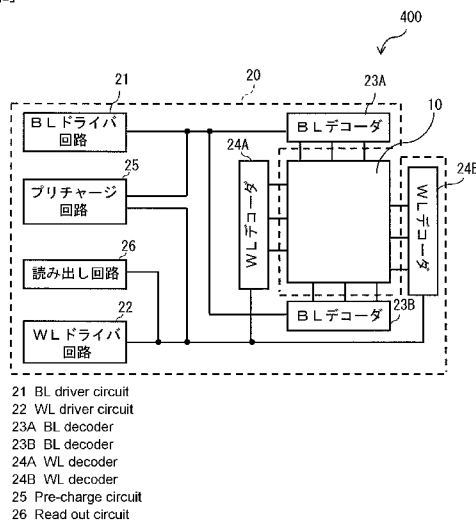
WO 2016/174979 A1

- (51) 国際特許分類:
G11C 13/00 (2006.01)
- (21) 国際出願番号: PCT/JP2016/060174
- (22) 国際出願日: 2016年3月29日(29.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-090176 2015年4月27日(27.04.2015) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 寺田 晴彦 (TERADA, Haruhiko); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 森 陽太郎 (MORI, Yotaro); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 北川 真 (KITAGAWA, Makoto); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: MEMORY DEVICE, MEMORY SYSTEM AND MEMORY CONTROL METHOD

(54) 発明の名称: メモリ装置、メモリシステムおよびメモリ制御方法

【図2】



(57) Abstract: A memory device according to an embodiment of the present technology comprises: a plurality of memory cells arranged in matrix; a plurality of row wires connected to one end of each memory cell; a plurality of column wires connected to the other end of each memory cell; a first decoder circuit connected to the row wire in each even row; a second decoder circuit connected to the row wire in each odd row; a third decoder circuit connected to the column wire in each even column; and a fourth decoder circuit connected to the column wire in each odd column. The first decoder circuit, the second decoder circuit, the third decoder circuit, and the fourth decoder circuit are each configured from mutually independent circuits.

(57) 要約: 本技術の一実施の形態のメモリ装置は、行列状に配置された複数のメモリセルと、各メモリセルの一端に接続された複数の行配線と、各メモリセルの他端に接続された複数の列配線と、各偶数行の行配線に接続された第1デコーダ回路と、各奇数行の行配線に接続された第2デコーダ回路と、各偶数列の列配線に接続された第3デコーダ回路と、各奇数列の列配線に接続された第4デコーダ回路とを備えている。第1デコーダ回路、第2デコーダ回路、第3デコーダ回路、第4デコーダ回路

は、それぞれ、互いに独立した回路で構成されている。

明 細 書

発明の名称：メモリ装置、メモリシステムおよびメモリ制御方法
技術分野

[0001] 本開示は、デコーダ回路を有するメモリ装置およびそれを備えたメモリシステム、ならびに上記メモリ装置におけるメモリ制御方法に関する。

背景技術

[0002] 近年、R e R A M (Resistive Random Access Memory)等の抵抗変化型メモリに代表されるデータストレージ用の不揮発性メモリの大容量化が求められている。しかし、現行のアクセストランジスタを用いた抵抗変化型メモリでは、単位セルあたりのフロア面積が大きくなる。このため、例えばN A N D型等のフラッシュメモリと比較すると、同じ設計ルールを用いて微細化しても大容量化が容易ではなかった。これに対して、水平面内において互いに異なる方向に延在する配線同士が互いに交差する交点にメモリ素子を配置する、所謂クロスポイントアレイ構造を用いた場合には、単位セルあたりのフロア面積が小さくなり、大容量化を実現することが可能となる。また、水平方向に延在する配線と鉛直方向に延在する配線とが互いに交差する交点にメモリ素子を配置する、所謂V 3 D (Vertical 3-Dimension) 構造を用いた場合にも、単位セルあたりのフロア面積が小さくなり、大容量化を実現することが可能となる。

[0003] クロスポイントアレイ構造におけるメモリセルや、V 3 D構造におけるメモリセルには、メモリ素子のほかにセル選択用のスイッチ素子が設けられる。スイッチ素子としては、トランジスタや、ダイオード特性を有する素子などが用いられる。これらメモリセルでは、交差する配線間への電圧印加により、メモリセルの状態を変化させたり、メモリセルの状態を読み出したりすることができる（例えば、特許文献1 参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開2012-248242号公報

発明の概要

[0005] ところで、特許文献1に記載のメモリセルアレイでは、書き込みの際に、書き込み対象のメモリセル（選択メモリセル）に所定の電圧（アクセス電圧）が印加される一方で、書き込み対象外のメモリセル（非選択メモリセル）に対しては、アクセス電圧よりも小さな電圧（非アクセス電圧）が印加される。これにより、選択メモリセルへアクセス電圧が印加されたときに、配線間の容量性結合による非選択メモリの電圧変動が抑えられる。しかし、特許文献1に記載のメモリセルアレイにおいて、そのような電圧印加を実現するためには、各配線あたり、少なくとも2個のスイッチ素子を備えたデコーダ回路が必要となる。具体的には、デコーダ回路において、配線ごとに、アクセス電圧の選択に用いられるスイッチ素子と、非アクセス電圧の選択に用いられるスイッチ素子が少なくとも必要となる。そのため、デコーダ回路のフロア面積が大きくなってしまいう問題があった。

[0006] したがって、デコーダ回路のフロア面積の増大を抑えつつ、配線間の容量性結合の影響を抑えることの可能なメモリ装置およびそれを備えたメモリシステム、ならびにメモリ制御方法を提供することが望ましい。

[0007] 本開示の一実施の形態のメモリ装置は、行列状に配置された複数のメモリセルを備えている。各メモリセルは、互いに直列接続された選択素子および可変抵抗素子を含む電流経路を有している。本開示の一実施の形態のメモリ装置は、さらに、行方向に延在し、各前記電流経路の一端に接続された複数の行配線と、列方向に延在し、各電流経路の他端に接続された複数の列配線とを有している。本開示の一実施の形態のメモリ装置は、さらに、各偶数行の行配線に接続された第1デコーダ回路と、各奇数行の行配線に接続された第2デコーダ回路と、各偶数列の列配線に接続された第3デコーダ回路と、各奇数列の列配線に接続された第4デコーダ回路とを備えている。第1デコーダ回路、第2デコーダ回路、第3デコーダ回路、第4デコーダ回路は、それぞれ、互いに独立した回路で構成されている。

[0008] 本開示の一実施の形態のメモリシステムは、行列状に配置された複数のメモリセルを備えている。各メモリセルは、互いに直列接続された選択素子および可変抵抗素子を含む電流経路を有している。本開示の一実施の形態のメモリシステムは、さらに、行方向に延在し、各電流経路の一端に接続された複数の行配線と、列方向に延在し、各電流経路の他端に接続された複数の列配線とを有している。本開示の一実施の形態のメモリシステムは、さらに、各偶数行の行配線に接続された第1デコーダ回路と、各奇数行の行配線に接続された第2デコーダ回路と、各偶数列の列配線に接続された第3デコーダ回路と、各奇数列の列配線に接続された第4デコーダ回路とを備えている。本開示の一実施の形態のメモリシステムは、さらに、第1デコーダ回路、第2デコーダ回路、第3デコーダ回路および第4デコーダ回路に印加する電圧を制御する電圧制御回路と、電圧制御回路を制御するとともに、第1デコーダ回路、第2デコーダ回路、第3デコーダ回路、第4デコーダ回路を互いに独立に制御するコントローラとを備えている。

[0009] 本開示の一実施の形態のメモリ装置では、選択対象のメモリセルに接続される行配線（行選択線）と、行選択線に隣接する行配線とには、互いに独立した回路で構成された2つのデコーダ回路（第1デコーダ回路および第2デコーダ回路）が1つずつ接続される。さらに、本開示の一実施の形態のメモリ装置では、選択対象のメモリセルに接続される列配線（列選択線）と、列選択線に隣接する列配線とには、互いに独立した回路で構成された2つのデコーダ回路（第3デコーダ回路および第4デコーダ回路）が1つずつ接続される。これにより、第1デコーダ回路から出力される電圧と、第2デコーダ回路から出力される電圧とを互いに異ならせることにより、行選択線と、行選択線に隣接する行配線とに対して、互いに異なる2種類の電圧を印加することができる。同様に、第3デコーダ回路から出力される電圧と、第4デコーダ回路から出力される電圧とを互いに異ならせることにより、列選択線と、列選択線に隣接する列配線とに対して、互いに異なる2種類の電圧を印加することができる。

- [0010] 本開示の一実施の形態のメモリ制御方法は、下記メモリ装置におけるメモリ制御方法であって、第1デコーダ回路、第2デコーダ回路、第3デコーダ回路、第4デコーダ回路を互いに独立に制御することを含んでいる。
- [0011] 本開示の一実施の形態のメモリ制御方法で用いられるメモリ装置は、行列状に配置された複数のメモリセルを備えている。各メモリセルは、互いに直列接続された選択素子および可変抵抗素子を含む電流経路を有している。上記メモリ装置は、さらに、行方向に延在し、各電流経路の一端に接続された複数の行配線と、列方向に延在し、各電流経路の他端に接続された複数の列配線とを有している。上記メモリ装置は、さらに、各偶数行の行配線に接続された第1デコーダ回路と、各奇数行の行配線に接続された第2デコーダ回路と、各偶数列の列配線に接続された第3デコーダ回路と、各奇数列の列配線に接続された第4デコーダ回路とを備えている。
- [0012] 本開示の一実施の形態のメモリ制御方法では、選択対象のメモリセルに接続される行配線（行選択線）が第1デコーダ回路によって駆動され、行選択線に隣接する行配線が第2デコーダ回路によって駆動される。さらに、本開示の一実施の形態のメモリ制御方法では、選択対象のメモリセルに接続される列配線（列選択線）が第3デコーダ回路によって駆動され、列選択線に隣接する列配線が第4デコーダ回路によって駆動される。これにより、第1デコーダ回路から出力される電圧と、第2デコーダ回路から出力される電圧とを互いに異ならせることにより、行選択線と、行選択線に隣接する行配線とに対して、互いに異なる2種類の電圧を印加することができる。同様に、第3デコーダ回路から出力される電圧と、第4デコーダ回路から出力される電圧とを互いに異ならせることにより、列選択線と、列選択線に隣接する列配線とに対して、互いに異なる2種類の電圧を印加することができる。
- [0013] 本開示の一実施の形態のメモリ装置、メモリシステムおよびメモリ制御方法によれば、行選択線と、行選択線に隣接する行配線とに対して、互いに異なる2種類の電圧を印加できるとともに、列選択線と、列選択線に隣接する列配線とに対しても、互いに異なる2種類の電圧を印加すること

ができるようにしたので、選択メモリセルへアクセス電圧が印加されたときに、配線間の容量性結合による非選択メモリの電圧変動を抑えることができる。また、本開示では、行選択線と、行選択線に隣接する行配線とが互いに異なるデコーダ回路によって駆動され、列選択線と、列選択線に隣接する列配線とが互いに異なるデコーダ回路によって駆動されるので、各デコーダ回路として、各配線あたり、1個のスイッチ素子を備えたデコーダ回路を用いればよく、各配線あたり、少なくとも2個のスイッチ素子を備えたデコーダ回路を用いる必要がない。従って、デコーダ回路のフロア面積の増大を抑えつつ、配線間の容量性結合の影響を抑えることができる。

図面の簡単な説明

[0014] [図1]本開示の一実施の形態に係る情報処理システムの機能ブロックの一例を表す図である。

[図2]図1のメモリセルアレイユニットの機能ブロックの一例を表す図である。

[図3]図2のメモリセルアレイの斜視構成の一例を表す図である。

[図4]図2のメモリセルアレイの等価回路の一例を表す図である。

[図5]図3のメモリセルの断面構成の一例を表す図である。

[図6]図2のBLドライバ回路の回路構成の一例を表す図である。

[図7]図2のWLドライバ回路の回路構成の一例を表す図である。

[図8]図2のプリチャージ回路の回路構成の一例を表す図である。

[図9]図2のBLデコーダおよびWLデコーダの回路構成の一例を表す図である。

[図10]図9のBLデコーダおよびWLデコーダの真理値表である。

[図11]比較例に係るデコーダの回路構成の一例を表す図である。

[図12]図11のBLデコーダおよびWLデコーダにおけるデコードの真理値表である。

[図13A]プリチャージ時にメモリセルアレイに印加される電圧の一例を表す図である。

[図13B]フローティング時にメモリセルアレイに印加される電圧の一例を表す図である。

[図13C]書き込み時にメモリセルアレイに印加される電圧の一例を表す図である。

[図13D]書き込み後にメモリセルアレイに印加される電圧の一例を表す図である。

[図14]書き込み対象のメモリセルにおける電圧波形の一例を表す図である。

[図15]書き込み対象のメモリセルにおける電圧波形の他の例を表す図である。

[図16A]リセット時にメモリセルアレイに印加される電圧の一例を表す図である。

[図16B]リセット後にメモリセルアレイに印加される電圧の一例を表す図である。

[図17]リセット対象のメモリセルにおける電圧波形の一例を表す図である。

[図18A]読み出し時にメモリセルアレイに印加される電圧の一例を表す図である。

[図18B]読み出し後にメモリセルアレイに印加される電圧の一例を表す図である。

[図19]読み出し対象のメモリセルにおける電圧波形の一例を表す図である。

[図20]図1のメモリセルアレイユニットの機能ブロックの一変形例を表す図である。

[図21]図20のVcom回路の回路構成の一例を表す図である。

[図22]書き込み対象のメモリセルにおける電圧波形の一例を表す図である。

[図23]書き込み対象のメモリセルにおける電圧波形の一変形例を表す図である。

[図24]リセット対象のメモリセルにおける電圧波形の一例を表す図である。

[図25]読み出し対象のメモリセルにおける電圧波形の一例を表す図である。

[図26]書き込み手順の一例を表す図である。

[図27]書き込み手順の他の例を表す図である。

[図28]図2、図20のBLドライバ回路の回路構成の一変形例を表す図である。

[図29]図2、図20のWLドライバ回路の回路構成の一変形例を表す図である。

[図30]図2、図20のプリチャージ回路の回路構成の一変形例を表す図である。

[図31]図2、図20のメモリセルアレイの斜視構成の一変形例を表す図である。

[図32]図31のメモリセルアレイの等価回路の一例を表す図である。

発明を実施するための形態

[0015] 以下、本開示を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態

積層配置のメモリセルアレイを備えた例（図1～図19）

2. 変形例

変形例A：プリチャージを省略した例（図21～図25）

変形例B：書き込み失敗時にプリチャージを行う例（図26）

変形例C：書き込み位置に応じてプリチャージを行う例（図27）

変形例D：プリチャージ回路のバリエーション（図28～図30）

変形例E：単層配置のメモリセルアレイを備えた例（図31、図32）

[0016] <1. 実施の形態>

[構成]

図1は、本開示の一実施の形態に係る情報処理システムの機能ブロックの一例を表したものである。この情報処理システムは、ホストコンピュータ100およびメモリシステム200を備えている。メモリシステム200は、

メモリコントローラ300、1または複数のメモリセルアレイユニット400および電源回路500を備えている。なお、図1には、複数のメモリセルアレイユニット400が設けられている様子が例示されている。メモリシステム200が、本開示の「メモリシステム」の一具体例に相当する。メモリコントローラ300が、本開示の「メモリコントローラ」の一具体例に相当する。メモリセルアレイユニット400が、本開示の「メモリ装置」の一具体例に相当する。

[0017] (ホストコンピュータ100)

ホストコンピュータ100は、メモリシステム200を制御するものである。具体的には、ホストコンピュータ100は、アクセス先の論理アドレスを指定するコマンドを発行して、そのコマンドやデータをメモリシステム200に供給する。また、ホストコンピュータ100は、メモリシステム200から出力されたデータを受け取る。ここで、コマンドは、メモリシステム200を制御するためのものであり、例えば、データの書き込み処理を指示するライトコマンド、または、データの読み出し処理を指示するリードコマンドを含む。また、論理アドレスは、ホストコンピュータ100が定義するアドレス空間において、ホストコンピュータ100がメモリシステム200にアクセスする際のアクセス単位の領域ごとに割り振られたアドレスである。このアクセス単位の領域を以下、「セクタ」と称する。各々のセクタのサイズは、例えば、4KB (kilobyte) である。

[0018] (メモリコントローラ300)

メモリコントローラ300は、1または複数のメモリセルアレイユニット400を制御するものである。メモリコントローラ300は、ホストコンピュータ100から、論理アドレスを指定するライトコマンドを受け取る。また、メモリコントローラ300は、ライトコマンドに従って、データの書き込み処理を実行する。この書き込み処理においては、論理アドレスが物理アドレスに変換され、その物理アドレスにデータが書き込まれる。ここで、物理アドレスは、メモリコントローラ300が1または複数のメモリセルアレ

イユニット400にアクセスする際のアクセス単位ごとに1または複数のメモリセルアレイユニット400において割り振られたアドレスである。メモリコントローラ300が1または複数のメモリセルアレイユニット400にアクセスする単位は、例えば、セクタと同一であるものとする。この場合、1または複数のメモリセルアレイユニット400において、セクタごとに物理アドレスが割り当てられる。また、メモリコントローラ300は、論理アドレスを指定するリードコマンドを受け取ると、その論理アドレスを物理アドレスに変換し、その物理アドレスからデータを読み出す。そして、メモリコントローラ300は、読み出したデータをリードデータとしてホストコンピュータ100に出力する。また、メモリコントローラ300は、ホストコンピュータ100から、論理アドレスを指定するリセットコマンドを受け取ると、その論理アドレスを物理アドレスに変換し、その物理アドレスに書き込まれたデータを消去する。メモリコントローラ300によるアクセス単位は、ホストコンピュータ100によるアクセス単位と同一となってもよいし、異なってもよい。なお、メモリコントローラ300による、1または複数のメモリセルアレイユニット400の制御方法については、後に随時、詳述するものとする。

[0019] (電源回路500)

電源回路500は、1または複数のメモリセルアレイユニット400に対して所望の電圧を供給するものである。具体的には、電源回路500は、後述のBLドライバ21に対して、セット電圧 V_{set1} 、セット電圧 V_{set2} 、センス電圧 V_{sense_h} およびリセット電圧 V_{reset_i} を供給する。また、電源回路500は、後述のWLドライバ22に対して、グラウンド電圧 V_{ss} 、センス電圧 V_{sense_i} およびリセット電圧 V_{reset_h} を供給する。また、電源回路500は、後述のプリチャージ回路25に対して、グラウンド電圧 V_{ss} および基準電圧 V_{com} を供給する。グラウンド電圧 V_{ss} およびセンス電圧 V_{sense_i} が、本開示の「第1電圧」の一具体例に相当する。セット電圧 V_{set1} 、セット電圧 V_{set2}

V_{set2} および センス電圧 V_{sense_h} が、本開示の「第3電圧」の一具体例に相当する。

[0020] セット電圧 V_{set1} は、スイッチ素子 $10S$ が高抵抗状態から低抵抗状態に変化する電圧 V_{snap} 以上の電圧をスイッチ素子 $10S$ に印加することのできる大きさの電圧である。セット電圧 V_{set2} は、セット電圧 V_{set1} よりも低い電圧である。具体的には、セット電圧 V_{set2} は、電圧 V_{snap} よりも低い電圧であって、かつ、メモリセル $10A$ に書き込みを行うのに必要な大きさの電流 I_{set} を維持するのに十分な大きさの電圧である。ここで、メモリセル $10A$ に書き込みを開始したときのメモリ素子 $10M$ の抵抗を R_{hrs} とする。また、スイッチ素子 $10S$ が低抵抗状態から高抵抗状態に変化する電圧を V_{hold} とする。このとき、セット電圧 V_{set1} は、(電圧 V_{snap} + 電流 I_{set} × 抵抗 R_{hrs}) よりも大きな電圧である。セット電圧 V_{set2} は、(電圧 V_{hold} + 電流 I_{set} × 抵抗 R_{hrs}) よりも大きな電圧である。センス電圧 V_{sense_h} は、グラウンド電圧 V_{ss} よりも高く、セット電圧 V_{set2} よりも低い電圧である。センス電圧 V_{sense_h} は、センス電圧 V_{sense_i} よりも高い電圧である。リセット電圧 V_{reset_h} は、リセット電圧 V_{reset_i} よりも高い電圧である。

[0021] (メモリセルアレイユニット400)

次に、メモリセルアレイユニット400について説明する。図2は、メモリセルアレイユニット400の機能ブロックの一例を表したものである。メモリセルアレイユニット400は、例えば、半導体チップで構成されている。メモリセルアレイユニット400は、メモリセルアレイ10および制御回路20を有している。制御回路20は、メモリコントローラ300との間で、コマンド、ライトデータおよびリードデータなどをやりとりする。制御回路20は、ライトコマンドに従って、メモリセルアレイ10にデータを書き込み、リードコマンドに従って、メモリセルアレイ10からデータを読み出す。また、制御回路20は、リセットコマンドに従って、メモリセルアレイ

10における所定の箇所のデータを消去する。制御回路20については、後に詳述するものとする。

[0022] (メモリセルアレイ10)

図3は、メモリセルアレイ10の斜視構成の一例を表したものである。メモリセルアレイ10は、 n (n は2以上の整数)個のセクタを有している。それぞれのセクタは、セクタのサイズに応じた個数の複数のメモリセル10Aを有している。そして、セクタごとに物理アドレスが割り振られる。

[0023] メモリセルアレイ10は、複数のワード線WLと、複数のビット線BLと、ワード線WLとビット線BLとが互いに対向する位置ごとに1つずつ配置された複数のメモリセル10Aとを有している。ワード線WLが、本開示の「行配線」の一具体例に相当する。ビット線BLが、本開示の「列配線」の一具体例に相当する。

[0024] 図3では、便宜的に、各ワード線WLの符号の末尾に位置情報(1__1、1__2等)が付与されるとともに、各ビット線BLの符号の末尾にも位置情報(1, 2, 3, 4)が付与されている。具体的には、第1層内に設けられた4つワード線WLに対して、1__1、1__2、1__3、1__4の位置情報が付与されている。また、第2層内に設けられた4つワード線WLに対して、2__1、2__2、2__3、2__4の位置情報が付与され、第3層内に設けられた4つワード線WLに対して、3__1、3__2、3__3、3__4の位置情報が付与されている。また、1行目のワード線WLに対して、1__1、2__1、3__1の位置情報が付与され、2行目のワード線WLに対して、1__2、2__2、3__2の位置情報が付与されている。また、3行目のワード線WLに対して、1__3、2__3、3__3の位置情報が付与され、4行目のワード線WLに対して、1__4、2__4、3__4の位置情報が付与されている。また、1列目のビット線BL、水平ビット線HBLおよび垂直ビット線VBLに対して、1の位置情報が付与され、2行目のビット線BL、水平ビット線HBLおよび垂直ビット線VBLに対して、2の位置情報が付与されている。3行目のビット線BL、水平ビット線HBLおよび垂直ビット線VB

Lに対して、3の位置情報が付与され、4行目のビット線BL、水平ビット線HBLおよび垂直ビット線VBLに対して、4の位置情報が付与されている。

[0025] 複数のメモリセル10Aは、行列状に配置されている。例えば、図3に示したように、複数のメモリセル10Aが水平面（2次元、XY平面）において行列状に配置されており、さらに、垂直面（2次元、XZ平面またはYZ平面）においても行列状に配置されている。つまり、複数のメモリセル10Aが積層配置となっている。これにより、より高密度且つ大容量な記憶装置を提供することができる。なお、以下では、複数のメモリセル10Aが、図3に示したような積層配置となっているものとする。

[0026] 複数のワード線WLは、複数の階層に分かれて配置されている。各ワード線WLは、行方向に延在している。各ビット線BLは、列方向に延在する水平ビット線HBLと、水平ビット線HBLに接続され、垂直方向に延在する垂直ビット線VBLとにより構成されているとする。このとき、例えば、図3に示したように、複数の水平ビット線HBLは、1つの層内に配置されており、複数の垂直ビット線VBLは、水平面内において互いに隣接する2つのワード線WLの間に配置されている。さらに、例えば、図3に示したように、複数の垂直ビット線VBLおよび複数のワード線WLは、水平面内において、所定の間隙を介して互いに対向配置されている。各メモリセル10Aは、水平面内において、垂直ビット線VBLおよびワード線WLによって挟み込まれている。以上のことから、メモリセルアレイ10は、V3D構造を備えている。

[0027] 図4は、メモリセルアレイ10の等価回路の一例を表したものである。各ビット線BLと、各ワード線WLとが互いに対向する箇所ごとに、1つずつ、メモリセル10Aが設けられている。図4の上側の4本のワード線WL1__1～WL1__4に接続された複数のメモリセル10Aが第1層内に設けられている。図4の中央の4本のワード線WL2__1～WL2__4に接続された複数のメモリセル10Aが、第2層内に設けられている。図4の下側の4

本のワード線WL 3__1～WL 3__4に接続された複数のメモリセル10Aが、第3層内に設けられている。メモリセルアレイ10は、図4のように等価回路で表現した場合には、水平面内において互いに異なる方向に延在する配線同士が互いに交差する交点にメモリセルを配置する、クロスポイントメモリセルアレイと等価であることがわかる。

[0028] 図5は、メモリセル10Aの断面構成の一例を表したものである。メモリセル10は、互いに直列接続されたメモリ素子10Mおよびスイッチ素子10Sを含む電流経路PIを有している。メモリ素子10Mは、本開示の「メモリ素子」の一具体例に相当する。スイッチ素子10Sは、本開示の「スイッチ素子」の一具体例に相当する。

[0029] メモリ素子10Mは、例えば、ワード線WL寄りに配置され、スイッチ素子10Sが、例えば、ビット線BL（垂直ビット線VBL）寄りに配置されている。なお、メモリ素子10Mがビット線BL（垂直ビット線VBL）寄りに配置され、スイッチ素子10Sがワード線WL寄りに配置されていてもよい。また、ある層内において、メモリ素子10Mがワード線WL寄りに配置され、スイッチ素子10Sがビット線BL（垂直ビット線VBL）寄りに配置されている場合に、その層に隣接する層内において、メモリ素子10Mがビット線BL（垂直ビット線VBL）寄りに配置され、スイッチ素子10Sがワード線WL寄りに配置されていてもよい。

[0030] （メモリ素子10M）

メモリ素子10Mは、電極11と、電極11に対向配置された電極13と、電極11および電極13の間に設けられたメモリ層12とを有している。メモリ層12は、例えば、抵抗変化層およびイオン源層が積層された積層構造、あるいは、抵抗変化層の単層構造によって構成されている。抵抗変化層は、例えば、SiN、SiO₂、Gd₂O₃等からなる絶縁層によって構成されている。イオン源層は、電界の印加によって抵抗変化層内に伝導パスを形成する可動元素を含んでいる。イオン源層は、例えば、Cu、Ag、Zr、Alから選ばれる1つ以上の金属元素を含有する金属膜、合金膜（例えばCuT

e合金膜)、金属化合物膜等によって構成されている。なお、イオン化しやすい性質を有するならば、Cu, Ag, Zr, Al以外の金属元素がイオン源層に用いられてもよい。また、イオン源層は、また、Cu, Ag, Zr, Alの少なくとも一つの元素と、S, Se, Teのうちの少なくとも一つのカルコゲン元素とが組み合わされた材料によって構成されていてもよい。

[0031] (スイッチ素子10S)

スイッチ素子10Sは、電極15と、電極15に対向配置され、メモリ素子10Mの電極を兼ねる電極13と、電極15と電極13との間に設けられたスイッチ層14とを有している。スイッチ層14は、例えば、S, Se, Teのうちの少なくとも一つのカルコゲン元素を含んで構成されている。スイッチ層14は、上記カルコゲン元素のほかに、B, Al, Ga, C, Si, Ge, N, P, As, SbおよびBiのうちの少なくとも一つの元素をさらに含んで構成されていることが好ましい。

[0032] スwitch層14は、印加電圧を所定の閾値電圧（スイッチング閾値電圧）以上に上げることにより低抵抗状態に変化し、印加電圧を上記の閾値電圧（スイッチング閾値電圧）より低い電圧に下げることにより高抵抗状態に変化するものである。即ち、スイッチ層14は、電極15および電極13を介した電圧パルスあるいは電流パルスの印加によらず、スイッチ層14のアモルファス構造が安定して維持されるものである。また、スイッチ層14は、電圧印加によるイオンの移動によって形成される伝導パスが印加電圧消去後も維持される等のメモリ動作をしないものである。

[0033] (メモリセル10AのI-V特性)

次に、メモリセル10AのI-V特性について説明する。以下では、メモリセル10Aを構成するスイッチ素子10Sおよびメモリ素子10MのそれぞれのI-V特性について説明したのち、メモリセル10AのI-V特性について説明する。

[0034] まず、メモリ素子10MのI-V特性について説明する。メモリ素子10Mでは、順バイアス（書き込み電圧）の増加に伴って電流値が上昇し、所定の

書き込み電圧（例えば、およそ 3.5 V 程度）において抵抗変化層における伝導パスの形成による書き込み動作が行われ、メモリ層 12 が低抵抗状態へと変化して電流が増大する。即ち、メモリ素子 10M は、書き込み電圧の印加によって低抵抗状態となり、この低抵抗状態は印加電圧停止後も維持される。

[0035] スイッチ素子 10S に書き込み電圧が印加されると、スイッチ素子 10S では、書き込み電圧の増加に伴って電流が上昇し、所定の閾値電圧（例えば、4 V 程度）を超えると OTS 動作により急激に電流が増大、あるいは抵抗が低くなり、オン状態となる。この後、書き込み電圧を減少させていくと、スイッチ素子 10S の電極に流れる電流値は徐々に減少する。例えば、スイッチ素子 10S を構成する材料および形成条件にもよるが、増加時とほぼ同等の閾値電圧で急激に抵抗が上昇してオフ状態となる。

[0036] メモリセル 10A の書き込み電圧の印加開始および停止における電流値のスイッチング挙動は、スイッチ素子 10S およびメモリ素子 10M の I-V 曲線を合わせた I-V 曲線となる。このようなメモリセル 10A では、例えば、 $V/2$ バイアス方式において、メモリセル 10A の読み出し電圧 (V_{read}) が I-V 曲線上の急激に抵抗変化する閾値よりも大きな電圧に設定され、 $V_{\text{read}}/2$ が抵抗変化の閾値よりも小さい電圧に設定される。これにより、 V_{read} バイアスと $V_{\text{read}}/2$ バイアスとの電流比で定義される選択比（オン／オフ比）が大きくなる。また、上記のように、メモリセル 10A の I-V 曲線は、スイッチ素子 10S の I-V 曲線と、メモリ素子 10M の I-V 曲線とを合わせたものであるので、スイッチ素子 10S の閾値前後の抵抗変化（あるいは電流変化）が大きいほど選択比（オン／オフ比）が大きくなる。また、上記のように、メモリセル 10A の I-V 曲線は、スイッチ素子 10S の I-V 曲線と、メモリ素子 10M の I-V 曲線とを合わせたものであるので、スイッチ素子 10S の閾値前後の抵抗変化（あるいは電流変化）が大きいほど選択比（オン／オフ比）が大きくなる。また、選択比が大きければ大きいほど読み出しマージンが大きくなるため、誤読み出しすることなくアレイサイズを大きく

することが可能となり、メモリセルアレイの更なる大容量化が可能となる。
これは、読み出し動作だけでなく、書き込み動作についても同様である。

[0037] 一方、逆バイアス（ここでは消去電圧）が印加されると、スイッチ素子 10 S の消去電圧印加時における電流値の変化は、書き込み電圧を印加した際と同様の挙動を示す。これに対して、メモリ素子 10 M の消去電圧印加時における電流値の変化は、消去閾値電圧（例えば、およそ 2 ~ 3 V 程度）以上の電圧印加によって、低抵抗状態から高抵抗状態へと変化する。更に、メモリセル 10 A の消去電圧印加時における電流値の変化は、書き込み電圧印加時と同様に、スイッチ素子 10 S の I V 曲線とメモリ素子 10 M の I V 曲線とを合わせたものとなる。

[0038] （制御回路 20）

次に、制御回路 20 について説明する。制御回路 20 は、例えば、図 2 に示したように、BL ドライバ回路 21、WL ドライバ回路 22、2 つの BL デコーダ 23 A、23 B、2 つの WL デコーダ 24 A、24 B、プリチャージ回路 25 および読み出し回路 26 を有している。BL ドライバ回路 21 およびプリチャージ回路 25 が、メモリコントローラ 300 による制御に従って、2 つの BL デコーダ 23 A、23 B に印加する電圧を制御する。WL ドライバ回路 22 およびプリチャージ回路 25 が、メモリコントローラ 300 による制御に従って、2 つの WL デコーダ 24 A、24 B に印加する電圧を制御する。メモリコントローラ 300 が、BL ドライバ回路 21、WL ドライバ回路 22 およびプリチャージ回路 25 を制御するとともに、BL デコーダ 23 A、BL デコーダ 23 B、WL デコーダ 24 A および WL デコーダ 24 B を互いに独立に制御する。

[0039] なお、BL ドライバ回路 21、WL ドライバ回路 22、プリチャージ回路 25 および電源回路 500 からなる回路が、本開示の「電圧制御回路」の一具体例に相当する。WL デコーダ 24 A が、本開示の「第 1 デコーダ回路」の一具体例に相当する。WL デコーダ 24 B が、本開示の「第 2 デコーダ回路」の一具体例に相当する。BL デコーダ 23 A が、本開示の「第 3 デコー

ダ回路」の一具体例に相当する。BLデコーダ23Bが、本開示の「第4デコーダ回路」の一具体例に相当する。

[0040] 図6は、BLドライバ回路21の回路構成の一例を表したものである。BLドライバ回路21は、2つのBLデコーダ23A、23Bに与える電圧を制御するものである。BLドライバ回路21は、メモリコントローラ300による制御に従って、電源回路500から供給される4種類の電圧 (V_{set1} , V_{set2} , V_{sense_h} , V_{reset_i}) の中から1つの電圧を選択する。BLドライバ回路21は、選択した電圧をBLデコーダ23A、23B (具体的には後述の入力端子drv) に出力する。4種類の電圧 (V_{set1} , V_{set2} , V_{sense_h} , V_{reset_i}) が、本開示の「第3電圧」の一具体例に相当する。BLドライバ回路21は、書き込み動作時には、セット電圧 V_{se1} 、または、セット電圧 V_{se2} を選択し、BLデコーダ23A、23Bに出力する。BLドライバ回路21は、読み出し動作時には、センス電圧 V_{sense_h} を選択し、BLデコーダ23A、23Bに出力する。BLドライバ回路21は、リセット動作時には、リセット電圧 V_{reset_i} を選択し、BLデコーダ23A、23Bに出力する。

[0041] メモリコントローラ300は、制御信号 V_{gset1} , V_{gset2} , V_{gsense} , V_{greset} をBLドライバ回路21に出力することにより、4種類の電圧 (V_{set1} , V_{set2} , V_{sense_h} , V_{reset_i}) の中から1つの電圧をBLドライバ回路21に選択させる。BLドライバ回路21は、メモリコントローラ300からの制御信号 V_{gset1} , V_{gset2} , V_{gsense} , V_{greset} に基づいて、4種類の電圧 (V_{set1} , V_{set2} , V_{sense_h} , V_{reset_i}) の中から1つの電圧を選択し、BLデコーダ23A、23Bに出力する。

[0042] 図7は、WLドライバ回路22の回路構成の一例を表したものである。WLドライバ回路22は、2つのWLデコーダ24A、24Bに与える電圧を制御するものである。WLドライバ回路22は、メモリコントローラ300

による制御に従って、電源回路500から供給される3種類の電圧（ V_{ss} 、 V_{sense_i} 、 V_{reset_h} ）の中から1つの電圧を選択する。WLドライバ回路22は、選択した電圧をWLデコーダ24A、24B（具体的には後述の入力端子drv）に出力する。3種類の電圧（ V_{ss} 、 V_{sense_i} 、 V_{reset_h} ）が、本開示の「第1電圧」の一具体例に相当する。WLドライバ回路22は、書き込み動作時には、グラウンド電圧 V_{ss} を選択し、WLデコーダ24A、24Bに出力する。WLドライバ回路22は、読み出し動作時には、センス電圧 V_{sense_i} を選択し、WLデコーダ24A、24Bに出力する。WLドライバ回路22は、リセット動作時には、リセット電圧 V_{reset_h} を選択し、WLデコーダ24A、24Bに出力する。

[0043] メモリコントローラ300は、制御信号 V_{gset} 、 V_{gsense} 、 V_{greset} をWLドライバ回路22に出力することにより、3種類の電圧（ V_{ss} 、 V_{sense_i} 、 V_{reset_h} ）の中から1つの電圧をWLドライバ回路22に選択させる。WLドライバ回路22は、メモリコントローラ300からの制御信号 V_{gset} 、 V_{gsense} 、 V_{greset} に基づいて、3種類の電圧（ V_{ss} 、 V_{sense_i} 、 V_{reset_h} ）の中から1つの電圧を選択し、WLデコーダ24A、24Bに出力する。

[0044] WLドライバ回路22は、さらに、グラウンド電圧 V_{ss} を選択したときに、選択されたワード線WLに流れる電流を、既定の電流値（ I_{set_c} ）に制限する。具体的には、WLドライバ回路22は、選択されたワード線WLに流れる電流が I_{set_c} 未満の場合には、選択されたワード線WLにグラウンド電圧 V_{ss} を印加する。WLドライバ回路22は、選択されたワード線WLに流れる電流が I_{set_c} 以上の場合には、選択されたワード線WLに流れる電流が I_{set_c} を超えないよう、グラウンド電圧 V_{ss} よりも大きな電圧を出力する。このように、電流値を I_{set_c} に制限することで、選択されたメモリセル10に過大な電流が流れることに起因する特性劣化が抑制される。

[0045] WLドライバ回路22は、さらに、センス電圧 V_{sense_i} を選択したときに、選択されたワード線WLに流れる電流を、既定の電流値(I_{sens_c})に制限する。具体的には、WLドライバ回路22は、選択されたワード線WLに流れる電流が I_{sens_c} 未満の場合には、選択されたワード線WLにセンス電圧 V_{sense_i} を印加する。WLドライバ回路22は、選択されたワード線WLに流れる電流が I_{sens_c} 以上の場合には、選択されたワード線WLに流れる電流が I_{sens_c} を超えないよう、センス電圧 V_{sense_i} よりも大きな電圧を出力する。このように、電流値を I_{sens_c} に制限することで、選択されたメモリセル10に過大な電流が流れることに起因する特性劣化が抑制される。

[0046] 図8は、プリチャージ回路25の回路構成の一例を表したものである。プリチャージ回路25は、2つのBLデコーダ23A、23Bおよび2つのWLデコーダ24A、24Bに与える電圧を制御するものである。プリチャージ回路25は、メモリコントローラ300による制御に従って、電源回路500から供給される1種類の電圧(V_{com})よりも所定の大きさだけ大きな電圧(電圧A)、および電圧 V_{com} よりも所定の大きさだけ小さな電圧(電圧B)の出力先を選択する。プリチャージ回路25は、選択した出力先に電圧Aおよび電圧Bを出力する。プリチャージ回路25は、書き込み動作時、または、読み出し動作時には、電圧Aを電圧 V_{pre_w} として選択し、WLデコーダ24A、24B(具体的には後述の入力端子 com)に出力する。プリチャージ回路25は、書き込み動作時、または、読み出し動作時には、電圧Bを電圧 V_{pre_b} として選択し、BLデコーダ23A、23B(具体的には後述の入力端子 com)に出力する。また、プリチャージ回路25は、リセット動作時には、電圧Bを電圧 V_{pre_w} として選択し、WLデコーダ24A、24Bに出力する。プリチャージ回路25は、リセット動作時には、電圧Aを電圧 V_{pre_b} として選択し、BLデコーダ23A、23Bに出力する。電圧 V_{pre_w} が、本開示の「第2電圧」の一具体例に相当する。電圧 V_{pre_b} が、本開示の「第4電圧」の一具体例に

相当する。

[0047] 電圧 V_{pre_w} は、電圧 V_{pre_b} よりも高い電圧である。電圧 V_{pre_w} および電圧 V_{pre_b} は、電圧 V_{pre_w} および電圧 V_{pre_b} の差が、読み出し動作時に選択対象のメモリセル 10A に印加される最も高い電圧（電圧 V_{sens_h} - 電圧 V_{sens_i} ）の $1/3$ 未満となるように設定される。また、電圧 V_{pre_w} および電圧 V_{pre_b} は、電圧 V_{pre_w} および電圧 V_{pre_b} の差が、書き込み動作時に選択対象のメモリセル 10A に印加される最も高い電圧（電圧 V_{set1} ）の $1/3$ 未満となるように設定される。

[0048] メモリコントローラ 300 は、制御信号 V_{gcom} , V_{g0} , V_{g1} , V_{g2} , V_{g3} をプリチャージ回路 25 に出力することにより、2種類の電圧（ V_{pre_w} , V_{pre_b} ）の出力先をプリチャージ回路 25 に選択させる。プリチャージ回路 25 は、メモリコントローラ 300 からの制御信号 V_{gcom} , V_{g0} , V_{g1} , V_{g2} , V_{g3} に基づいて、2種類の電圧（ V_{pre_w} , V_{pre_b} ）の出力先を選択する。また、プリチャージ回路 25 は、メモリコントローラ 300 からの制御信号 V_{gcom} , V_{g0} , V_{g1} , V_{g2} , V_{g3} に基づいて、2種類の電圧（ V_{pre_w} , V_{pre_b} ）の中から1つの電圧（ V_{pre_b} ）を選択し、WLデコーダ 24A, 24B に出力する。

[0049] 図9は、BLデコーダ 23A, 23B およびWLデコーダ 24A, 24B の回路構成の一例を表したものである。BLデコーダ 23A, 23B およびWLデコーダ 24A, 24B は、例えば、2つの入力端子 drv , com と、複数のアドレス端子 $a0$, $a1$, $b0$, $b1$, $b2$, s を有している。BLデコーダ 23A, 23B およびWLデコーダ 24A, 24B は、例えば、複数の出力端子 $line0 \sim line5$ を有している。以下では、出力端子 $line0 \sim line5$ の総称として出力端子 $line$ が用いられる。なお、2つの入力端子 drv , com が、本開示の「2つの第1の電圧入力端子」または「2つの第2の電圧入力端子」の一具体例に相当する。複数のアド

レス端子 a_0 , a_1 , b_0 , b_1 , b_2 , s が、本開示の「複数の第1のアドレス入力端子」または「複数の第2のアドレス入力端子」の一具体例に相当する。

[0050] BLデコーダ23A, 23Bにおいて、入力端子 d_{rv} がBLドライバ回路21の出力端子 BL_{dec} に接続され、入力端子 com がプリチャージ回路25の出力端子 BL_{dec} に接続されている。WLデコーダ24A, 24Bにおいて、入力端子 d_{rv} がWLドライバ回路22の出力端子 WL_{dec} に接続され、入力端子 com がプリチャージ回路25の出力端子 BL_{dec} に接続されている。BLデコーダ23A, 23BおよびWLデコーダ24A, 24Bにおいて、複数のアドレス端子 a_0 , a_1 , b_0 , b_1 , b_2 , s が、メモリコントローラ300の出力端子に接続されている。BLデコーダ23A, 23Bにおいて、各出力端子 $line$ が互いに異なるビット線BLに1本ずつ接続されている。具体的には、BLデコーダ23Aにおいて、各出力端子 $line$ は、各奇数列のビット線BLに接続されている。BLデコーダ23Bにおいて、各出力端子 $line$ は、各偶数列のビット線BLに接続されている。WLデコーダ24A, 24Bにおいて、各出力端子 $line$ が互いに異なるワード線WLに1本ずつ接続されている。具体的には、WLデコーダ24Aにおいて、各出力端子 $line$ は、各奇数行のワード線WLに接続されている。WLデコーダ24Bにおいて、各出力端子 $line$ は、各偶数行のワード線WLに接続されている。

[0051] BLデコーダ23A, 23Bは、複数のアドレス端子 a_0 , a_1 , b_0 , b_1 , b_2 , s に入力された列アドレスのデコードを行うことにより、複数のビット線BLと、2つの入力端子 d_{rv} , com との接続態様を設定する。WLデコーダ24A, 24Bは、複数のアドレス端子 a_0 , a_1 , b_0 , b_1 , b_2 , s に入力された行アドレスのデコードを行うことにより、複数のワード線WLと、2つの入力端子 d_{rv} , com との接続態様を設定する。メモリコントローラ300は、行アドレスを生成し、WLデコーダ24A, 24Bに出力するとともに、列アドレスを生成し、BLデコーダ23A,

23Bに出力する。

[0052] BLデコーダ23A, 23BおよびWLデコーダ24A, 24Bは、例えば、プリデコーダPreDと、ポストデコーダPostDとにより構成されている。

[0053] プリデコーダPreDは、メモリコントローラ300から端子sに入力される制御信号に基づいて、2つの入力端子drv, comのうちいずれか一方の入力端子を選択する。プリデコーダPreDは、さらに、メモリコントローラ300から端子a0, a1に入力される制御信号に基づいて、選択された入力端子と、2つの配線L1, L2との接続態様を設定する。ポストデコーダPostDは、メモリコントローラ300から端子b0, b1, b2に入力される制御信号に基づいて、2つの配線L1, L2と、複数の出力端子line0～line5との接続態様を設定する。

[0054] ポストデコーダPostDは、出力端子line0～line5ごとに1つずつ設けられた複数のスイッチ素子Trを、ポストデコーダPostDの出力端子line0～line5の数だけ有している。スイッチ素子Trは、例えば、NMOSトランジスタで構成されている。BLデコーダ23A, 23Bにおいて、ポストデコーダPostDは、ビット線BLごとに1つずつ設けられた複数のスイッチ素子Trを、ポストデコーダPostDに割り当てられたビット線BLの数だけ有している。WLデコーダ24A, 24Bにおいて、ポストデコーダPostDは、ワード線WLごとに1つずつ設けられた複数のスイッチ素子Trを、ポストデコーダPostDに割り当てられたワード線WLの数だけ有している。従って、ポストデコーダPostDには、他の出力端子lineとは共用されない、1つ出力端子line専用のスイッチ素子Trが、配線lineごとに1つずつ設けられている。ポストデコーダPostDがこのような構成となっているデコーダは、1Tデコーダと呼ばれる。

[0055] 図10は、BLデコーダ23A, 23BおよびWLデコーダ24A, 24Bの真理値表である。WLデコーダ24A, 24Bは、メモリコントローラ300から端子a0, a1, b0, b1, b2, sに入力される行アドレス

に基づいて、入力端子 *drv*, *com* と、出力端子 *line 0* ~ *line 5* との接続態様を、図 10 の真理値表に示したように設定する。BL デコーダ 23 A, 23 B は、メモリコントローラ 300 から端子 *a 0*, *a 1*, *b 0*, *b 1*, *b 2*, *s* に入力される列アドレスに基づいて、入力端子 *drv*, *com* と、出力端子 *line 0* ~ *line 5* との接続態様を、図 10 の真理値表に示したように設定する。図 10 の真理値表に示したように、出力端子 *line 0* ~ *line 5* のうち、フローティング状態の出力端子を除く全ての出力端子には、入力端子 *drv*, *com* のうち、どちらか一方の入力端子だけが導通する。

[0056] なお、図 10 において、「0」は低い電圧 (Low) を意味しており、「1」は大会電圧 (High) を意味している。従って、「0」が入力されたスイッチ素子はオフ (非導通) 状態となり、「1」が入力されたスイッチ素子はオン (導通) 状態となる。また、図 10 において、「z」はフローティング状態を意味しており、「*drv*」は入力端子 *drv* と導通状態になることを意味しており、「*com*」は入力端子 *com* と導通状態になることを意味している。

[0057] 図 11 は、比較例に係るデコーダの回路構成の一例を表したものである。図 12 は、比較例に係るデコーダの真理値表である。比較例に係るデコーダは、例えば、2 つの入力端子 *drv*, *com* と、複数のアドレス端子 *a 0*, *a 1*, *b 0*, *b 1*, *b 2*, *s* を有している。比較例に係るデコーダは、例えば、複数の出力端子 *line 0* ~ *line 5* を有している。つまり、比較例に係るデコーダは、これらの点では、BL デコーダ 23 A, 23 B および WL デコーダ 24 A, 24 B と同様の構成となっている。

[0058] しかし、比較例に係るデコーダのポストデコーダ *Pst D* では、他の出力端子 *line* とは共用されない、1 つ出力端子 *line* 専用のスイッチ素子が、配線 *line* ごとに 2 つずつ設けられている。ポストデコーダ *Pst D* がこのような構成となっているデコーダは、2T デコーダと呼ばれる。一方のスイッチ素子は、プリデコーダ *Pre D* に設けられた入力端子 *drv* と、

出力端子 *line 0* ~ *line 5* との接続態様の設定に用いられる。他方のスイッチ素子は、ポストデコーダ *Pst D* に設けられた入力端子 *com* と、出力端子 *line 0* ~ *line 5* との接続態様の設定に用いられる。

[0059] なお、図 12 の真理値表に示したように、アドレス端子 *s* に「1」が入力される場合には、ある 1 つの出力端子 *line* が入力端子 *drv* および入力端子 *com* の双方と導通することになる。このとき、端子 *s* により制御されるスイッチ素子のゲート幅を、端子 *a 0*, *a 1*, *b 0* ~ *b 2* により制御されるスイッチ素子のゲート幅よりも小さくすることにより、入力端子 *drv* のインピーダンスを、入力端子 *com* のインピーダンスよりも、スイッチ素子がオンしたときに低くすることができる。従って、比較例に係るデコーダがそのような構成となっている場合には、入力端子 *drv* と導通する出力端子 *line* の電圧が入力端子 *drv* の電圧となる。

[0060] 比較例に係るデコーダは、2Tデコーダと呼ばれる構成により、出力端子 *line 0* ~ *line 5* に、2種類の電圧（フローティング状態を除く）を出力する。一方、BLデコーダ 23A, 23B およびWLデコーダ 24A, 24B は、1Tデコーダと呼ばれる構成により、出力端子 *line 0* ~ *line 5* に、1種類の電圧（フローティング状態を除く）を出力する。従って、BLデコーダ 23A, 23B およびWLデコーダ 24A, 24B では、比較例に係るデコーダと比べて、ポストデコーダ *Pst D* におけるスイッチ素子の数が少ない分だけ、ポストデコーダ *Pst D* の回路面積が小さい。

[0061] 読み出し回路 26 は、メモリコントローラ 300 による制御に従って、メモリセルアレイ 10 に書き込まれたデータを読み取るものである。読み出し回路 26 は、例えば、WLデコーダ 24A, 24B の各出力端子 *line* に接続されたセンスアンプを有している。読み出し回路 26 は、読み出し動作時に、WLデコーダ 24A, 24B の各出力端子 *line* の電圧を、センスアンプで検出し、検出した結果をメモリコントローラ 300 に出力する。

[0062] [動作]

次に、メモリシステム 200 の動作について説明する。以下では、書き込

み動作、リセット動作、読み出し動作の順に説明する。

[0063] (書き込み動作)

図13Aは、プリチャージ時にメモリセルアレイ10に印加される電圧の一例を表したものである。図13Bは、フローティング時にメモリセルアレイ10に印加される電圧の一例を表したものである。図13Cは、書き込み時にメモリセルアレイ10に印加される電圧の一例を表したものである。図13Dは、書き込み後にメモリセルアレイ10に印加される電圧の一例を表したものである。図14は、書き込み対象のメモリセル10Aにおける電圧波形の一例を表したものである。

[0064] メモリシステム200は、(i)プリチャージ、(ii)フローティング、(iii)選択、(iv)抵抗変化の順に、書き込み動作を実行する。

[0065] (i)プリチャージ

メモリコントローラ300は、WLデコーダ24A、24Bに対して、各ワード線WLをWLデコーダ24A、24Bの入力端子drvに接続する行アドレス(第3の行アドレス)を出力する。メモリコントローラ300は、さらに、BLデコーダ23A、23Bに対して、各ビット線BLの電圧をBLデコーダ23A、23Bの入力端子drvに接続する列アドレス(第3の列アドレス)を出力する。すると、全てのビット線BLおよび全てのワード線WLがプリチャージ回路25に接続される。

[0066] メモリコントローラ300は、さらに、プリチャージ回路25に対して、電圧Vcomよりも所定の大きさだけ大きな電圧(電圧A)を電圧VprewとしてWLデコーダ24A、24Bに出力するための制御信号を出力する。メモリコントローラ300は、さらに、プリチャージ回路25に対して、電圧Vcomよりも所定の大きさだけ小さな電圧(電圧B)を電圧VprebとしてBLデコーダ23A、23Bに出力するための制御信号を出力する。

[0067] メモリコントローラ300は、例えば、プリチャージ回路25のVgcomをHighにし、各ビット線BLおよび各ワード線WLの電圧をVgco

mにしたのち、プリチャージ回路25の V_{gcom} をLowにする。次に、メモリコントローラ300は、例えば、プリチャージ回路25の V_{g0} , V_{g1} をHighにし、 V_{g2} , V_{g3} をLowにする。すると、ビット線BLにチャージされた電荷の一部がキャパシタCpumpに移動し、ビット線BLの電圧が低下する。次に、メモリコントローラ300は、例えば、プリチャージ回路25の V_{g0} , V_{g1} をLowにし、 V_{g2} , V_{g3} をHighにする。すると、キャパシタCpumpの電荷の一部がワード線WLに移動し、ワード線WLの電圧が上昇する。その結果、ビット線BLの電圧が V_{com} よりも低い電圧 V_{pre_b} となり、ワード線WLの電圧が V_{com} よりも高い電圧 V_{pre_w} となる（図13A、図14の期間T1）。

[0068] (ii) フローティング

メモリコントローラ300は、次に、選択対象のメモリセル10Aに接続されるデコーダ（例えば、WLデコーダ24AおよびBLデコーダ23B）に対して、各ワード線WLおよび各ビット線BLをフローティング状態にする行アドレスおよび列アドレスを出力する。メモリコントローラ300は、例えば、WLデコーダ24AおよびBLデコーダ23Bの全てのアドレス端子 a_0 , a_1 , b_1 , b_2 , b_3 , s をLowにする。すると、WLデコーダ24AおよびBLデコーダ23Bに接続された各ワード線WLおよび各ビット線BLがフローティング状態となる（図13B、図14の期間T2）。

[0069] (iii) 選択

メモリコントローラ300は、次に、選択対象のメモリセル10Aに接続されるデコーダ（例えば、WLデコーダ24A）に対して、第1の行アドレスを行アドレスとして出力する。メモリコントローラ300は、さらに、選択対象のメモリセル10Aに未接続のデコーダ（例えば、WLデコーダ24B）に対して、第2の行アドレスを行アドレスとして出力する。ここで、第1の行アドレスは、選択対象のメモリセル10Aに接続されたワード線WL（例えば、WL2__2）をWLデコーダ24Aの入力端子 d_{rv} に接続するとともに、選択対象のメモリセル10Aに未接続の各ワード線WLをフローティ

ング状態にする行アドレスである。また、第2の行アドレスは、複数のワード線WLのうち、少なくとも、選択対象のメモリセル10Aに接続されたワード線WL(例えば、WL2__2)に隣接する各ワード線WL(例えば、WL2__1, WL2__3, WL1__2, WL3__2)をWLデコーダ24Bの入力端子drvに接続する行アドレスである。

[0070] メモリコントローラ300は、さらに、選択対象のメモリセル10Aに接続されるデコーダ回路(例えば、BLデコーダ23B)に対して、第1の列アドレスを列アドレスとして出力する。メモリコントローラ300は、さらに、選択対象のメモリセル10Aに未接続のデコーダ回路(例えば、BLデコーダ23A)に対して、第2の列アドレスを列アドレスとして出力する。ここで、第1の列アドレスは、選択対象のメモリセル10Aに接続されたビット線BL(例えば、BL2)をBLデコーダ23Bの入力端子drvに接続するとともに、選択対象のメモリセル10Aに未接続の各ビット線BL(例えば、BL4)をフローティング状態に設定する列アドレスである。また、第2の列アドレスは、複数のビット線BLのうち、少なくとも、選択対象のメモリセル10Aに接続されたビット線BL(例えば、BL2)に隣接する各ビット線BL(例えば、BL1, BL3)をBLデコーダ23Aの入力端子drvに接続する列アドレスである。

[0071] メモリコントローラ300は、さらに、WLドライバ22に対して、電圧VssをWLデコーダ24A, 24Bに出力するための制御信号を出力する。メモリコントローラ300は、例えば、WLドライバ22のVgsetをHighにし、WLドライバ22のVgresetおよびVgsenseをLowにする。メモリコントローラ300は、さらに、BLドライバ21に対して、電圧Vset1をBLデコーダ23A, 23Bに出力するための制御信号を出力する。メモリコントローラ300は、例えば、BLドライバ21のVgset1をHighにし、BLドライバ21のVgset2, VgresetおよびVgsenseをLowにする。これにより、選択対象のメモリセル10A(選択メモリセルS)に接続されたデコーダ(例えば、B

Ｌデコーダ２３ＢおよびＷＬデコーダ２４Ａ）が、電圧 V_{set1} および電圧 V_{ss} を出力し、その結果、選択メモリセルＳに、電圧 V_{set1} －電圧 V_{ss} （＝セット電圧）を印加する（図１３Ｃ、図１４の期間Ｔ３）。ここで、セット電圧は、メモリ素子１０Ｍが高抵抗状態から低抵抗状態に変化する書き込み閾値電圧以上の電圧が選択メモリセルＳにおけるメモリ素子１０Ｍに印加されるのに十分な大きさの電圧である。

[0072] 選択メモリセルＳに隣接する同一行のメモリセル１０Ａ（半選択メモリセルＨＷ）には、半選択メモリセルＨＷに接続されたデコーダ（例えば、ＢＬデコーダ２３ＡおよびＷＬデコーダ２４Ａ）が、電圧 V_{pre_b} －電圧 V_{ss} を印加する。選択メモリセルＳに隣接する同一列のメモリセル１０Ａ（半選択メモリセルＨＢ）には、半選択メモリセルＨＢに接続されたデコーダ（例えば、ＢＬデコーダ２３ＢおよびＷＬデコーダ２４Ｂ）が、電圧 V_{set1} －電圧 V_{pre_w} を印加する。このように、選択メモリセルＳには、セット電圧が印加される。その結果、選択メモリセルＳの抵抗が高抵抗から低下し始める。さらに、選択メモリセルＳに隣接する各半選択メモリセルＨＷおよび各半選択メモリセルＨＢには、セット電圧よりも小さく、かつメモリセル１０Ａに抵抗変化が生じない程度に小さな固定電圧が印加される。

[0073] (i v) 抵抗変化

メモリコントローラ３００は、次に、選択対象のメモリセル１０Ａに非接続のデコーダ（例えば、ＷＬデコーダ２４ＢおよびＢＬデコーダ２３Ａ）に対して、各ワード線ＷＬおよび各ビット線ＢＬをフローティング状態にする行アドレスおよび列アドレスを出力する。メモリコントローラ３００は、例えば、ＷＬデコーダ２４ＢおよびＢＬデコーダ２３Ａの全てのアドレス端子 a_0 , a_1 , b_1 , b_2 , b_3 , s を Low にする。すると、ＷＬデコーダ２４ＢおよびＢＬデコーダ２３Ａに接続された各ワード線ＷＬおよび各ビット線ＢＬがフローティング状態となる（図１３Ｄ）。

[0074] このとき、メモリコントローラ３００は、さらに、ＢＬドライバ２１に対して、ＢＬデコーダ２３Ａ、２３Ｂに出力する電圧を、電圧 V_{set1} から

電圧 V_{set2} に変更するための制御信号を出力する。メモリコントローラ 300 は、例えば、BL ドライバ 21 の V_{gset1} 、 V_{greset} および V_{gsense} を Low にし、BL ドライバ 21 の V_{gset2} を High にする。その結果、選択対象のメモリセル 10A（選択メモリセル S）には、電圧 V_{set2} - 電圧 V_{ss} が印加される（図 13D、図 14 の期間 T4）。その結果、選択メモリセル S の抵抗が高抵抗状態からさらに低下し、低抵抗状態となる。

[0075] なお、図 14 において、非選択のワード線 WL（非選択 WL）及び非選択のビット線 BL（非選択 BL）の電圧推移が点線で描かれているところは、非選択 WL 及び非選択 BL のうち少なくとも一部がフローティング状態であることを示す。各ワード線 WL 間、各ビット線 BL 間、ワード線 WL とビット線 BL との間には、それぞれ、寄生容量が存在する。フローティング状態にある非選択のワード線 WL は、選択されたビット線 BL から、半選択メモリセルを通じて電流が流れ込む。また、非選択メモリセルを通じて非選択のビット線 BL へ電流が流れ出す。そのため、上記寄生容量は各電流によって充放電され、フローティング状態にある非選択のワード線 WL の電圧が変動する。フローティング状態にある非選択のビット線 BL についても、同様である。

[0076] また、各電流の大きさは、選択されたビット線 BL 及び選択されたワード線 WL の電圧の他、非選択メモリセルの状態（高抵抗状態であるか、低抵抗状態であるか）によって変化する。図 14 の例では、点線で描いた非選択のビット線 BL 及び非選択のワード線 WL の電圧は、“(i v) 抵抗変化”のところで次第に低下している。しかし、非選択メモリセルの状態によっては、線で描いた非選択のビット線 BL 及び非選択のワード線 WL の電圧が、“(i v) 抵抗変化”のところで上昇することもある。また、ある非選択のワード線 WL の電圧が上昇し、他の非選択のワード線 WL の電圧が低下する、などのように、電圧の変化にばらつきが生じることもある。図 14 において、“(i w l < l s e t __ c)”とラベルをつけた線は、選択されたワード線 WL に流

れる電流 I_w が、 I_{set_c} 未満である場合の各電圧推移を示す。” ($I_w = I_{set_c}$) ”とラベルをつけた線は、選択されたワード線WLに流れる電流 I_w が、 I_{set_c} に達した場合の各電圧推移を示す。

[0077] なお、メモリ素子10Mの抵抗値が低下し、メモリ素子10Mに流れる電流が一定以上になると、WLドライバ22内のカレントミラー回路22Aの働きにより、WLドライバ22からの出力電圧が上昇してメモリセル10A両端にかかる電圧が低下し、電流の増加が抑制される。図14において、選択WL ($I_w = I_{sec_c}$) の電圧が、(iv) 抵抗変化において上昇しているのは、このためである。

[0078] 図15は、書き込み対象のメモリセル10Aにおける電圧波形の他の例を表す図である。本実施の形態において、メモリコントローラ300は、(iv) 抵抗変化において、BLドライバ21に対して、BLデコーダ23A、23Bに出力する電圧として、電圧 V_{set2} を用いず、電圧 V_{set1} を用いるための制御信号を出力してもよい。

[0079] ただし、次のような懸念が生じる。(iv) 抵抗変化において、セット電圧 V_{set2} が用いられずセット電圧 V_{set1} だけが用いられる場合、選択されたビット線BLの電圧が高い状態を維持する。そのため、非選択のビット線BLおよび非選択のワード線WLの電圧は、総じて、図14の場合よりも高くなる。このとき、選択されたワード線WLに流れる電流 I_w が、 I_{sec_c} 未満 ”($I_w < I_{sec_c}$)” となっている場合には、非選択のビット線BLと選択されたワード線WLとの電位差がスイッチ素子10Sの電圧 V_{snap} に達し、半選択メモリセルに電流 I_{set} が流れて、意図しない抵抗変化が起こる可能性がある。そのため、2種類のセット電圧 V_{set1} 、 V_{set2} を用いることが望ましい。

[0080] (リセット動作)

図16Aは、リセット時にメモリセルアレイ10に印加される電圧の一例を表したものである。図16Bは、リセット後にメモリセルアレイ10に印加される電圧の一例を表したものである。図17は、書き込み対象のメモリ

セル10Aにおける電圧波形の一例を表したものである。なお、リセット動作の(i)プリチャージ、(ii)フローティングにおいて、メモリセルアレイ10に印加される電圧の一例は、図13Aおよび図13Bと同様である。

[0081] メモリシステム200は、(i)プリチャージ、(ii)フローティング、(iii)選択、(iv)抵抗変化の順に、リセット動作を実行する。

[0082] (i)プリチャージ

メモリコントローラ300は、WLデコーダ24A、24Bに対して、各ワード線WLをWLデコーダ24A、24Bの入力端子drvに接続する行アドレス(第3の行アドレス)を出力する。メモリコントローラ300は、さらに、BLデコーダ23A、23Bに対して、各ビット線BLの電圧をBLデコーダ23A、23Bの入力端子drvに接続する列アドレス(第3の列アドレス)を出力する。すると、全てのビット線BLおよび全てのワード線WLがプリチャージ回路25に接続される。

[0083] メモリコントローラ300は、さらに、プリチャージ回路25に対して、電圧Vcomよりも所定の大きさだけ小さな電圧(電圧B)を電圧Vpre_wとしてWLデコーダ24A、24Bに出力するための制御信号を出力する。メモリコントローラ300は、さらに、プリチャージ回路25に対して、電圧Vcomよりも所定の大きさだけ大きな電圧(電圧A)を電圧Vpre_bとしてBLデコーダ23A、23Bに出力するための制御信号を出力する。

[0084] メモリコントローラ300は、例えば、プリチャージ回路25のVgcomをHighにし、各ビット線BLおよび各ワード線WLの電圧をVgcomにしたのち、プリチャージ回路25のVgcomをLowにする。次に、メモリコントローラ300は、例えば、プリチャージ回路25のVg3、Vg1をHighにし、Vg2、Vg0をLowにする。すると、ワード線WLにチャージされた電荷の一部がキャパシタCpumpに移動し、ワード線WLの電圧が低下する。次に、メモリコントローラ300は、例えば、プリ

チャージ回路25の V_{g3} 、 V_{g1} をLowにし、 V_{g2} 、 V_{g0} をHighにする。すると、キャパシタCpumpの電荷の一部がビット線BLに移動し、ビット線BLの電圧が上昇する。その結果、ワード線WLの電圧が V_{com} よりも低い電圧 V_{pre_w} となり、ビット線BLの電圧が V_{com} よりも高い電圧 V_{pre_b} となる（図13A、図17の期間T1）。

[0085] (ii) フローティング

メモリコントローラ300は、次に、選択対象のメモリセル10Aに接続されるデコーダ（例えば、WLデコーダ24AおよびBLデコーダ23B）に対して、各ワード線WLおよび各ビット線BLをフローティング状態にする行アドレスおよび列アドレスを出力する。メモリコントローラ300は、例えば、WLデコーダ24AおよびBLデコーダ23Bの全てのアドレス端子a0, a1, b1, b2, b3, sをLowにする。すると、WLデコーダ24AおよびBLデコーダ23Bに接続された各ワード線WLおよび各ビット線BLがフローティング状態となる（図13B、図17の期間T2）。

[0086] (iii) 選択

メモリコントローラ300は、次に、選択対象のメモリセル10Aに接続されるデコーダ（例えば、WLデコーダ24A）に対して、上記の第1の行アドレスを行アドレスとして出力する。メモリコントローラ300は、さらに、選択対象のメモリセル10Aに未接続のデコーダ（例えば、WLデコーダ24B）に対して、上記の第2の行アドレスを行アドレスとして出力する。メモリコントローラ300は、さらに、選択対象のメモリセル10Aに接続されるデコーダ回路（例えば、BLデコーダ23B）に対して、上記の第1の列アドレスを列アドレスとして出力する。メモリコントローラ300は、さらに、選択対象のメモリセル10Aに未接続のデコーダ回路（例えば、BLデコーダ23A）に対して、上記の第2の列アドレスを列アドレスとして出力する。

[0087] メモリコントローラ300は、さらに、WLドライバ22に対して、電圧 V_{reset_h} をWLデコーダ24A, 24Bに出力するための制御信号

を出力する。メモリコントローラ300は、例えば、WLドライバ22のVgsetおよびVgsenseをLowにし、WLドライバ22のVgresetをHighにする。メモリコントローラ300は、さらに、BLドライバ21に対して、電圧Vreset__iをBLデコーダ23A、23Bに出力するための制御信号を出力する。メモリコントローラ300は、例えば、BLドライバ21のVgset1、Vgset2およびVgsenseをLowにし、BLドライバ21のVgresetをHighにする。これにより、選択対象のメモリセル10A（選択メモリセルS）に接続されたデコーダ（例えば、BLデコーダ23BおよびWLデコーダ24A）が、電圧Vreset__hおよび電圧Vreset__iを出力し、その結果、選択メモリセルSに、電圧Vreset__h－電圧Vreset__i（＝リセット電圧）を印加する（図16A、図17の期間T3）。ここで、リセット電圧は、メモリ素子10Mが低抵抗状態から高抵抗状態に変化する消去閾値電圧以上の電圧が選択メモリセルSにおけるメモリ素子10Mに印加されるのに十分な大きさの電圧である。

[0088] 選択メモリセルSに隣接する同一行のメモリセル10A（半選択メモリセルHW）には、半選択メモリセルHWに接続されたデコーダ（例えば、BLデコーダ23AおよびWLデコーダ24A）が、電圧Vpre__b－電圧Vreset__hを印加する。選択メモリセルSに隣接する同一列のメモリセル10A（半選択メモリセルHB）には、半選択メモリセルHBに接続されたデコーダ（例えば、BLデコーダ23BおよびWLデコーダ24B）が、電圧Vreset__i－電圧Vpre__wを印加する。このように、選択メモリセルSには、リセット電圧が印加される。その結果、選択メモリセルSの抵抗が低抵抗から上昇し、高抵抗状態となる。さらに、選択メモリセルSに隣接する各半選択メモリセルHWおよび各半選択メモリセルHBには、リセット電圧よりも小さく、かつメモリセル10Aに抵抗変化が生じない程度に小さな固定電圧が印加される。

[0089] なお、リセット動作では、選択メモリセルSは、低抵抗から高抵抗へと変

化するので、選択メモリセルSに過大な電流が流れる虞は小さい。そのため、リセット電圧を供給するドライバに対して、電流制限回路を設ける必要はない。

[0090] (i v) 抵抗変化

メモリコントローラ300は、次に、選択対象のメモリセル10Aに非接続のデコーダ（例えば、WLデコーダ24BおよびBLデコーダ23A）に対して、各ワード線WLおよび各ビット線BLをフローティング状態にする行アドレスおよび列アドレスを出力する。メモリコントローラ300は、例えば、WLデコーダ24BおよびBLデコーダ23Aの全てのアドレス端子a0, a1, b1, b2, b3, sをLowにする。すると、WLデコーダ24BおよびBLデコーダ23Aに接続された各ワード線WLおよび各ビット線BLがフローティング状態となる（図16B）。

[0091] リセット動作において、選択メモリセルSに印加するリセット電圧は、セット電圧より小さいので、書き込み動作時のような電圧変動が生じたとしても、意図しない抵抗変化が起こる可能性は低いと考えられる。そのため、リセット動作においては、”(i i i) 選択”で与えたりセット電圧が”(i v) 抵抗変化”の工程でも維持される。

[0092] (読み出し動作)

図18Aは、読み出し時にメモリセルアレイ10に印加される電圧の一例を表したものである。図18Bは、読み出し後にメモリセルアレイ10に印加される電圧の一例を表したものである。図19は、読み出し対象のメモリセル10Aにおける電圧波形の一例を表したものである。なお、読み出し動作における(i)プリチャージ、(i i)フローティングは、書き込み動作における(i)プリチャージ、(i i)フローティングと同様である。

[0093] メモリシステム200は、(i)プリチャージ、(i i)フローティング、(i i i)選択、(i v)検出の順に、読み出し動作を実行する。

[0094] (i i i) 選択

メモリコントローラ300は、書き込み動作における(i)プリチャージ

、（*i i*）フローティングと同様の手順を実施した後、選択対象のメモリセル10Aに接続されるデコーダ（例えば、WLデコーダ24A）に対して、第1の行アドレスを行アドレスとして出力する。メモリコントローラ300は、さらに、選択対象のメモリセル10Aに未接続のデコーダ（例えば、WLデコーダ24B）に対して、第2の行アドレスを行アドレスとして出力する。メモリコントローラ300は、さらに、選択対象のメモリセル10Aに接続されるデコーダ回路（例えば、BLデコーダ23B）に対して、第1の列アドレスを列アドレスとして出力する。メモリコントローラ300は、さらに、選択対象のメモリセル10Aに未接続のデコーダ回路（例えば、BLデコーダ23A）に対して、第2の列アドレスを列アドレスとして出力する。

[0095] メモリコントローラ300は、さらに、WLドライバ22に対して、電圧 V_{sense_i} をWLデコーダ24A、24Bに出力するための制御信号を出力する。メモリコントローラ300は、例えば、WLドライバ22の V_{gset} および V_{greset} をLowにし、WLドライバ22の V_{gsense} をHighにする。メモリコントローラ300は、さらに、BLドライバ21に対して、電圧 V_{sense_h} をBLデコーダ23A、23Bに出力するための制御信号を出力する。メモリコントローラ300は、例えば、BLドライバ21の V_{gset1} 、 V_{gset2} および V_{greset} をLowにし、BLドライバ21の V_{gsense} をHighにする。これにより、選択対象のメモリセル10A（選択メモリセルS）に接続されたデコーダ（例えば、BLデコーダ23BおよびWLデコーダ24A）が、電圧 V_{sense_i} および電圧 V_{sense_h} を出力し、その結果、電圧 V_{sense_i} - 電圧 V_{sense_h} の電位差（センス電圧）を印加する（図18A、図19の期間T3）。ここで、センス電圧は、メモリ素子10Mが高抵抗状態から低抵抗状態に変化する書き込み閾値電圧よりも小さな電圧が選択メモリセルSにおけるメモリ素子10Mに印加されるのに十分な大きさの電圧であって、かつスイッチ素子10Sがオフする電圧よりも高い電圧

が選択メモリセルSにおけるスイッチ素子10Sに印加されるのに十分な大きさの電圧である。

[0096] 選択メモリセルSに隣接する同一行のメモリセル10A（半選択メモリセルHW）には、半選択メモリセルHWに接続されたデコーダ（例えば、BLデコーダ23AおよびWLデコーダ24A）が、電圧 V_{pre_b} －電圧 V_{se} ・BR>獅唐・Qiを印加する。選択メモリセルSに隣接する同一列のメモリセル10A（半選択メモリセルHB）には、半選択メモリセルHBに接続されたデコーダ（例えば、BLデコーダ23BおよびWLデコーダ24B）が、電圧 V_{sense_h} －電圧 V_{pre_w} を印加する。このように、選択メモリセルSには、センス電圧が印加される。その結果、選択メモリセルSの抵抗が低抵抗または高抵抗のまま変化しない。さらに、選択メモリセルSに隣接する各半選択メモリセルHWおよび各半選択メモリセルHBには、セット電圧よりも小さく、かつメモリセル10Aが選択されない小さな固定電圧が印加される。

[0097] (i v) 検出

メモリコントローラ300は、次に、選択対象のメモリセル10Aに非接続のデコーダ（例えば、WLデコーダ24BおよびBLデコーダ23A）に対して、各ワード線WLおよび各ビット線BLをフローティング状態にする行アドレスおよび列アドレスを出力する。メモリコントローラ300は、例えば、WLデコーダ24BおよびBLデコーダ23Aの全てのアドレス端子a0, a1, b1, b2, b3, sをLowにする。すると、WLデコーダ24BおよびBLデコーダ23Aに接続された各ワード線WLおよび各ビット線BLがフローティング状態となる（図18B）。

[0098] 読み出し動作において、選択メモリセルSに印加するセンス電圧は、セット電圧より小さいので、書き込み動作時のような電圧変動が生じたとしても、意図しない抵抗変化が起こる可能性は低いと考えられる。そのため、読み出し動作においては、”(i i i) 選択”で与えたセンス電圧が”(i v) 検出”の工程でも維持される。

[0099] ところで、読み出し動作において、カレントミラー回路22Bは、”(i i i) 選択”において、選択されたワード線WLに流れる電流を、規定の電流値”I s e c__c”に制限する。具体的には、選択されたワード線WLに流れる電流がI s e c__c未満の場合には、選択されたワード線WLにV s e n s e__iが印加され、その結果、選択されたワード線WLに流れる電流がI s e c__cに達した場合には、電流がI s e c__cを超えないよう、カレントミラー回路22Bは、選択されたワード線WLの電圧を上昇させる。ここで、I s e c__cは、選択メモリセルSを抵抗変化させてしまわないように、書き込み動作時の”(i v) 抵抗変化”の工程において選択メモリセルSに流す電流よりも、十分低い値が設定される。すなわち、I s e n s e__cは、I s e c__cよりも小さい。

[0100] 選択メモリセルSのスイッチ素子10Sが高抵抗状態となっている場合、センス電圧が選択メモリセルSに印加されても、選択メモリセルSのスイッチ素子10Sには、s e n s e__c未満のわずかな電流しか流れない。そのため、図19の選択WL（選択セル：HRS）の線で示したように、選択されたワード線WLの電圧はV s e n s e__iのまま変化しない。

[0101] 選択メモリセルSのスイッチ素子10Sが低抵抗状態となっている場合、センス電圧が選択メモリセルSに印加されると、選択メモリセルSに流れる電流はI s e n s e__cに達し、選択されたワード線WLの電圧が上昇する。ただし、選択されたワード線WLの電圧上昇が、図19の選択WL（選択セル：LRS, c a s e 1）の線で示したように”(i i i) 選択”の工程において速やかに生じる場合と、図19の選択WL（選択セル：LRS, c a s e 2）の線で示したように、”(i v) 検出”の工程に入って一定の時間が経過した後に生じる場合がある。図19の選択WL（選択セル：LRS, c a s e 2）は、特に、半選択状態のメモリセルに流れる電流によって、選択されたビット線BL及び選択されたワード線WLに電圧降下が生じ、選択メモリセルSの両端に十分な電圧が加わらなかった場合に起こる。このような場合、”(i v) 検出”の工程に入って一定時間が経過し、フローティング状

態にある非選択のビット線BL及び非選択のワード線WLの電圧が変動すると、半選択メモリセルに流れる電流が減少して電圧降下が小さくなり、選択メモリセルSに十分な電圧が印加されると共に I_{sense_c} が流れ、選択されたワード線WLの電圧が上昇する。図19の選択WL（選択セル：LRS, case 2）のように、選択されたビット線BL及び選択されたワード線WLにおける電圧降下が顕著で無い場合は、図19の選択WL（選択セル：LRS, case 2）の線で示したように、速やかに選択されたワード線WLの電圧上昇が起こる。

[0102] WLドライバ21がワード線WLを選択しているとき、そのワード線WLには、読み出し回路26も接続されている。基準電圧 V_{ref} が図19に示した位置に設定されている場合には、読み出し回路26は、選択されたワード線WLの電圧が基準電圧 V_{ref} に対して高いか低いかを判定することができる。この場合、選択されたワード線WLの電圧が基準電圧 V_{ref} より高い場合には、選択メモリセルSが低抵抗状態となっていると判断し、選択されたワード線WLの電圧が基準電圧 V_{ref} より低い場合には、選択メモリセルSが高抵抗状態となっていると判断することができる。読み出し回路26は、図19の選択WL（選択セル：LRS, case 2）の線の例を考慮すると、このような判定を、図19中の T_{sense1} のタイミングよりは、図19中の T_{sense2} のタイミングで行うことが望ましい。図19の選択WL（選択セル：LRS, case 2）の線の例が生じる確率が非常に低い場合には、読み出し回路26は、図19中の T_{sense1} のタイミングで上記の判定を行ってもよい。このとき、“(iv) 検出”の工程が省略されてもよい。

[0103] [効果]

次に、本実施の形態のメモリシステム200の効果について説明する。

[0104] 図11に記載のデコーダのポストデコーダPstDでは、他の出力端子lineとは共用されない、1つ出力端子line専用のスイッチ素子が、配線lineごとに2つずつ設けられている。つまり、図11に記載のデコー

ダは、2Tデコーダである。そのため、図11に記載のデコーダでは、ポストデコーダPstDにおけるスイッチ素子の数の多さに起因して、ポストデコーダPstDの回路面積が大きくなってしまう。

[0105] 一方、本実施の形態のメモリシステム200では、選択対象メモリセルSに接続されるワード線WL（選択されるワード線WL）と、選択されるワード線WLに隣接するワード線WLとには、互いに独立した回路で構成された2つのデコーダ回路（デコーダ回路24A、24B）が1つずつ接続される。さらに、本実施の形態のメモリシステム200では、選択対象メモリセルSに接続されるビット線BL（選択されるビット線BL）と、ビット線BLに隣接するビット線BLとには、互いに独立した回路で構成された2つのデコーダ回路（デコーダ回路23A、23B）が1つずつ接続される。これにより、デコーダ回路24Aから出力される電圧と、デコーダ回路24Bから出力される電圧とを互いに異ならせることにより、選択されるワード線WLと、選択されるワード線WLに隣接するワード線WLとに対して、互いに異なる2種類の電圧を印加することができる。同様に、デコーダ回路23Aから出力される電圧と、デコーダ回路23Bから出力される電圧とを互いに異ならせることにより、選択されるビット線BLと、選択されるビット線BLに隣接するビット線BLとに対して、互いに異なる2種類の電圧を印加することができる。これにより、選択メモリセルSへアクセス電圧が印加されたときに、配線間の容量性結合による非選択メモリの電圧変動を抑えることができる。

[0106] また、本実施の形態のメモリシステム200では、選択されるワード線WLと、選択されるワード線WLに隣接するワード線WLとが互いに異なるデコーダ回路（デコーダ回路24A、24B）によって駆動される。さらに、選択されるビット線BLと、選択されるビット線BLに隣接するビット線BLとが互いに異なるデコーダ回路（デコーダ回路23A、23B）によって駆動される。これにより、各デコーダ回路（デコーダ回路24A、24Bおよびデコーダ回路23A、23B）として、各配線あたり、1個のスイッチ

素子 10S を備えたデコーダ回路を用いればよく、各配線あたり、少なくとも 2 個のスイッチ素子を備えたデコーダ回路を用いる必要がない。従って、デコーダ回路のフロア面積の増大を抑えつつ、配線間の容量性結合の影響を抑えることができる。

[0107] < 2. 変形例 >

以下に、上記実施の形態のメモリセルアレイユニット 400、または上記実施の形態のメモリシステム 200 の変形例について説明する。なお、以下では、上記実施の形態と共通の構成要素に対しては、上記実施の形態で付されていた符号と同一の符号が付される。また、上記実施の形態と異なる構成要素の説明を主に行い、上記実施の形態と共通の構成要素の説明については、適宜、省略するものとする。

[0108] [変形例 A]

図 20 は、上記実施の形態のメモリセルアレイユニット 400 の機能ブロックの一変形例を表したものである。本変形例のメモリセルアレイユニット 400 は、プリチャージ回路 25 の代わりに Vcom 回路 27 を備えている点で、上記実施の形態のメモリセルアレイユニット 400 の構成と相違する。そこで、以下では、Vcom 回路 27 に関係する内容について主に説明し、それ以外の説明については、適宜、省略するものとする。

[0109] 図 21 は、Vcom 回路 27 の回路構成の一例を表したものである。Vcom 回路 27 は、プリチャージ回路 25 において常に端子 Vg1, Vg2 に Low が印加されているときのプリチャージ回路 25 の機能と同等の機能を有するものである。Vcom 回路 27 は、メモリコントローラ 300 による制御に従って、電源回路 500 から供給される 1 種類の電圧 (Vcom) を、各デコーダ回路 (デコーダ回路 24A, 24B およびデコーダ回路 23A, 23B) の入力端子 com に出力する。従って、本変形例では、” (i) プリチャージ ” の工程が設けられておらず、” (i i) フローティング ” の工程から、書き込み動作、リセット動作および読み取り動作が行われる。ただし、本変形例では、” (i i) フローティング ” の工程の最初に、各デコーダ回路 (

デコーダ回路 23 A またはデコーダ回路 23 B) が、電圧 V_{pre_w} 、電圧 V_{pre_b} の代わりに、電圧 V_{com} を出力する。つまり、各デコーダ回路 (デコーダ回路 23 A またはデコーダ回路 23 B) が、電圧値の互いに等しい電圧 (電圧 V_{com}) を出力する。

[0110] 本変形例では、プリチャージが省略されるとともに、各デコーダ回路 (デコーダ回路 23 A またはデコーダ回路 23 B) が、電圧 V_{pre_w} 、電圧 V_{pre_b} の代わりに、電圧 V_{com} を出力する。これにより、各デコーダ回路 (デコーダ回路 23 A またはデコーダ回路 23 B) が、繰り返し、メモリセルアレイ 10 にアクセスする場合に、メモリセルアレイ 10 にアクセスする度に、プリチャージを行う必要がない。

[0111] また、本変形例では、デコーダ回路 23 A がメモリセルアレイ 10 にアクセスしている間、デコーダ回路 23 B が常に、非選択のビット線 BL およびワード線 WL に V_{com} を出力している。さらに、選択されたビット線 BL およびワード線 WL から、フローティング状態の非選択のビット線 BL およびワード線 WL に流出入する電流の一部は、配線間の寄生容量の充電に寄与する事が無い。さらに、上記電流の一部は、フローティング状態にある非選択のビット線 BL と、 V_{com} が印加された非選択のワード線 WL との間、または、フローティング状態にある非選択のワード線 WL と、 V_{com} が印加された非選択のビット線 BL との間に接続された非選択のメモリセル 10 A に流れる。そのため、フローティング状態にある非選択の配線に生じる電圧変化は、プリチャージが行われる上記実施の形態の場合と比べて、非常に小さい。

[0112] 従って、本変形例では、各デコーダ回路 (デコーダ回路 23 A またはデコーダ回路 23 B) が、繰り返し、メモリセルアレイ 10 にアクセスする際の遅延時間を少なくすることができる。ただし、アクセス電圧印加中に半選択メモリセルに流れる電流量が、上記実施の形態においてアクセス電圧印加中に半選択メモリセルに流れる電流量よりも大きくなる。そのため、アクセス電圧印加中の消費電力量の観点では、本変形例よりも、上記実施の形態の方

が優れている。

[0113] なお、本変形例において、V c o m回路27の代わりに、プリチャージ回路25が設けられていてもよい。ただし、その場合には、メモリコントローラ300は、プリチャージ回路25の端子V g 1, V g 2に対して常にL o wを出力し、V c o m回路27と同様の機能を有するものとして、プリチャージ回路25を利用してもよい。

[0114] [変形例B]

図26は、本変形例に係るメモリシステム200における書き込み手順の一例を表したものである。上記実施の形態において、メモリコントローラ300は、書き込みに失敗したときだけ、プリチャージを行った上で、選択メモリセルSへの書き込みを行ってもよい。

[0115] メモリコントローラ300は、最初に、プリチャージを省略して、選択対象のメモリセル10A（選択メモリセルS）への書き込みを行う（ステップS101）。具体的には、メモリコントローラ300は、最初の書き込み動作の際には、プリチャージ回路25の端子V g 1, V g 2に対して常にL o wを出力し、V c o m回路27と同様の機能を有するものとして、プリチャージ回路25を利用する。つまり、メモリコントローラ300は、最初の書き込み動作の際には、プリチャージ回路25に対して、電源回路500から供給される1種類の電圧（V c o m）を、各デコーダ回路（デコーダ回路24A, 24Bおよびデコーダ回路23A, 23B）の入力端子c o mに出力するよう、制御信号を出力する。従って、プリチャージ回路25は、最初の書き込み動作の際には、メモリコントローラ300による制御に従って、電圧値の互いに等しい電圧V c o mを、各デコーダ回路（デコーダ回路24A, 24Bおよびデコーダ回路23A, 23B）の入力端子c o mに出力する。

[0116] メモリコントローラ300は、電圧値の互いに等しい電圧V c o mを各デコーダ回路（デコーダ回路24A, 24Bおよびデコーダ回路23A, 23B）の入力端子c o mに出力するよう、プリチャージ回路25を制御した結果、選択メモリセルSへの書き込みが成功したか否か判定する（ステップS

102)。具体的には、メモリコントローラ300は、選択メモリセルSが低抵抗状態か否かを判定する。その結果、選択メモリセルSが低抵抗状態である場合には、メモリコントローラ300は、選択メモリセルSへの書き込みが成功したことをホストコンピュータ100に通知する（ステップS103）。

[0117] 選択メモリセルSが高抵抗状態である場合には、メモリコントローラ300は、プリチャージを行った上で、選択メモリセルSへの書き込みを再度、行う（ステップS104）。その後、メモリコントローラ300は、選択メモリセルSへの書き込みが成功したか否かを判定する。具体的には、メモリコントローラ300は、選択メモリセルSが低抵抗状態か否かを判定する（ステップS105）。その結果、選択メモリセルSが低抵抗状態である場合には、メモリコントローラ300は、選択メモリセルSへの書き込みが成功したことをホストコンピュータ100に通知する（ステップS103）。選択メモリセルSが高抵抗状態である場合には、メモリコントローラ300は、選択メモリセルSへの書き込みが失敗したことをホストコンピュータ100に通知する（ステップS106）。

[0118] 本変形例では、選択メモリセルSへの最初の書き込みのときだけ、プリチャージが省略される。これにより、書き込み失敗が頻発するのを抑制しつつ、各デコーダ回路（デコーダ回路23Aまたはデコーダ回路23B）が、繰り返し、メモリセルアレイ10にアクセスする際の遅延時間を少なくすることができる。

[0119] [変形例C]

図27は、本変形例に係るメモリシステム200における書き込み手順の一例を表したものである。上記実施の形態および変形例A、Bにおいて、メモリコントローラ300は、選択メモリセルSの物理的位置に応じて、電圧値の互いに異なる2種類の電圧（電圧 V_{pre_w} 、電圧 V_{pre_b} ）、または、電圧値の互いに等しい電圧（電圧 V_{com} ）を出力するよう、プリチャージ回路25を制御してもよい。

[0120] 具体的には、メモリコントローラ300は、まず、選択メモリセルSの書き込み位置を検出する（ステップS201）。次に、メモリコントローラ300は、選択メモリセルSの書き込み位置が、各デコード回路（デコード回路23Aまたはデコード回路23B）の位置から規定の距離以上離れているか否か判定する（ステップS202）。選択メモリセルSの書き込み位置が、各デコード回路の位置から規定の距離以上離れていない場合には、メモリコントローラ300は、プリチャージを省略して、選択メモリセルSへの書き込みを行う（ステップS203）。選択メモリセルSの書き込み位置が、各デコード回路の位置から規定の距離以上離れている場合には、メモリコントローラ300は、プリチャージをおこなった上で、選択メモリセルSへの書き込みを行う（ステップS204）。

[0121] 本変形例では、選択メモリセルSの書き込み位置に応じて、プリチャージが省略される。これにより、書き込み失敗が頻発するのを抑制しつつ、各デコード回路（デコード回路23Aまたはデコード回路23B）が、繰り返し、メモリセルアレイ10にアクセスする際の遅延時間を少なくすることができる。

[0122] [変形例D]

図28、図29、図30は、本変形例に係るプリチャージ回路25の回路構成の一変形例を表したものである。プリチャージ回路25は、例えば、図28に示したように、ビット線BL用のプリチャージ回路と、ワード線WL用のプリチャージ回路とを互いに別体で有していてもよい。また、例えば、図29、または、図30に示したプリチャージ回路を、ビット線BL用と、ワード線WL用とでそれぞれ設けてもよい。このようにした場合には、プリチャージ時に、ビット線BLの電圧と、プリチャージの電圧とを互いに独立に制御することができる。

[0123] [変形例E]

図31は、本変形例に係るメモリセルアレイ10の斜視構成の一例を表したものである。図32は、図31のメモリセルアレイ10の等価回路の一例

を表したものである。上記実施の形態およびその変形例では、複数のメモリセル１０Ａが積層配置となっていた。しかし、例えば、図３１に示したように、上記実施の形態およびその変形例において、複数のメモリセル１０Ａが単層配置となってもよい。このとき、メモリセルアレイ１０において、例えば、図３１に示したように、複数の垂直ビット線ＶＢＬおよび複数のワード線ＷＬが、水平面内において、所定の間隙を介して互いに対向配置されていてもよい。さらに、各メモリセル１０Ａが、例えば、図３１に示したように、水平面内において、垂直ビット線ＶＢＬおよびワード線ＷＬによって挟み込まれていてもよい。つまり、本変形例において、メモリセルアレイ１０は、上記実施の形態およびその変形例と同様に、Ｖ３Ｄ構造を備えていてもよい。

[0124] また、上記実施の形態およびその変形例では、ワード線ＷＬ用のデコーダと、ビット線ＢＬ用のデコーダが、それぞれ、２つずつ、設けられていた。しかし、例えば、図３２に示したように、上記実施の形態およびその変形例において、ワード線ＷＬ用のデコーダと、ビット線ＢＬ用のデコーダが、３つずつ以上、設けられていてもよい。なお、図３２の等価回路において、各メモリセル１０Ａが同一層内に設けられている。メモリセルアレイ１０は、図３２のように等価回路で表現した場合には、クロスポイントメモリセルアレイと等価であることがわかる。

[0125] 以上、実施の形態およびその変形例Ａ～Ｅを挙げて本技術を説明したが、本技術は上記実施の形態等に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本技術の効果は、本明細書中に記載された効果に限定されるものではない。本技術が、本明細書中に記載された効果以外の効果を持ってもよい。

[0126] 例えば、上記実施の形態およびその変形例において、プリチャージ回路２５に用いられるスイッチ素子は、例えば、ＮＭＯＳトランジスタ、ＰＭＯＳトランジスタなどで構成されている。また、例えば、上記実施の形態およびその変形例Ａ～Ｅにおいて、プリチャージ回路２５に用いられるスイッチ素

子が、NMOSトランジスタおよびPMOSトランジスタを対にしてソースおよびドレインを結線したCMOSアナログスイッチで構成されていてもよい。

[0127] また、例えば、上記実施の形態およびその変形例において、行方向のデコーダ回路の数が、3つ以上となってもよい。また、例えば、上記実施の形態およびその変形例A～Eにおいて、列方向のデコーダ回路の数が、3つ以上となってもよい。

[0128] また、例えば、上記実施の形態およびその変形例において、WLデコーダ24Bが省略され、WLデコーダ24Aが全てのワード線WLに接続されていてもよい。このようにした場合には、例えば、WLデコーダ24Aが選択メモリセルSに接続されたワード線WLを選択し、各ワード線WLの電位が安定した後に、BLデコーダ23A、23bが選択メモリセルSに接続されたビット線WLを選択してもよい。これにより、複数のビット線WLにおいて、各ワード線WLの電位の変動に起因するクロストークが発生するのを抑制することができる。

[0129] また、例えば、上記実施の形態およびその変形例において、読み取り回路26が、図7に記載したように、WLドライバ22のC点に接続されていてもよい。このようにした場合には、リセット動作や、書き込み動作の際に、 V_{gsense} をLowにすることにより、読み取り回路26を、ワード線WLから切り離すことができる。

[0130] また、例えば、上記実施の形態およびその変形例において、メモリコントローラ300は、プリチャージ回路25の端子 V_{gcom} をHighにして、各ビット線BLおよび各ワード線WLの電圧を電圧 V_{com} にする代わりに、プリチャージ回路25の端子 V_{g0} 、 V_{g3} をHighにしてもよい。このとき、プリチャージ回路25において、端子 V_{gcom} の接続されたスイッチ素子が省略されていてもよい。このようにした場合であっても、プリチャージ回路25の端子 V_{g0} 、 V_{g3} をHighにすることにより、各ビット線BLおよび各ワード線WLの電圧を V_{com} に近い値にすることがで

きる。

[0131] 上記実施の形態およびその変形例では、メモリセルアレイ 10 は、V3D 構造となっていた。しかし、上述したように、メモリセルアレイ 10 は、等価回路で表現した場合には、クロスポイント構造と等価である。従って、本開示は、V3D 構造のメモリセルアレイだけでなく、クロスポイント構造のメモリセルアレイにも適用可能である。

[0132] また、例えば、本技術は以下のような構成を取ることができる。

(1)

互いに直列接続された選択素子および可変抵抗素子を含む電流経路を有し、行列状に配置された複数のメモリセルと、

行方向に延在し、各前記電流経路の一端に接続された複数の行配線と、

列方向に延在し、各前記電流経路の他端に接続された複数の列配線と、

各偶数行の前記行配線に接続された第 1 デコーダ回路と、

各奇数行の前記行配線に接続された第 2 デコーダ回路と、

各偶数列の前記列配線に接続された第 3 デコーダ回路と、

各奇数列の前記列配線に接続された第 4 デコーダ回路と、

前記第 1 デコーダ回路、前記第 2 デコーダ回路、前記第 3 デコーダ回路および前記第 4 デコーダ回路に印加する電圧を制御する電圧制御回路と、

前記電圧制御回路を制御するとともに、前記第 1 デコーダ回路、前記第 2 デコーダ回路、前記第 3 デコーダ回路、前記第 4 デコーダ回路を互いに独立に制御するコントローラと

を備えた

メモリシステム。

(2)

前記第 1 デコーダ回路および前記第 2 デコーダ回路は、2 つの第 1 の電圧入力端子と、複数の第 1 のアドレス入力端子とを有し、複数の前記第 1 のアドレス入力端子に入力された行アドレスのデコードを行うことにより、複数の前記行配線と、複数の前記第 1 の電圧入力端子との接続態様を設定し、

前記第3デコーダ回路および前記第4デコーダ回路は、2つの第2の電圧入力端子と、複数の第2のアドレス入力端子とを有し、複数の前記第2のアドレス入力端子に入力された列アドレスのデコードを行うことにより、複数の前記列配線と、複数の前記第2の電圧入力端子との接続態様を設定し、

前記コントローラは、前記行アドレスおよび前記列アドレスを生成し、前記第1デコーダ回路、前記第2デコーダ回路、前記第3デコーダ回路および前記第4デコーダ回路に出力する

(1)に記載のメモリシステム。

(3)

前記第1デコーダ回路および前記第2デコーダ回路は、前記行配線ごとに1つずつ設けられた前記デコードのための複数の第1のスイッチ素子を、割り当てられた前記行配線の数だけ有し、

前記第3デコーダ回路および前記第4デコーダ回路は、前記列配線ごとに1つずつ設けられた前記デコードのための複数の第2のスイッチ素子を、割り当てられた前記列配線の数だけ有する

(2)に記載のメモリシステム。

(4)

前記電圧制御回路は、第1電圧および第2電圧を前記第1デコーダ回路および前記第2デコーダ回路の2つの前記第1の電圧入力端子に出力するとともに、第3電圧および第4電圧を前記第3デコーダ回路および前記第4デコーダ回路の2つの前記第2の電圧入力端子に出力する

(2)または(3)に記載のメモリシステム。

(5)

前記コントローラは、前記第1デコーダ回路および前記第2デコーダ回路のうち、選択対象の前記メモリセルに接続されたデコーダ回路に対して、第1の行アドレスを前記行アドレスとして出力し、

前記コントローラは、さらに、前記第1デコーダ回路および前記第2デコーダ回路のうち、選択対象の前記メモリセルに未接続のデコーダ回路に対し

て、第2の行アドレスを前記行アドレスとして出力し、

前記第1の行アドレスは、選択対象の前記メモリセルに接続された前記行配線を前記第1電圧が出力される前記第1の電圧入力端子に接続するとともに、選択対象の前記メモリセルに未接続の各前記行配線をフローティング状態にする行アドレスであり、

前記第2の行アドレスは、複数の前記行配線のうち、少なくとも、選択対象の前記メモリセルに接続された前記行配線に隣接する各前記行配線の電圧を前記第2電圧に設定する行アドレスである

(2) ないし(4)のいずれか1つに記載のメモリシステム。

(6)

前記コントローラは、前記第3デコーダ回路および前記第4デコーダ回路のうち、選択対象の前記メモリセルに接続されたデコーダ回路に対して、第1の列アドレスを前記列アドレスとして出力し、

前記コントローラは、さらに、前記第3デコーダ回路および前記第4デコーダ回路のうち、選択対象の前記メモリセルに未接続のデコーダ回路に対して、第2の列アドレスを前記列アドレスとして出力し、

前記第1の列アドレスは、選択対象の前記メモリセルに接続された前記列配線を前記第3電圧が出力される前記第2の電圧入力端子に接続するとともに、選択対象の前記メモリセルに未接続の各前記列配線をフローティング状態にする列アドレスであり、

前記第2の列アドレスは、複数の前記列配線のうち、少なくとも、選択対象の前記メモリセルに接続された前記列配線に隣接する各前記列配線の電圧を前記第4電圧に設定する列アドレスである

(5)に記載のメモリシステム。

(7)

前記電圧制御回路は、選択対象の前記メモリセルに対してデータが書き込まれるときには、前記可変抵抗素子が高抵抗状態から低抵抗状態に変化する書き込み閾値電圧以上の電圧が選択対象の前記メモリセルにおける前記可変

抵抗素子に印加されるのに十分な大きさの電圧を、前記第 1 電圧および前記第 3 電圧として出力する

(6) に記載のメモリシステム。

(8)

前記電圧制御回路は、選択対象の前記メモリセルのデータが読み出されるときには、前記閾値電圧よりも小さな電圧が選択対象の前記メモリセルにおける前記可変抵抗素子に印加されるのに十分な大きさの電圧であって、かつ前記選択素子がオフする電圧よりも高い電圧が選択対象の前記メモリセルにおける前記選択素子に印加されるのに十分な大きさの電圧を、前記第 1 電圧および前記第 3 電圧として出力する

(7) に記載のメモリシステム。

(9)

前記コントローラは、前記第 1 デコーダ回路および前記第 2 デコーダ回路に対して、各前記行配線を前記第 2 電圧が出力される前記第 1 の電圧入力端子に接続する第 3 の行アドレスを前記行アドレスとして出力するとともに、前記第 3 デコーダ回路および前記第 4 デコーダ回路に対して、各前記列配線の電圧を前記第 4 電圧が出力される前記第 2 の電圧入力端子に接続する第 3 の列アドレスを前記列アドレスとして出力した後に、前記第 1 デコーダ回路および前記第 2 デコーダ回路に対して、前記第 1 の行アドレスおよび前記第 2 の行アドレスを出力するとともに、前記第 3 デコーダ回路および前記第 4 デコーダ回路に対して、前記第 1 の列アドレスおよび前記第 2 の列アドレスを出力する

(6) ないし (8) のいずれか 1 つに記載のメモリシステム。

(10)

前記電圧制御回路は、電圧値の互いに異なる 2 種類の電圧を、前記第 2 電圧および前記第 4 電圧として出力する

(6) ないし (8) のいずれか 1 つに記載のメモリシステム。

(11)

前記電圧制御回路は、電圧値の互いに等しい電圧を、前記第2電圧および前記第4電圧として出力する

(6) ないし(8)のいずれか1つに記載のメモリシステム。

(12)

前記コントローラは、選択対象の前記メモリセルの物理的位置に応じて、電圧値の互いに異なる2種類の電圧、または、電圧値の互いに等しい電圧を、前記第2電圧および前記第4電圧として出力するよう、前記電圧制御回路を制御する

(6) ないし(8)のいずれか1つに記載のメモリシステム。

(13)

前記コントローラは、電圧値の互いに等しい電圧を、前記第2電圧および前記第4電圧として出力するよう、前記電圧制御回路を制御した結果、選択対象の前記メモリセルへの書き込みに失敗した場合には、電圧値の互いに異なる2種類の電圧を、前記第2電圧および前記第4電圧として出力するよう、前記電圧制御回路を制御した上で、選択対象の前記メモリセルへの書き込みを再度行う

(6) ないし(8)のいずれか1つに記載のメモリシステム。

(14)

前記コントローラは、選択対象の前記メモリセルの選択が行われた後、選択対象の前記メモリセルに未接続の各前記行配線および各前記列配線をフローティング状態に設定する第3の行アドレスを、前記行アドレスとして出力する

(6) ないし(8)のいずれか1つに記載のメモリシステム。

(15)

前記コントローラは、選択対象の前記メモリセルの選択が行われた後、選択対象の前記メモリセルに接続された前記列配線の電圧を前記第3電圧よりも小さな電圧に設定する第3の列アドレスを、前記列アドレスとして出力する

(6) ないし (8) のいずれか 1 つに記載のメモリシステム。

(16)

互いに直列接続された選択素子および可変抵抗素子を含む電流経路を有し、
行列状に配置された複数のメモリセルと

行方向に延在し、各前記電流経路の一端に接続された複数の行配線と、

列方向に延在し、各前記電流経路の他端に接続された複数の列配線と、

各偶数行の前記行配線に接続された第 1 デコーダ回路と、

各奇数行の前記行配線に接続された第 2 デコーダ回路と、

各偶数列の前記列配線に接続された第 3 デコーダ回路と、

各奇数列の前記列配線に接続された第 4 デコーダ回路と

を備え、

前記第 1 デコーダ回路、前記第 2 デコーダ回路、前記第 3 デコーダ回路、
前記第 4 デコーダ回路は、それぞれ、互いに独立した回路で構成されている
メモリ装置。

(17)

互いに直列接続された選択素子および可変抵抗素子を含む電流経路を有し、
行列状に配置された複数のメモリセルと、

行方向に延在し、各前記電流経路の一端に接続された複数の行配線と、

列方向に延在し、各前記電流経路の他端に接続された複数の列配線と、

各偶数行の前記行配線に接続された第 1 デコーダ回路と、

各奇数行の前記行配線に接続された第 2 デコーダ回路と、

各偶数列の前記列配線に接続された第 3 デコーダ回路と、

各奇数列の前記列配線に接続された第 4 デコーダ回路と、

を備えたメモリ装置におけるメモリ制御方法であって、

前記第 1 デコーダ回路、前記第 2 デコーダ回路、前記第 3 デコーダ回路、
前記第 4 デコーダ回路を互いに独立に制御すること

を含む

メモリ制御方法。

(18)

前記第1デコーダ回路および前記第2デコーダ回路のうち、選択対象の前記メモリセルに接続されたデコーダ回路から、選択対象の前記メモリセルに接続された前記行配線に前記第1電圧を出力するとともに、選択対象の前記メモリセルに未接続の各前記行配線をフローティング状態にすることと、

前記第1デコーダ回路および前記第2デコーダ回路のうち、選択対象の前記メモリセルに未接続のデコーダ回路から、複数の前記行配線のうち、少なくとも、選択対象の前記メモリセルに接続された前記行配線に隣接する各前記行配線に前記第2電圧を出力すること

と、

前記第3デコーダ回路および前記第4デコーダ回路のうち、選択対象の前記メモリセルに接続されたデコーダ回路から、選択対象の前記メモリセルに接続された前記列配線に前記第3電圧を出力するとともに、選択対象の前記メモリセルに未接続の各前記列配線をフローティング状態にすることと、

前記第3デコーダ回路および前記第4デコーダ回路のうち、選択対象の前記メモリセルに未接続のデコーダ回路から、複数の前記列配線のうち、少なくとも、選択対象の前記メモリセルに接続された前記列配線に隣接する各前記列配線に前記第4電圧を出力することと

を含む

(17)に記載のメモリ制御方法。

(19)

前記可変抵抗素子が高抵抗状態から低抵抗状態に変化する書き込み閾値電圧以上の電圧が選択対象の前記メモリセルにおける前記可変抵抗素子に印加されるのに十分な大きさの電圧を、前記第1電圧および前記第3電圧として、選択対象の前記メモリセルに接続された前記行配線および前記列配線に印加することにより、選択対象の前記メモリセルに対してデータを書き込むこと

を含む

(18)に記載のメモリ制御方法。

(20)

前記閾値電圧よりも小さな電圧が選択対象の前記メモリセルにおける前記可変抵抗素子に印加されるのに十分な大きさの電圧であって、かつ前記選択素子がオフする電圧よりも高い電圧が選択対象の前記メモリセルにおける前記選択素子に印加されるのに十分な大きさの電圧を、前記第1電圧および前記第3電圧として、選択対象の前記メモリセルに接続された前記行配線および前記列配線に印加することにより、選択対象の前記メモリセルのデータを読み出すこと

を含む

(19)に記載のメモリ制御方法。

(21)

前記第1デコーダ回路および前記第2デコーダ回路から、各前記行配線に前記第2電圧を出力するとともに、前記第3デコーダ回路および前記第4デコーダ回路から、各前記列配線に前記第4電圧を出力した後に、以下の4つを行うこと

を含む

(18)に記載のメモリ制御方法。

(A) 前記第1デコーダ回路および前記第2デコーダ回路のうち、選択対象の前記メモリセルに接続されたデコーダ回路から、選択対象の前記メモリセルに接続された前記行配線に前記第1電圧を出力するとともに、選択対象の前記メモリセルに未接続の各前記行配線をフローティング状態にすること

(B) 前記第1デコーダ回路および前記第2デコーダ回路のうち、選択対象の前記メモリセルに未接続のデコーダ回路から、複数の前記行配線のうち、少なくとも、選択対象の前記メモリセルに接続された前記行配線に隣接する各前記行配線に前記第2電圧を出力すること

(C)

前記第3デコーダ回路および前記第4デコーダ回路のうち、選択対象の前記

メモリセルに接続されたデコーダ回路から、選択対象の前記メモリセルに接続された前記列配線に前記第3電圧を出力するとともに、選択対象の前記メモリセルに未接続の各前記列配線をフローティング状態にすること

(D) 前記第3デコーダ回路および前記第4デコーダ回路のうち、選択対象の前記メモリセルに未接続のデコーダ回路から、複数の前記列配線のうち、少なくとも、選択対象の前記メモリセルに接続された前記列配線に隣接する各前記列配線に前記第4電圧を出力すること

(22)

前記第2電圧および前記第4電圧は、互いに異なっている

(21)に記載のメモリ制御方法。

(23)

前記第2電圧および前記第4電圧は、互いに等しくなっている

(21)に記載のメモリ制御方法。

(24)

選択対象の前記メモリセルの物理的位置に応じて、前記第2電圧および前記第4電圧を互いに異ならせたり、互いに等しくしたりすること

を含む

(21)に記載のメモリ制御方法。

(25)

前記第2電圧および前記第4電圧を互いに異ならせた結果、選択対象の前記メモリセルへの書き込みに失敗した場合には、前記第2電圧および前記第4電圧を互いに等しくした上で、選択対象の前記メモリセルへの書き込みを再度行うこと

を含む

(21)に記載のメモリ制御方法。

(26)

選択対象の前記メモリセルの選択が行われた後、選択対象の前記メモリセルに未接続の各前記行配線および各前記列配線をフローティング状態にする

こと

を含む

(21) に記載のメモリ制御方法。

(27)

選択対象の前記メモリセルの選択が行われた後、選択対象の前記メモリセルに接続された前記列配線の電圧を前記第3電圧よりも小さな電圧にすること

を含む

(21) に記載のメモリ制御方法。

[0133] 本出願は、日本国特許庁において2015年4月27日に出願された日本特許出願番号第2015-090176号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0134] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 互いに直列接続された選択素子および可変抵抗素子を含む電流経路を有し、行列状に配置された複数のメモリセルと、
行方向に延在し、各前記電流経路の一端に接続された複数の行配線と、
列方向に延在し、各前記電流経路の他端に接続された複数の列配線と、
各偶数行の前記行配線に接続された第1デコーダ回路と、
各奇数行の前記行配線に接続された第2デコーダ回路と、
各偶数列の前記列配線に接続された第3デコーダ回路と、
各奇数列の前記列配線に接続された第4デコーダ回路と、
前記第1デコーダ回路、前記第2デコーダ回路、前記第3デコーダ回路および前記第4デコーダ回路に印加する電圧を制御する電圧制御回路と、
前記電圧制御回路を制御するとともに、前記第1デコーダ回路、前記第2デコーダ回路、前記第3デコーダ回路、前記第4デコーダ回路を互いに独立に制御するコントローラと
を備えた
メモリシステム。
- [請求項2] 前記第1デコーダ回路および前記第2デコーダ回路は、2つの第1の電圧入力端子と、複数の第1のアドレス入力端子とを有し、複数の前記第1のアドレス入力端子に入力された行アドレスのデコードを行うことにより、複数の前記行配線と、複数の前記第1の電圧入力端子との接続態様を設定し、
前記第3デコーダ回路および前記第4デコーダ回路は、2つの第2の電圧入力端子と、複数の第2のアドレス入力端子とを有し、複数の前記第2のアドレス入力端子に入力された列アドレスのデコードを行うことにより、複数の前記列配線と、複数の前記第2の電圧入力端子

との接続態様を設定し、

前記コントローラは、前記行アドレスおよび前記列アドレスを生成し、前記第1デコーダ回路、前記第2デコーダ回路、前記第3デコーダ回路および前記第4デコーダ回路に出力する

請求項1に記載のメモリシステム。

[請求項3] 前記第1デコーダ回路および前記第2デコーダ回路は、前記行配線ごとに1つずつ設けられた前記デコードのための複数の第1のスイッチ素子を、割り当てられた前記行配線の数だけ有し、

前記第3デコーダ回路および前記第4デコーダ回路は、前記列配線ごとに1つずつ設けられた前記デコードのための複数の第2のスイッチ素子を、割り当てられた前記列配線の数だけ有する

請求項2に記載のメモリシステム。

[請求項4] 前記電圧制御回路は、第1電圧および第2電圧を前記第1デコーダ回路および前記第2デコーダ回路の2つの前記第1の電圧入力端子に出力するとともに、第3電圧および第4電圧を前記第3デコーダ回路および前記第4デコーダ回路の2つの前記第2の電圧入力端子に出力する

請求項2に記載のメモリシステム。

[請求項5] 前記コントローラは、前記第1デコーダ回路および前記第2デコーダ回路のうち、選択対象の前記メモリセルに接続されたデコーダ回路に対して、第1の行アドレスを前記行アドレスとして出力し、

前記コントローラは、さらに、前記第1デコーダ回路および前記第2デコーダ回路のうち、選択対象の前記メモリセルに未接続のデコーダ回路に対して、第2の行アドレスを前記行アドレスとして出力し、

前記第1の行アドレスは、選択対象の前記メモリセルに接続された前記行配線を前記第1電圧が出力される前記第1の電圧入力端子に接続するとともに、選択対象の前記メモリセルに未接続の各前記行配線をフローティング状態にする行アドレスであり、

前記第2の行アドレスは、複数の前記行配線のうち、少なくとも、選択対象の前記メモリセルに接続された前記行配線に隣接する各前記行配線の電圧を前記第2電圧に設定する行アドレスである

請求項4に記載のメモリシステム。

[請求項6]

前記コントローラは、前記第3デコーダ回路および前記第4デコーダ回路のうち、選択対象の前記メモリセルに接続されたデコーダ回路に対して、第1の列アドレスを前記列アドレスとして出力し、

前記コントローラは、さらに、前記第3デコーダ回路および前記第4デコーダ回路のうち、選択対象の前記メモリセルに未接続のデコーダ回路に対して、第2の列アドレスを前記列アドレスとして出力し、

前記第1の列アドレスは、選択対象の前記メモリセルに接続された前記列配線を前記第3電圧が出力される前記第2の電圧入力端子に接続するとともに、選択対象の前記メモリセルに未接続の各前記列配線をフローティング状態にする列アドレスであり、

前記第2の列アドレスは、複数の前記列配線のうち、少なくとも、選択対象の前記メモリセルに接続された前記列配線に隣接する各前記列配線の電圧を前記第4電圧に設定する列アドレスである

請求項5に記載のメモリシステム。

[請求項7]

前記電圧制御回路は、選択対象の前記メモリセルに対してデータが書き込まれるときには、前記可変抵抗素子が高抵抗状態から低抵抗状態に変化する書き込み閾値電圧以上の電圧が選択対象の前記メモリセルにおける前記可変抵抗素子に印加されるのに十分な大きさの電圧を、前記第1電圧および前記第3電圧として出力する

請求項6に記載のメモリシステム。

[請求項8]

前記電圧制御回路は、選択対象の前記メモリセルのデータが読み出されるときには、前記閾値電圧よりも小さな電圧が選択対象の前記メモリセルにおける前記可変抵抗素子に印加されるのに十分な大きさの電圧であって、かつ前記選択素子がオフする電圧よりも高い電圧が選

択対象の前記メモリセルにおける前記選択素子に印加されるのに十分な大きさの電圧を、前記第 1 電圧および前記第 3 電圧として出力する請求項 7 に記載のメモリシステム。

[請求項 9] 前記コントローラは、前記第 1 デコーダ回路および前記第 2 デコーダ回路に対して、各前記行配線を前記第 2 電圧が出力される前記第 1 の電圧入力端子に接続する第 3 の行アドレスを前記行アドレスとして出力するとともに、前記第 3 デコーダ回路および前記第 4 デコーダ回路に対して、各前記列配線の電圧を前記第 4 電圧が出力される前記第 2 の電圧入力端子に接続する第 3 の列アドレスを前記列アドレスとして出力した後に、前記第 1 デコーダ回路および前記第 2 デコーダ回路に対して、前記第 1 の行アドレスおよび前記第 2 の行アドレスを出力するとともに、前記第 3 デコーダ回路および前記第 4 デコーダ回路に対して、前記第 1 の列アドレスおよび前記第 2 の列アドレスを出力する

請求項 6 に記載のメモリシステム。

[請求項 10] 前記電圧制御回路は、電圧値の互いに異なる 2 種類の電圧を、前記第 2 電圧および前記第 4 電圧として出力する

請求項 6 に記載のメモリシステム。

[請求項 11] 前記電圧制御回路は、電圧値の互いに等しい電圧を、前記第 2 電圧および前記第 4 電圧として出力する

請求項 6 に記載のメモリシステム。

[請求項 12] 前記コントローラは、選択対象の前記メモリセルの物理的位置に応じて、電圧値の互いに異なる 2 種類の電圧、または、電圧値の互いに等しい電圧を、前記第 2 電圧および前記第 4 電圧として出力するよう、前記電圧制御回路を制御する

請求項 6 に記載のメモリシステム。

[請求項 13] 前記コントローラは、電圧値の互いに等しい電圧を、前記第 2 電圧および前記第 4 電圧として出力するよう、前記電圧制御回路を制御し

た結果、選択対象の前記メモリセルへの書き込みに失敗した場合には、電圧値の互いに異なる2種類の電圧を、前記第2電圧および前記第4電圧として出力するよう、前記電圧制御回路を制御した上で、選択対象の前記メモリセルへの書き込みを再度行う

請求項6に記載のメモリシステム。

[請求項14] 前記コントローラは、選択対象の前記メモリセルの選択が行われた後、選択対象の前記メモリセルに未接続の各前記行配線および各前記列配線をフローティング状態に設定する第3の行アドレスを、前記行アドレスとして出力する

請求項6に記載のメモリシステム。

[請求項15] 前記コントローラは、選択対象の前記メモリセルの選択が行われた後、選択対象の前記メモリセルに接続された前記列配線の電圧を前記第3電圧よりも小さな電圧に設定する第3の列アドレスを、前記列アドレスとして出力する

請求項6に記載のメモリシステム。

[請求項16] 互いに直列接続された選択素子および可変抵抗素子を含む電流経路を有し、行列状に配置された複数のメモリセルと

行方向に延在し、各前記電流経路の一端に接続された複数の行配線と、

列方向に延在し、各前記電流経路の他端に接続された複数の列配線と、

各偶数行の前記行配線に接続された第1デコーダ回路と、

各奇数行の前記行配線に接続された第2デコーダ回路と、

各偶数列の前記列配線に接続された第3デコーダ回路と、

各奇数列の前記列配線に接続された第4デコーダ回路と

を備え、

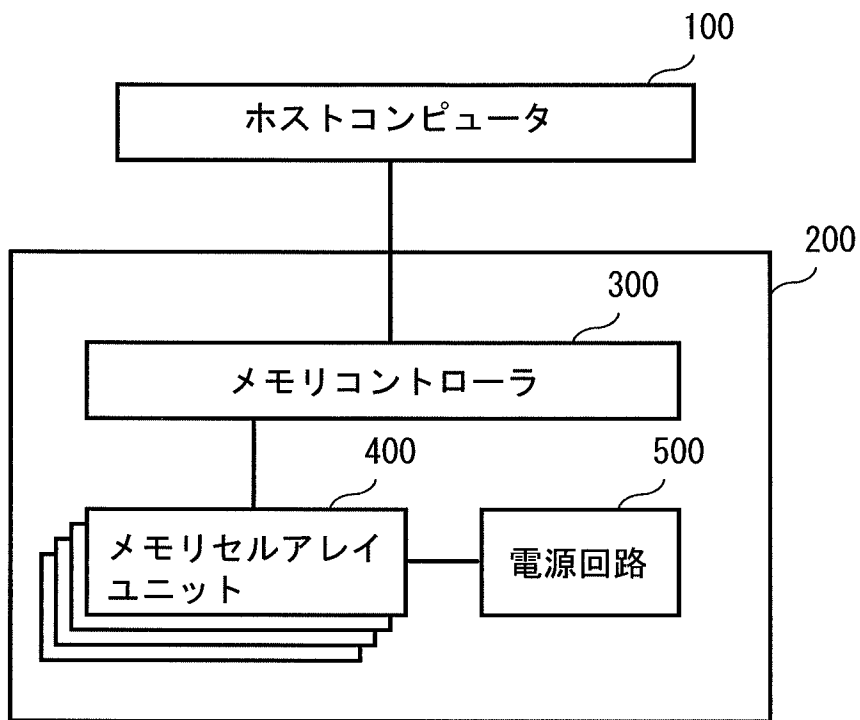
前記第1デコーダ回路、前記第2デコーダ回路、前記第3デコーダ回路、前記第4デコーダ回路は、それぞれ、互いに独立した回路で構

成されている

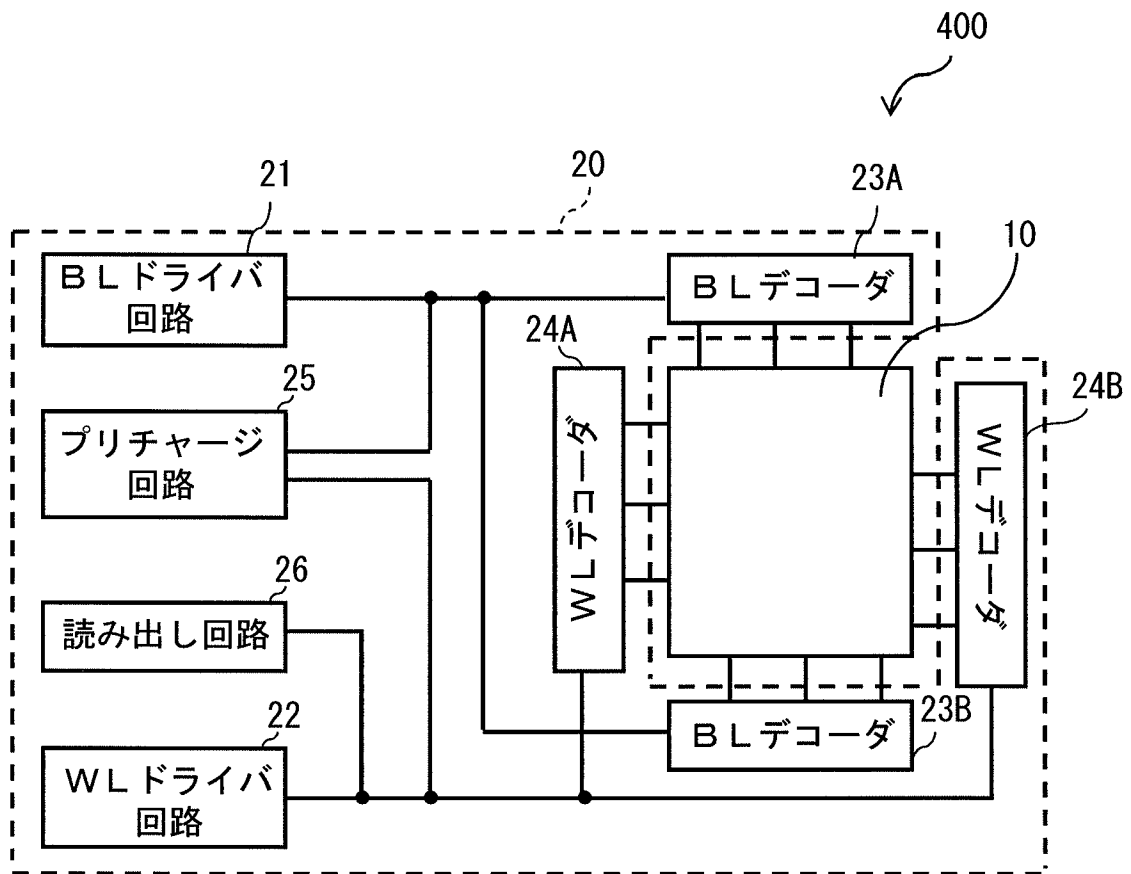
メモリ装置。

- [請求項17] 互いに直列接続された選択素子および可変抵抗素子を含む電流経路を有し、行列状に配置された複数のメモリセルと、
- 行方向に延在し、各前記電流経路の一端に接続された複数の行配線と、
- 列方向に延在し、各前記電流経路の他端に接続された複数の列配線と、
- 各偶数行の前記行配線に接続された第1デコーダ回路と、
- 各奇数行の前記行配線に接続された第2デコーダ回路と、
- 各偶数列の前記列配線に接続された第3デコーダ回路と、
- 各奇数列の前記列配線に接続された第4デコーダ回路と、
- を備えたメモリ装置におけるメモリ制御方法であって、
- 前記第1デコーダ回路、前記第2デコーダ回路、前記第3デコーダ回路、前記第4デコーダ回路を互いに独立に制御すること
- を含む
- メモリ制御方法。

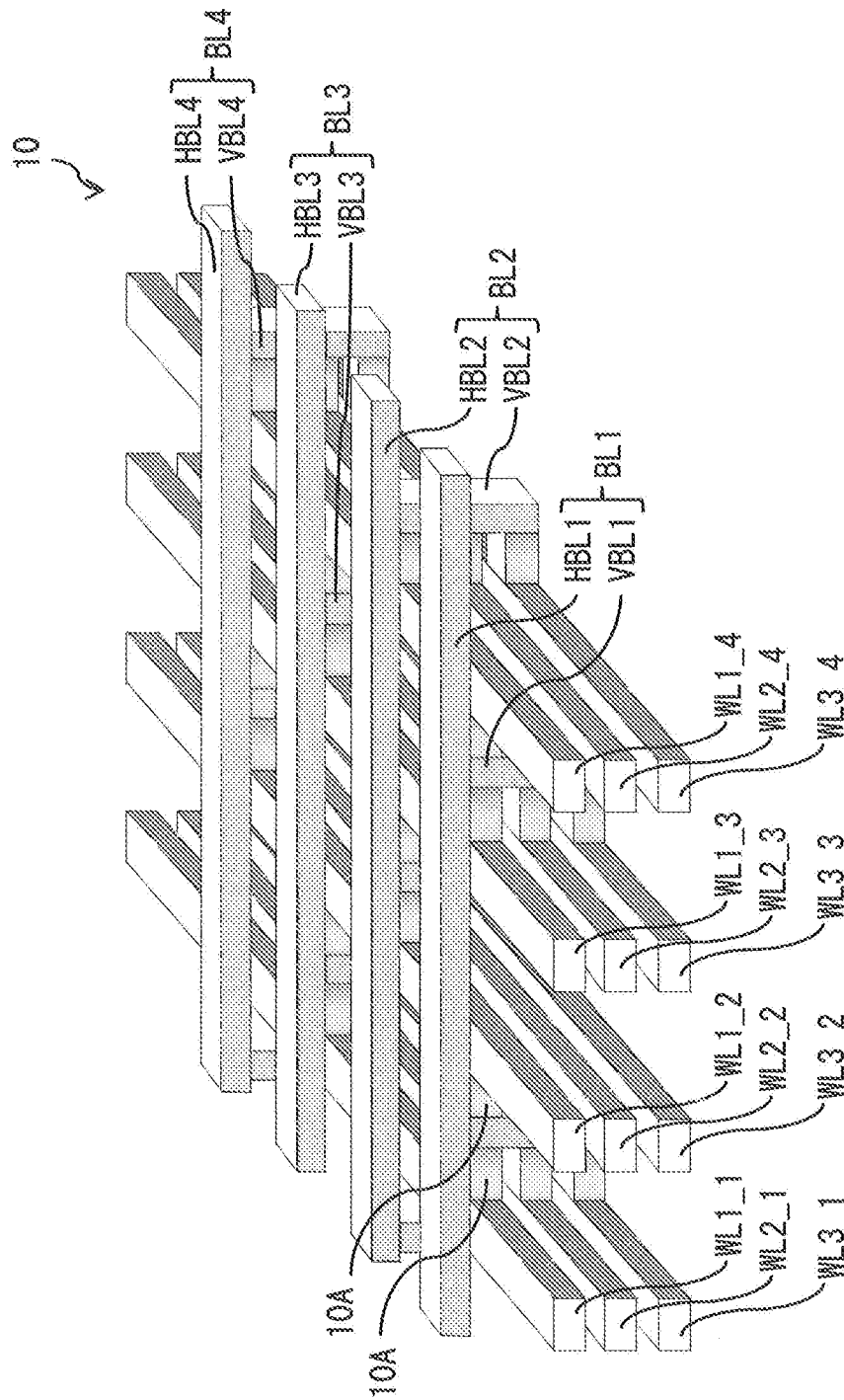
[図1]



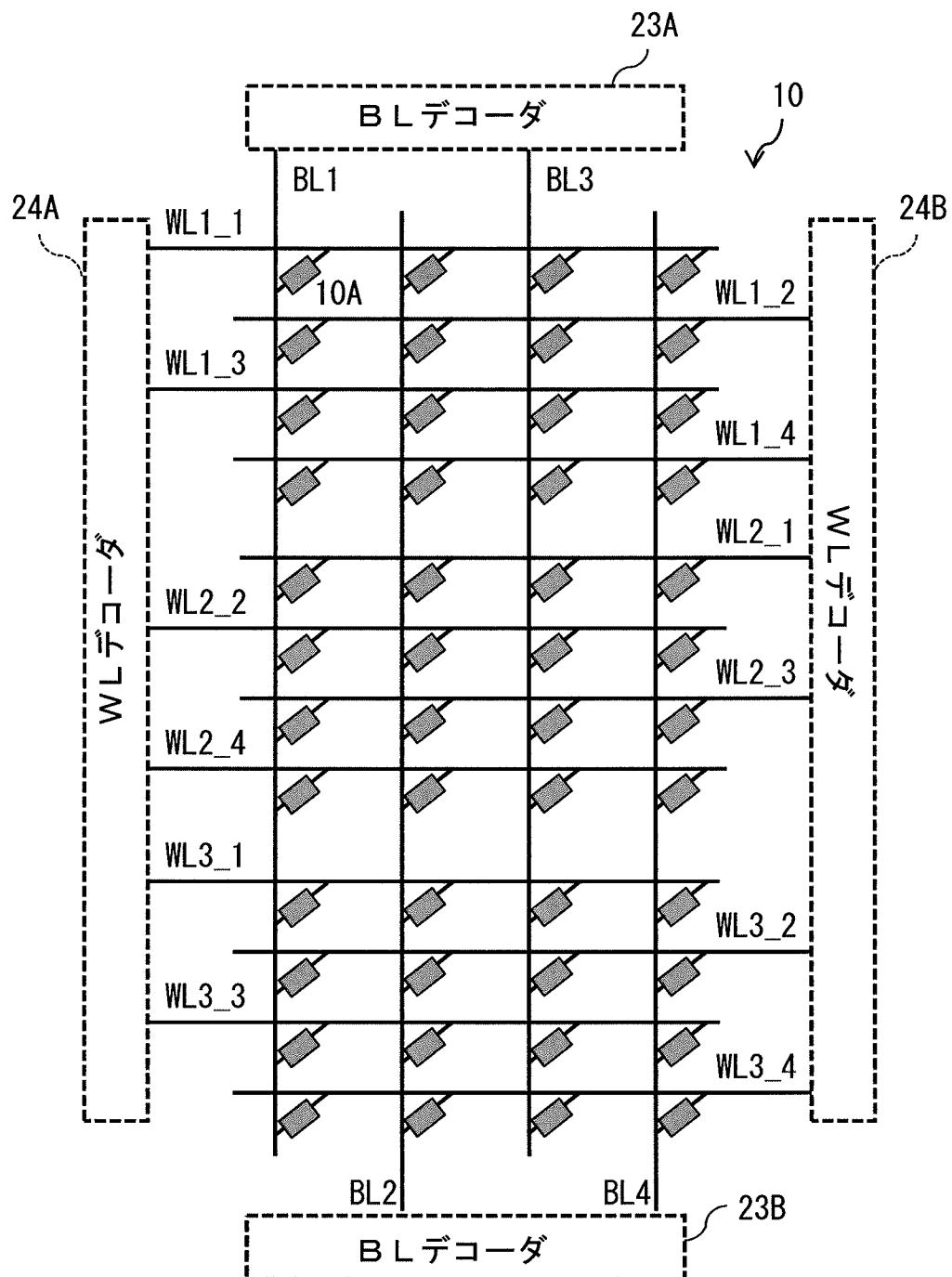
[図2]



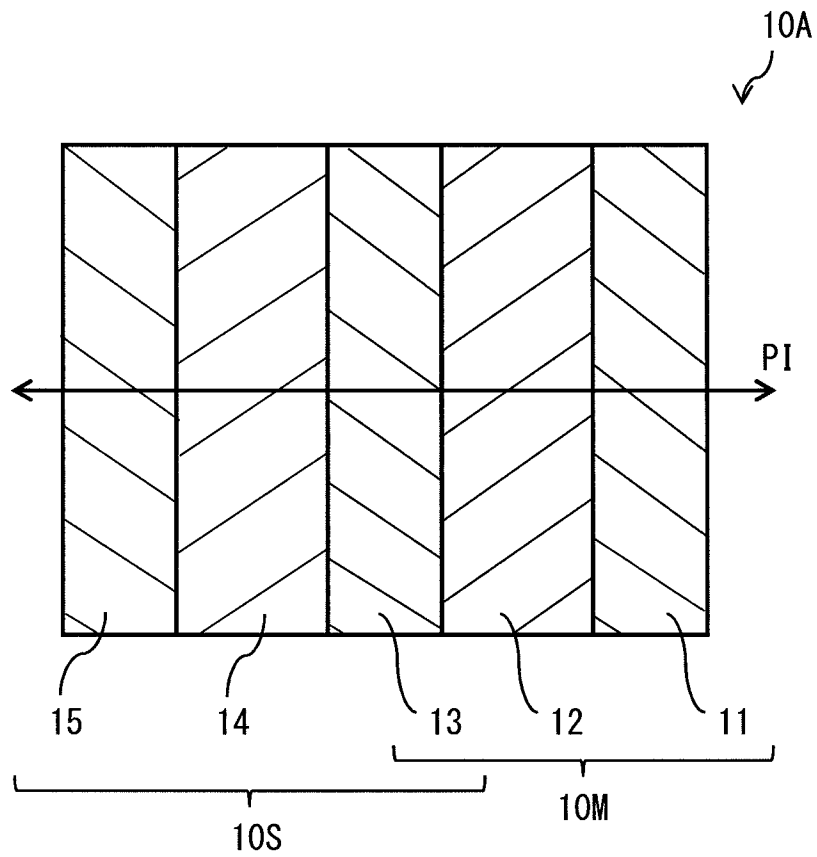
[図3]



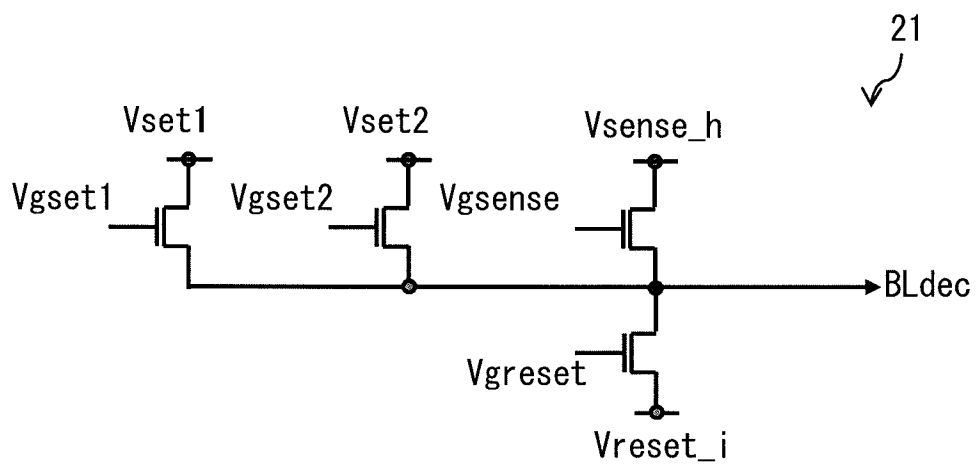
[図4]



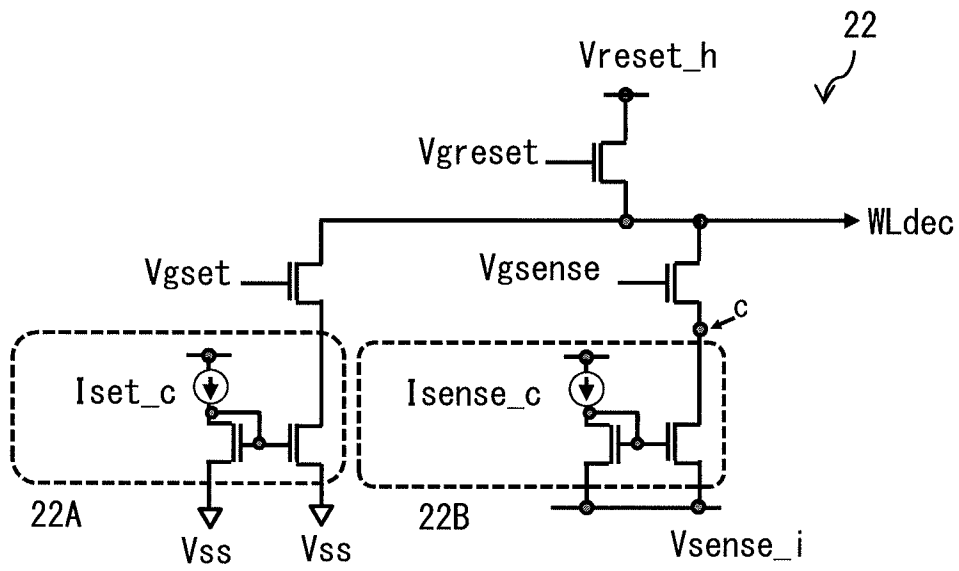
[図5]



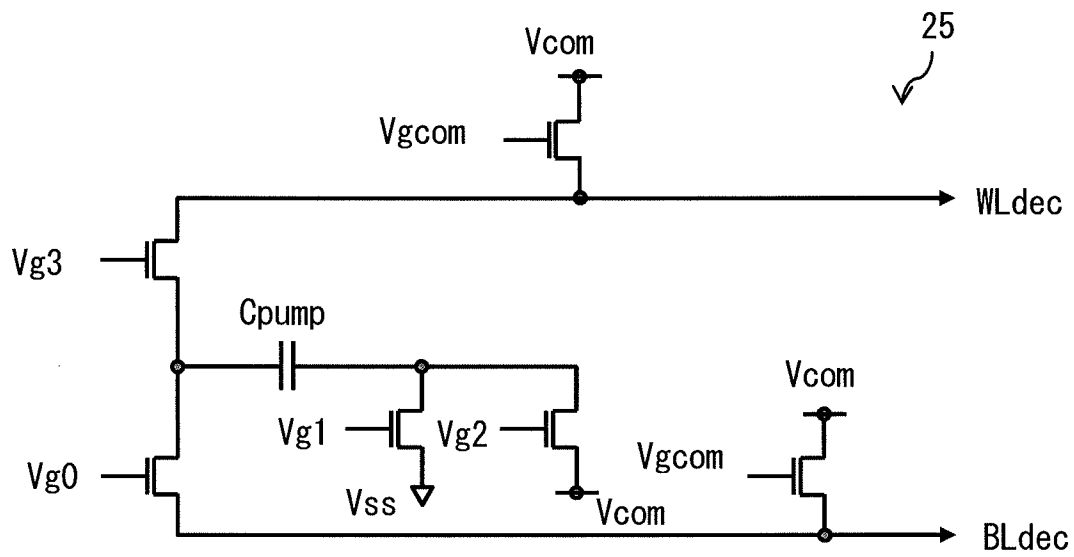
[図6]



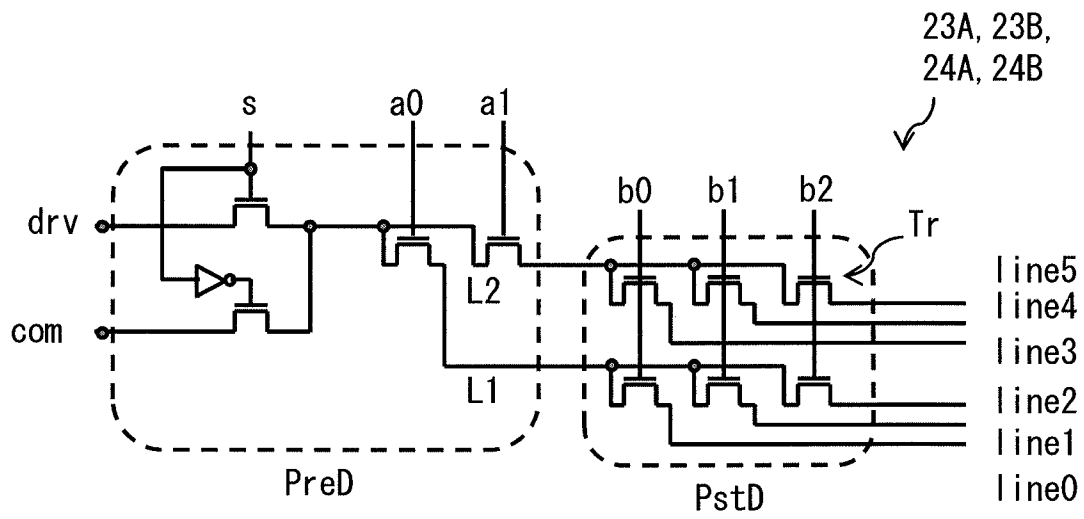
[図7]



[図8]



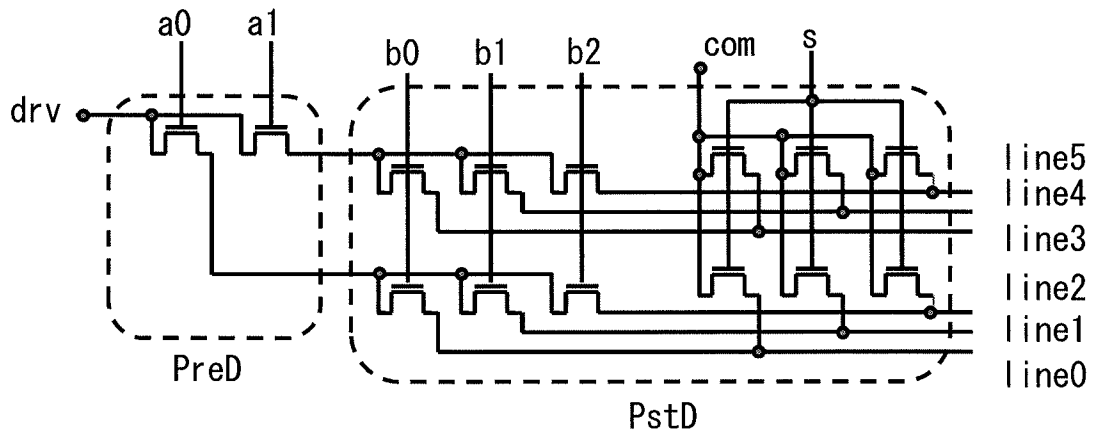
[図9]



[図10]

a0	a1	b0	b1	b2	s	line0	line1	line2	line3	line4	line5
0	0	0	0	0	x	z	z	z	z	z	z
1	0	1	0	0	1	drv	z	z	z	z	z
1	0	0	1	0	1	z	drv	z	z	z	z
1	0	0	0	1	1	z	z	drv	z	z	z
0	1	1	0	0	1	z	z	z	drv	z	z
0	1	0	1	0	1	z	z	z	z	drv	z
0	1	0	0	1	1	z	z	z	z	z	drv
1	1	1	1	1	1	drv	drv	drv	drv	drv	drv
1	1	1	1	1	0	com	com	com	com	com	com

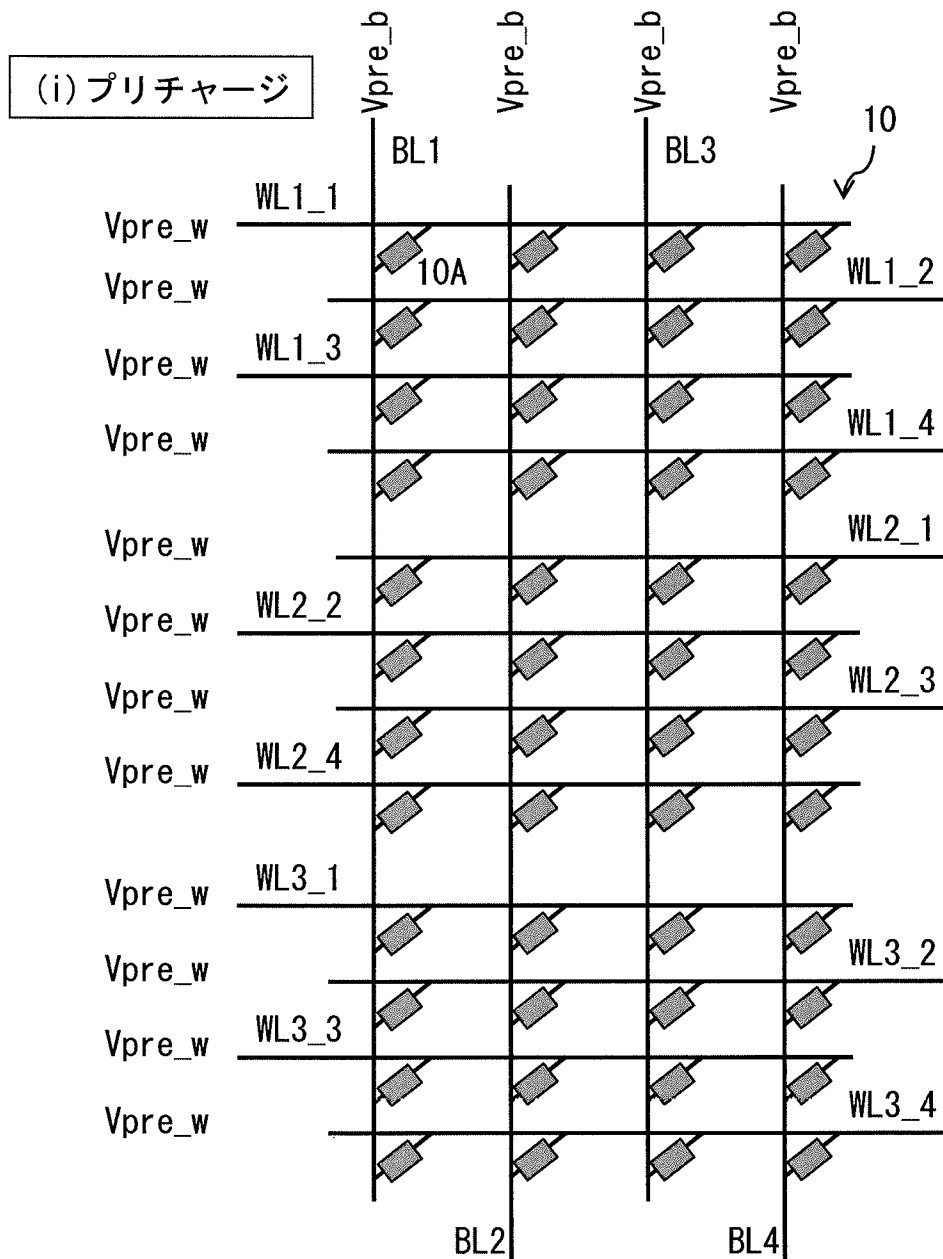
[図11]



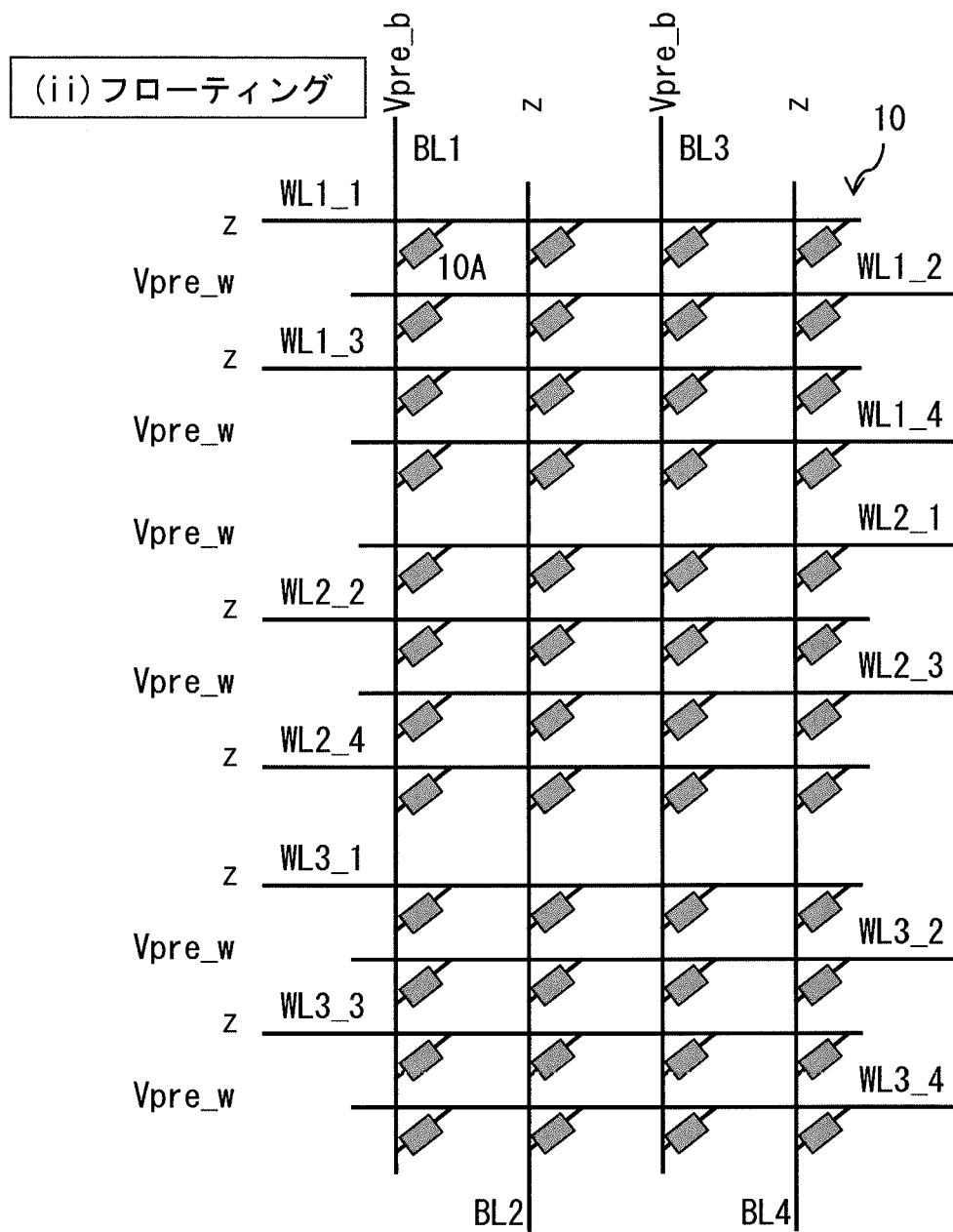
[図12]

a0	a1	b0	b1	b2	s	line0	line1	line2	line3	line4	line5
0	0	0	0	0	0	z	z	z	z	z	z
0	0	0	0	0	1	com	com	com	com	com	com
1	0	1	0	0	1	drv	com	com	com	com	com
1	0	0	1	0	1	com	drv	com	com	com	com
1	0	0	0	1	1	com	com	drv	com	com	com
0	1	1	0	0	1	com	cin	com	drv	com	com
0	1	0	1	0	1	com	com	com	com	drv	com
0	1	0	0	1	1	com	com	com	com	com	drv
1	1	1	1	1	0	drv	drv	drv	drv	drv	drv

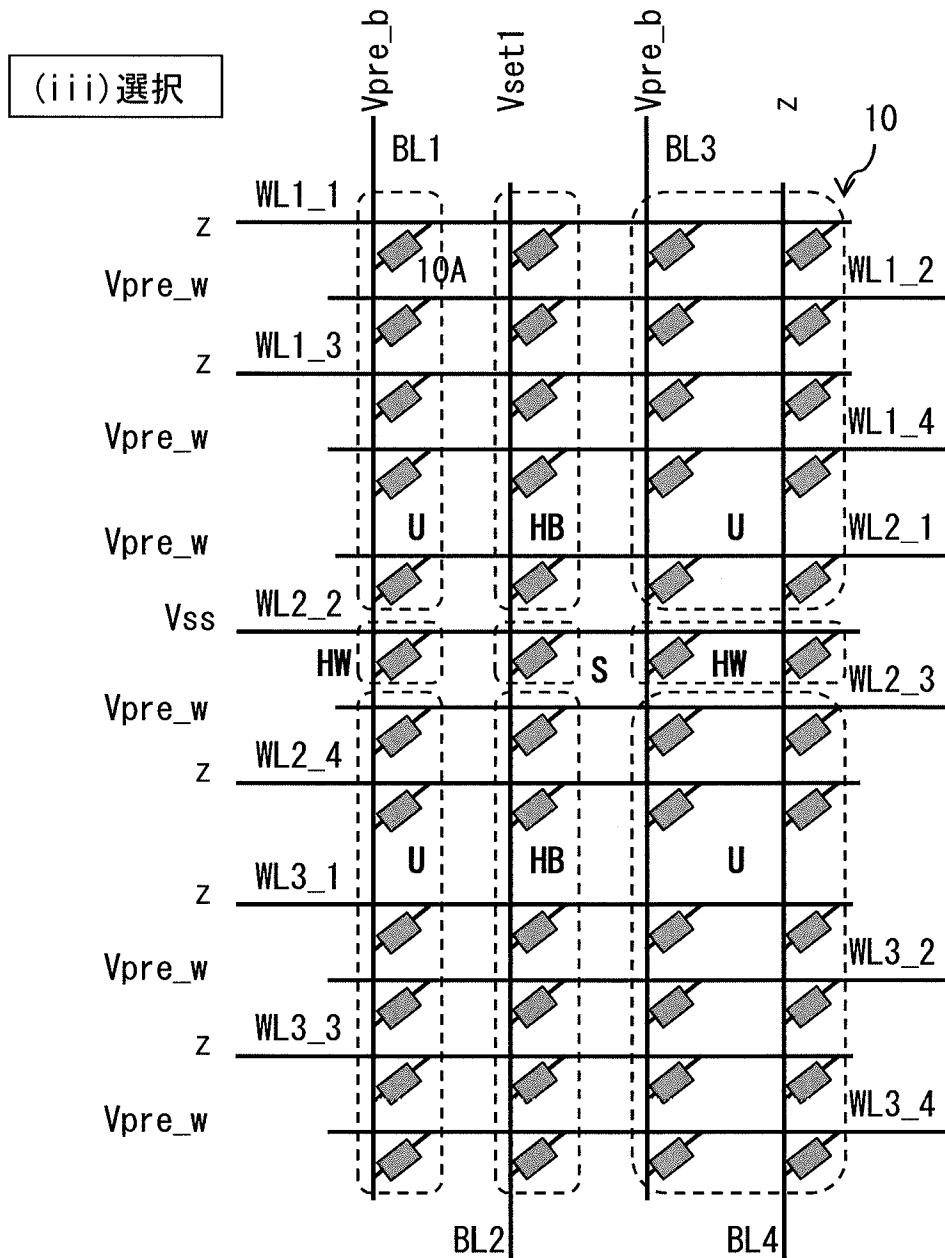
[図13A]



[図13B]

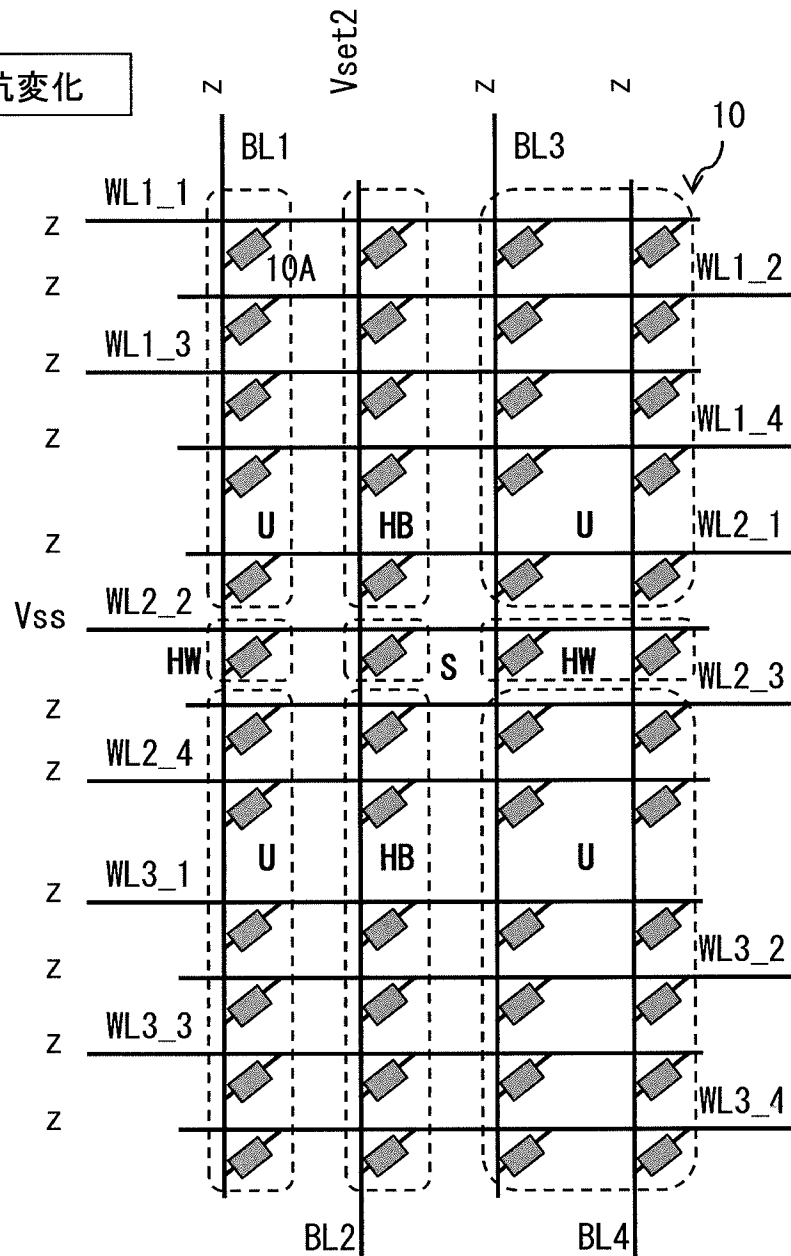


[図13C]

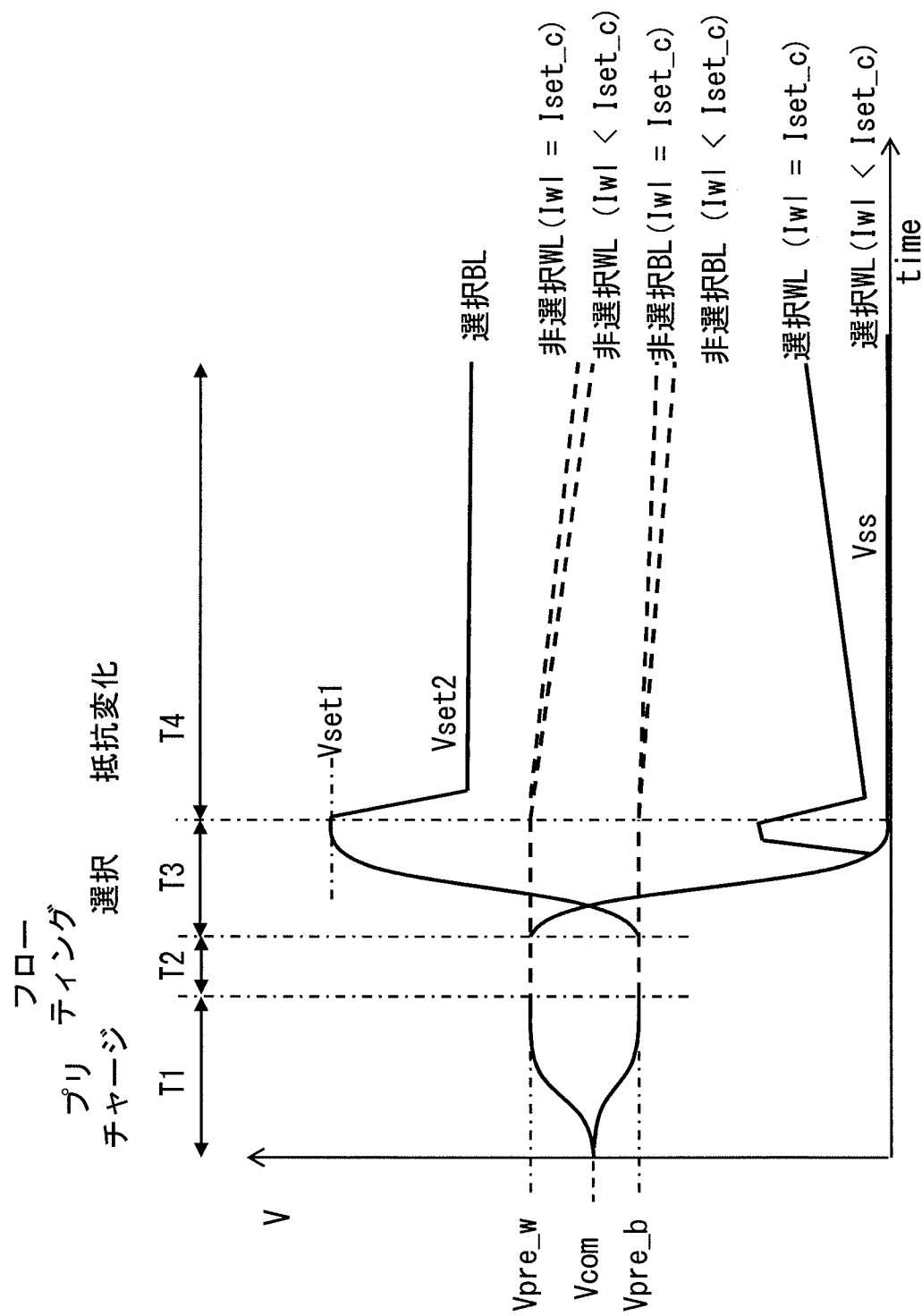


[図13D]

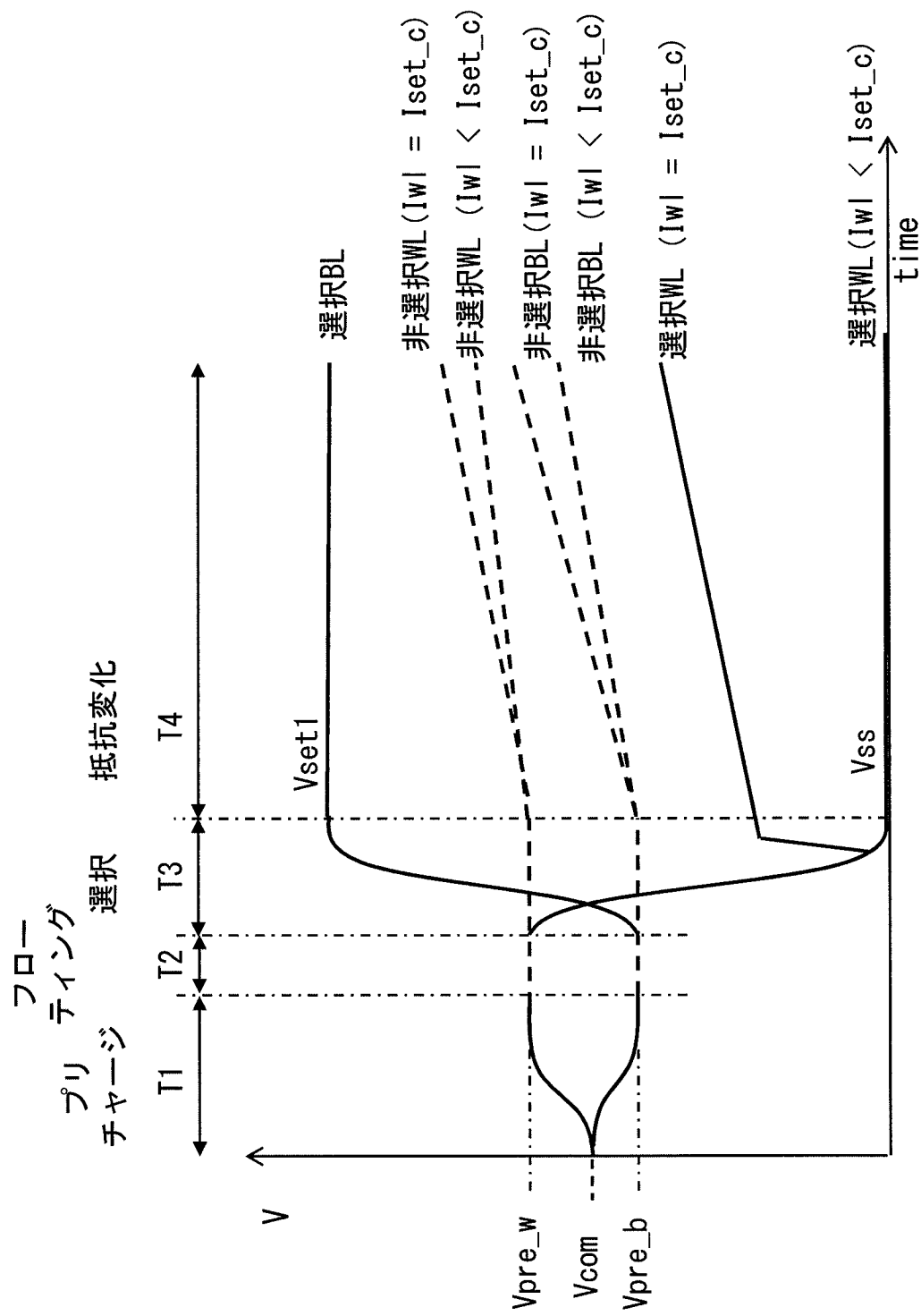
(iv) 抵抗変化



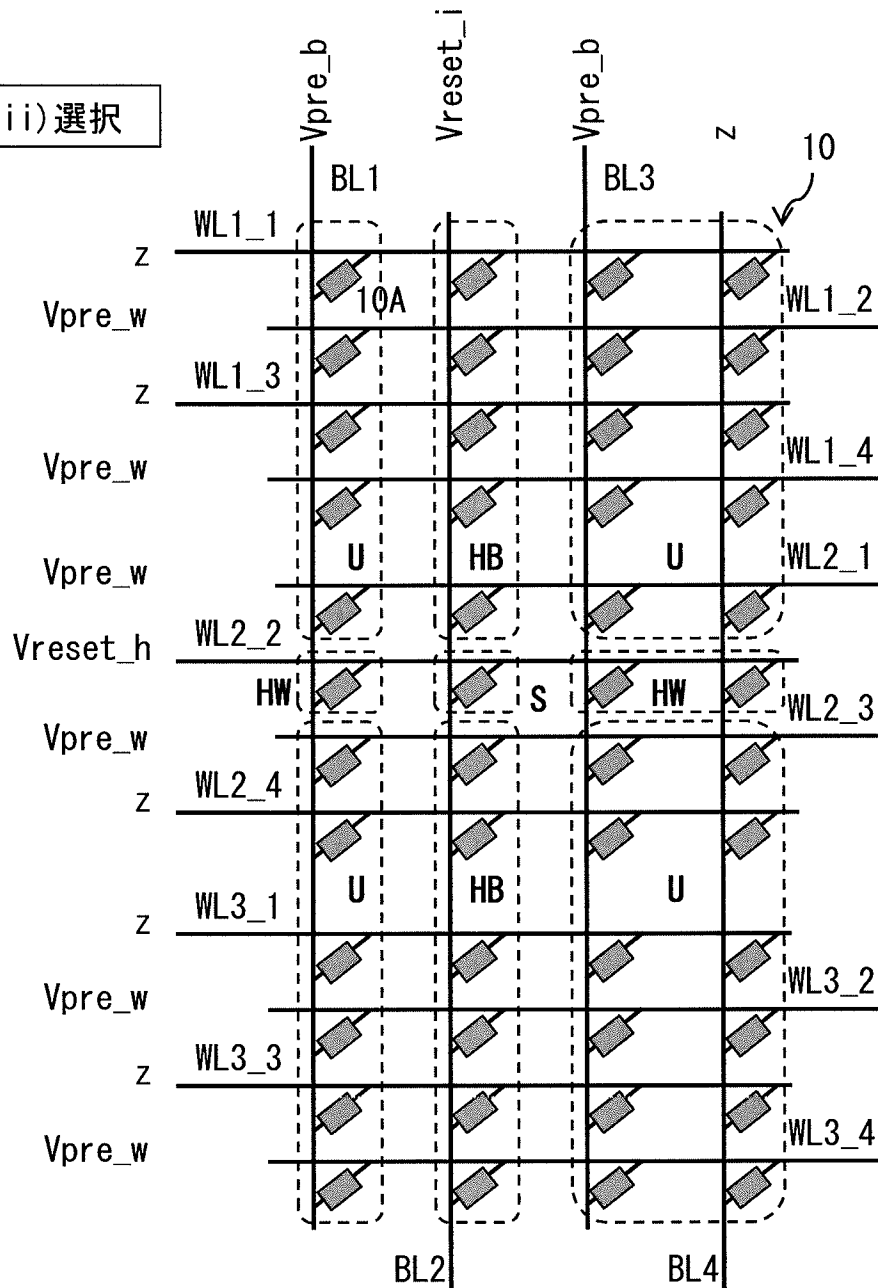
[図14]



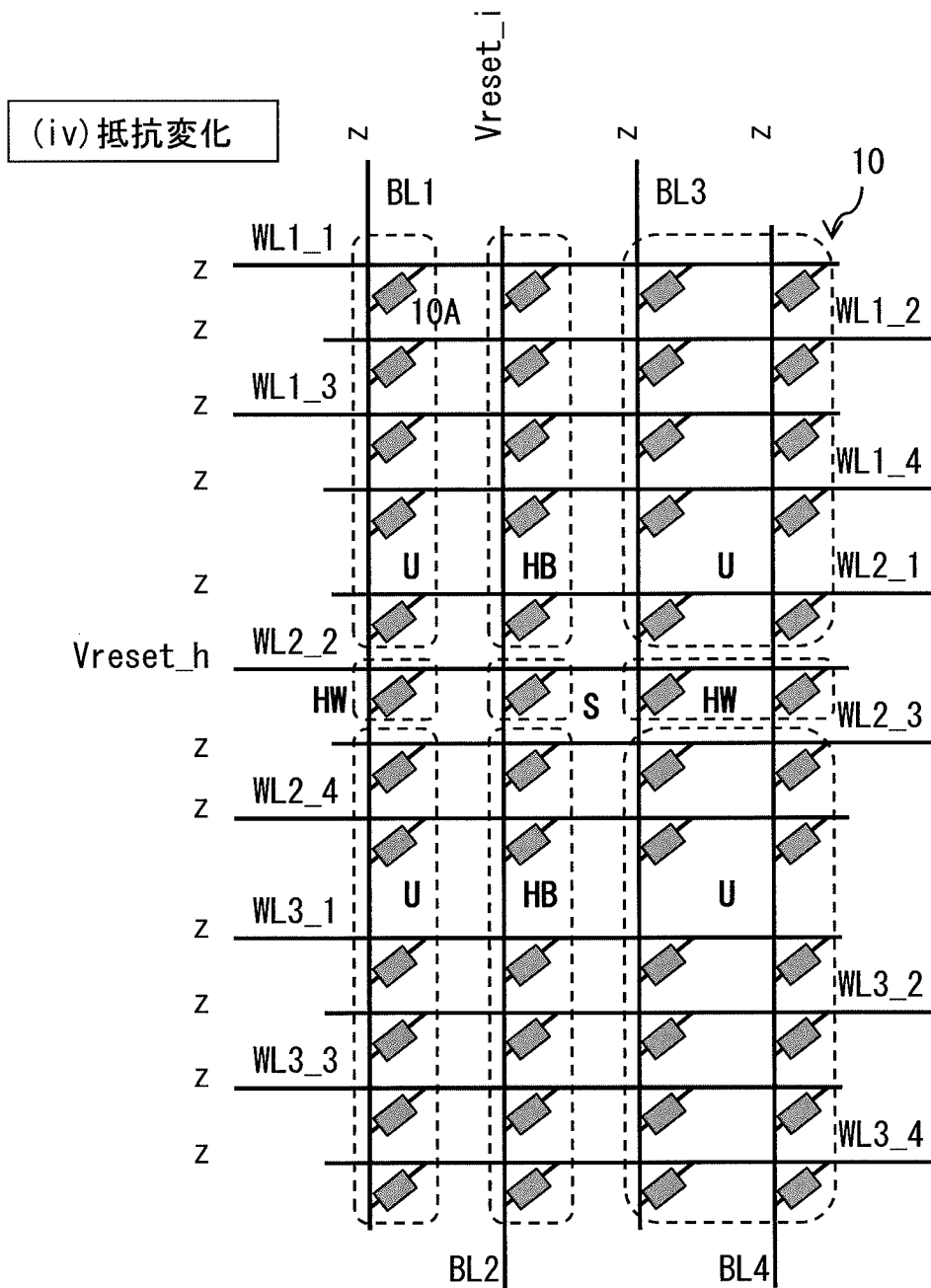
[図15]



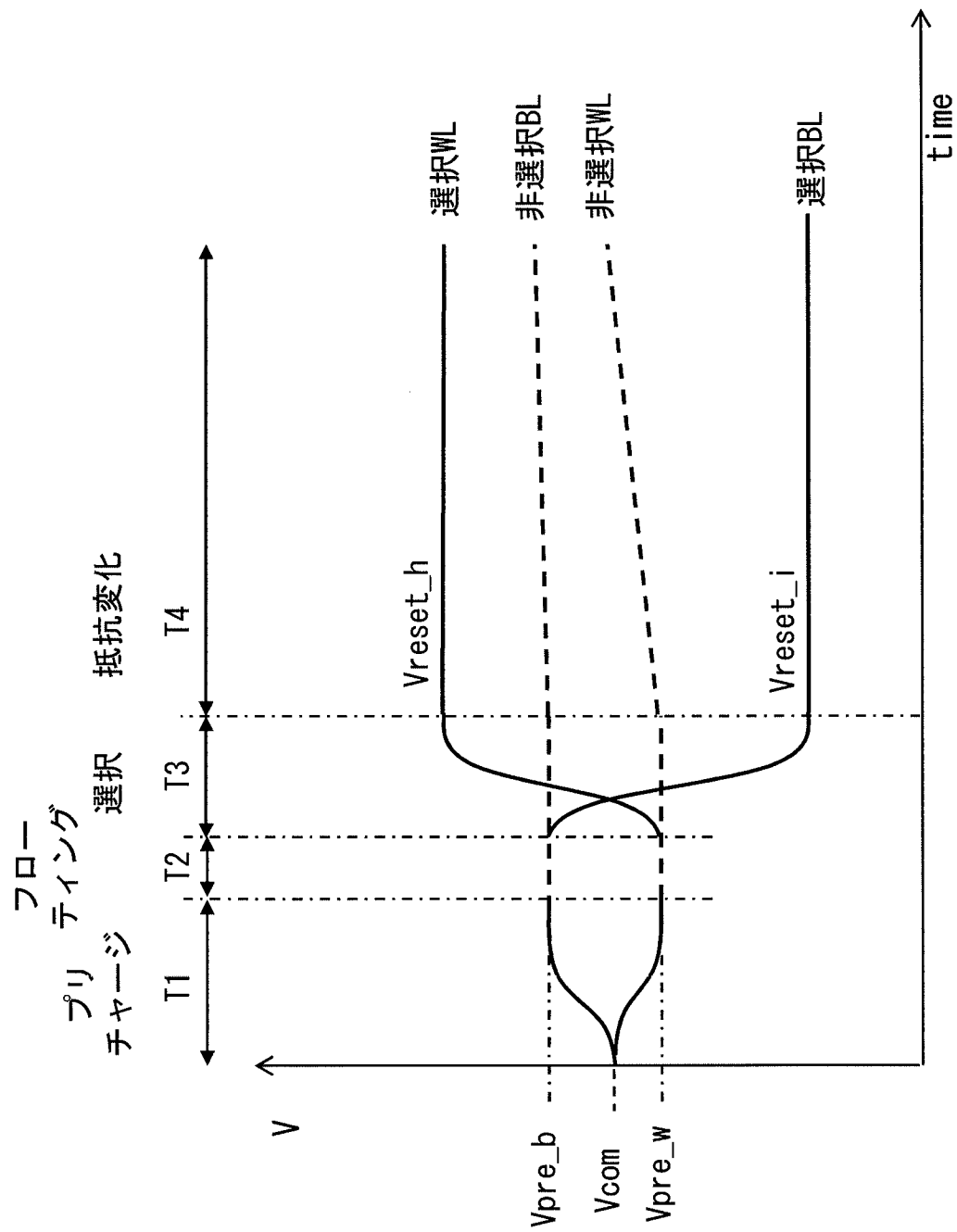
(iii) 選択



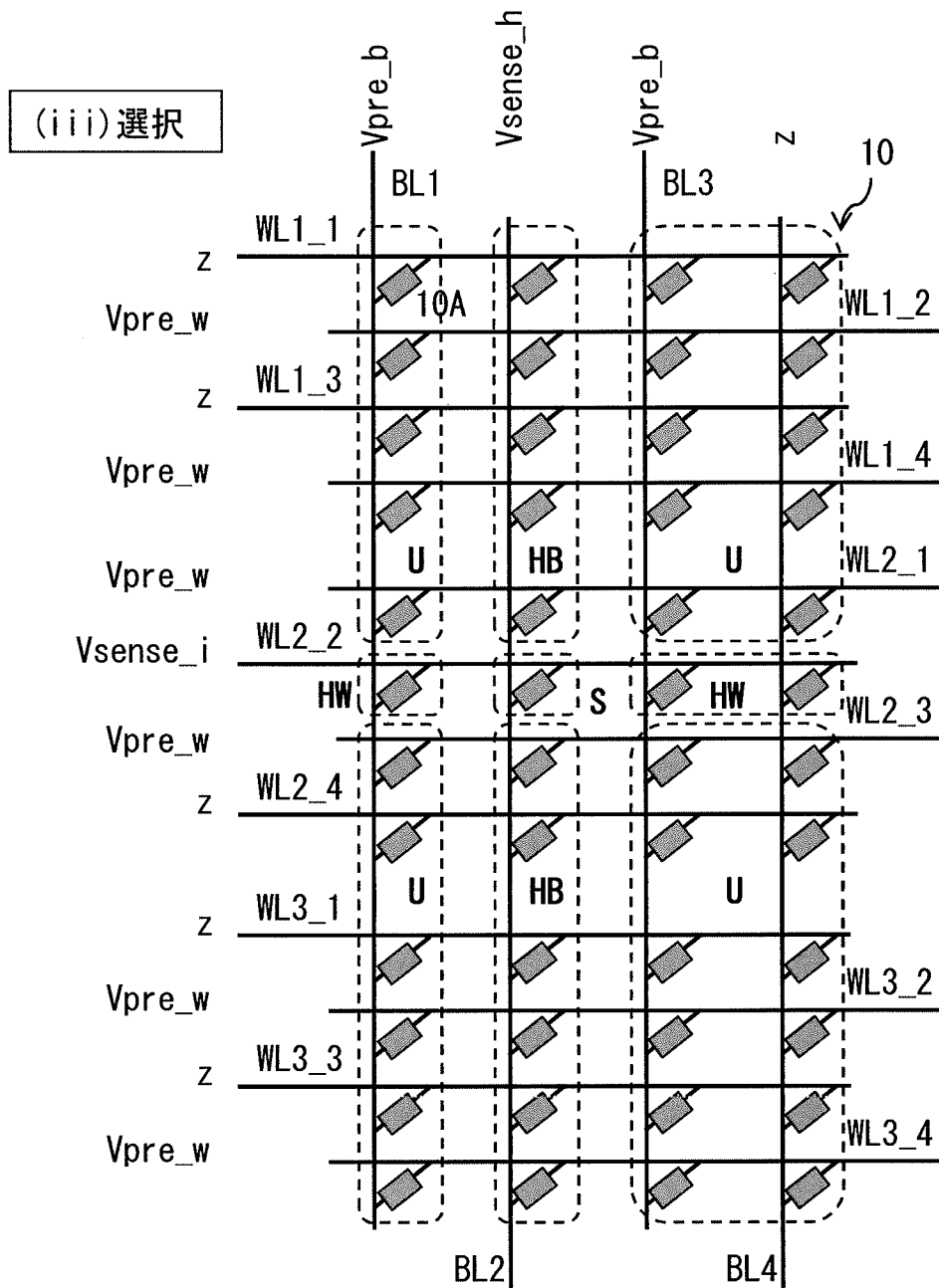
[図16B]



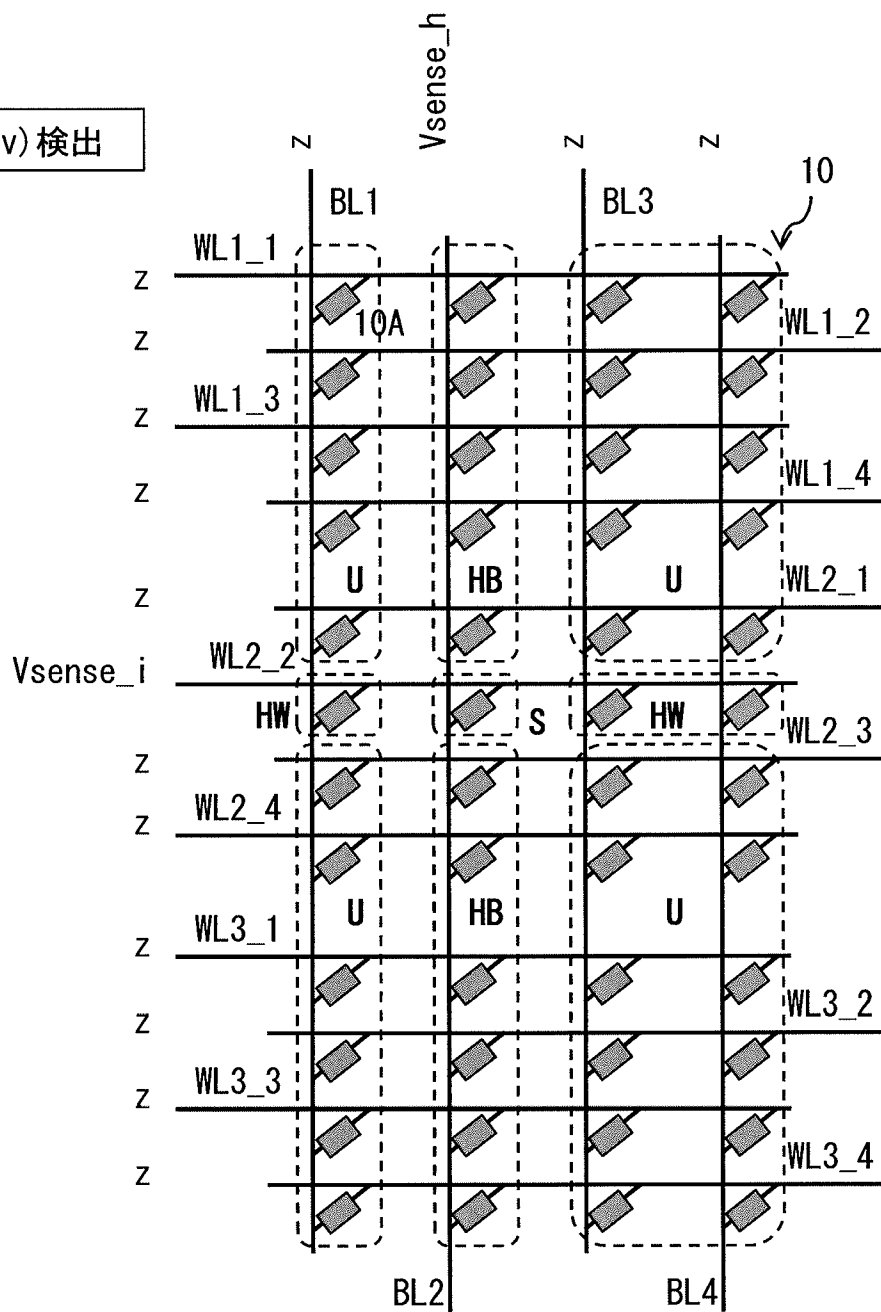
[図17]



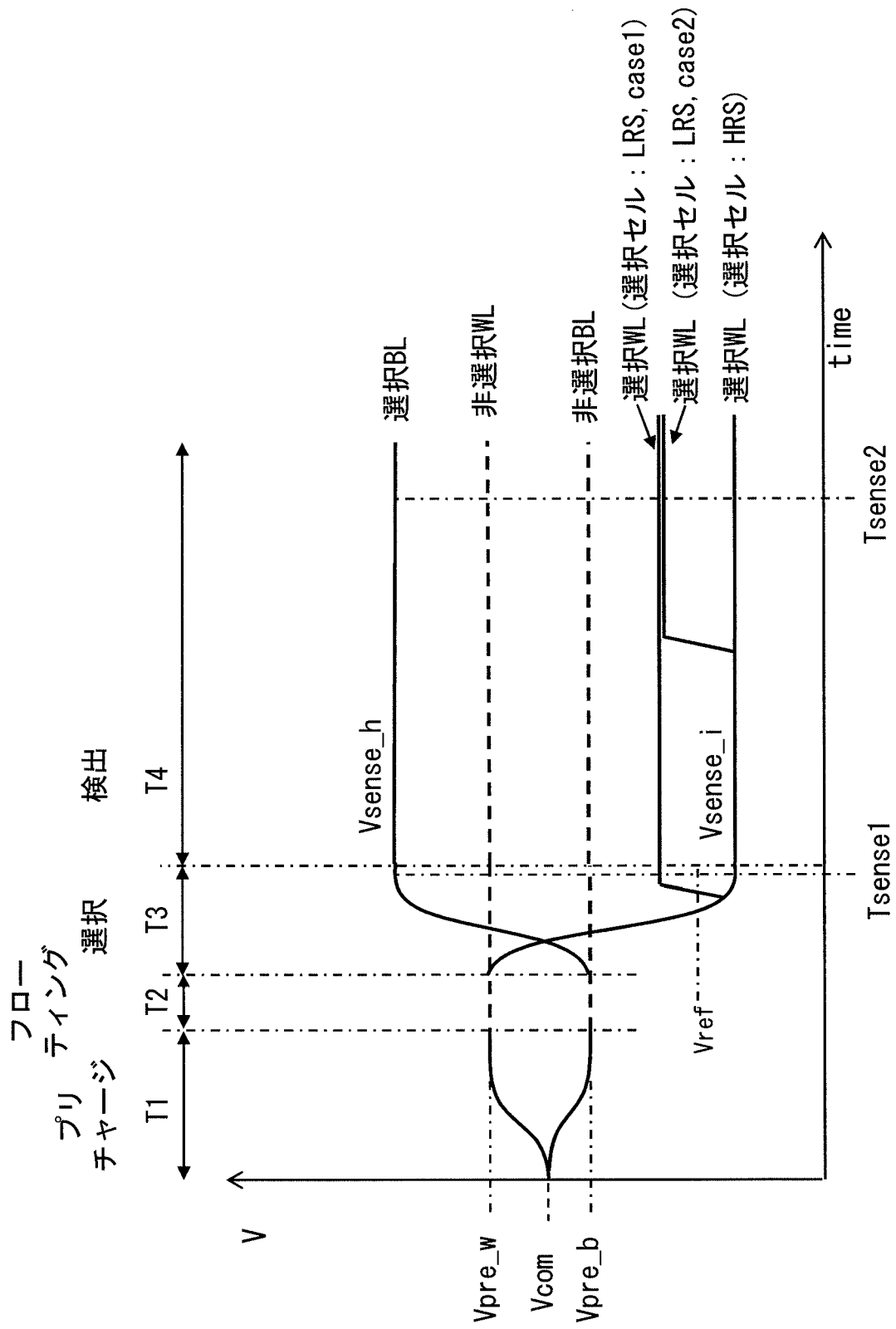
[図18A]



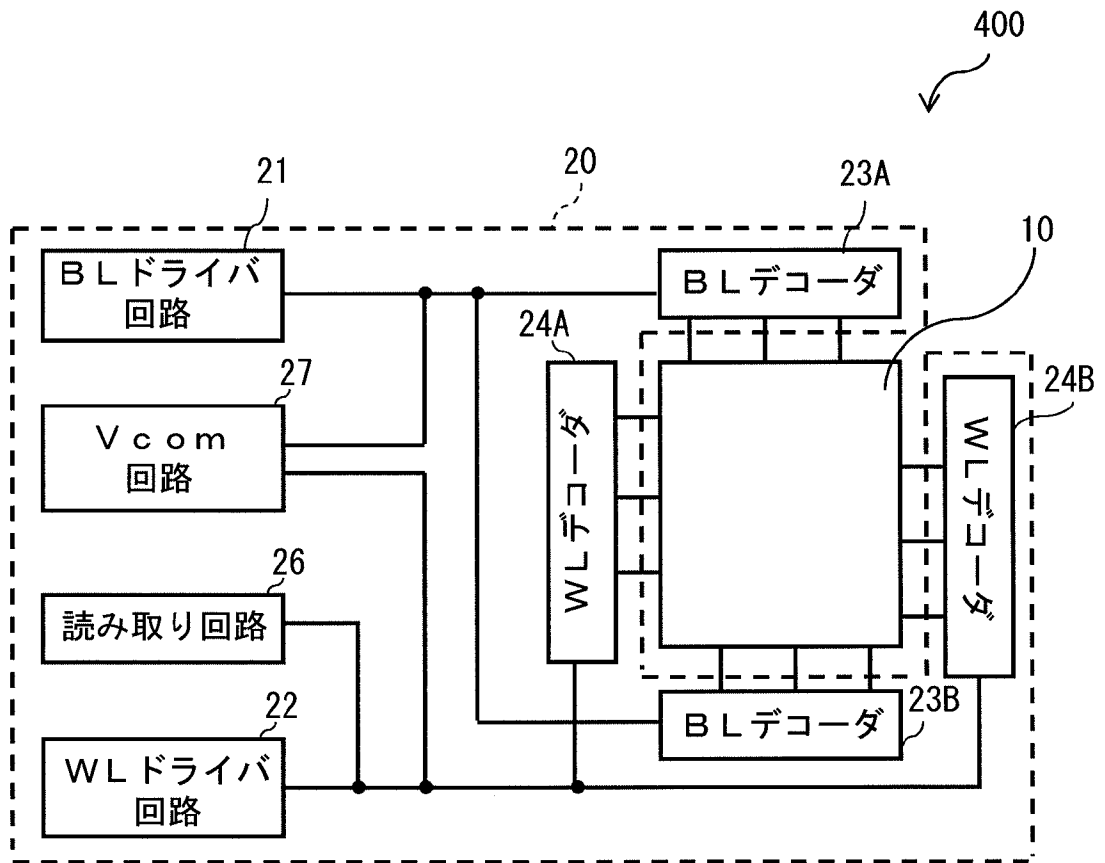
(iv) 検出



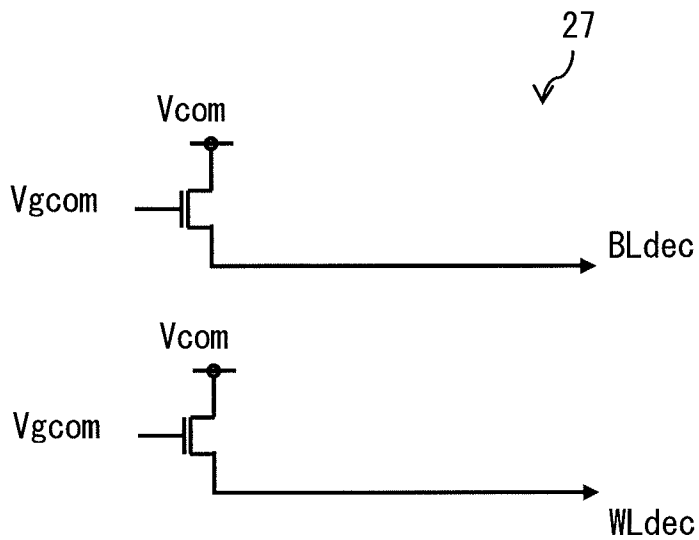
[図19]



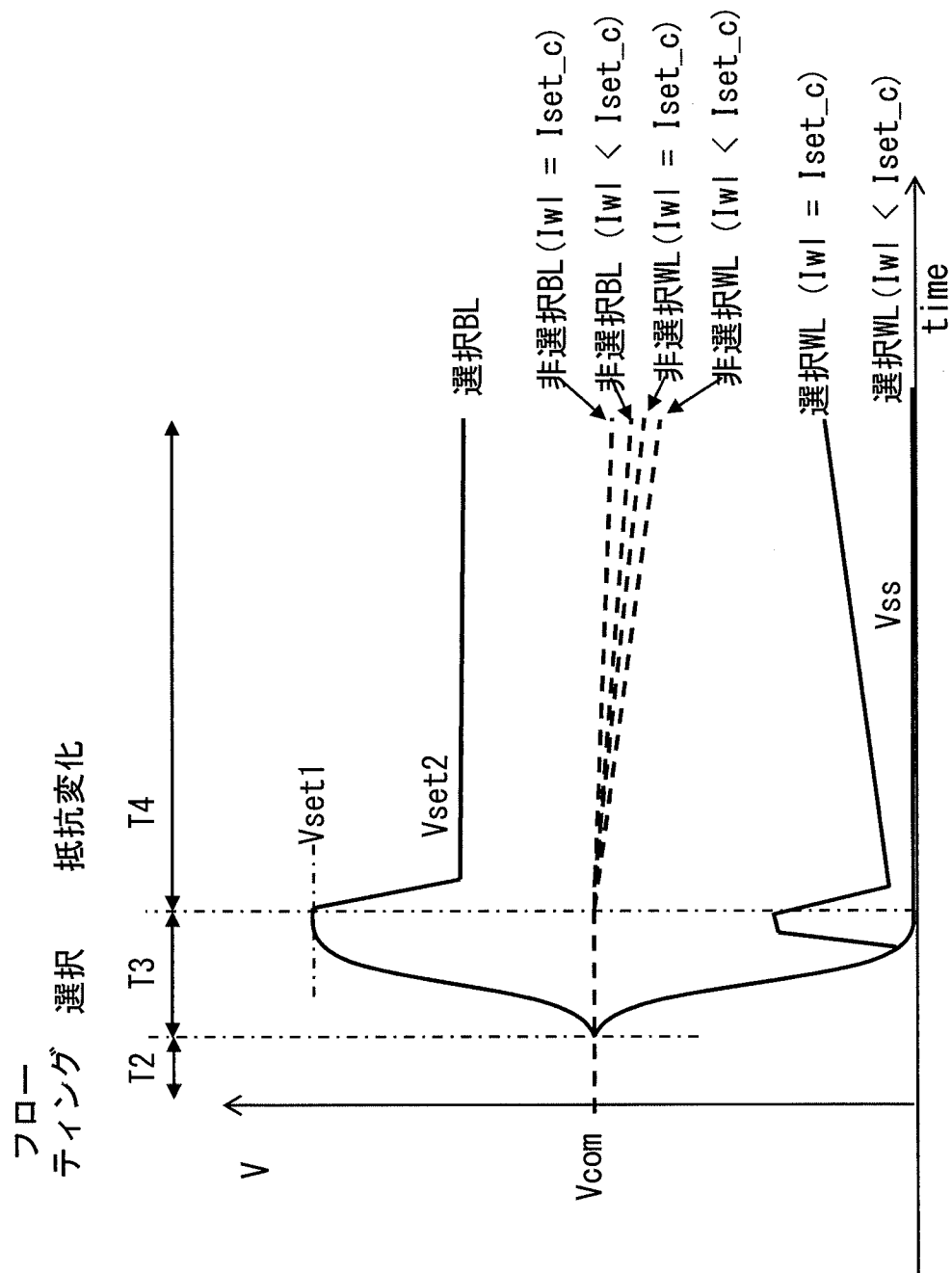
[図20]



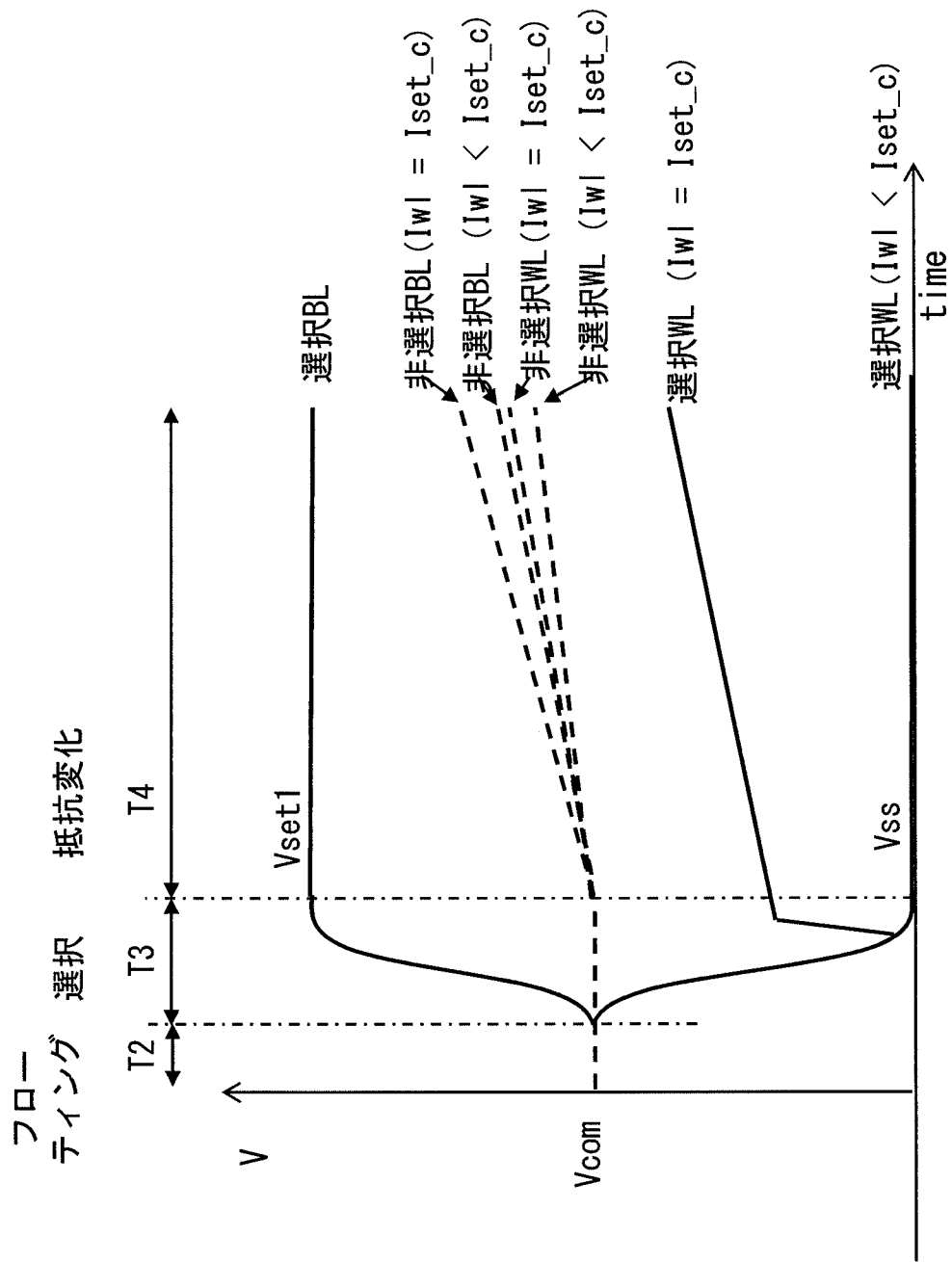
[図21]



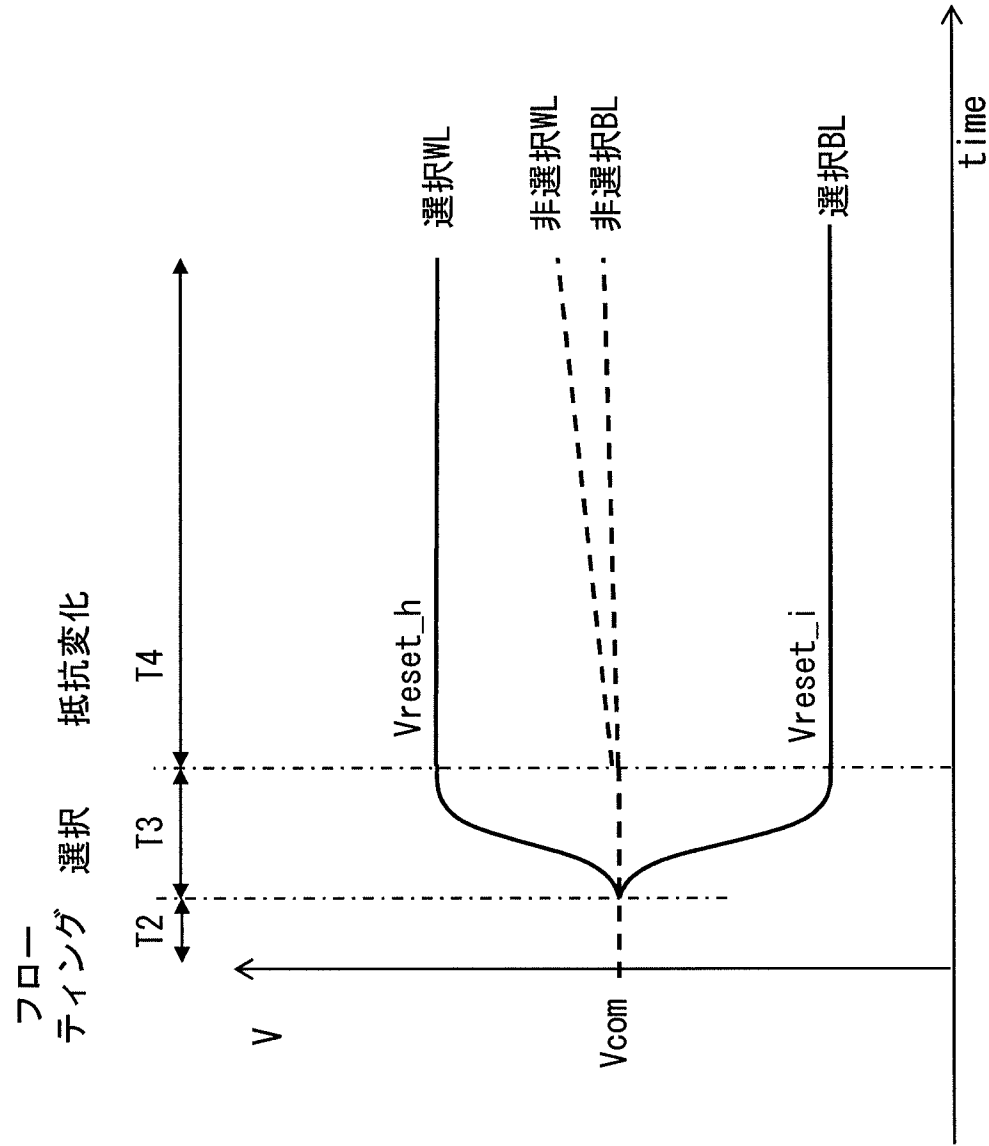
[図22]



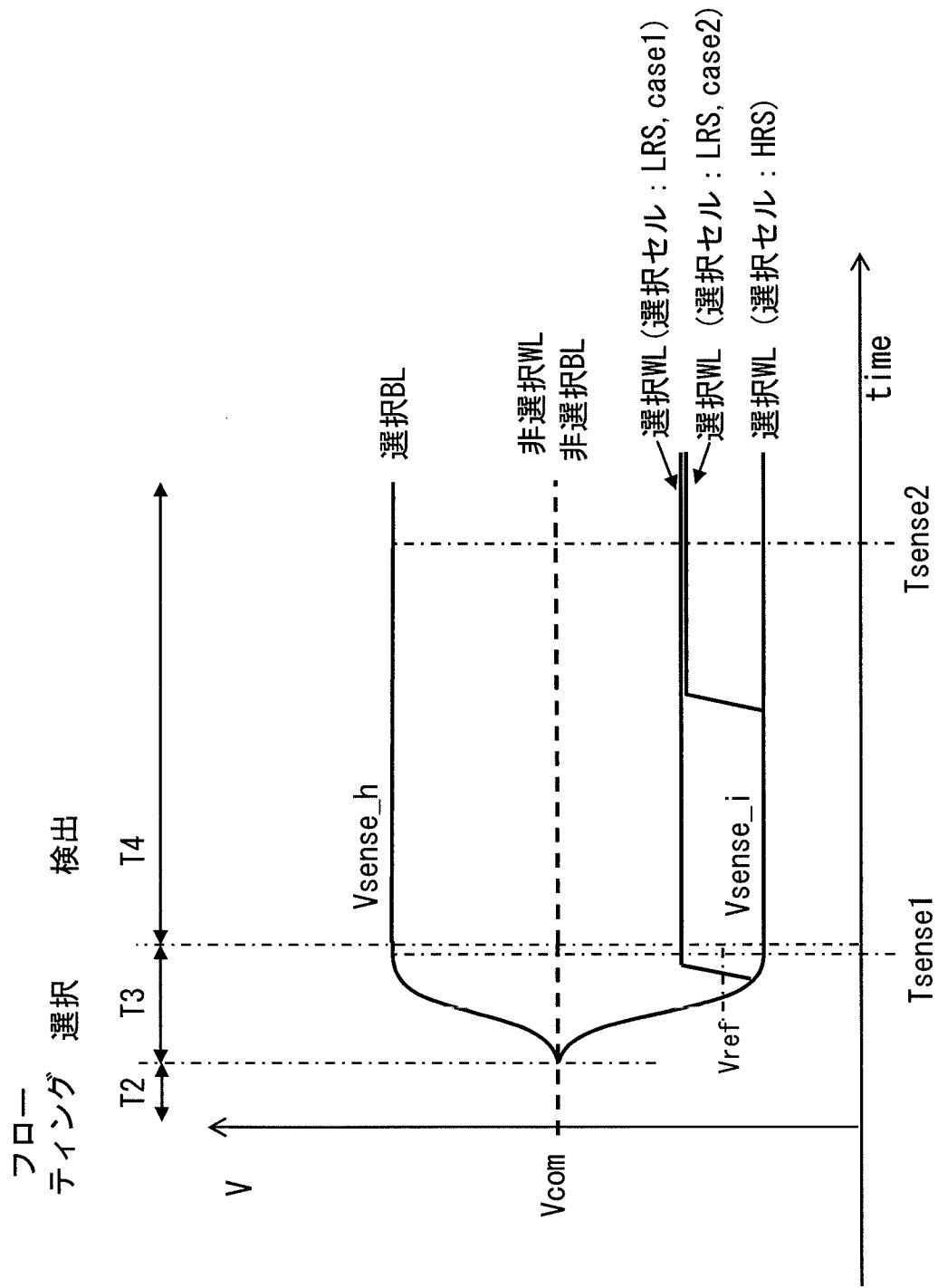
[図23]



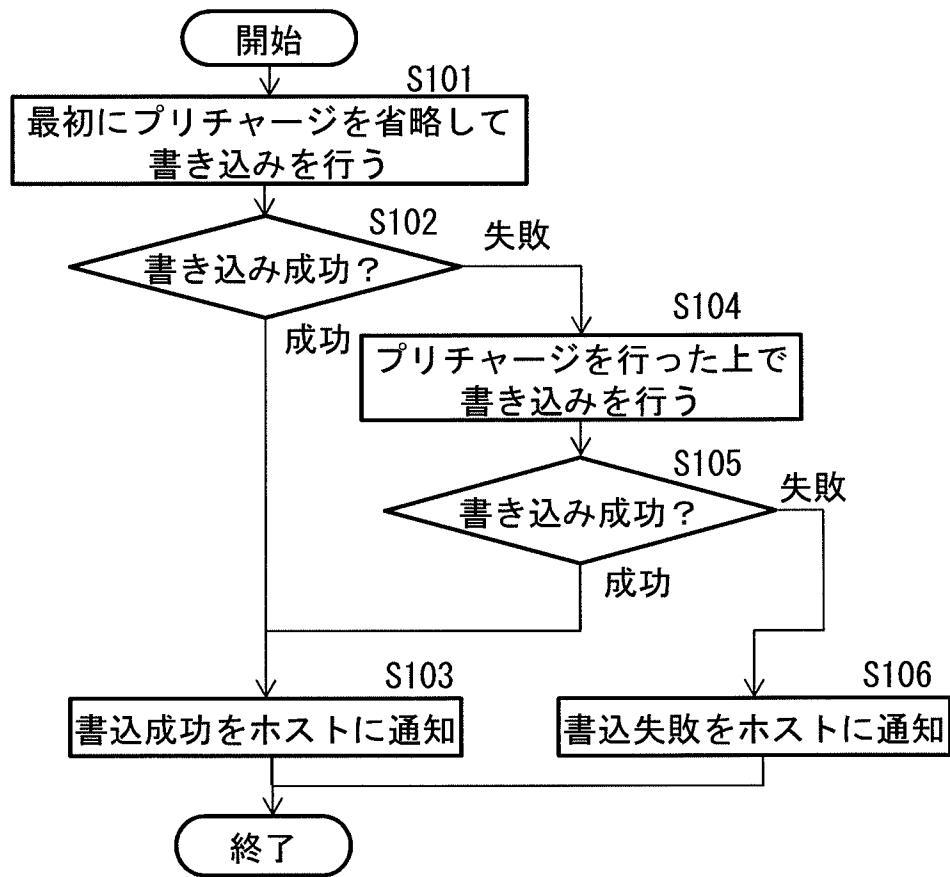
[図24]



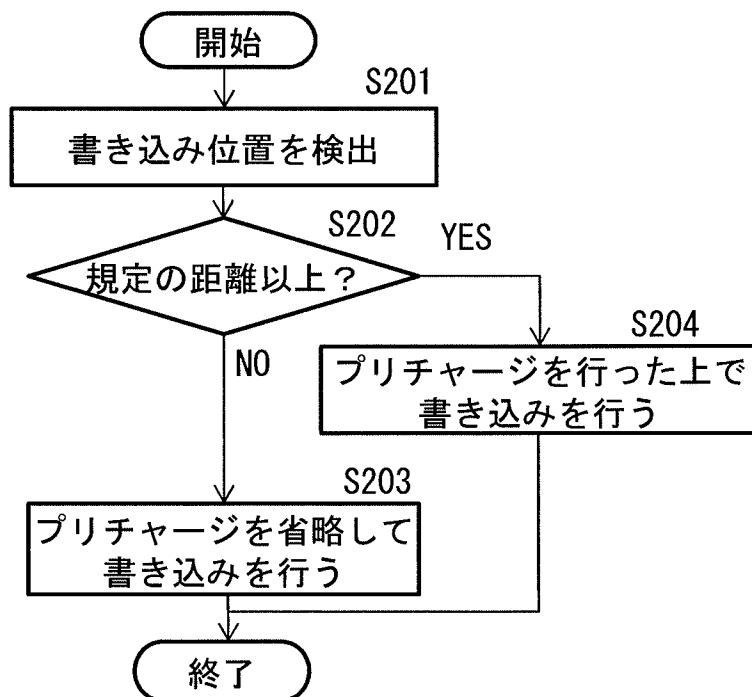
[図25]



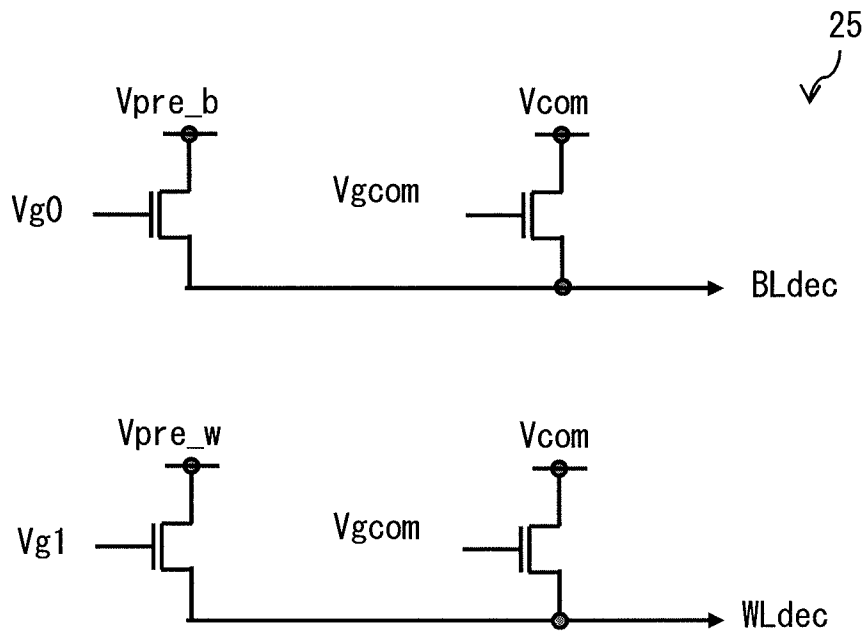
[図26]



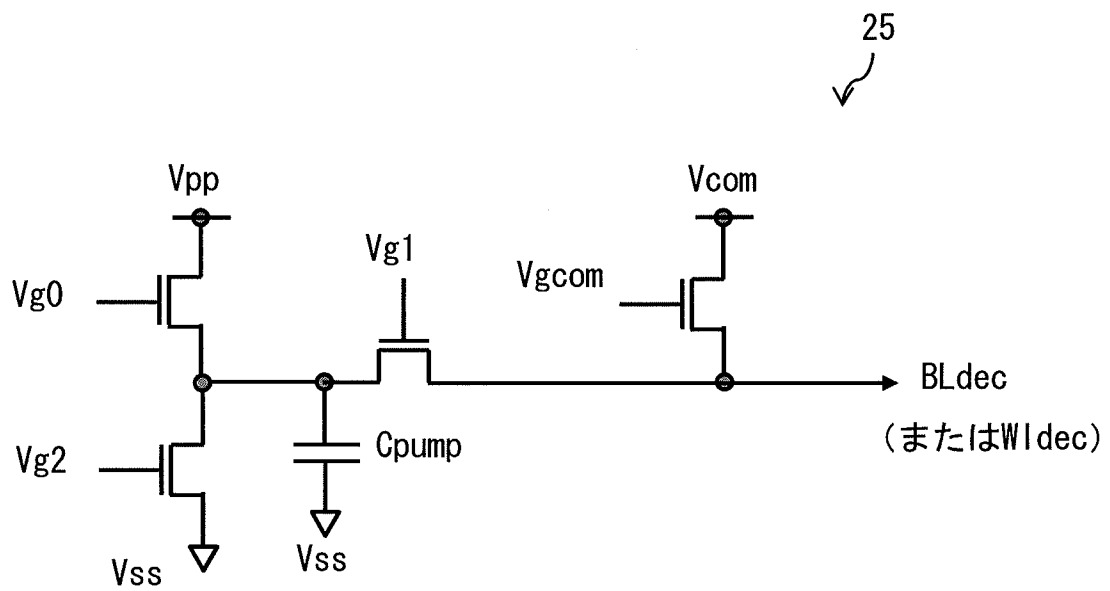
[図27]



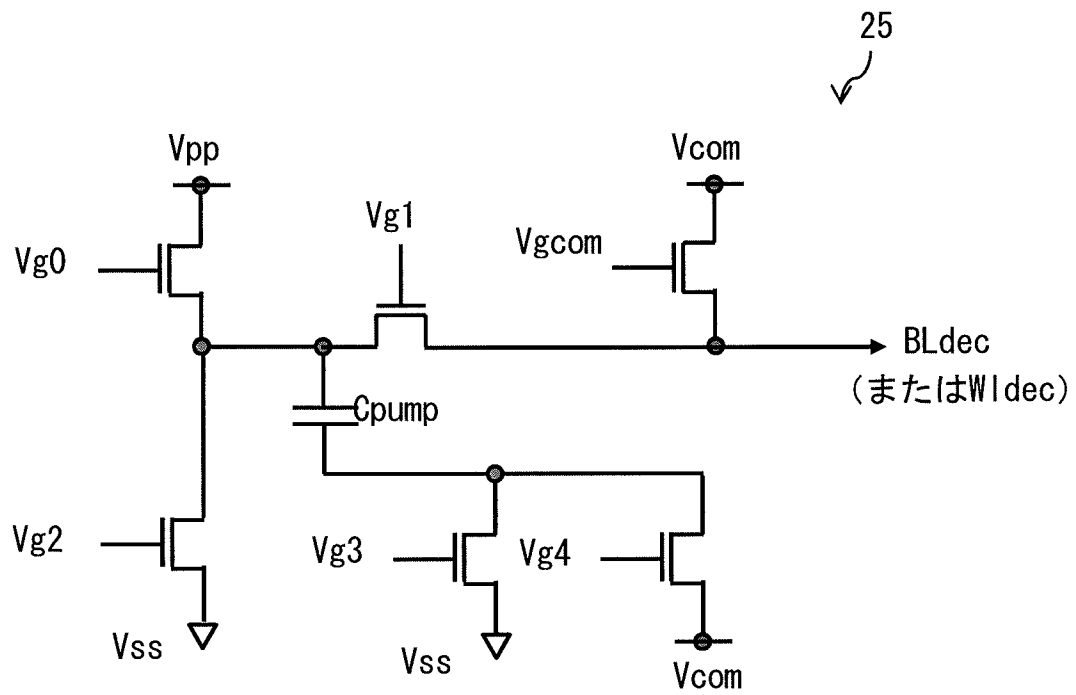
[図28]



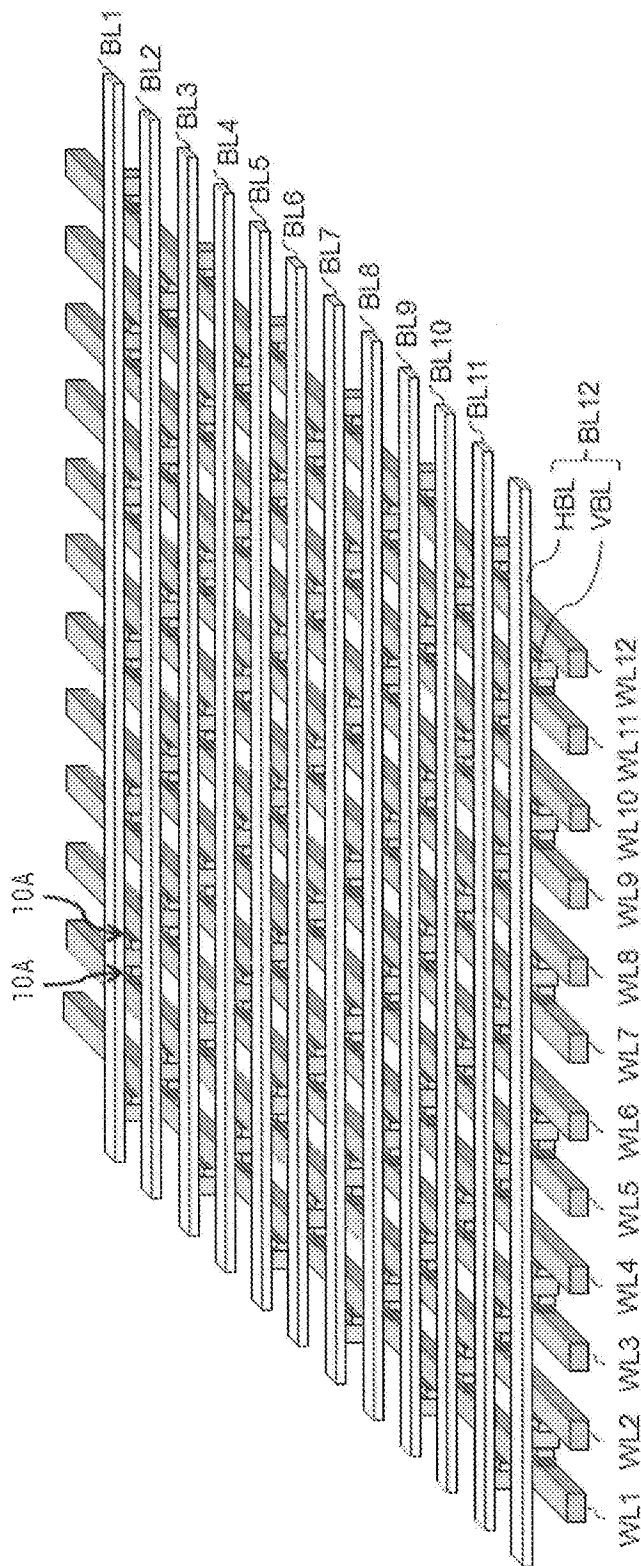
[図29]



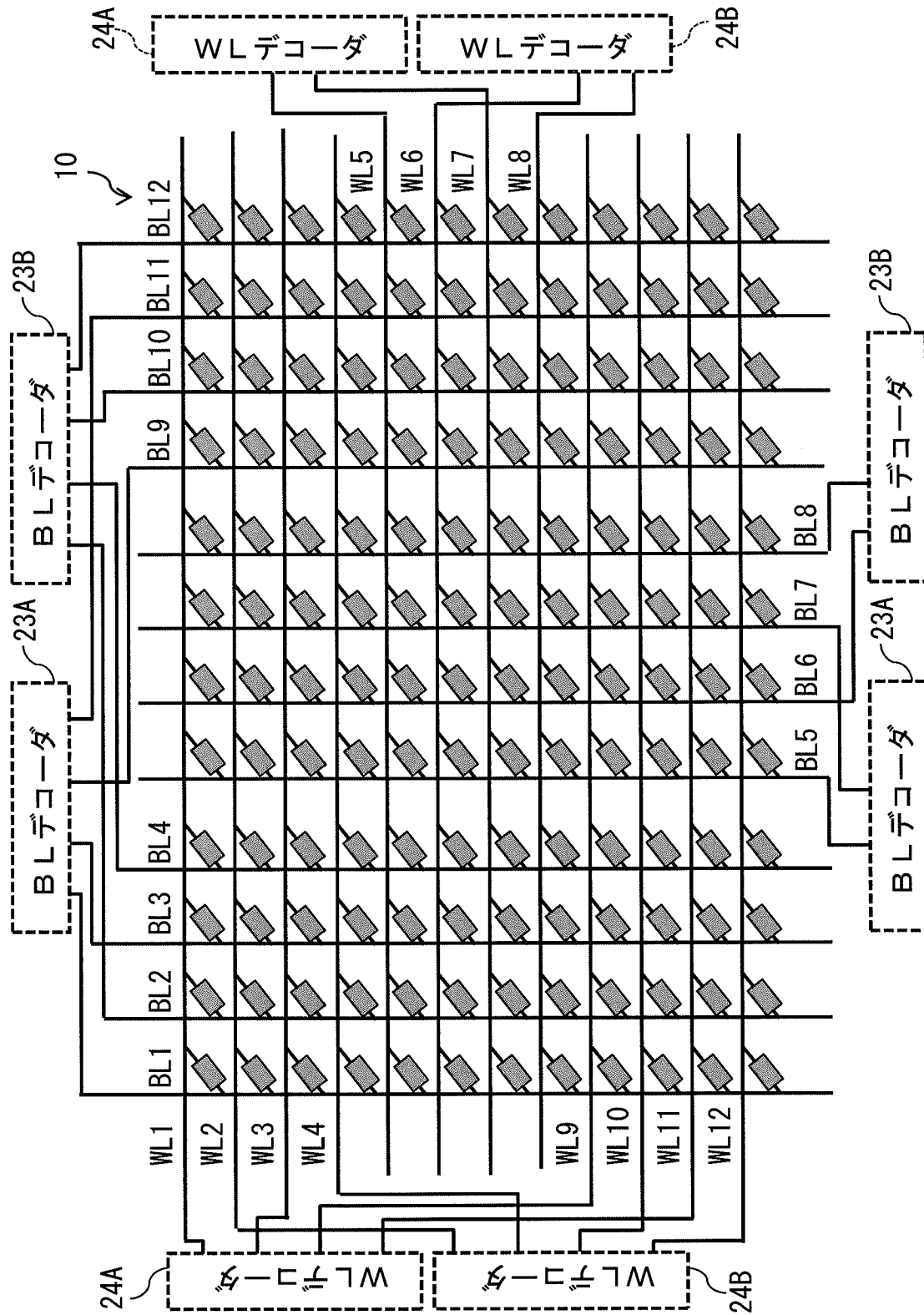
[図30]



[図31]



[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/060174

A. CLASSIFICATION OF SUBJECT MATTER

G11C13/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C13/00, G11C11/15, G11C11/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2013-502023 A (Sandisk 3D LLC), 17 January 2013 (17.01.2013), paragraphs [0023] to [0025], [0030], [0031], [0034] to [0042]; fig. 1, 3A, 3B, 4 & US 2011/0032774 A1 paragraphs [0025] to [0027], [0032], [0033], [0036] to [0044]; fig. 1, 3A, 3B, 4 & CN 102483948 A	1, 16, 17 2-15
A	JP 2014-78302 A (Panasonic Corp.), 01 May 2014 (01.05.2014), paragraphs [0191] to [0215]; fig. 16 & US 2014/0104925 A1 paragraphs [0240] to [0262]; fig. 16	2-15

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 April 2016 (19.04.16)

Date of mailing of the international search report
26 April 2016 (26.04.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G11C13/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G11C13/00, G11C11/15, G11C11/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2013-502023 A (サンディスク スリーディー, エルエルシー) 2013.01.17, 段落[0023]-[0025], [0030], [0031], [0034]-[0042], 図 1, 3A, 3B, 4 & US 2011/0032774 A1, 段落[0025]-[0027], [0032], [0033], [0036]-[0044], 図 1, 3A, 3B, 4 & CN 102483948 A	1, 16, 17 2-15
A	JP 2014-78302 A (パナソニック株式会社) 2014.05.01, 段落[0191]-[0215], 図 16 & US 2014/0104925 A1, 段落[0240]-[0262], 図 16	2-15

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

19.04.2016

国際調査報告の発送日

26.04.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

後藤 彰

5 N

4 2 2 6

電話番号 03-3581-1101 内線 3586