

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4193262号
(P4193262)

(45) 発行日 平成20年12月10日 (2008.12.10)

(24) 登録日 平成20年10月3日 (2008.10.3)

(51) Int.Cl.

F I

H03M 7/14 (2006.01)

H03M 7/14 B

G11B 20/14 (2006.01)

G11B 20/14 341B

請求項の数 18 (全 28 頁)

(21) 出願番号	特願平11-11142	(73) 特許権者	000002185
(22) 出願日	平成11年1月19日 (1999.1.19)		ソニー株式会社
(65) 公開番号	特開2000-209096 (P2000-209096A)		東京都港区港南1丁目7番1号
(43) 公開日	平成12年7月28日 (2000.7.28)	(74) 代理人	100094053
審査請求日	平成17年12月8日 (2005.12.8)		弁理士 佐藤 隆久
		(72) 発明者	三町 宣雅
			神奈川県横浜市保土ヶ谷区神戸町134番
			地 ソニー・エルエスアイ・デザイン株式
			会社内
		(72) 発明者	橋本 稔
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		(72) 発明者	木村 宏正
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内

最終頁に続く

(54) 【発明の名称】 復号装置およびデータ再生装置、並びに復号方法

(57) 【特許請求の範囲】

【請求項1】

2個のシンボルにより構成される符号系列の同一のシンボル間に連続して配置される他の上記シンボルの長さである連続長が所定の規定長として規定されている符号であって、チャンネルビット列のビット間隔をTとすると、最小反転間隔が3Tである符号を復号する復号装置であって、

符号系列から最小反転間隔を3Tより小さく正常な場合に本来存在し得ないTのパターンを検出する検出手段と、

上記検出手段で本来存在し得ないTのパターンが検出されると、当該パターンを3T以上の正常なフォーマットの信号に補正する補正手段と、を有し、

上記補正手段は、

位相エラー情報に基づいて、2Tが検出されたときの信号の後方エッジと前方エッジの位相エラーが揃うタイミングで、両エッジにおける大小比較を行い、この演算結果を用いて、所定の条件に従って2Tを3Tへ補正する方向を決定し、当該決定に応じて前方へ1T伸ばす補正、または後方へ1T伸ばす補正を行う補正回路を含む

復号装置。

【請求項2】

上記補正手段は、

1Tが検出されると当該1T部分を除去して、3T以上の正常なフォーマットの信号に補正する第1の補正回路と、

10

20

上記第 1 の補正回路の出力信号から、2 T を検出すると、当該 2 T 部分を 3 T に補正する第 2 の補正回路と、

上記第 2 の補正回路の出力信号から、2 T を検出すると、2 T の 2 値化信号の各エッジの位相エラーを比較して、比較結果に応じて当該 2 T 部分の前後のいずれの方向に補正するかを決定し、決定した方向に当該 2 T を 3 T に補正する第 3 の補正回路と、

上記第 3 の補正回路の出力信号から、1 T を検出すると、当該 1 T 部を 3 T に補正する第 4 の補正回路と、を有し、

上記第 3 の補正回路が、

位相エラー情報に基づいて、2 T が検出されたときの信号の後方エッジと前方エッジの位相エラーが揃うタイミングで、両エッジにおける大小比較を行い、この演算結果を用いて、所定の条件に従って 2 T を 3 T へ補正する方向を決定し、当該決定に応じて前方へ 1 T 伸ばす補正、または後方へ 1 T 伸ばす補正を行う

請求項 1 記載の復号装置。

【請求項 3】

上記第 1 の補正回路は、

1 T のチャネルクロックに同期して順次にシフトさせた 4 つの第 1 のシフト信号で後方の 1, 2, 3, 4 T を検出する後方 1, 2, 3, 4 T 検出器と、

上記第 1 のシフト信号をさらに上記チャネルクロックに同期してシフトさせた 2 つの第 2 のシフト信号で 1 T を検出する 1 T 検出器と、

上記第 2 のシフト信号をさらに上記チャネルクロックに同期してシフトさせた 4 つの第 3 のシフト信号で前方の 1, 2, 3, 4 T を検出する前方 1, 2, 3, 4 T 検出器と、を含み、

上記後方 1, 2, 3, 4 T 検出器、上記 1 T 検出器、および上記前方 1, 2, 3, 4 T 検出器の全てで対象 T が検出されると、連続する信号パターンから 1 T を除去すべきものとして当該 1 T 部分を除去して、3 T 以上の正常なフォーマットの信号に補正する

請求項 2 記載の復号装置。

【請求項 4】

上記第 2 の補正回路は、

上記第 1 の補正回路の出力信号を上記チャネルクロックに同期してシフトさせた 3 つの第 4 のシフト信号で後方の 1, 2, 3 T を検出する後方 1, 2, 3 T 検出器と、

上記第 4 のシフト信号をさらに上記チャネルクロックに同期してシフトさせた 3 つの第 5 のシフト信号で 2 T を検出する 2 T 検出器と、

上記第 5 のシフト信号をさらに上記チャネルクロックに同期してシフトさせた 3 つの第 6 のシフト信号で前方の 1, 2, 3 T を検出する前方 1, 2, 3 T 検出器と、を含み、

上記後方 1, 2, 3 T 検出器、上記 2 T 検出器、および上記前方 1, 2, 3 T 検出器の検出結果に応じて 2 T を 3 T へ補正する方向を決定し、決定方向に従って 2 T 部分を 3 T に補正する

請求項 2 または 3 記載の復号装置。

【請求項 5】

上記第 3 の補正回路は、

上記第 2 の補正回路の出力信号を上記チャネルクロックに同期してシフトさせた 1 2 の第 7 のシフト信号で後方の 3 T ~ 1 1 T を検出する後方 3 T ~ 1 1 T 検出器と、

上記第 7 のシフト信号をさらに上記チャネルクロックに同期してシフトさせた 3 つの第 8 のシフト信号で 2 T を検出する 2 T 検出器と、

上記第 8 のシフト信号をさらに上記チャネルクロックに同期してシフトさせた 1 2 の第 9 のシフト信号で前方の 3 T ~ 1 1 T を検出する前方 3 T ~ 1 1 T 検出器と、を含み、

上記後方 3 T ~ 1 1 T 検出器、上記 2 T 検出器、および上記前方 3 T ~ 1 1 T 検出器の検出結果に応じて 2 T を 3 T へ補正する方向を決定し、2 T の除去または決定方向に従って後方または前方を補正する

請求項 2 から 4 のいずれか一に記載の復号装置。

【請求項 6】

上記第 3 の補正回路は、

上記第 2 の補正回路の出力信号を上記チャネルクロックに同期してシフトさせた 1 2 の第 7 のシフト信号で後方の 3 T ~ 1 1 T を検出する後方 3 T ~ 1 1 T 検出器と、

上記第 7 のシフト信号をさらに上記チャネルクロックに同期してシフトさせた 3 つの第 8 のシフト信号で 2 T を検出する 2 T 検出器と、

上記第 8 のシフト信号をさらに上記チャネルクロックに同期してシフトさせた 1 2 の第 9 のシフト信号で前方の 3 T ~ 1 1 T を検出する前方 3 T ~ 1 1 T 検出器と、

位相エラー情報に基づいて、2 T が検出されたときの信号の後方エッジと前方エッジの位相エラーが揃うタイミングで、両エッジにおける大小比較を行う演算回路と、を含み、

上記後方 3 T ~ 1 1 T 検出器、上記 2 T 検出器、上記前方 3 T ~ 1 1 T 検出器、および演算回路の結果に応じて 2 T を 3 T へ補正する方向を決定し、選択的に 2 T の除去または決定方向に従って後方または前方を補正する

請求項 2 から 4 のいずれかーに記載の復号装置。

【請求項 7】

上記第 4 の補正回路は、

上記第 3 の補正回路の出力信号を上記チャネルクロックに同期してシフトさせた 2 つの第 1 0 のシフト信号で 1 T ~ 1 1 を検出する 1 T 検出器を有し、

上記 1 T 検出器で 1 T が検出されると当該 1 T 部を 3 T に補正する

請求項 2 から 6 のいずれかーに記載の復号装置。

【請求項 8】

上記第 3 の補正回路と上記第 4 の補正回路の信号ラインの位置を、上記第 2 の補正回路の出力と当該補正手段の出力との間で接続切り替え可能な手段

を有する請求項 2 から 7 のいずれかーに記載の復号装置。

【請求項 9】

2 個のシンボルにより構成される符号系列の同一のシンボル間に連続して配置される他の上記シンボルの長さである連続長が所定の規定長として規定されている符号データであって、所定の記録媒体に記録された、チャネルビット列（記録波形列）のビット間隔を T とすると、最小反転間隔が 3 T である符号データを再生するデータ再生装置であって、

上記記録媒体から R F 信号を再生する手段と、

再生された R F 信号から最小反転間隔を 3 T より小さく正常な場合に本来存在し得ない T のパターンを検出する検出手段と、

上記検出手段で本来存在し得ない T のパターンが検出されると、当該パターンを 3 T 以上の正常なフォーマットの信号に補正する補正手段と、

上記補正手段で補正された信号に対してエラー訂正を行うエラー訂正回路と、を有し、上記補正手段は、

位相エラー情報に基づいて、2 T が検出されたときの信号の後方エッジと前方エッジの位相エラーが揃うタイミングで、両エッジにおける大小比較を行い、この演算結果を用いて、所定の条件に従って 2 T を 3 T へ補正する方向を決定し、当該決定に応じて前方へ 1 T 伸ばす補正、または後方へ 1 T 伸ばす補正を行う補正回路を含む

データ再生装置。

【請求項 1 0】

上記補正手段は、

1 T が検出されると当該 1 T 部分を除去して、3 T 以上の正常なフォーマットの信号に補正する第 1 の補正回路と、

上記第 1 の補正回路の出力信号から、2 T を検出すると、当該 2 T 部分を 3 T に補正する第 2 の補正回路と、

上記第 2 の補正回路の出力信号から、2 T を検出すると、2 T の 2 値化信号の各エッジの位相エラーを比較して、比較結果に応じて当該 2 T 部分の前後のいずれの方向に補正するかを決定し、決定した方向に当該 2 T を 3 T に補正する第 3 の補正回路と、

10

20

30

40

50

上記第 3 の補正回路の出力信号から、1 T を検出すると、当該 1 T 部を 3 T に補正する第 4 の補正回路と、を有し、

上記第 3 の補正回路が、

位相エラー情報に基づいて、2 T が検出されたときの信号の後方エッジと前方エッジの位相エラーが揃うタイミングで、両エッジにおける大小比較を行い、この演算結果を用いて、所定の条件に従って 2 T を 3 T へ補正する方向を決定し、当該決定に応じて前方へ 1 T 伸ばす補正、または後方へ 1 T 伸ばす補正を行う

請求項 9 記載のデータ再生装置。

【請求項 1 1】

上記第 1 の補正回路は、

1 T のチャネルクロックに同期して順次にシフトさせた 4 つの第 1 のシフト信号で後方の 1, 2, 3, 4 T を検出する後方 1, 2, 3, 4 T 検出器と、

上記第 1 のシフト信号をさらに上記チャネルクロックに同期してシフトさせた 2 つの第 2 のシフト信号で 1 T を検出する 1 T 検出器と、

上記第 2 のシフト信号をさらに上記チャネルクロックに同期してシフトさせた 4 つの第 3 のシフト信号で前方の 1, 2, 3, 4 T を検出する前方 1, 2, 3, 4 T 検出器と、を含み、

上記後方 1, 2, 3, 4 T 検出器、上記 1 T 検出器、および上記前方 1, 2, 3, 4 T 検出器の全てで対象 T が検出されると、連続する信号パターンから 1 T を除去すべきものとして当該 1 T 部分を除去して、3 T 以上の正常なフォーマットの信号に補正する

請求項 1 0 記載のデータ再生装置。

【請求項 1 2】

上記第 2 の補正回路は、

上記第 1 の補正回路の出力信号を上記チャネルクロックに同期してシフトさせた 3 つの第 4 のシフト信号で後方の 1, 2, 3 T を検出する後方 1, 2, 3 T 検出器と、

上記第 4 のシフト信号をさらに上記チャネルクロックに同期してシフトさせた 3 つの第 5 のシフト信号で 2 T を検出する 2 T 検出器と、

上記第 5 のシフト信号をさらに上記チャネルクロックに同期してシフトさせた 3 つの第 6 のシフト信号で前方の 1, 2, 3 T を検出する前方 1, 2, 3 T 検出器と、を含み、

上記後方 1, 2, 3 T 検出器、上記 2 T 検出器、および上記前方 1, 2, 3 T 検出器の検出結果に応じて 2 T を 3 T へ補正する方向を決定し、決定方向に従って 2 T 部分を 3 T に補正する

請求項 1 0 または 1 1 記載のデータ再生装置。

【請求項 1 3】

上記第 3 の補正回路は、

上記第 2 の補正回路の出力信号を上記チャネルクロックに同期してシフトさせた 1 2 の第 7 のシフト信号で後方の 3 T ~ 1 1 T を検出する後方 3 T ~ 1 1 T 検出器と、

上記第 7 のシフト信号をさらに上記チャネルクロックに同期してシフトさせた 3 つの第 8 のシフト信号で 2 T を検出する 2 T 検出器と、

上記第 8 のシフト信号をさらに上記チャネルクロックに同期してシフトさせた 1 2 の第 9 のシフト信号で前方の 3 T ~ 1 1 T を検出する前方 3 T ~ 1 1 T 検出器と、を含み、

上記後方 3 T ~ 1 1 T 検出器、上記 2 T 検出器、および上記前方 3 T ~ 1 1 T 検出器の検出結果に応じて 2 T を 3 T へ補正する方向を決定し、2 T の除去または決定方向に従って後方または前方を補正する

請求項 1 0 から 1 2 のいずれかーに記載のデータ再生装置。

【請求項 1 4】

上記第 3 の補正回路は、

上記第 2 の補正回路の出力信号を上記チャネルクロックに同期してシフトさせた 1 2 の第 7 のシフト信号で後方の 3 T ~ 1 1 T を検出する後方 3 T ~ 1 1 T 検出器と、

上記第 7 のシフト信号をさらに上記チャネルクロックに同期してシフトさせた 3 つの

10

20

30

40

50

第 8 のシフト信号で 2 T を検出する 2 T 検出器と、

上記第 8 のシフト信号をさらに上記チャネルクロックに同期してシフトさせた 1 2 の第 9 のシフト信号で前方の 3 T ~ 1 1 T を検出する前方 3 T ~ 1 1 T 検出器と、

位相エラー情報に基づいて、2 T が検出されたときの信号の後方エッジと前方エッジの位相エラーが揃うタイミングで、両エッジにおける大小比較を行う演算回路と、を含み、

上記後方 3 T ~ 1 1 T 検出器、上記 2 T 検出器、上記前方 3 T ~ 1 1 T 検出器、および演算回路の結果に応じて 2 T を 3 T へ補正する方向を決定し、選択的に 2 T の除去または決定方向に従って後方または前方を補正する

請求項 1 0 から 1 2 のいずれかに記載のデータ再生装置。

【請求項 1 5】

10

上記第 4 の補正回路は、

上記第 3 の補正回路の出力信号を上記チャネルクロックに同期してシフトさせた 2 つの第 1 0 のシフト信号で 1 T ~ 1 1 を検出する 1 T 検出器を有し、

上記 1 T 検出器で 1 T が検出されると当該 1 T 部を 3 T に補正する

請求項 1 0 から 1 4 のいずれかに記載のデータ再生装置。

【請求項 1 6】

上記第 3 の補正回路と上記第 4 の補正回路の信号ラインの位置を、上記第 2 の補正回路の出力と当該補正手段の出力との間で接続切り替え可能な手段

を有する請求項 1 0 から 1 5 のいずれかに記載のデータ再生装置。

【請求項 1 7】

20

2 個のシンボルにより構成される符号系列の同一のシンボル間に連続して配置される他の上記シンボルの長さである連続長が所定の規定長として規定されている符号であって、チャネルビット列のビット間隔を T とすると、最小反転間隔が 3 T である符号を復号する復号方法であって、

符号系列から最小反転間隔を 3 T より小さく正常な場合に本来存在し得ない T のパターンを検出する第 1 ステップと、

本来存在し得ない T のパターンを検出すると、当該パターンを 3 T 以上の正常なフォーマットの信号に補正する第 2 ステップと、を含み、

上記第 2 ステップにおいて、

位相エラー情報に基づいて、2 T が検出されたときの信号の後方エッジと前方エッジの位相エラーが揃うタイミングで、両エッジにおける大小比較を行い、この演算結果を用いて、所定の条件に従って 2 T を 3 T へ補正する方向を決定し、当該決定に応じて前方へ 1 T 伸ばす補正、または後方へ 1 T 伸ばす補正を行う

30

復号方法。

【請求項 1 8】

上記第 2 のステップにおいて、

第 1 の補正回路で 1 T が検出されると当該 1 T 部分を除去して、3 T 以上の正常なフォーマットの信号に補正し、

第 2 の補正回路で、上記第 1 の補正回路の出力信号から、2 T を検出すると、当該 2 T 部分を 3 T に補正し、

40

第 3 の補正回路で、上記第 2 の補正回路の出力信号から、2 T を検出すると、2 T の 2 値化信号の各エッジの位相エラーを比較して、比較結果に応じて当該 2 T 部分の前後のいずれの方向に補正するかを決定し、決定した方向に当該 2 T を 3 T に補正し、

第 4 の補正回路で、上記第 3 の補正回路の出力信号から、1 T を検出すると、当該 1 T 部を 3 T に補正し、

上記第 3 の補正回路における補正において、

位相エラー情報に基づいて、2 T が検出されたときの信号の後方エッジと前方エッジの位相エラーが揃うタイミングで、両エッジにおける大小比較を行い、この演算結果を用いて、所定の条件に従って 2 T を 3 T へ補正する方向を決定し、当該決定に応じて前方へ 1 T 伸ばす補正、または後方へ 1 T 伸ばす補正を行う

50

請求項 18 記載の復号方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、RLL (Run Length Limited) 符号を用いて情報を記録した、たとえばCD (コンパクトディスク) やMD (ミニディスク) と称されるデジタル・オーディオ・ディスク等の情報記録媒体から読み出したRF信号を復号して、チャンネルビットデータを出力する復号装置およびデータ再生装置、並びに復号方法に関するものである。

【0002】

【従来の技術】

データを伝送したり、たとえば磁気ディスク、光ディスク、光磁気ディスク等の記録媒体にデータを記録する際に、伝送や記録に適するようにデータの変調が行われる。

このような変調符号の1つとしてブロック符号が知られている。

【0003】

このブロック符号は、データ列を $m \times i$ ビットからなる単位(以下、データ語という)にブロック化し、このデータ語を適当な符号則に従って $n \times i$ ビットからなる符号に変換するものである。

このブロック符号は、 $i = 1$ のときには固定長符号となる。また、 i が複数個選べるとき、すなわち i が2以上で最大の i である $i_{\max} = r$ で変換したときには可変長符号となる。

ブロック符号化された符号は、可変長符号($d, k; m, n; r$)と表される。

ここで、 i は拘束長であり、 r は最大拘束長である。また、 d および k は符号系列内の連続する「1」の間に入る「0」の最小連続個数および「0」の最大連続個数である。

【0004】

以下に、具体例としてデジタル・オーディオ・ディスクの変調方式について説明する。

【0005】

デジタル・オーディオ・ディスク、たとえばCD方式のディスクでは、EFM (Eight to Fourteen Modulation) と呼ばれる変調方式が採られている。

CDのディスクに記録されているデータは、44.1kHzでサンプリングした16ビットのデジタルデータを上記(Upper) / 下位(Lower)側に8ビットずつ2分割され、インターリーブ処理を施した上でC1、C2系列に添ってパリティが付加される。

そして、この8ビットのデータ語があらかじめ定められている14ビットの符号語(チャンネルビット)にパターン変換(EFM変調)された後、EFM変調後の直流成分を低減させるために、データ間に3ビットの結合ビットが付加されて、ディスクにNRZIで記録される。

【0006】

符号系列内の連続する「1」の間に入る「0」の最小連続個数が2、「0」の最大連続個数が10の条件を満足するように、8ビットから14ビットへの変換並びに結合ビットが付加される。

したがって、この変調方式のパラメータ($d, k; m, n; r$)は、(2, 10; 8, 17; 1)である。

チャンネルビット列(記録波形列)のビット間隔を T とすると、最小反転間隔は $T_{\min}$ は3(2+1) T である。また、最大反転間隔 $T_{\max}$ は、11(=10+1) T である。

すなわち、8ビットから14ビットへの変換並びに結合ビットが付加されるデータは、最終的に3 T から11 T ($1/T = 4.3218$ MHz、1倍)の長さに集約される。

【0007】

このEFM信号を復調する際には、ディスクから読み取ったRF信号を波形整形することによって得られる2値のパルス列信号に基づいてクロック(以下、再生クロックと称する)を生成し、この再生クロックを用いて復調処理が行われる。この再生クロックの生成には、一般的に、PLL (Phase Locked Loop) 回路が用いられている。

10

20

30

40

50

【 0 0 0 8 】

この再生クロック P C K の周波数は 4 . 3 2 1 8 M H z である。4 . 3 2 1 8 M H z は C D 方式で E F M 信号を P W M 変調するときのチャネルクロック周波数であり、この 3 周期から 1 1 周期まで 1 周期ステップで E F M 信号は P W M 変調されている。

ディスクから読み取られた R F 信号が波形整形によって 2 値化されて得られる 2 値化信号は、チャネルクロックの周期を T とすると、 $n T$ (但し、 n は 3 ~ 1 1 の整数) で変化する信号である。

【 0 0 0 9 】

【 発明が解決しようとする課題 】

ところで、C D システムでは、入力された R F 信号を 2 値化して E F M 復調を行ったとき、E F M 信号の 3 T が、傷や、コンパレートレベルのずれによって、1 T、2 T として検出される場合がある。

従来の C D システムの復号装置では、これに対して何も補正を行わず、この E F M 信号の 3 T から 1 1 T 以外のものは本来存在し得ない信号としてエラーとして扱われ、内部のエラー訂正回路によって訂正される。

【 0 0 1 0 】

ところが、エラー訂正回路のエラー訂正能力には限界があるため、ある一定以上の 1 T、2 T がランダムに含まれた場合、上述した従来の C D システムの復号装置では、エラー訂正回路で訂正不能となってしまう、プレイアビリティが悪化していた。

【 0 0 1 1 】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、本来存在しえない 1 T、2 T の補正を行うことができ、エラー訂正回路の処理を軽減でき、プレイアビリティを向上させることができる復号装置およびデータ再生装置、並びに復号方法を提供することにある。

【 0 0 1 2 】

【 課題を解決するための手段 】

上記目的を達成するため、本発明は、2 個のシンボルにより構成される符号系列の同一のシンボル間に連続して配置される他の上記シンボルの長さである連続長が所定の規定長として規定されている符号であって、チャネルビット列のビット間隔を T とすると、最小反転間隔が 3 T である符号を復号する復号装置であって、符号系列から最小反転間隔を 3 T より小さく正常な場合に本来存在し得ない T のパターンを検出する検出手段と、上記検出手段で本来存在し得ない T のパターンが検出されると、当該パターンを 3 T 以上の正常なフォーマットの信号に補正する補正手段と、を有し、上記補正手段は、位相エラー情報に基づいて、2 T が検出されたときの信号の後方エッジと前方エッジの位相エラーが揃うタイミングで、両エッジにおける大小比較を行い、この演算結果を用いて、所定の条件に従って 2 T を 3 T へ補正する方向を決定し、当該決定に応じて前方へ 1 T 伸ばす補正、または後方へ 1 T 伸ばす補正を行う補正回路を含む。

【 0 0 1 3 】

また、本発明は、2 個のシンボルにより構成される符号系列の同一のシンボル間に連続して配置される他の上記シンボルの長さである連続長が所定の規定長として規定されている符号データであって、所定の記録媒体に記録された、チャネルビット列 (記録波形列) のビット間隔を T とすると、最小反転間隔が 3 T である符号データを再生するデータ再生装置であって、上記記録媒体から R F 信号を再生する手段と、再生された R F 信号から最小反転間隔を 3 T より小さく正常な場合に本来存在し得ない T のパターンを検出する検出手段と、上記検出手段で本来存在し得ない T のパターンが検出されると、当該パターンを 3 T 以上の正常なフォーマットの信号に補正する補正手段と、上記補正手段で補正された信号に対してエラー訂正を行うエラー訂正回路と、を有し、上記補正手段は、位相エラー情報に基づいて、2 T が検出されたときの信号の後方エッジと前方エッジの位相エラーが揃うタイミングで、両エッジにおける大小比較を行い、この演算結果を用いて、所定の条件に従って 2 T を 3 T へ補正する方向を決定し、当該決定に応じて前方へ 1 T 伸ばす補正

、または後方へ 1 T 伸ばす補正を行う補正回路を含む。

【 0 0 1 4 】

また、本発明では、上記検出手段は、1 T を含む連続した T のパターンを検出し、上記補正手段は、1 T を含む連続した T のパターンが検出されると、1 T 部分を除去して、3 T 以上の正常なフォーマットの信号に補正する。

【 0 0 1 5 】

また、本発明では、上記検出手段は、1 T を含む連続した T のパターンを検出し、上記補正手段は、1 T を含む連続した T のパターンが検出されると、1 T 部分を 3 T に補正する。

【 0 0 1 6 】

また、本発明では、上記検出手段は、1 T を含む連続したパターンを検出し、上記補正手段は、1 T を含む連続したパターンが検出されると、3 T 以上の任意のフォーマットの信号に補正する。

【 0 0 1 7 】

また、本発明では、上記検出手段は、1 T および 2 T を含む連続した T のパターンを検出し、上記補正手段は、1 T および 2 T を含む連続した T のパターンが検出されると、3 T 以上の任意のフォーマットの信号に補正する。

【 0 0 1 8 】

また、本発明では、上記検出手段は、2 T を含む連続した T のパターンを検出し、上記補正手段は、2 T を含む連続した T のパターンが検出されると、2 T 部分を除去して、3 T 以上の正常なフォーマットの信号に補正する。

【 0 0 1 9 】

また、本発明では、上記検出手段は、2 T を含む連続した T のパターンを検出し、上記補正手段は、2 T を含む連続した T のパターンが検出されると、2 T 部分を 3 T に補正する。

【 0 0 2 0 】

また、本発明では、上記検出手段は、2 T を含む連続したパターンを検出し、上記補正手段は、2 T を含む連続したパターンが検出されると、3 T 以上の任意のフォーマットの信号に補正する。

【 0 0 2 1 】

また、本発明では、上記補正手段は、2 T が検出された場合、当該 2 T 部分の前後の T の長さを比較して長い方へ補正する。

【 0 0 2 2 】

また、本発明では、上記補正手段は、2 T の 2 値化信号の各エッジの位相エラーを比較して、比較結果に応じて当該 2 T 部分の前後のいずれの方向に補正するかを決定し、決定した方向に当該 2 T を 3 T に補正する。

【 0 0 2 3 】

また、本発明では、上記補正手段は、2 T が検出された場合、強制的に前方または後方へ 1 T 伸ばし 3 T に補正する。

また、本発明では、上記補正手段は、2 T の検出毎に、強制的に 1 T 伸ばす方向を前方および後方で交互に行う。

【 0 0 2 4 】

また、本発明では、上記補正手段は、1 T が検出された場合、強制的に前方および後方へ 1 T 伸ばし 3 T に補正する。

【 0 0 2 5 】

また、本発明では、上記補正手段は、1 T が検出されると当該 1 T 部分を除去して、3 T 以上の正常なフォーマットの信号に補正する第 1 の補正回路と、上記第 1 の補正回路の出力信号から、2 T を検出すると、当該 2 T 部分を 3 T に補正する第 2 の補正回路と、上記第 2 の補正回路の出力信号から、2 T を検出すると、2 T の 2 値化信号の各エッジの位相エラーを比較して、比較結果に応じて当該 2 T 部分の前後のいずれの方向に補正するかを

10

20

30

40

50

決定し、決定した方向に当該 2 T を 3 T に補正する第 3 の補正回路と、上記第 3 の補正回路の出力信号から、1 T を検出すると、当該 1 T 部を 3 T に補正する第 4 の補正回路とを有する。

【0026】

また、本発明では、上記第 3 の補正回路と上記第 4 の補正回路の信号ラインの位置を、上記第 2 の補正回路の出力と当該補正手段の出力との間で接続切り替え可能な手段を有する。

【0027】

また、本発明は、2 個のシンボルにより構成される符号系列の同一のシンボル間に連続して配置される他の上記シンボルの長さである連続長が所定の規定長として規定されている符号であって、チャネルビット列のビット間隔を T とすると、最小反転間隔が 3 T である符号を復号する復号方法であって、符号系列から最小反転間隔を 3 T より小さく正常な場合に本来存在し得ない T のパターンを検出する第 1 ステップと、本来存在し得ない T のパターンを検出すると、当該パターンを 3 T 以上の正常なフォーマットの信号に補正する第 2 ステップと、を含み、上記第 2 ステップにおいて、位相エラー情報に基づいて、2 T が検出されたときの信号の後方エッジと前方エッジの位相エラーが揃うタイミングで、両エッジにおける大小比較を行い、この演算結果を用いて、所定の条件に従って 2 T を 3 T へ補正する方向を決定し、当該決定に応じて前方へ 1 T 伸ばす補正、または後方へ 1 T 伸ばす補正を行う。

【0028】

本発明によれば、検出手段において、符号系列から最小反転間隔を 3 T より小さく正常な場合に本来存在し得ない T のパターンである、1 T または 2 T の少なくとも一方が検出される。

そして、検出手段で本来存在し得ない T のパターンが検出されると、補正手段において、当該パターンが 3 T 以上の正常なフォーマットの信号に補正される。

【0029】

また、本発明によれば、記録媒体から R F 信号が再生される。

そして、検出手段において、再生された R F 信号から最小反転間隔を 3 T より小さく正常な場合に本来存在し得ない T のパターンである、1 T または 2 T の少なくとも一方が検出される。

そして、検出手段で本来存在し得ない T のパターンが検出されると、補正手段において、当該パターンが 3 T 以上の正常なフォーマットの信号に補正される。

補正された信号はエラー訂正回路に入力されてエラーが訂正される。

【0030】

このように、発生した 1 T、2 T 信号を補正することにより、今までエラーとなっていた信号を復元できる。そのため、エラー訂正回路で訂正を行う信号が、3 T から 1 1 T のフォーマットに補正されるため、結果的にエラーレートが向上し、プレイアビリティが向上する。

【0031】

また、ディスク表面に細かく付いた傷によって R F 信号の振幅レベルが下がり正確に R F 信号が入力されないものや正確に 2 値化されずに発生した、1 T、2 T の信号を除去することができる。

【0032】

【発明の実施の形態】

以下、たとえば C D プレーヤに適用された本発明の実施形態について図面を参照しつつ詳細に説明する。なお、本発明は、C D プレーヤへの適用に限定されるものではなく、M D プレーヤなどディスクプレーヤ全般に適用し得るものである。

【0033】

図 1 は、本発明に係る復号装置が適用される C D プレーヤの制御系の一実施形態を示す構成図である。

【 0 0 3 4 】

本制御系は、図 1 に示すように、ディスク (C D ; 符号変調を用いた情報ディスク) 1、スピンドルモータ 2、光学式ピックアップ (以下、単にピックアップと称する) 3、I / V A m p 8、R F イコライザ 9、D S P (Digital Signal Processor) 回路 1 0、コントローラ 2 0、および光学系サーボ信号処理回路 2 2 を主構成要素としている。

【 0 0 3 5 】

図 1 において、符号変調を用いた情報ディスクであるディスク 1 はスピンドルモータ 2 によって回転駆動され、ディスク 1 の記録情報は光学式ピックアップ 3 によって読み取られる。

ピックアップ 3 は、レーザダイオード 4、このレーザダイオード 4 から発せられるレーザ光ビームをディスク 1 の信号記録面上に情報読取用光スポットとして集束させる対物レンズ 5、ディスク 1 からの反射光ビームの進行方向を変える偏光ビームスプリッタ 6、この反射光ビームを受光するフォトディテクタ 7 等によって構成され、スレッド送りモータ (図示せず) を駆動源としてディスク半径方向において移動自在に設けられている。

【 0 0 3 6 】

ピックアップ 3 にはさらに、図示しないが、ディスク 1 の記録トラックに対して情報読取用光スポットをディスク半径方向において移動させるトラッキングアクチュエータと、対物レンズ 5 のその光軸方向において移動させるフォーカスアクチュエータとが内蔵されている。

このピックアップ 3 の出力信号は、I (電流) / V (電圧) アンプ 8 で電流信号から電圧信号に変換され、さらに R F イコライズ回路 9 で波形整形された後、R F 信号として D S P (Digital Signal Processor) 回路 1 0 に供給される。

【 0 0 3 7 】

D S P 回路 1 0 は、P L L アシンメトリ補正回路 1 1、E F M ブロック 1 2、サブコード処理回路 1 3、R A M 1 4、エラー訂正回路 1 5、デ・インタリーブ回路 1 6、クロック発生器 1 7 を有している。これらの信号処理系のについては後述す。

D S P 回路 1 0 には、さらに、スピンドルモータ 2 の回転制御をなすスピンドル・サーボ信号処理回路 1 8 が設けられている。D S P 回路 1 0 は、クリスタル発振子 2 1 の高精度の発振出力に基づいて各種のクロックを発生するクロック発生器 1 7 を内蔵し、各クロックに基づいて各種の信号処理を行う。

【 0 0 3 8 】

なお、光学系サーボ信号処理回路 2 2 は、ピックアップ 3 の動作に関連する各サーボ系、即ち情報読取用光スポットをディスク 1 の記録トラックに追従させるためのトラッキングサーボ系、当該光スポットをディスク 1 の信号記録面上に常に集束させるためのフォーカスサーボ系およびピックアップ 3 のディスク半径方向における位置制御をなすためのスレッドサーボ系を制御するためのものである。

【 0 0 3 9 】

次に、この D S P 回路 1 0 における信号処理系について説明する。

【 0 0 4 0 】

P L L アシンメトリ補正回路 1 1 は、R F イコライザ 9 による R F 信号を受けて、アシンメトリ (asymmetry) の補正を行い、2 値化した R F 信号 (E F M 信号) を E F M ブロック 1 2 に出力する。

なお、アシンメトリとは、R F 信号のアイパターンの中心が振幅の中心からずれる状態を言う。

【 0 0 4 1 】

また、P L L アシンメトリ補正回路 1 1 は、2 値の信号エッジ (2 値のパルス列信号) に基づいて再生クロック P C K を生成するデジタル P L L 回路 1 1 1 を内蔵している。

この再生クロック P C K の周波数は 4 . 3 2 1 8 M H z である。

そして、デジタル P L L 回路 1 1 1 は、2 値化された E F M 信号をもとに、再生クロック P C K の通倍の基準クロック H I F を生成し、E F M 信号と再生クロック P C K の同期

10

20

30

40

50

を取る際に、基準クロックHIFを用いて位相エラー量を検出し、このRF信号の位相エラーを、後述するように3ビットの位相エラー情報S111としてEFMブロック12の補正部121に供給する。

なお、再生クロックPCKの逡倍の基準クロックHIFは、通常速動作時は、 $4.3218\text{MHz} \times 8 (= 34.5744\text{MHz})$ 、倍速動作時は $4.3218\text{MHz} \times 6 (= 25.9308\text{MHz})$ である。

【0042】

ディジタルPLL回路111より得られる位相エラーと値の関係を以下に示す。なお括弧内の値はディジタルPLL回路111より出力される3ビットデータである。

【0043】

通常速動作時	倍速動作時
位相進み + 4 (100)	
位相進み + 3 (011)	+ 3 (101)
位相進み + 2 (010)	+ 1 (001)
位相進み + 1 (001)	+ 1 (001)
位相差無し 0 (000)	0 (000)
位相遅れ - 1 (111)	- 1 (111)
位相遅れ - 2 (110)	- 2 (110)
位相遅れ - 3 (101)	

【0044】

EFMブロック12は、図2に示すように、PLLアシンメトリ補正回路11で2値化されたRF信号のエッジ検出を行ってNRZ変換してディジタルPLL回路11で生成されたクロックを用いて同期化し、同期化したときに発生したフォーマット上はEFM信号として本来存在し得ない1T、2T(Tはチャネルクロックの周期)の検出を行い、検出した1T、2Tの信号を、所定の条件に従って0または3Tに補正(この補正については、後で詳述する)して、RF信号から1T、2Tを除去し、その1T、2Tを除去したRF信号をEFM変調する補正部121と、EFM変調後の信号をEFM復調する復調回路122により構成されている。

【0045】

EFMブロック12において復調されたEFM信号は、ディジタルオーディオのデータと、エラー訂正・検出用のパリティになるとともに、フレーム同期信号のすぐ後ろに入っているサブコードが復調される。このサブコードは、サブコード処理回路13を経てコントローラ20に供給される。

EFM復調後のデータは一旦RAM14に格納され、エラー訂正回路15によってエラー訂正・検出用のパリティに基づいてエラー訂正が行われる。

エラー訂正後のデータは、デ・インターリーブ回路16にてCIRC(Cross Interleave Reed-Solomon Code)のインターリーブが解かれ、L/Rchのオーディオ信号として出力される。

【0046】

以下に、本発明の特徴であるEFMブロック12の補正部121の機能、構成について、順を追って説明する。

【0047】

補正部121は、CD、MD、DVDなど、符号変調を用いた情報ディスク1の表面に細かく付いた傷や、たとえばRFイコライザ9におけるコンパレートレベルのずれによってフォーマット上エラーとなっていた、本来存在し得ないEFM信号に対して含まれる1T信号または2T信号を、たとえば以下に示す方式に従って0または3T信号に補正する。

【0048】

補正方式には、パターン検出方式、エッジ検出方式、および強制補正方式がある。これら補正方式は以下の内容で、1T信号または2T信号を0または3T信号に補正する。

【0049】

10

20

30

40

50

1. パターン検出方式

- ・ 1 Tを含む連続したTのパターンを検出して0、3 Tに補正する。
- ・ 1 Tを含む連続したパターンを検出して任意のTに補正する。
- ・ 1 T、2 Tを含む連続したパターンを検出して任意のTに補正する。
- ・ 2 Tを含む連続したTのパターンを検出して0、3 Tに補正する。
- ・ 2 Tを含む連続したパターンを検出して任意のTに補正する。

【0050】

2. エッジ比較方式

- ・ 2 Tが検出された場合、前後のTの長さを比較して長い方に補正する。
- ・ 2 Tの、EFM信号の各エッジの位相エラーを比較して3 Tに補正する。

10

【0051】

3. 強制補正方式

- ・ 2 Tが検出された場合、強制的に前、後ろへ1 T伸ばし3 Tに補正する。
- ・ 1 Tが検出された場合、強制的に前後へ1 T伸ばし3 Tに補正する。

【0052】

補正部121は、図3に示すように、NRZ変換・エッジ検出回路1211、検出した1 Tを0 Tに補正する第1の補正回路1212、検出した2 Tを3 Tまたは0 Tに補正する第2の補正回路1213、検出した2 Tを3 Tに補正する第3の補正回路1214、検出した1 Tを3 Tに補正する第4の補正回路1215、セクタ1216、およびEFM変調回路1217により構成されている。

20

なお、セクタ1216は、補正モード時には、第4の補正回路1215の出力をEFM変調回路1217に入力させ、補正を行わないときには、NRZ変換・エッジ検出回路1211の出力信号をEFM変調回路1217に直接入力させる。

【0053】

このような構成を有する補正部121では、アシンメトリ補正回路によって2値化されたRF信号(EFM信号)が、NRZ変換・エッジ検出回路1211でNRZ変換され、エッジ検出が行われた後、第1の補正回路1212(A)→第2の補正回路1213(B)→第3の補正回路1214(C)→第4の補正回路1215(D)における補正が行われ、再びEFM変調回路1217でEFM信号へ変換されて、後段のEFM復調回路122へ送られる。

30

【0054】

補正部121は、連続したTの中に1 Tを含む任意のパターンに着目して補正を行う。この場合、発生頻度の低いもの、1 T、2 Tを含む前後のTの長さが、あるパターンに沿って入力されるものについて、確実に補正を行い、それらの補正を行った後、一番効果的な補正を行う。

1 Tの短いものから、長いものへ補正を行うことにより、効果的に補正を行うことができる。

また、1 T、2 T信号に対してのみ補正を行うことにより、正常に入力されたEFM信号の3 Tから1 Tを壊さずに補正を行うことが可能になる。

【0055】

40

次に、第1～第4の補正回路の具体的な回路構成について、図面を参照して説明する。

【0056】

図4は、第1の補正回路1212の構成例を示す回路図、図5は図4のタイミングチャートである。

なお、ここでは1 Tを含む連続したパターン3 T - 1 T - 3 Tの補正を例にとって説明する。

【0057】

第1の補正回路1212は、図4に示すように、D型フリップフロップFF1～FF10、2入力ANDゲートAD1、AD2、後方1 T、2 T、3 T、4 T検出器201、1 T検出器202、前方1 T、2 T、3 T、4 T検出器203、および判定回路204により

50

構成されている。

【 0 0 5 8 】

フリップフロップ F F 1 ~ F F 1 0 のクロック C K 端子に P L L アシンメトリ回路 1 1 のデジタル P L L 回路 1 1 1 で生成された再生クロック (1 T のチャネルクロック) P C K が供給されている。

そして、フリップフロップ F F 1 ~ F F 5 の Q 出力と D 入力に縦続接続され、フリップフロップ F F 1 の D 入力に N R Z 変換・エッジ検出回路 1 2 1 1 でエッジ検出された信号 S 1211 が入力され、またフリップフロップ F F 1 ~ F F 4 の Q 出力が検出器 2 0 1 に入力される。フリップフロップ F F 5 の Q 出力が A N D ゲート A D 1 の一方の入力端子に接続されている。

10

A N D ゲート A D 1 の他方の入力端子 (負入力端子) が判定回路 2 0 4 の 1 T 補正信号 S 2 0 4 の出力ラインに接続され、出力端子がフリップフロップ F F 6 の D 入力に接続されている。フリップフロップ F F 6 の Q 出力が A N D ゲート A D 2 の一方の入力端子に接続されている。

A N D ゲート A D 2 の他方の入力端子 (負入力端子) が判定回路 2 0 4 の 1 T 補正信号 S 2 0 4 の出力ラインに接続され、出力端子がフリップフロップ F F 7 の D 入力に接続されている。

さらに、フリップフロップ F F 7 ~ F F 1 0 の Q 出力と D 入力に縦続接続され、またフリップフロップ F F 7 ~ F F 1 0 の Q 出力が検出器 2 0 3 に入力され、フリップフロップ F F 1 0 の Q 出力が補正後の信号として次段の第 2 の補正回路 1 2 1 3 に出力される。

20

【 0 0 5 9 】

検出器 2 0 1 は、フリップフロップ F F 1 ~ F F 4 の Q 出力から後方の 1 T , 2 T , 3 T , 4 T を検出し、検出結果を信号 S 2 0 1 として判定回路 2 0 4 に出力する。たとえば 1 T , 2 T , 3 T , 4 T を検出すると、たとえば信号 S 2 0 1 をハイレベルで出力する。

【 0 0 6 0 】

1 T 検出器 2 0 2 は、フリップフロップ F F 5 , F F 6 の Q 出力から後方の 1 T を検出し、1 T を検出すると、たとえばハイレベルの信号 S 2 0 2 を判定回路 2 0 4 に出力する。

【 0 0 6 1 】

検出器 2 0 3 は、フリップフロップ F F 7 ~ F F 1 0 の Q 出力から前方の 1 T , 2 T , 3 T , 4 T を検出し、検出結果を信号 S 2 0 3 として判定回路 2 0 4 に出力する。たとえば 1 T , 2 T , 3 T , 4 T を検出すると、たとえば信号 S 2 0 3 をハイレベルで出力する。

30

【 0 0 6 2 】

判定回路 2 0 4 は、たとえば検出器 2 0 1 , 2 0 2 , 2 0 4 による検出信号 S 2 0 1 , S 2 0 2 , 2 0 3 を全てハイレベルで入力すると、連続する信号パターンから 1 T を除去すべきものと判定して、1 T 補正信号 S 2 0 4 を A N D ゲート A D 1 , A D 2 の他方の入力端子 (負入力端子) に出力する。

【 0 0 6 3 】

ここで、上記構成を有する第 1 の補正回路 1 2 1 2 の補正動作を、1 T を含む連続したパターン 3 T - 1 T - 3 T の補正を例にとって説明する。

【 0 0 6 4 】

40

図 5 (B) に示すような 2 値化後同期化された E F M 信号が、N R Z 変換・エッジ検出回路 1 2 1 1 において、N R Z 変換後エッジ検出され、図 5 (C) に示すような信号となる。

その後、エッジ検出後の信号は、第 1 の補正回路 1 2 1 2 に入力され、1 T の後方 T を検出するためのレジスタから再生クロック P C K のクロック周期でシフトして入力される。そして、補正対象の 1 T が検出器 2 0 2 で検出されたとき、具体的には、フリップフロップ F F 6 , F F 5 の出力が論理「 1 , 1 」になって、検出器 2 0 2 の出力信号 S 2 0 2 がハイレベルになったタイミングで後方の検出器 2 0 1 で 3 T が検出され、図 5 (D) に示すように検出器 2 0 1 の出力信号 S 2 0 1 がハイレベルに設定され、また、前方の検出器 2 0 3 で 3 T が検出されて、図 5 (F) に示すように検出器 2 0 3 の出力信号 S 2 0 3 が

50

ハイレベルに設定された場合、1 Tを除去すべきのもと判定回路204で、図5(E)に示すように補正信号S204がハイレベルに設定されて出力される。

その結果、図5(H)に示すようにエッジ検出された信号から1 T部が除去される。

この1 T部が除去された信号が、後段のEFM変調回路1217で変調された後の補正EFM信号は、図5(I)に示すように7 Tの信号となる。

すなわち、1 Tを含む連続したパターン3 T - 1 T - 3 TのEFM信号は、第1の補正回路1212により1 Tが除去された、7 Tの信号に補正される。

【0065】

第1の補正回路1212では、上記の動作により、以下の1 Tを含む出現パターンに一致した場合、同様の補正を行う。

【0066】

定型の1 Tの連続を検出して補正

(1) 対象補正内容(2 T - 1 T - 2 T - > 5 T)

(2) 対象補正内容(3 T - 1 T - 3 T - > 7 T)

(3) 対象補正内容(4 T - 1 T - 3 T - > 8 T)

(4) 対象補正内容(3 T - 1 T - 4 T - > 8 T)

【0067】

連続した1 Tを消去

(5) 対象補正内容(1 T - 1 T - 1 T - > 3 T)

(6) 対象補正内容(2 T - 1 T - 1 T - > 4 T)

(7) 対象補正内容(1 T - 1 T - 2 T - > 4 T)

【0068】

また、これらの補正に対して、補正選択信号を判定回路204に与えることにより、補正内容を任意に選択可能としている。

【0069】

次に、第2の補正回路1213の構成および機能について説明する。

図6は、第2の補正回路1213の構成例を示す回路図、図7は図6のタイミングチャートである。

この回路では、第1の補正回路1212の出力信号から、前方または後方に3 Tを含んだ2 Tが検出された時に、前後に存在する3 Tを破壊せずに補正を行う。

なお、対象となるEFM信号のエッジ検出前のものを図7(B)に示し、このエッジ検出後の信号を図7(C)に示す。

【0070】

第2の補正回路1213は、図6に示すように、D型フリップフロップFF11~FF20、2入力ANDゲートAD11~AD13、2入力ORゲートOR11~OR13、後方1 T, 2 T, 3 T検出器211、2 T検出器212、前方1 T, 2 T, 3 T検出器213、および2 T除去判定回路214により構成されている。

【0071】

フリップフロップFF11~FF20のクロックCK端子にPLLアシンメトリ回路11のデジタルPLL回路111で生成された再生クロック(1 Tのチャンネルクロック)PCKが供給されている。

そして、フリップフロップFF11~FF13のQ出力とD入力が縦続接続され、フリップフロップFF11のD入力にNRZ変換・エッジ検出回路1211でエッジ検出された信号S1211(第1の補正回路1212の出力信号)が入力され、またフリップフロップFF11~FF13のQ出力が検出器211に入力される。フリップフロップFF13のQ出力がORゲートOR11の一方の入力端子に接続されている。

【0072】

ORゲートOR11の他方の入力端子が判定回路214の補正信号S214-1の出力ラインに接続され、出力端子がフリップフロップFF14のD入力に接続されている。フリップフロップFF14のQ出力がANDゲートAD11の一方の入力端子に接続されてい

10

20

30

40

50

る。

ANDゲートAD 1 1の他方の入力端子(負入力端子)が判定回路2 1 4の補正信号S 2 1 4 - 2の出力ラインに接続され、出力端子がORゲートOR 1 2の一方の入力端子に接続されている。

ORゲートOR 1 2の他方の入力端子が判定回路2 1 4の補正信号S 2 1 4 - 3の出力ラインに接続され、出力端子がフリップフロップFF 1 5のD入力に接続されている。フリップフロップFF 1 5のQ出力がANDゲートAD 1 2の一方の入力端子に接続されている。

ANDゲートAD 1 2の他方の入力端子(負入力端子)が判定回路2 1 4の補正信号S 2 1 4 - 4の出力ラインに接続され、出力端子がフリップフロップFF 1 6のD入力に接続されている。フリップフロップFF 1 6のQ出力がANDゲートAD 1 3の一方の入力端子に接続されている。

10

ANDゲートAD 1 3の他方の入力端子(負入力端子)が判定回路2 1 4の補正信号S 2 1 4 - 5の出力ラインに接続され、出力端子がフリップフロップFF 1 7のD入力に接続されている。フリップフロップFF 1 7のQ出力がORゲートOR 1 3の一方の入力端子に接続されている。

ORゲートOR 1 3の他方の入力端子が判定回路2 1 4の補正信号S 2 1 4 - 6の出力ラインに接続され、出力端子がフリップフロップFF 1 8のD入力に接続されている。

また、フリップフロップFF 1 4, FF 1 5, FF 1 6のQ出力が検出器2 1 2に入力される。

20

さらに、フリップフロップFF 1 8 ~ FF 2 0のQ出力とD入力が縦続接続され、またフリップフロップFF 1 8 ~ FF 2 0のQ出力が検出器2 1 3に入力され、フリップフロップFF 2 0のQ出力が補正後の信号として次段の第3の補正回路1 2 1 4に出力される。

【0 0 7 3】

検出器2 1 1は、フリップフロップFF 1 1 ~ FF 1 3のQ出力から後方の1 T, 2 T, 3 Tを検出し、検出結果を信号S 2 1 1として判定回路2 1 4に出力する。たとえば1 T, 2 T, 3 Tを検出すると、たとえば信号S 2 1 1をハイレベルで出力する。

【0 0 7 4】

2 T検出器2 1 2は、フリップフロップFF 1 4, FF 1 5, FF 1 6のQ出力から後方の2 Tを検出すると、たとえばハイレベルの信号S 2 1 2を判定回路2 1 4に出力する。

30

【0 0 7 5】

検出器2 1 3は、フリップフロップFF 1 8, FF 1 9, FF 2 0のQ出力から前方の1 T, 2 T, 3 Tを検出し、検出結果を信号S 2 1 3として判定回路2 1 4に出力する。たとえば1 T, 2 T, 3 Tを検出すると、たとえば信号S 2 1 3をハイレベルで出力する。

【0 0 7 6】

判定回路2 1 4は、たとえば検出器2 1 2, 2 1 3による検出信号S 2 1 2, S 2 1 3をハイレベルで入力すると、連続する信号パターンから2 Tを除去すべきものと判定して、前方を補正すべく補正信号S 2 1 4 - 1 ~ S 2 1 4 - 6を所定のレベルで出力する。

さらに具体的には、補正対象の2 Tが検出器2 1 2で検出された時に、後方の3 Tを検出した場合、対象となる2 T補正信号が有効となる。この検出された各信号をもとに、2 Tを3 Tへ補正する場合の方向を判定回路2 1 4は決定して、決定に応じた補正信号S 2 1 4 - 1 ~ S 2 1 4 - 6を出力する。

40

【0 0 7 7】

次に、上記構成を有する第2の補正回路1 2 1 3の補正動作を、2 Tを含む連続したパターン3 T(前方) - 2 T - 5 T(後方)の補正を例にとって説明する。

【0 0 7 8】

第1の補正回路1 2 1 2を通過した信号は、第2の補正回路1 2 1 3に入力され、2 Tの後方の3 Tを検出するためのレジスタから再生クロックPCKのクロック周期でシフトして入力される。

補正対象の2 Tが検出器2 1 2で検出され、図7(E)に示すように検出信号S 2 1 2が

50

ハイレベルに設定された時に、検出器 2 1 3 において前方の 3 T が検出され、図 7 (F) に示すように検出信号 S 2 1 3 がハイレベルに設定された場合、対象となる 2 T 補正信号が有効となる (図 7 (F))。

そして、この検出された各信号をもとに、2 T を 3 T へ補正する場合の方向が判定回路 2 1 4 が決定され、決定に応じた補正信号 S 2 1 4 - 1 ~ S 2 1 4 - 6 が出力される。

この決定信号によって、2 T が補正される。図 7 の例の場合、後方側に補正するように決定され、後方の 5 T が 4 T となるような補正が行われる。

この場合、補正信号 S 2 1 4 - 1 , S 2 1 4 - 2 、および S 2 1 4 - 4 がハイレベルで出力され、補正信号 S 2 1 4 - 3 , S 2 1 4 - 5 、および S 2 1 4 - 6 がローレベルで出力される。

その結果、図 7 (G) に示すようにエッジ検出された信号から 2 T 部が 3 T に補正される。

後段の E F M 変調回路 1 2 1 7 で変調された後の補正 E F M 信号は、図 7 (H) に示すような信号となる。

すなわち、2 T を含む連続したパターン 3 T - 2 T - 5 T の E F M 信号は、第 2 の補正回路 1 2 1 3 により 3 T - 3 T - 4 T に補正される。

【 0 0 7 9 】

上記の説明は後方補正の場合について説明したが、たとえば前方補正の場合には、判定回路 2 1 4 から出力される補正信号は、S 2 1 4 - 3 , S 2 1 4 - 4 , S 2 1 4 - 5 、および S 2 1 4 - 6 がハイレベルに設定され、S 2 1 4 - 1 および S 2 1 4 - 2 がローレベルに設定される。

また、2 T を除去する場合には、判定回路 2 1 4 から出力される補正信号は、S 2 1 4 - 2 および S 2 1 4 - 5 がハイレベルに設定され、S 2 1 4 - 1 , S 2 1 4 - 3 , S 2 1 4 - 4 、および S 2 1 4 - 6 がローレベルに設定される。

【 0 0 8 0 】

また、第 2 の補正回路 1 2 1 3 は、以下に示す 2 T を含む出現パターンに一致した場合、同様に補正を行う。

下記の (1) ~ (3) の補正に対して対象の 2 T の前後が 1 T 、2 T となった場合、誤補正で対象の T 以外を破壊しないために、前後で 1 T 、2 T の検出を行っている。

【 0 0 8 1 】

定型の 2 T パターンを補正

(1) 対象補正内容 (3 T - 2 T - n T - > 3 T - 3 T - (n - 1) T)

ただし、 $n > 4$

(2) 対象補正内容 (n T - 2 T - 3 T - > (n - 1) T - 3 T - 3 T)

【 0 0 8 2 】

2 T の両側に 3 T が出現した場合 8 T へ補正

(1) 対象補正内容 (3 T - 2 T - 3 T - > 8 T)

【 0 0 8 3 】

また、第 2 の補正回路 1 2 1 3 の判定回路 2 1 4 も、第 1 の補正回路 1 2 1 2 の判定回路 2 0 4 と同様に、これらの補正に対して、補正選択信号を与えることにより、補正内容を任意に選択可能である。

【 0 0 8 4 】

次に、第 3 の補正回路 1 2 1 4 の構成および機能について説明する。

図 8 は、第 3 の補正回路 1 2 1 4 の構成例を示す回路図、図 9 および図 1 0 は図 8 のタイミングチャートである。

【 0 0 8 5 】

この回路は、大きくわけて 3 通りの補正を切り替えて使用することができる。

第 1 にデジタル P L L 回路 1 1 からの位相エラーを利用した補正、第 2 に前後の T の長さを比較しての補正、第 3 に 2 T が出現した場合強制的に 3 T へ補正する、3 通りである。

。

10

20

30

40

50

なお、図 9 がデジタル P L L 回路 1 1 からの位相エラーを利用した補正時のタイミングチャートであり、図 1 0 が前後の T の長さを比較しての補正時のタイミングチャートである。

【 0 0 8 6 】

そして、第 3 の補正回路 1 2 1 4 は、図 8 に示すように、D 型フリップフロップ F F 2 1 ~ F F 4 8、2 入力 A N D ゲート A D 2 1 ~ A D 2 3、2 入力 O R ゲート O R 2 1 ~ O R 2 3、後方 3 T ~ 1 1 T 検出器 2 2 1、2 T 検出器 2 2 2、前方 3 T ~ 1 1 T 検出器 2 2 3、2 T の E F M エッジの位相エラー演算回路 2 2 4 および 2 T 除去 / 2 T → 3 T 判定回路 2 2 5 により構成されている。

【 0 0 8 7 】

フリップフロップ F F 2 1 ~ F F 4 8 のクロック C K 端子に P L L アシンメトリ回路 1 1 のデジタル P L L 回路 1 1 1 で生成された再生クロック (1 T のチャネルクロック) P C K が供給されている。

そして、フリップフロップ F F 2 1 ~ F F 3 2 の Q 出力と D 入力に縦続接続され、フリップフロップ F F 2 1 の D 入力に N R Z 変換・エッジ検出回路 1 2 1 1 でエッジ検出された信号 S 1211 (第 2 の補正回路 1 2 1 3 の出力信号) が入力され、またフリップフロップ F F 2 1 ~ F F 3 2 の Q 出力が検出器 2 2 1 に入力される。フリップフロップ F F 3 2 の Q 出力が O R ゲート O R 2 1 の一方の入力端子に接続されている。

【 0 0 8 8 】

O R ゲート O R 2 1 の他方の入力端子が判定回路 2 2 5 の補正信号 S 2 2 5 - 1 の出力ラインに接続され、出力端子がフリップフロップ F F 3 3 の D 入力に接続されている。フリップフロップ F F 3 3 の Q 出力が A N D ゲート A D 2 1 の一方の入力端子に接続されている。

A N D ゲート A D 2 1 の他方の入力端子 (負入力端子) が判定回路 2 2 5 の補正信号 S 2 2 5 - 2 の出力ラインに接続され、出力端子が O R ゲート O R 2 2 の一方の入力端子に接続されている。

O R ゲート O R 2 2 の他方の入力端子が判定回路 2 2 5 の補正信号 S 2 2 5 - 3 の出力ラインに接続され、出力端子がフリップフロップ F F 3 4 の D 入力に接続されている。フリップフロップ F F 3 4 の Q 出力が A N D ゲート A D 2 2 の一方の入力端子に接続されている。

A N D ゲート A D 2 2 の他方の入力端子 (負入力端子) が判定回路 2 2 5 の補正信号 S 2 2 5 - 4 の出力ラインに接続され、出力端子がフリップフロップ F F 3 5 の D 入力に接続されている。フリップフロップ F F 3 5 の Q 出力が A N D ゲート A D 2 3 の一方の入力端子に接続されている。

A N D ゲート A D 2 3 の他方の入力端子 (負入力端子) が判定回路 2 2 5 の補正信号 S 2 2 5 - 5 の出力ラインに接続され、出力端子がフリップフロップ F F 3 6 の D 入力に接続されている。フリップフロップ F F 3 6 の Q 出力が O R ゲート O R 2 3 の一方の入力端子に接続されている。

O R ゲート O R 2 3 の他方の入力端子が判定回路 2 1 4 の補正信号 S 2 2 5 - 6 の出力ラインに接続され、出力端子がフリップフロップ F F 3 7 の D 入力に接続されている。

また、フリップフロップ F F 3 3 , F F 3 4 , F F 3 5 の Q 出力が検出器 2 1 2 に入力される。

さらに、フリップフロップ F F 3 7 ~ F F 4 8 の Q 出力と D 入力に縦続接続され、またフリップフロップ F F 3 6 ~ F F 4 8 の Q 出力が検出器 2 3 3 に入力され、フリップフロップ F F 4 8 の Q 出力が補正後の信号として次段の第 4 の補正回路 1 2 1 5 に出力される。

【 0 0 8 9 】

検出器 2 2 1 は、フリップフロップ F F 2 1 ~ F F 3 2 の Q 出力から後方の 3 T ~ 1 1 T を検出し、検出結果を信号 S 2 2 1 として判定回路 2 2 5 に出力する。たとえば 3 T ~ 1 1 T を検出すると、たとえば信号 S 2 2 1 をハイレベルで出力する。

【 0 0 9 0 】

10

20

30

40

50

2 T 検出器 2 2 2 は、フリップフロップ F F 3 3 , F F 3 4 , F F 3 5 の Q 出力から後方の 2 T を検出すると、たとえばハイレベルの信号 S 2 2 2 を判定回路 2 2 5 に出力する。

【 0 0 9 1 】

検出器 2 2 3 は、フリップフロップ F F 3 7 ~ F F 4 8 の Q 出力から前方の 3 T ~ 1 1 T を検出し、検出結果を信号 S 2 2 3 として判定回路 2 2 5 に出力する。たとえば 3 T ~ 1 1 T を検出すると、たとえば信号 S 2 2 3 をハイレベルで出力する。

【 0 0 9 2 】

位相エラー演算回路 2 2 4 は、ディジタル P L L 回路 1 1 1 において、通常速動作時は、 $4.3218 \text{ MHz} \times 8 (= 34.5744 \text{ MHz})$ 、倍速動作時は $4.3218 \text{ MHz} \times 6 (= 25.9308 \text{ MHz})$ である基準クロック H I F を用いて検出された結果である 3 ビットの位相エラー情報 S 1 1 1 に基づいて、2 T 検出器 2 2 2 で 2 T が検出されたときの E F M 信号の後方エッジを A , 前方エッジを B として、この各エッジの A、B の位相エラーが揃うタイミングで、A、B の値の大小比較を行い、この演算結果を用いて、図 1 1 に示す条件に従って 2 T を 3 T へ補正する方向を決定するための信号 S 2 2 4 として判定回路 2 2 5 に出力する。

たとえば図 1 1 に示すように、前エッジが位相進み + 4 (1 0 0) で後エッジが位相進み + 2 (0 1 0) では、前方へ 1 T 伸ばす。

また、前エッジが位相進み + 2 (0 1 0) で後エッジが位相遅れ - 3 (1 0 1) では、後方へ 1 T 伸ばす。

このように、前方へ 1 T 伸ばすか、後方へ 1 T 伸ばすかが、図 1 1 に示すように、位相エラー情報 S 1 1 1 の内容に応じて条件付けがされている。

また、図 1 1 中に丸印を付した箇所は、前方または後方の選択可能条件を示している。

【 0 0 9 3 】

なお、本回路では、スキューの状態によって補正する方向が変わる場合があるため、A = B の時、前方、後方の補正を選択可能としている。

【 0 0 9 4 】

判定回路 2 2 5 は、たとえば検出器 2 2 1 , 2 2 2 , 2 2 3 による検出信号 S 2 2 1 , S 2 2 2 , S 2 2 3 の入力レベルおよび位相エラー演算回路 2 2 4 による 2 T → 3 T の補正方向指示信号 S 2 2 4 に従って、2 T を除去または指示信号に従った前方または後方を補正すべく補正信号 S 2 2 5 - 1 ~ S 2 2 5 - 6 を所定のレベルで出力する。

たとえば、前方に補正する場合には、補正信号 S 2 2 5 - 3 , S 2 2 5 - 4 , S 2 2 5 - 5、および S 2 2 5 - 6 をハイレベルで出力し、補正信号 S 2 2 5 - 1 および S 2 2 5 - 2 をローレベルで出力する。

また、後方に補正する場合には、補正信号 S 2 2 5 - 1 , S 2 2 5 - 2、および S 2 2 5 - 4 をハイレベルで出力し、補正信号 S 2 2 5 - 3 , S 2 2 5 - 5、および S 2 2 5 - 6 をローレベルで出力する。

また、2 T を除去する場合には、補正信号 S 2 2 5 - 2 および S 2 2 5 - 5 をハイレベルで出力し、S 2 2 5 - 1 , S 2 2 5 - 3 , S 2 2 5 - 4、および S 2 2 5 - 6 をローレベルで出力する。

【 0 0 9 5 】

次に、上記構成を有する第 3 の補正回路 1 2 1 4 の第 1、第 2 および第 3 の補正動作を順を追って説明する。

【 0 0 9 6 】

(1) D P L L からの位相エラーを利用した補正

D S P 回路 1 0 においては、P L L アシンメトリ補正回路 1 1 で、図 9 (D) に示すような 2 値化された E F M 信号をもとに、図 9 (C) に示す再生クロック P C K を動作モードに応じて逡倍された図 9 (A) に示すような基準クロック H I F が、ディジタル D P L L 回路 1 1 1 で生成される。

なお、図 9 の例では、基準クロック H I F は、再生クロック P C K の 8 倍 (通常速動作時 $4.3218 \text{ MHz} \times 8$) されたクロックとして生成された場合を示している。

そして、デジタル D P L L 回路 1 1 1 では、E F M 信号と再生クロック P C K の同期を取る場合、基準クロック H I F を用いて位相エラー量が検出される。この E F M 信号と再生クロック P C K の位相の関係が、図 9 (B) に示されている。

【 0 0 9 7 】

図 9 (D) に示すような E F M 信号が入力され同期化を行った場合、図 9 (E) に示すように 2 T として検出される。

この 2 T が検出された時の E F M 信号の後方エッジを A、前方エッジを B とする。

そして、デジタル D P L L 回路 1 1 1 より得られる位相エラーと値の関係は以下になり、括弧内の 3 ビットの情報が位相エラー情報 S 1 1 1 として補正部 1 2 に出力される。

【 0 0 9 8 】

通常速動作時

位相進み + 4 (1 0 0)

位相進み + 3 (0 1 1)

位相進み + 2 (0 1 0)

位相進み + 1 (0 0 1)

位相差無し 0 (0 0 0)

位相遅れ - 1 (1 1 1)

位相遅れ - 2 (1 1 0)

位相遅れ - 3 (1 0 1)

【 0 0 9 9 】

このデジタル D P L L 回路 1 1 1 より得られた位相エラー情報 S 1 1 1 は、2 T E F M エッジ演算回路 2 2 4 に入力され、以下の内容が実行される。

すなわち、2 T 検出器 2 2 2 で 2 T が検出されたときの各エッジに対して、前方のエッジの位相差の値は、図 9 (G) のタイミングで出現する。この図 9 (G) に示す信号を 2 P C K 分遅延させたものが、図 9 (I) に示すようになる。

この各エッジの A、B の位相エラーが揃うタイミングで、A、B の値の大小比較が行われる。

そして、図 9 (J) に示す演算結果を用いて、図 1 1 に示す条件に従って 2 T を 3 T へ補正する方向が決定される。

この図 1 1 の結果をもとに、図 9 (D) に示す E F M 信号は、2 T → 3 T 判定回路 2 2 5 へ、補正方向の信号が送られ、2 T が 3 T に補正される。

【 0 1 0 0 】

(2) 前後の T の長さを比較しての補正

次に、図 1 0 のタイミングチャートに関連付けて、上述した (1) の補正の他に、2 T が出現した場合の補正について説明する。

ここでは、2 T を含む連続したパターン m T - 2 T - n T が入力された場合の補正を説明する。(m、n は 3 ~ 1 1 の整数)

【 0 1 0 1 】

図 1 0 (B) に示す対象となる E F M 信号のエッジ検出前の信号が、エッジ検出後、図 1 0 (C) に示すようになる。

この信号が第 3 の補正回路 1 2 1 4 に入力され、2 T の後方 3 T ~ 1 1 T を検出するためのレジスタから再生クロック P C K のクロック周期でシフトして入力される。

そして、図 1 0 (D) に示すように、補正対象の 2 T が検出された時に、後方、前方の 3 T ~ 1 1 T を検出した場合、後方 m T、前方 n T の大小比較が行われ、以下の条件で、2 T から 3 T の補正が行われる。

【 0 1 0 2 】

対象補正内容 $m > n$ (m T - 2 T - n T - > (m - 1) T - 3 T - n T)

【 0 1 0 3 】

対象補正内容 $m < n$ (m T - 2 T - n T - > m T - 3 T - (n - 1) T)

10

20

30

40

50

【 0 1 0 4 】

図 1 0 の例では、 $m = 5 T$ 、 $n = 6 T$ の時 $m > n$ となり、2 T 除去判定回路 2 2 5 で、図 1 0 (E) に示す後方補正信号が有効となる。

その結果、図 1 0 (F) に示すような補正結果が得られる。

後段の E F M 変調回路 1 2 1 7 で変調された後の補正 E F M 信号は、図 1 0 (G) に示すように、5 T - 3 T - 5 T の信号となる。

すなわち、2 T を含む連続したパターン 6 T - 2 T - 5 T の E F M 信号は、第 3 の補正回路 1 2 1 4 により 5 T - 3 T - 5 T の信号に補正される。

【 0 1 0 5 】

なお、本回路では、 $m = n$ の場合が発生するため、 $m = n$ の時、前方、後方の補正を設定可能である。

10

【 0 1 0 6 】

(3) 2 T が出現した場合強制的に 3 T へ補正

第 1 の補正回路 1 2 1 2 および第 2 の補正回路 1 2 1 3 を通過後の信号について、2 T 検出器 2 2 2 で検出された場合、下記のように強制的に 2 T から 3 T への補正が行われる。

【 0 1 0 7 】

(3 - 1) 強制的に 3 T に補正される。なお、この補正方向である前方 / 後方は選択可能である。

(3 - 2) 強制的に 3 T に補正される。このときの補正を 2 T が検出される毎に、前方 - > 後方が交互に繰り返される。

20

【 0 1 0 8 】

次に、第 4 の補正回路 1 2 1 5 の構成および機能について説明する。

図 1 2 は、第 4 の補正回路 1 2 1 5 の構成例を示す回路図、図 1 3 は図 1 2 のタイミングチャートである。

【 0 1 0 9 】

この第 4 の補正回路 1 2 1 5 は、第 1 の補正回路 1 2 1 2、第 2 の補正回路 1 2 1 3、および第 3 の補正回路 1 2 1 4 を通過した後の信号に、残っている 1 T が検出されたときに、前後に 1 T 拡張して 1 T から 3 T へ補正を行う。

【 0 1 1 0 】

そして、第 4 の補正回路 1 2 1 5 は、図 1 2 に示すように、D 型フリップフロップ F F 5 1 ~ F F 5 5、2 入力 A N D ゲート A D 5 1、A D 5 2、2 入力 O R ゲート O R 5 1、O R 5 2、1 T 検出器 2 3 1、および 1 T → 3 T 補正判定回路 2 3 2 により構成されている。

30

【 0 1 1 1 】

フリップフロップ F F 5 1 ~ F F 5 5 のクロック C K 端子に P L L アシンメトリ回路 1 1 のデジタル P L L 回路 1 1 1 で生成された再生クロック (1 T のチャネルクロック) P C K が供給されている。

そして、フリップフロップ F F 5 1 の D 入力に N R Z 変換・エッジ検出回路 1 2 1 1 でエッジ検出された信号 S 1211 (第 3 の補正回路 1 2 1 4 の出力信号) が入力される。またフリップフロップ F F 5 1 Q 出力が O R ゲート O R 5 1 の一方の入力端子に接続されている。

40

O R ゲート O R 5 1 の他方の入力端子が判定回路 2 3 2 の補正信号 S 2 3 2 の出力ラインに接続され、出力端子がフリップフロップ F F 5 2 の D 入力に接続されている。フリップフロップ F F 5 2 の Q 出力が A N D ゲート A D 5 1 の一方の入力端子に接続されている。A N D ゲート A D 5 1 の他方の入力端子 (負入力端子) が判定回路 2 3 2 の補正信号 S 2 3 2 の出力ラインに接続され、フリップフロップ F F 5 3 の D 入力に接続されている。フリップフロップ F F 5 3 の Q 出力が A N D ゲート A D 5 2 の一方の入力端子に接続されている。

A N D ゲート A D 5 2 の他方の入力端子 (負入力端子) が判定回路 2 3 2 の補正信号 S 2 3 2 の出力ラインに接続され、出力端子がフリップフロップ F F 5 4 の D 入力に接続され

50

ている。フリップフロップ F F 5 4 の Q 出力が O R ゲート O R 5 2 の一方の入力端子に接続されている。

O R ゲート O R 5 2 の他方の入力端子が判定回路 2 3 2 の補正信号 S 2 3 2 の出力ラインに接続され、出力端子がフリップフロップ F F 5 5 の D 入力に接続されている。

そして、フリップフロップ F F 5 5 の Q 出力が補正後の信号としてセクタ 1 2 1 6 を介して E F M 変調回路 1 2 1 7 に出力される。

また、フリップフロップ F F 5 2 , F F 5 3 の Q 出力が 1 T 検出器 2 3 1 に入力される。

【 0 1 1 2 】

1 T 検出器 2 3 1 は、フリップフロップ F F 5 2 , F F 5 3 の Q 出力から 1 T を検出し、検出結果を信号 S 2 3 1 として判定回路 2 3 2 に出力する。たとえば 1 T を検出すると、信号 S 2 3 1 をハイレベルで出力する。

【 0 1 1 3 】

判定回路 2 3 2 は、検出器 2 3 1 による検出信号 S 2 3 1 をハイレベルで入力すると、1 T を 3 T に補正 すべく、1 T → 3 T 補正信号 S 2 3 2 を O R ゲート O R 5 1 , O R 5 2 の他方の入力端子および A N D ゲート A D 5 1 , A D 5 2 の他方の入力端子 (負入力端子) に出力する。

【 0 1 1 4 】

次に、上記構成を有する第 4 の補正回路 1 2 1 5 の補正動作を説明する。

図 1 3 (B) に示す対象となる E F M 信号のエッジ検出前の信号が、エッジ検出後、図 1 3 (C) に示すようになる。

この信号が第 4 の補正回路 1 2 1 5 に入力され、レジスタから再生クロック P C K のクロック周期でシフトして入力される。

補正対象の 1 T が検出された時、図 1 3 (D) に示すように、1 T から 3 T への補正が行われる。

後段の E F M 変調回路 1 2 1 7 で変調された後の補正 E F M 信号は、図 1 3 (D) に示すように、3 T - 3 T - 3 T の信号となる。

すなわち、1 T を含む連続したパターン 4 T - 1 T - 4 T の E F M 信号は、第 4 の補正回路 1 2 1 5 により 3 T - 3 T - 3 T の信号に補正される。

【 0 1 1 5 】

なお、第 4 の補正回路 1 2 1 5 では、機能選択信号を与えることにより、補正の ON / OFF 可能としている。

【 0 1 1 6 】

次に、図 1 の回路の動作を説明する。

符号変調を用いた情報が記録されているディスク 1 はスピンドルモータ 2 によって回転駆動され、ディスク 1 の記録情報は光学式ピックアップ 3 によって読み取られる。

このピックアップ 3 の出力信号は、I (電流) / V (電圧) アンプ 8 で電流信号から電圧信号に変換され、さらに R F イコライズ回路 9 で波形整形された後、R F 信号として D S P 回路 1 0 に供給される。

【 0 1 1 7 】

D S P 回路 1 0 では、R F イコライザ 9 による R F 信号が P L L アシンメトリ補正回路 1 1 に入力され、R F 信号に対するアシンメトリの補正が行われ、2 値化した R F 信号 (E F M 信号) として E F M ブロック 1 2 に出力される。

また、P L L アシンメトリ補正回路 1 1 では、2 値の信号エッジ (2 値のパルス列信号) に基づいて周波数 4 . 3 2 1 8 M H z の再生クロック P C K が生成される。そして、デジタル P L L 回路 1 1 1 では、2 値化された E F M 信号をもとに、再生クロック P C K の逡倍の基準クロック H I F が生成され、E F M 信号と P C K 信号の同期を取るにあたって、基準クロック H I F を用いて位相エラー量が検出される。この R F 信号の位相エラーは、3 ビットの位相エラー情報 S 1 1 1 として E F M ブロック 1 2 の補正部 1 2 1 に供給される。

【 0 1 1 8 】

補正部 1 2 1 では、符号変調を用いたディスク 1 の表面に細かく付いた傷や、たとえば R F イコライザ 9 におけるコンパレートレベルのずれによってフォーマット上エラーとなっていた、本来存在し得ない E F M 信号に対して含まれる 1 T 信号または 2 T 信号が所定の方式に従って 0 または 3 T 信号に補正される。

さらに具体的には、P L L アシンメトリ補正回路 1 1 で 2 値化された R F 信号のエッジ検出が行われて N R Z 変換される。そして、デジタル P L L 回路 1 1 1 で生成されたクロックを用いて同期化され、第 1 ~ 第 4 の補正回路 1 2 1 2 ~ 1 2 1 5 で、同期化したときに発生したフォーマット上は E F M 信号として本来存在し得ない 1 T , 2 T (T はチャネルクロックの周期) の検出が行われ、検出した 1 T , 2 T の信号が、所定の条件に従って 0 または 3 T に補正される。

10

【 0 1 1 9 】

補正部 1 2 の第 1 ~ 第 4 の補正回路 1 2 1 2 ~ 1 2 1 5 で補正された信号は、セクタ 1 2 1 6 を介して E F M 変調回路 1 2 1 7 に入力されて E F M 変調される。E F M 変調された信号は E F M 復調回路 1 2 2 で復調される。

そして、復調された E F M 信号は、デジタルオーディオのデータと、エラー訂正・検出用のパリティになるとともに、フレーム同期信号のすぐ後ろに入っているサブコードが復調される。このサブコードは、サブコード処理回路 1 3 を経てコントローラ 2 0 に供給される。

また、E F M 復調後のデータは一端 R A M 1 4 に格納され、エラー訂正回路 1 5 によってエラー訂正・検出用のパリティに基づいてエラー訂正が行われる。

20

エラー訂正後のデータは、デ・インターリーブ回路 1 6 にて C I R C (Cross Interleave Reed-Solomon Code) のインターリーブが解かれ、L / R c h のオーディオ信号として出力される。

【 0 1 2 0 】

以上説明したように、本実施形態によれば、P L L アシンメトリ補正回路 1 1 で 2 値化された R F 信号のエッジ検出を行って N R Z 変換してデジタル P L L 回路 1 1 で生成されたクロックを用いて同期化し、同期化したときに発生したフォーマット上は E F M 信号として本来存在し得ない 1 T , 2 T (T はチャネルクロックの周期) の検出を行い、検出した 1 T , 2 T の信号を、所定の条件に従って 0 または 3 T に補正して、R F 信号から 1 T , 2 T を除去し、その 1 T , 2 T を除去した R F 信号を E F M 変調する補正部 1 2 1 と、E F M 変調後の信号を E F M 復調する復調回路 1 2 2 とを含む E F M ブロック 1 2 を設けたので、今までエラーとなっていた信号を復元できる。そのため、エラー訂正回路 1 5 で訂正を行う信号が、3 T から 1 1 T のフォーマットに補正されるため、C 1、C 2 のエラーレートが改善され、プレイアビリティの向上ができる。

30

そして、結果的にエラーレートの向上、プレイアビリティの向上を図れる利点がある。

【 0 1 2 1 】

また、ディスク表面に細かく付いた傷によって R F 信号の振幅レベルが下がり正確に R F 信号が入力されないもの、また、アシンメトリのずれによってスライスレベルがプラス、またはマイナス側にシフトしてしまい正確に 2 値化されずに発生した、1 T、2 T の信号を除去することができる。

40

このため、これらのアシンメトリずれディスクや傷ディスクなどの粗悪ディスクに対して再生能力を向上することができる利点がある。

【 0 1 2 2 】

なお、本実施形態では、補正部 1 2 1 において、2 T → 3 T 補正を行う第 3 の補正回路 1 2 1 4 を通過した信号を、1 T → 3 T 補正を行う第 4 の補正回路 1 2 1 5 に入力させるように構成したが、第 2 の補正回路 1 2 1 3 を通過した信号を第 4 の補正回路 1 2 1 5 に入力させ、第 4 の補正回路 1 2 1 5 を通過した信号を第 3 の補正回路 1 2 1 4 に入力させて 2 T → 3 T 補正を行うように構成してもよい。

この場合、制御信号により第 2 の補正回路 1 2 1 3 → 第 3 の補正回路 1 2 1 4 → 第 4 の補正回路 1 2 1 5 の接続形態と、第 2 の補正回路 1 2 1 3 → 第 4 の補正回路 1 2 1 5 → 第 3

50

の補正回路 1 2 1 4 の接続形態とを図示しないスイッチ回路により切り替えるように構成することも可能である。

【 0 1 2 3 】

このように補正の順番について入れ替えの機能を設けることで、ディスクの再生状態により 1 T、2 T の出現状態が変化した場合、補正結果が悪化するのを軽減することができる利点がある。

【 0 1 2 4 】

【 発明の効果 】

以上説明したように、本発明によれば、発生した 1 T、2 T 信号を補正することにより、今までエラーとなっていた信号を復元できる。そのため、エラー訂正回路で訂正を行う信号が、3 T から 1 1 T のフォーマットに補正されるため、結果的にエラーレートの向上、プレイアビリティの向上を図れる利点がある。

【 0 1 2 5 】

また、ディスク表面に細かく付いた傷によって R F 信号の振幅レベルが下がり正確に R F 信号が入力されないもの、また、アシンメトリのずれによってスライスレベルがプラス、またはマイナス側にシフトしてしまい正確に 2 値化されずに発生した、1 T、2 T の信号を除去することができる。

このため、これらのアシンメトリずれディスクや傷ディスクなどの粗悪ディスクに対して再生能力を向上することができる利点がある。

【 0 1 2 6 】

また、補正の順番について入れ替えの機能と補正機能の選択手段を設けることで、ディスクの再生状態により 1 T、2 T の出現状態が変化した場合、補正結果が悪化するのを軽減することができる利点がある。

【 図面の簡単な説明 】

【 図 1 】本発明に係る復号装置が適用される C D プレーヤの制御系の一実施形態を示す構成図である。

【 図 2 】本発明に係る E F M ブロックの構成を示すブロック図である。

【 図 3 】本発明に係る E F M ブロックの補正回路の構成例を示すブロック図である。

【 図 4 】図 3 の第 1 の補正回路の構成例を示す回路図である。

【 図 5 】図 4 の動作を説明するためのタイミングチャートである。

【 図 6 】図 3 の第 2 の補正回路の構成例を示す回路図である。

【 図 7 】図 6 の動作を説明するためのタイミングチャートである。

【 図 8 】図 3 の第 3 の補正回路の構成例を示す回路図である。

【 図 9 】図 8 におけるデジタル P L L 回路からの位相エラーを利用した補正時のタイミングチャートである。

【 図 1 0 】図 8 における前後の T の長さを比較しての補正時のタイミングチャートである。

【 図 1 1 】位相エラーによって補正を行う方向を決定するための条件を示す図である。

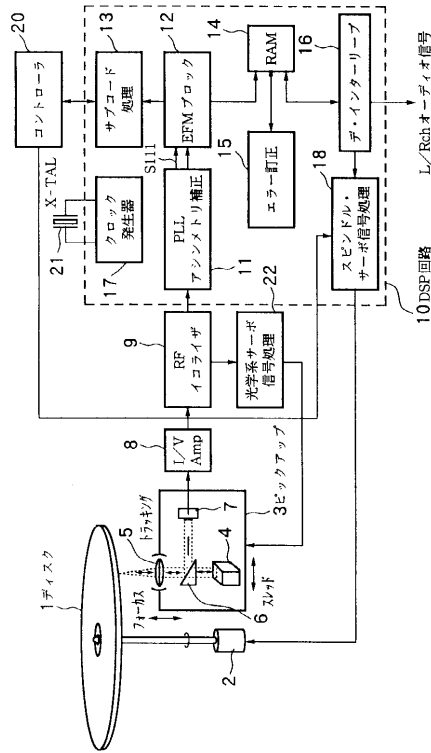
【 図 1 2 】図 3 の第 4 の補正回路の構成例を示す回路図である。

【 図 1 3 】図 1 2 の動作を説明するためのタイミングチャートである。

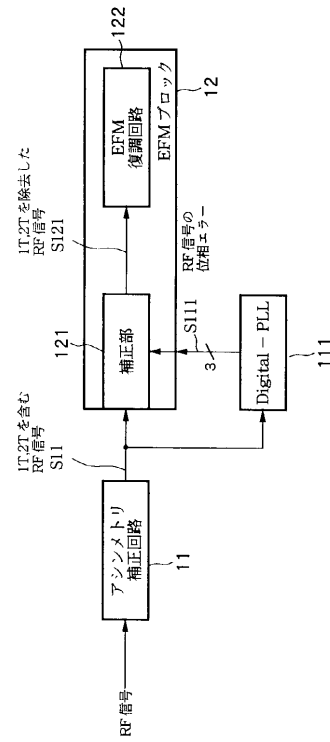
【 符号の説明 】

1 ... ディスク、2 ... スピンドルモータ、3 ... ピックアップ、8 ... I / V A m p、9 ... R F イコライザ、1 0 ... D S P 回路、1 1 ... P L L アシンメトリ補正回路、1 1 1 ... デジタル P L L 回路、1 2 ... E F M ブロック、1 2 1 ... 補正部、1 2 2 ... 復調回路、1 3 ... サブコード処理回路、1 4 ... R A M、1 5 ... エラー訂正回路、1 6 ... デ・インタリーブ回路、1 7 ... クロック発生器、1 8 ... スピンドル・サーボ信号処理回路、2 0 ... コントローラ、2 2 ... 光学系サーボ信号処理回路 1 2 1 1 ... N R Z 変換・エッジ検出回路、1 2 1 2 ... 第 1 の補正回路、1 2 1 3 ... 第 2 の補正回路、1 2 1 4 ... 第 3 の補正回路、1 2 1 5 ... 第 4 の補正回路、1 2 1 6 ... セレクタ、1 2 1 7 ... E F M 変調回路。

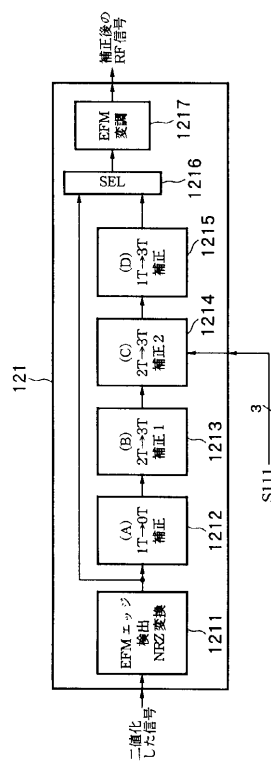
【 図 1 】



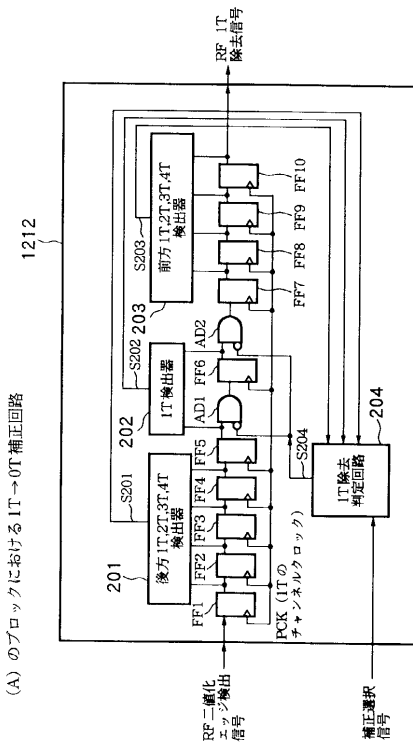
【 図 2 】



【 図 3 】

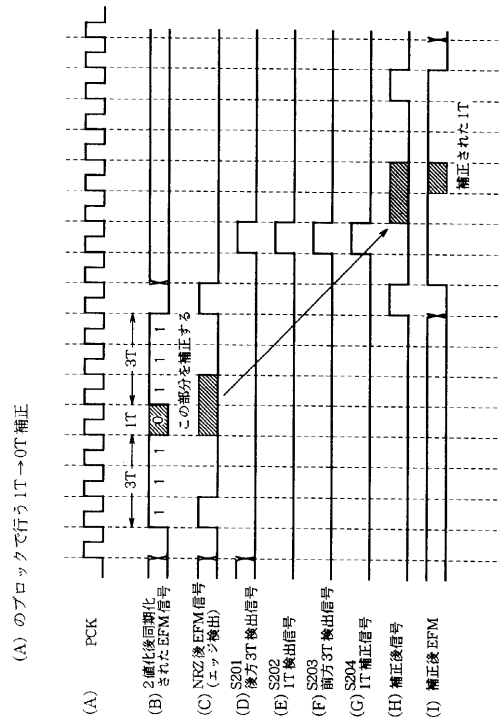


【 図 4 】

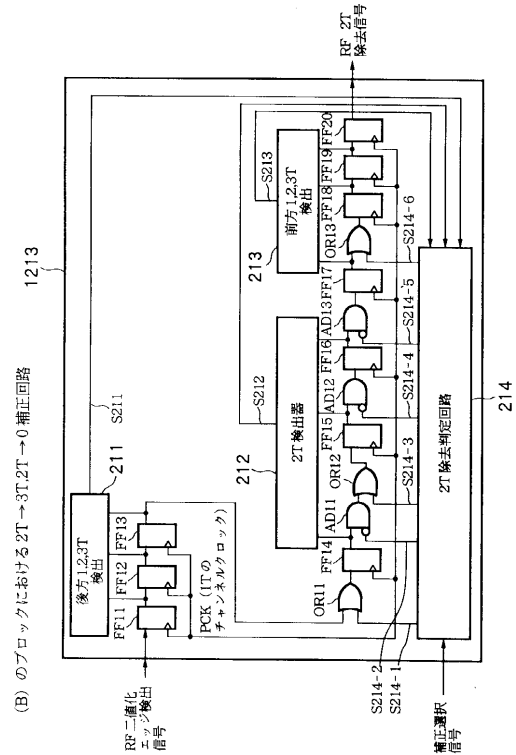


(A) のブロックにおける $1T \rightarrow 0T$ 補正回路

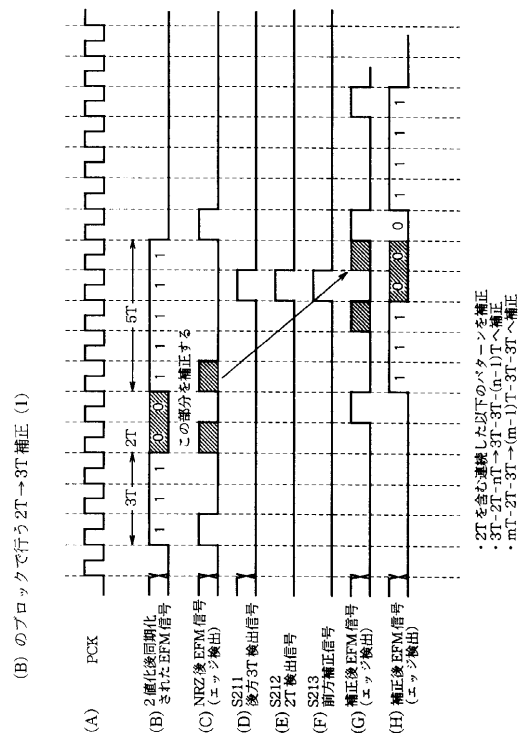
【 図 5 】



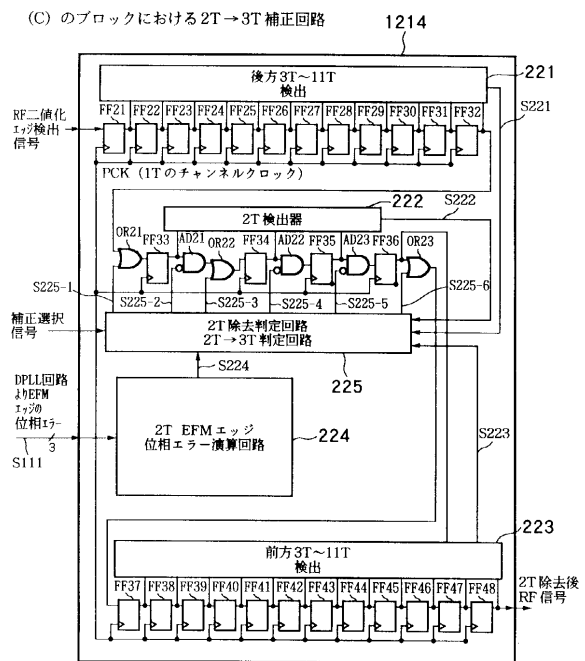
【 図 6 】



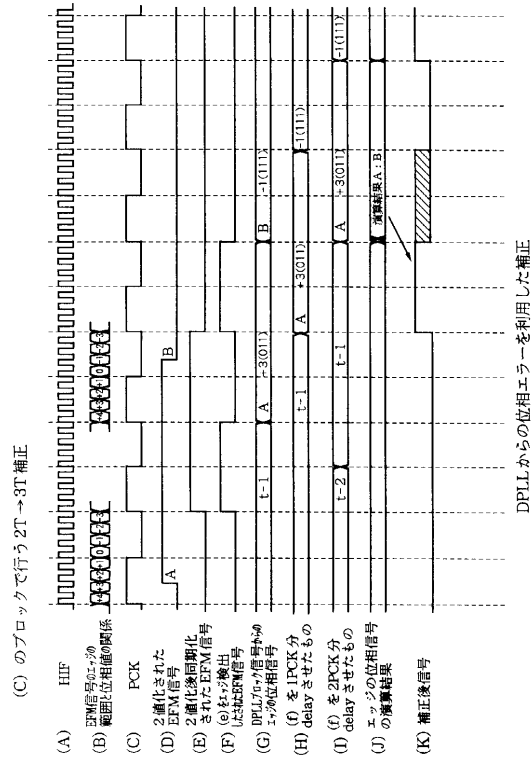
【 図 7 】



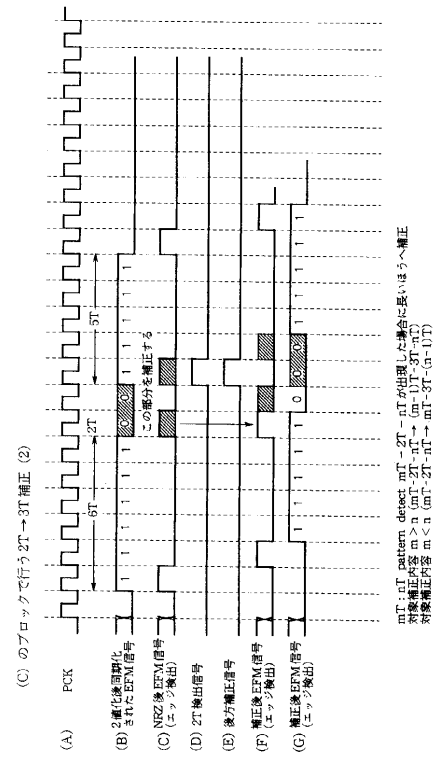
【 図 8 】



【図 9】



【図 10】



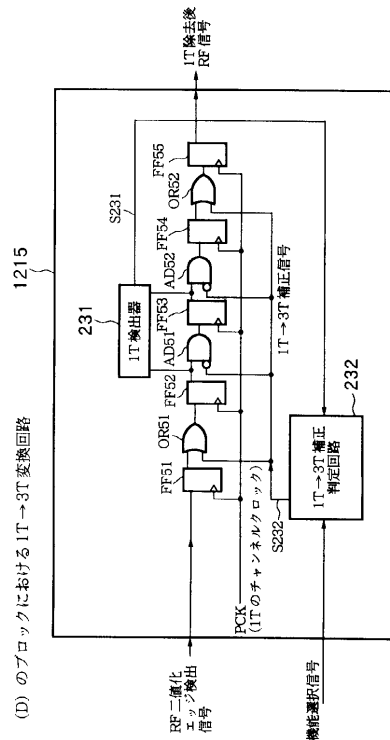
【図 11】

位相エラーによって補正を行う方向のテーブル

○：前方又は後方の選択可能な条件を示している。

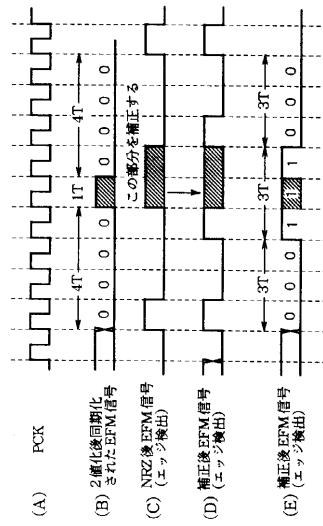
前 edge	後 edge		前 edge	後 edge	
4 100	4 100	前方へ 1T 伸ばす	0 000	4 100	前方へ 1T 伸ばす
4 100	3 011	前方へ 1T 伸ばす	0 000	3 011	前方へ 1T 伸ばす
4 100	2 010	前方へ 1T 伸ばす	0 000	2 010	前方へ 1T 伸ばす
4 100	1 001	前方へ 1T 伸ばす	0 000	1 001	前方へ 1T 伸ばす
4 100	0 000	前方へ 1T 伸ばす	0 000	0 000	後方へ 1T 伸ばす○
4 100	-1 111	前方へ 1T 伸ばす	0 000	-1 111	後方へ 1T 伸ばす
4 100	-2 110	前方へ 1T 伸ばす	0 000	-2 110	後方へ 1T 伸ばす
4 100	-3 101	前方へ 1T 伸ばす	0 000	-3 101	後方へ 1T 伸ばす
3 011	4 100	前方へ 1T 伸ばす	-1 111	4 100	前方へ 1T 伸ばす
3 011	3 011	前方へ 1T 伸ばす	-1 111	3 011	前方へ 1T 伸ばす
3 011	2 010	前方へ 1T 伸ばす	-1 111	2 010	前方へ 1T 伸ばす
3 011	1 001	前方へ 1T 伸ばす	-1 111	1 001	後方へ 1T 伸ばす○
3 011	0 000	前方へ 1T 伸ばす	-1 111	0 000	後方へ 1T 伸ばす
3 011	-1 111	前方へ 1T 伸ばす	-1 111	-1 111	後方へ 1T 伸ばす
3 011	-2 110	前方へ 1T 伸ばす	-1 111	-2 110	後方へ 1T 伸ばす
3 011	-3 101	後方へ 1T 伸ばす○	-1 111	-3 101	後方へ 1T 伸ばす
2 010	4 100	前方へ 1T 伸ばす	-2 110	4 100	前方へ 1T 伸ばす
2 010	3 011	前方へ 1T 伸ばす	-2 110	3 011	前方へ 1T 伸ばす
2 010	2 010	前方へ 1T 伸ばす	-2 110	2 010	後方へ 1T 伸ばす○
2 010	1 001	前方へ 1T 伸ばす	-2 110	1 001	後方へ 1T 伸ばす
2 010	0 000	前方へ 1T 伸ばす	-2 110	0 000	後方へ 1T 伸ばす
2 010	-1 111	前方へ 1T 伸ばす	-2 110	-1 111	後方へ 1T 伸ばす
2 010	-2 110	後方へ 1T 伸ばす○	-2 110	-2 110	後方へ 1T 伸ばす
2 010	-3 101	後方へ 1T 伸ばす	-2 110	-3 101	後方へ 1T 伸ばす
1 001	4 100	前方へ 1T 伸ばす	-3 101	4 100	前方へ 1T 伸ばす
1 001	3 011	前方へ 1T 伸ばす	-3 101	3 011	後方へ 1T 伸ばす○
1 001	2 010	前方へ 1T 伸ばす	-3 101	2 010	後方へ 1T 伸ばす
1 001	1 001	前方へ 1T 伸ばす	-3 101	1 001	後方へ 1T 伸ばす
1 001	0 000	前方へ 1T 伸ばす	-3 101	0 000	後方へ 1T 伸ばす
1 001	-1 111	後方へ 1T 伸ばす○	-3 101	-1 111	後方へ 1T 伸ばす
1 001	-2 110	後方へ 1T 伸ばす	-3 101	-2 110	後方へ 1T 伸ばす
1 001	-3 101	後方へ 1T 伸ばす	-3 101	-3 101	後方へ 1T 伸ばす

【図 12】



【図 13】

(D) のブロックで行う 1T→3T 補正



・3補正回路を通過した後の1Tを3Tへ補正

フロントページの続き

審査官 矢頭 尚之

(56)参考文献 特開平 1 0 - 2 2 2 9 3 9 (J P , A)
特開平 1 0 - 3 3 4 6 1 3 (J P , A)
特開平 1 0 - 3 3 4 6 0 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H03M 7/14

G11B 20/14