(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年4月25日(25.04.2019)

WIPO | PCT

(10) 国際公開番号
WO 2019/077876 A1

(51) 国際特許分類:
H01L 27/11507 (2017.01) *H01L 27/11504* (2017.01)

(21) 国際出願番号： PCT/JP2018/031209

(22) 国際出願日： 2018年8月23日(23.08.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-200957 2017年10月17日(17.10.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 塚本 雅則 (**TSUKAMOTO, Masanori**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

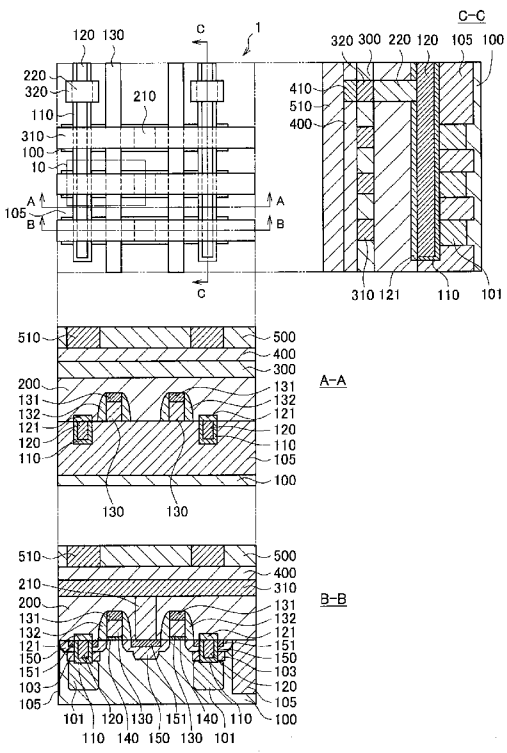
(74) 代理人: 亀谷 美明, 外 (**KAMEYA, Yoshiaki** et al.); 〒1600004 東京都新宿区四谷３－１－３ 第一冨澤ビル はづき国際特許事務所 四谷オフィス Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,

(54) **Title:** SEMICONDUCTOR STORAGE DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称： 半導体記憶装置及び電子機器



(57) **Abstract:** [Problem] The present invention addresses the problem of providing: a semiconductor storage device that is provided with a suitable structure due to miniaturization and high integration of a memory cell; and an electronic apparatus. [Solution] This semiconductor storage device is provided with: a recessed section that is provided in a semiconductor substrate; a ferroelectric film that is provided along the inner side of the recessed section; an electrode that is provided on the ferroelectric film so that the recessed section is filled with the electrode; a first conductivity-type isolating region that is provided in the semiconductor substrate below the recessed section; and a second conductivity-type electrode region that is provided in the semiconductor substrate at least on one side of the recessed section.

(57) 要約： 【課題】 メモリセルの微細化及び高集積化により適した構造を備える半導体記憶装置及び電子機器を提供する。 【解決手段】 半導体基板に設けられた凹部と、前記凹部の内側に沿って設けられた強誘電体膜と、前記強誘電体膜の上から前記凹部を埋め込むように設けられた電極と、前記凹部の下方の前記半導体基板に設けられた第１導電型の分離領域と、前記凹部の少なくとも一側方の前記半導体基板に設けられた第２導電型の電極領域と、を備える、半導体記憶装置。

WO 2019/077876 A1

［続葉有］

TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

明　細　書

発明の名称 ： 半導体記憶装置及び電子機器

技術分野

[0001] 本開示は、半導体記憶装置及び電子機器に関する。

背景技術

[0002] 同一基板上に設けられたｎＭＯＳＦＥＴ（ｎ型Ｍｅｔａｌ－Ｏｘｉｄｅ－Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ－Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）及びｐＭＯＳＦＥＴ（ｐ型ＭＯＳＦＥＴ）から構成されるＣＭＯＳ（Ｃｏｍｐｌｅｍｅｎｔａｒｙ　ＭＯＳ）回路は、消費電力が少なく、高速動作が可能であり、かつ微細化及び高集積化が容易な回路として知られている。

[0003] そのため、ＣＭＯＳ回路は、多くのＬＳＩ（Ｌａｒｇｅ　Ｓｃａｌｅ　Ｉｎｔｅｇｒａｔｉｏｎ）デバイスで用いられている。なお、このようなＬＳＩデバイスは、近年、アナログ回路、メモリ及び論理回路などを１チップに混載したＳｏＣ（Ｓｙｓｔｅｍ　ｏｎ　ａ　Ｃｈｉｐ）として製品化されている。

[0004] ＬＳＩデバイスに搭載されるメモリには、例えば、Ｓｔａｔｉｃ　ＲＡＭ（Ｓｔａｔｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ：ＳＲＡＭ）等が用いられる。近年、ＬＳＩデバイスのコスト及び消費電力をより低減するために、ＳＲＡＭに替えて、Ｄｙｎａｍｉｃ　ＲＡＭ（ＤＲＡＭ）、Ｍａｇｎｅｔｉｃ　ＲＡＭ（ＭＲＡＭ）又はＦｅｒｒｏｅｌｅｃｔｒｉｃ　ＲＡＭ（ＦｅＲＡＭ）等を用いることが検討されている。

[0005] ここで、ＦｅＲＡＭとは、強誘電体の残留分極の方向を用いて情報を記憶する半導体記憶装置である。ＦｅＲＡＭの構造の一例として、例えば、強誘電体材料を用いたトレンチ型のキャパシタをメモリセルとして用いる構造が提案されている。

[0006] 例えば、下記の特許文献１には、トレンチ構造の内側面に設けられた強誘

電体と、トレンチ構造の内部に設けられた電極と、トレンチ構造の外側面に設けられた電極と、から構成されるキャパシタをメモリセルとして用いる半導体記憶装置が開示されている。

先行技術文献

特許文献

[0007] 特許文献1：特開平１１－１６８１９４号公報

発明の概要

発明が解決しようとする課題

[0008] しかし、上記の特許文献１に開示された半導体記憶装置では、金属／強誘電体／金属から構成されるキャパシタがメモリセルごとに形成されるため、１メモリセルにて占有される面積が大きかった。そのため、上記の特許文献１に開示された半導体記憶装置の構造は、メモリセルの微細化及び高集積化には適していなかった。

[0009] そこで、メモリセルの微細化及び高集積化により適した構造を備える半導体記憶装置及び電子機器が求められていた。

課題を解決するための手段

[0010] 本開示によれば、半導体基板に設けられた凹部と、前記凹部の内側に沿って設けられた強誘電体膜と、前記強誘電体膜の上から前記凹部を埋め込むように設けられた電極と、前記凹部の下方の前記半導体基板に設けられた第１導電型の分離領域と、前記凹部の少なくとも一側方の前記半導体基板に設けられた第２導電型の電極領域と、を備える、半導体記憶装置が提供される。

[0011] また、本開示によれば、半導体記憶装置を備え、前記半導体記憶装置は、半導体基板に設けられた凹部と、前記凹部の内側に沿って設けられた強誘電体膜と、前記強誘電体膜の上から前記凹部を埋め込むように設けられた電極と、前記凹部の下方の前記半導体基板に設けられた第１導電型の分離領域と、前記凹部の少なくとも一側方の前記半導体基板に設けられた第２導電型の電極領域と、を備える、電子機器が提供される。

[0012] また、本開示によれば、半導体基板に凹部を設ける工程と、前記凹部の少なくとも一側方の前記半導体基板に第２導電型の電極領域を設ける工程と、前記凹部の下方の前記半導体基板に第１導電型の分離領域を設ける工程と、前記凹部の内側に沿って強誘電体膜を設ける工程と、前記強誘電体膜の上から前記凹部を埋め込むように電極を設ける工程と、を含む、半導体記憶装置の製造方法が提供される。

[0013] 本開示によれば、隣接するメモリセルにて、強誘電体膜を備えるキャパシタが形成される凹部を共有することができる。これによれば、半導体記憶装置は、１つのメモリセルが占有する面積をより縮小することができる。

発明の効果

[0014] 以上説明したように本開示によれば、メモリセルの微細化及び高集積化により適した構造を備える半導体記憶装置及び電子機器を提供することが可能である。

[0015] なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、又は上記の効果に代えて、本明細書に示されたいずれかの効果、又は本明細書から把握され得る他の効果が奏されてもよい。

図面の簡単な説明

[0016] [図1]本開示の一実施形態に係る半導体記憶装置の等価回路を示した回路図である。

[図2]同実施形態に係る半導体記憶装置の平面構造及び断面構造を示す模式図である。

[図3]半導体記憶装置の第１の製造方法の一工程を説明する平面図及び断面図である。

[図4]半導体記憶装置の第１の製造方法の一工程を説明する平面図及び断面図である。

[図5]半導体記憶装置の第１の製造方法の一工程を説明する平面図及び断面図である。

[図6]半導体記憶装置の第１の製造方法の一工程を説明する平面図及び断面図

である。

[図7]半導体記憶装置の第１の製造方法の一工程を説明する平面図及び断面図である。

[図8]半導体記憶装置の第１の製造方法の一工程を説明する平面図及び断面図である。

[図9]半導体記憶装置の第１の製造方法の一工程を説明する平面図及び断面図である。

[図10]半導体記憶装置の第１の製造方法の一工程を説明する平面図及び断面図である。

[図11]半導体記憶装置の第１の製造方法の一工程を説明する平面図及び断面図である。

[図12]半導体記憶装置の第１の製造方法の一工程を説明する平面図及び断面図である。

[図13]半導体記憶装置の第１の製造方法の一工程を説明する平面図及び断面図である。

[図14]半導体記憶装置の第１の製造方法の一工程を説明する平面図及び断面図である。

[図15]半導体記憶装置の第１の製造方法の一工程を説明する平面図及び断面図である。

[図16]半導体記憶装置の第２の製造方法の一工程を説明する平面図及び断面図である。

[図17]半導体記憶装置の第２の製造方法の一工程を説明する平面図及び断面図である。

[図18]半導体記憶装置の第２の製造方法の一工程を説明する平面図及び断面図である。

[図19]半導体記憶装置の第２の製造方法の一工程を説明する平面図及び断面図である。

[図20]半導体記憶装置の第３の製造方法の一工程を説明する平面図及び断面

図である。

[図21]半導体記憶装置の第３の製造方法の一工程を説明する平面図及び断面図である。

[図22]半導体記憶装置の第３の製造方法の一工程を説明する平面図及び断面図である。

[図23]半導体記憶装置の第３の製造方法の一工程を説明する平面図及び断面図である。

[図24]半導体記憶装置の第３の製造方法の一工程を説明する平面図及び断面図である。

[図25]半導体記憶装置の第４の製造方法の一工程を説明する平面図及び断面図である。

[図26]半導体記憶装置の第４の製造方法の一工程を説明する平面図及び断面図である。

[図27]半導体記憶装置の第４の製造方法の一工程を説明する平面図及び断面図である。

[図28]半導体記憶装置の第４の製造方法の一工程を説明する平面図及び断面図である。

[図29]半導体記憶装置の第４の製造方法の一工程を説明する平面図及び断面図である。

[図30]半導体記憶装置の第４の製造方法の一工程を説明する平面図及び断面図である。

[図31]半導体記憶装置の第４の製造方法の一工程を説明する平面図及び断面図である。

[図32]同実施形態に係る半導体記憶装置のトランジスタ及びキャパシタに着目した断面図である。

[図33]変形例に係る半導体記憶装置の等価回路を示した回路図である。

[図34]変形例に係る半導体記憶装置の平面構造を示す模式図である。

[図35]変形例に係る半導体記憶装置が備えるトランジスタの各々に着目した

断面図である。

[図36]本開示の一実施形態に係る電子機器の一例を示す外観図である。

[図37]本開示の一実施形態に係る電子機器の他の例を示す外観図である。

[図38]本開示の一実施形態に係る電子機器の他の例を示す外観図である。

発明を実施するための形態

[0017] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0018] なお、以下の説明にて参照する各図面では、説明の便宜上、一部の構成部材の大きさを誇張して表現している場合がある。したがって、各図面において図示される構成部材同士の相対的な大きさは、必ずしも実際の構成部材同士の大小関係を正確に表現するものではない。また、以下の説明では、基板又は層が積層される方向を上方向と表すことがある。

[0019] なお、説明は以下の順序で行うものとする。

１．概要

２．構造例

３．製造方法

３．１．第１の製造方法

３．２．第２の製造方法

３．３．第３の製造方法

３．４．第４の製造方法

４．動作例

５．変形例

６．適用例

[0020] ＜１．概要＞

まず、図１を参照して、本開示の一実施形態に係る半導体記憶装置の概要について説明する。図１は、本実施形態に係る半導体記憶装置の等価回路を

示した回路図である。なお、以下では、「ゲート」は、電界効果トランジスタのゲート電極を表し、「ドレイン」は、電界効果トランジスタのドレイン電極又はドレイン領域を表し、「ソース」は、電界効果トランジスタのソース電極又はソース領域を表すものとする。

[0021] 図１に示すように、半導体記憶装置１０は、情報を記憶するキャパシタ１１と、キャパシタ１１の選択及び非選択を制御するトランジスタ２１と、を備える。半導体記憶装置１０は、例えば、１ビットの情報を０又は１で記憶する１つのメモリセルである。

[0022] キャパシタ１１は、強誘電体膜を挟持する一対の電極にて構成される強誘電体キャパシタである。キャパシタ１１は、一対の電極にて挟持された強誘電体膜の残留分極の方向によって情報を記憶することができる。キャパシタ１１では、一対の電極の一方がソース線ＳＬと電気的に接続し、一対の電極の他方がトランジスタ２１のソース又はドレインと電気的に接続する。

[0023] また、キャパシタ１１の一方の電極と電気的に接続するソース線ＳＬは、隣接するメモリセルのキャパシタと共有されている。具体的には、キャパシタ１１の電極の一方は、隣接するメモリセルのキャパシタの電極の一方と連続して設けられ、連続して設けられた該電極にソース線ＳＬが接続されている。

[0024] トランジスタ２１は、キャパシタ１１の選択及び非選択を制御する電界効果トランジスタである。トランジスタ２１は、ソース又はドレインの一方でキャパシタ１１の他方の電極と電気的に接続し、ソース又はドレインの他方でビット線ＢＬと電気的に接続する。また、トランジスタ２１のゲートは、ワード線ＷＬと電気的に接続しており、トランジスタ２１のチャネルの状態は、ワード線ＷＬからの印加電圧によって制御される。

[0025] このような半導体記憶装置１０において、キャパシタ１１に情報を書き込む場合、まず、ワード線ＷＬに電圧を印加することで、トランジスタ２１のチャネルをオン状態に遷移させる。その後、ソース線ＳＬ及びビット線ＢＬの間に所定の電位差を印加することで、キャパシタ１１の強誘電体膜に電界

を印加する。これにより、半導体記憶装置１０は、キャパシタ１１の強誘電体膜の残留分極の方向を外部電界によって制御することができるため、キャパシタ１１に情報を書き込むことができる。

[0026] 一方、半導体記憶装置１０において、キャパシタ１１から情報を読み出す場合、まず、ワード線ＷＬに電圧を印加することで、トランジスタ２１のチャネルをオン状態に遷移させる。その後、ソース線ＳＬ及びビット線ＢＬの間に所定の電位差を印加することで、キャパシタ１１の強誘電体膜の分極方向を所定の方向に遷移させる。このとき、キャパシタ１１は、遷移前の強誘電体膜の分極方向によって、遷移時に流れる電流の大きさが変化する。したがって、半導体記憶装置１０では、キャパシタ１１に流れる電流の大きさを計測することによって、キャパシタ１１に記憶された情報を読み出すことができる。

[0027] これによれば、半導体記憶装置１０は、キャパシタ１１に情報を記憶させるＦｅＲＡＭ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）として動作することができる。

[0028] 半導体記憶装置１０では、キャパシタ１１の電極の一方が、隣接するメモリセルのキャパシタの電極の一方と共有されている。具体的には、半導体記憶装置１０では、半導体基板に設けられた凹部の内部に埋め込んだ電極は、隣接するメモリセルで共有されており、各々のキャパシタ１１は、該電極の両側に電気的に分離されて設けられる。これによれば、半導体記憶装置１０は、１つのメモリセルが占有する面積を縮小することができるため、よりメモリセルを微細化及び集積化することが可能となる。

[0029] また、半導体記憶装置１０では、キャパシタ１１の選択及び非選択を制御するトランジスタ２１が設けられるため、トランジスタ２１によってキャパシタ１１への電圧印加の有無を制御することができる。したがって、半導体記憶装置１０では、選択されたキャパシタ１１への情報の書き込み及び読み出しの際に、非選択のキャパシタ１１が影響を受けること（いわゆる、Ｗｒｉｔｅ Ｄｉｓｔｕｒｂ又はＲｅａｄ Ｄｉｓｔｕｒｂ）を防止することが

できる。また、半導体記憶装置１０は、情報の書き込み及び読み出し時に、選択されたキャパシタ１１にのみ電圧を印加することができるため、キャパシタ１１の強誘電体の劣化を抑制することができる。

[0030] ＜２．構造例＞

続いて、図２を参照して、本実施形態に係る半導体記憶装置１０の具体的な構造について説明する。図２は、本実施形態に係る半導体記憶装置１０の平面構造及び断面構造を示す模式図である。

[0031] なお、図２の平面図は、各構成の配置を明確にするために、半導体基板１００の全面に亘って形成された層、並びに第３層間絶縁膜５００、第２配線層５１０及び第２層間絶縁膜４００は省略して平面透過図として記載している。図２の断面図の各々は、平面図をＡ－Ａ線、Ｂ－Ｂ線又はＣ－Ｃ線の各々で切断した断面を示す。

[0032] また、以下では、「第１導電型」は、「ｐ型」又は「ｎ型」の一方を表し、「第２導電型」は、「第１導電型」と異なる「ｐ型」又は「ｎ型」の他方を表すこととする。

[0033] 図２に示すように、半導体記憶装置１０は、半導体基板１００の上に設けられる。半導体記憶装置１０は、半導体基板１００上にマトリクス状に多数配置されることで、大容量の情報を記憶可能な半導体記憶装置（半導体メモリ）を構成する。

[0034] キャパシタ１１は、半導体基板１００に設けられた凹部の内側に沿って設けられた強誘電体膜１１０と、凹部を埋め込むように設けられたキャパシタ電極１２０と、凹部の側方の半導体基板１００に設けられた電極領域１０３とによって構成される。電極領域１０３は、ソース又はドレイン領域１５０の一方と接続することでトランジスタ２１と電気的に接続し、キャパシタ電極１２０は、コンタクト２２０を介してソース線ＳＬと電気的に接続している。なお、キャパシタ１１は、凹部の下方の半導体基板１００に設けられた分離領域１０１によって隣接するメモリセルのキャパシタ１１と電気的に分離されている。

[0035] トランジスタ２１は、半導体基板１００の上に設けられたゲート絶縁膜１４０と、ゲート絶縁膜１４０の上に設けられたゲート電極１３０と、半導体基板１００に設けられたソース又はドレイン領域１５０と、によって構成される。ソース又はドレイン領域１５０の一方は、電極領域１０３と接続することでキャパシタ１１と電気的に接続し、ソース又はドレイン領域１５０の他方は、コンタクト２１０を介してビット線ＢＬと電気的に接続している。また、ゲート電極１３０は、延伸した先でワード線ＷＬと電気的に接続している。

[0036] なお、半導体基板に設けられた凹部に誘電体及び電極を埋め込むことでキャパシタを構成する構造としては、トレンチ型のＤＲＡＭ（Ｄｙｎａｍｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）を挙げることができる。ただし、ＤＲＡＭは、キャパシタに蓄えられた電荷によって情報を記憶するため、記憶された情報を十分な精度で読み出すためには、例えば、ビット線の容量１００ｆＦに対して、２０ｆＦ程度のキャパシタ容量が必要であった。

[0037] 例えば、キャパシタに用いる誘電体の比誘電率が２５である場合、誘電体膜の幅を６０ｎｍとし、膜厚を５ｎｍとすると、容量２０ｆＦのキャパシタを形成するための凹部の深さは、約８μｍとなってしまう。このような深さの凹部は、加工が極めて困難であるため、ＤＲＡＭの微細化及び高集積化を困難にしていた。

[0038] 本実施形態に係る半導体記憶装置１０は、強誘電体の残留分極にて情報を記憶するＦｅＲＡＭとして機能する。ＦｅＲＡＭは、ＤＲＡＭとは動作原理が異なるため、例えば、ビット線の容量が１００ｆＦであっても、強誘電体の残留分極が２５μＣ／μｍ^{2}程度であれば、４００ｎｍ程度の深さの凹部にキャパシタ１１を形成することで、情報の読み出しを十分な精度で行うことが可能である。したがって、本実施形態に係る半導体記憶装置１０によれば、微細化及び高集積化を容易に行うことが可能となる。

[0039] 以下、半導体記憶装置１０の各構成についてより具体的に説明する。

[0040] 半導体基板１００は、半導体材料にて構成され、キャパシタ１１及びトラ

ンジスタ２１が形成される基板である。半導体基板１００は、シリコン基板であってもよく、シリコン基板の中にSiO_2などの絶縁膜を挟み込んだＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板であってもよい。または、半導体基板１００は、ゲルマニウムなどの他の元素半導体で形成された基板、又はガリウムヒ素（ＧａＡｓ）、窒化ガリウム（ＧａＮ）若しくはシリコンカーバイド（ＳｉＣ）等の化合物半導体で形成された基板であってもよい。

[0041] 素子分離層１０５は、絶縁性材料にて構成され、半導体基板１００に設けられる各素子（すなわち、キャパシタ１１及びトランジスタ２１）の各々を互いに電気的に離隔する。素子分離層１０５は、例えば、互いに離隔された平行な帯状領域にて半導体基板１００の第１方向（すなわち、図２に正対した場合の横方向、以下同じ）に延伸して設けられてもよい。例えば、素子分離層１０５は、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）又は酸窒化シリコン（ＳｉＯＮ）などの絶縁性の酸窒化物で形成されてもよい。

[0042] 例えば、素子分離層１０５は、ＳＴＩ（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）法を用いて、所定領域の半導体基板１００の一部をエッチング等で除去した後、該開口を酸化シリコン（SiO_x）で埋め込むことで形成されてもよい。また、素子分離層１０５は、ＬＯＣＯＳ（Ｌｏｃａｌ　Ｏｘｉｄａｔｉｏｎ　ｏｆ　Ｓｉｌｉｃｏｎ）法を用いて、所定領域の半導体基板１００を熱酸化することで形成されてもよい。

[0043] なお、素子分離層１０５によって互いに平行な帯状領域に離隔された領域は、各素子（すなわち、キャパシタ１１及びトランジスタ２１）が形成される素子領域として機能する。素子領域の半導体基板１００には、例えば、第１導電型不純物（例えば、ホウ素（Ｂ）又はアルミニウム（Ａｌ）などのｐ型不純物）が導入されていてもよい。

[0044] 強誘電体膜１１０は、強誘電体材料にて構成され、半導体基板１００に設けられた凹部の内側に沿って設けられる。具体的には、強誘電体膜１１０は、素子分離層１０５が延伸する第１方向と直交する第２方向（すなわち、図

２に正対した場合の縦方向、以下同じ）に延伸し、複数の素子領域に亘って設けられる凹部の内側に沿って所定の膜厚で設けられる。強誘電体膜１１０は、キャパシタ電極１２０及び電極領域１０３にて挟持されることで、キャパシタ１１として機能する。

[0045] 強誘電体膜１１０は、自発的に分極し、分極方向を外部電界にて制御可能な強誘電体材料にて形成される。例えば、強誘電体膜１１０は、チタン酸ジルコン酸鉛（Ｐｂ（Ｚｒ，Ｔｉ）O_3：ＰＺＴ）又はタンタル酸ビスマス酸ストロンチウム（$SrBi_2Ta_2O_9$：ＳＢＴ）などのペレブスカイト構造の強誘電体材料にて形成されてもよい。また、強誘電体膜１１０は、HfO_x、ZrO_x又は$HfZrO_x$などの高誘電体材料で形成された膜を熱処理等によって変質させた強誘電体膜であってもよく、上記の高誘電体材料で形成された膜にランタン（Ｌａ）、シリコン（Ｓｉ）又はガドリニウム（Ｇｄ）などの原子を導入することで形成された強誘電体膜であってもよい。さらに、強誘電体膜１１０は、単層にて形成されてもよく、複数層にて形成されてもよい。例えば、強誘電体膜１１０は、HfO_xなどの強誘電体材料からなる単層膜であってもよい。

[0046] キャパシタ電極１２０は、導電性材料にて構成され、半導体基板１００に設けられた凹部を埋め込むように設けられる。具体的には、キャパシタ電極１２０は、素子分離層１０５が延伸する第１方向と直交する第２方向に延伸し、複数の素子領域に亘って設けられた凹部の内部の強誘電体膜１１０の上から凹部を埋め込むように設けられる。これにより、キャパシタ電極１２０は、半導体記憶装置１０の各々のキャパシタ１１を電気的に接続することができる。例えば、キャパシタ電極１２０は、チタン（Ｔｉ）若しくはタングステン（Ｗ）などの低抵抗の金属、又は窒化チタン（ＴｉＮ）若しくは窒化タンタル（ＴａＮ）などの金属化合物で形成されてもよい。キャパシタ電極１２０は、単層で形成されてもよく、複数層の積層体で形成されてもよい。

[0047] キャップ層１２１は、絶縁性材料で構成され、キャパシタ電極１２０の上に設けられることで、キャパシタ電極１２０を保護する。具体的には、キャ

ップ層１２１は、キャパシタ１１の形成後にトランジスタ２１を形成する場合に、トランジスタ２１の形成工程で行われるエッチングからキャパシタ電極１２０を保護する。なお、キャップ層１２１は、コンタクト２２０を形成する工程において、平坦化膜２００との間で高いエッチング選択比を提供することで、キャパシタ電極１２０に対してエッチングが進行することを防止することも可能である。例えば、キャップ層１２１は、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）又は酸窒化シリコン（ＳｉＯＮ）などの絶縁性の酸窒化物で形成されてもよい。具体的には、平坦化膜２００が酸化シリコン（SiO_x）である場合、キャップ層１２１は、窒化シリコン（SiN_x）で形成されてもよい。

[0048] 電極領域１０３は、半導体基板１００に設けられた凹部の少なくとも一側方に形成された第２導電型の領域である。具体的には、電極領域１０３は、半導体基板１００の素子領域に設けられた凹部の両側方の領域に第２導電型不純物を導入することで設けられる。電極領域１０３は、ソース又はドレイン領域１５０と連続するように設けられることで、キャパシタ１１とトランジスタ２１とを電気的に接続する。

[0049] 例えば、電極領域１０３は、半導体基板１００に第２導電型不純物（例えば、リン（Ｐ）、ヒ素（Ａｓ）などのｎ型不純物）を1×10^{18}個／cm^3以上の濃度で導入することで設けられてもよい。第２導電型不純物が1×10^{18}個／cm^3以上の濃度で導入されることにより、電極領域１０３は、キャパシタ１１の形成に十分な導電性を備えることができる。

[0050] 分離領域１０１は、半導体基板１００に設けられた凹部の下方に形成された第１導電型の領域である。具体的には、分離領域１０１は、半導体基板１００の素子領域に設けられた凹部の下方の領域に第１導電型不純物を導入することで設けられる。分離領域１０１は、凹部の側方の各々に設けられた電極領域１０３が互いに導通しないように電気的に分離する。

[0051] 例えば、分離領域１０１は、半導体基板１００に第１導電型不純物（例えば、ホウ素（Ｂ）又はアルミニウム（Ａｌ）などのｐ型不純物）を1×10^{1}

^{8}個／ｃｍ^{3}以上の濃度で導入することで設けられてもよい。第１導電型不純物が１×１０^{18}個／ｃｍ^{3}以上の濃度で導入されることにより、分離領域１０１は、凹部の側面の各々に形成されたキャパシタ１１が導通しないように電気的に十分な分離を行うことができる。

[0052] 上述したキャパシタ電極１２０及び電極領域１０３が強誘電体膜１１０を挟持することによって、キャパシタ１１が構成される。これにより、半導体記憶装置１０は、強誘電体膜１１０の残留分極によって、キャパシタ１１に情報を記憶することができる。また、半導体記憶装置１０では、キャパシタ１１は、強誘電体膜１１０及びキャパシタ電極１２０が埋め込まれる凹部の素子領域上の両側にそれぞれ設けられ、キャパシタ１１の各々は、分離領域１０１によって電気的に分離される。これによれば、１つの凹部（トレンチ）を用いて２つのキャパシタを形成することができるため、半導体記憶装置１０が占有する面積を縮小することができる。

[0053] ここで、強誘電体膜１１０及びキャパシタ電極１２０が埋め込まれる凹部の形成深さは、素子分離層１０５の形成深さよりも浅くなるように設けられ得る。これは、キャパシタ１１が半導体基板１００に設けられる他のキャパシタ１１及びトランジスタ２１と意図せず導通しないように、素子分離層１０５にて凹部が延伸する第２方向を電気的に分離するためである。仮に、凹部の形成深さが素子分離層１０５の形成深さよりも深い場合、キャパシタ１１は、凹部が延伸する第２方向にて、隣接するキャパシタ１１との間で意図しない導通又はリーク電流を生じさせてしまう可能性がある。したがって、強誘電体膜１１０及びキャパシタ電極１２０が埋め込まれる凹部の形成深さは、素子分離層１０５の形成深さよりも浅くしてもよい。

[0054] ここで、キャパシタ１１の容量は、電極領域１０３と半導体基板１００との間で形成されるジャンクション容量の２倍以上となるように設けられ得る。ジャンクション容量は、第２導電型である電極領域１０３と、第１導電型である半導体基板１００との間のｐｎ接合によって生じる寄生容量である。電極領域１０３の電位は、該ジャンクション容量とキャパシタ１１の容量と

の比によって変動するため、キャパシタ１１の容量が該ジャンクション容量の２倍以上である場合、非選択のキャパシタ１１の電極領域１０３の電位変動をキャパシタ電極１２０の電位の１／３よりも小さくすることができる。これによれば、非選択のキャパシタ１１に記憶された情報が反転することを抑制することができる。なお、キャパシタ１１の容量は、例えば、強誘電体膜１１０の誘電率、膜厚及び面積によって制御することが可能である。

[0055] ゲート絶縁膜１４０は、公知の絶縁性材料で構成され、半導体基板１００の上に設けられる。なお、ゲート絶縁膜１４０は、素子分離層１０５の上には設けられず、素子分離層１０５によって分離された素子領域の半導体基板１００の上に設けられる。これにより、半導体記憶装置１０は、意図しない領域がトランジスタとして機能することを防止することができる。ゲート絶縁膜１４０は、電界効果トランジスタのゲート絶縁膜として一般的な絶縁性材料で形成されてもよい。例えば、ゲート絶縁膜１４０は、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）又は酸窒化シリコン（ＳｉＯＮ）などの絶縁性の酸窒化物で形成されてもよい。

[0056] ゲート電極１３０は、導電性材料で構成され、ゲート絶縁膜１４０の上に設けられる。また、ゲート電極１３０は、素子分離層１０５が延伸する第１方向と直交する第２方向に素子分離層１０５を越えて延伸することで、複数の素子領域に亘って設けられる。これにより、ゲート電極１３０は、半導体記憶装置１０の各々のトランジスタ２１のゲートを電気的に接続することができる。このとき、ゲート電極１３０は、素子分離層１０５の上にも設けられることになるが、素子分離層１０５の上にはゲート絶縁膜１４０が設けられていないため、ゲート電極１３０は、素子分離層１０５の上では配線として機能する。

[0057] 例えば、ゲート電極１３０は、ポリシリコン等にて形成されてもよく、金属、合金、金属化合物、又は高融点金属（Ｎｉなど）とポリシリコンとの合金（いわゆるシリサイド）にて形成されてもよい。具体的には、ゲート電極１３０は、金属からなる層と、ポリシリコンからなる層との積層構造にて形

成されてもよい。例えば、ゲート電極１３０は、ゲート絶縁膜１４０の上に設けられたＴｉＮ又はＴａＮからなる金属層と、ポリシリコンからなる層との積層構造にて形成されてもよい。このような積層構造によれば、ゲート電極１３０は、ポリシリコン単層で形成される場合と比較して配線抵抗を低下させることができる。

[0058] ソース又はドレイン領域１５０は、半導体基板１００に形成された第２導電型の領域である。具体的には、ソース又はドレイン領域１５０は、ゲート電極１３０を挟んで両側の半導体基板１００に設けられる。ソース又はドレイン領域１５０の一方は、コンタクト２１０を介して、ビット線ＢＬとして機能する第１配線層３１０と接続し、ソース又はドレイン領域１５０の他方は、電極領域１０３と接続する。

[0059] 例えば、ソース又はドレイン領域１５０は、素子分離層１０５によって分離された素子領域の半導体基板１００に第２導電型不純物（例えば、リン（Ｐ）、ヒ素（Ａｓ）などのｎ型不純物）を導入することで形成されてもよい。また、ソース又はドレイン領域１５０と、ゲート電極１３０との間の半導体基板１００には、ソース又はドレイン領域１５０と同じ導電型であり、かつソース又はドレイン領域１５０よりも導電型不純物の濃度が低いＬＤＤ（Ｌｉｇｈｔｌｙ－Ｄｏｐｅｄ　Ｄｒａｉｎ）領域が形成されていてもよい。

[0060] なお、ゲート電極１３０を挟んで設けられたソース又はドレイン領域１５０は、いずれがソース領域として機能してもよく、いずれがドレイン領域として機能してもよい。これらは、導電型不純物の極性又は配線接続によって任意に変更され得る。

[0061] サイドウォール絶縁膜１３２は、絶縁性材料で構成され、ゲート電極１３０の側面に側壁として設けられる。具体的には、サイドウォール絶縁膜１３２は、ゲート電極１３０を含む領域に一様に絶縁膜を成膜した後、該絶縁膜を垂直異方性エッチングすることで形成することができる。例えば、サイドウォール絶縁膜１３２は、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）又は酸窒化シリコン（ＳｉＯＮ）などの絶縁性の酸窒化物で、単層又は複

数層にて形成されてもよい。

[0062] サイドウォール絶縁膜１３２は、半導体基板１００に導入される第２導電型不純物を遮蔽することで、ゲート電極１３０と、ソース又はドレイン領域１５０との位置関係を自己整合的に制御する。サイドウォール絶縁膜１３２を形成することで、半導体基板１００への不純物の導入を段階的に行うことができるようになるため、ソース又はドレイン領域１５０と、ゲート電極１３０との間に自己整合的にＬＤＤ領域を形成することが可能である。

[0063] コンタクト層１３１は、ゲート電極１３０の上面に設けられ、ゲート電極１３０の導電性を向上させる。具体的には、コンタクト層１３１は、低抵抗の金属又は金属化合物で形成されてもよい。

[0064] コンタクト領域１５１は、ソース又はドレイン領域１５０の半導体基板１００の表面に設けられ、ソース又はドレイン領域１５０と、コンタクト２１０との接触抵抗を低下させる。具体的には、コンタクト領域１５１は、Ｎｉなどの高融点金属と、ポリシリコンとの合金（いわゆるシリサイド）にて形成されてもよい。

[0065] 平坦化膜２００は、キャパシタ１１及びトランジスタ２１を埋め込み、半導体基板１００の全面に亘って設けられる絶縁膜である。例えば、平坦化膜２００は、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）又は酸窒化シリコン（ＳｉＯＮ）などの絶縁性の酸窒化物で形成されてもよい。

[0066] なお、図２では図示しないが、半導体基板１００、サイドウォール絶縁膜１３２及びコンタクト層１３１の上には、全面に亘って無機絶縁材料で構成されたライナー層が設けられていてもよい。ライナー層は、コンタクト２１０を形成する工程において、平坦化膜２００との間で高いエッチング選択比を提供することで、半導体基板１００にエッチングが進行することを防止することができる。例えば、ライナー層は、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）又は酸窒化シリコン（ＳｉＯＮ）などの絶縁性の酸窒化物で形成されてもよい。具体的には、平坦化膜２００が酸化シリコン（SiO_x）である場合、ライナー層は、窒化シリコン（SiN_x）で形成されてもよい

。

[0067] また、ライナー層は、ゲート絶縁膜１４０の下のチャネルに対して圧縮応力又は引張応力を付与する層として形成されてもよい。このような場合、ライナー層は、応力効果によって、該チャネルにおけるキャリア移動度を向上させることができる。

[0068] コンタクト２１０、２２０は、導電性材料で構成され、平坦化膜２００を貫通して設けられる。具体的には、コンタクト２１０は、ソース又はドレイン領域１５０の電極領域１０３と接続しない他方の上に設けられる。コンタクト２１０は、コンタクト領域１５１を介してソース又はドレイン領域１５０の他方と第１配線層３１０とを電気的に接続する。また、コンタクト２２０は、キャパシタ電極１２０が延伸した先の上に設けられる。コンタクト２２０は、ビア４１０を介して第２配線層５１０と、キャパシタ電極１２０とを電気的に接続する。

[0069] 例えば、コンタクト２１０、２２０は、チタン（Ｔｉ）若しくはタングステン（Ｗ）などの低抵抗の金属、又は窒化チタン（ＴｉＮ）又は窒化タンタル（ＴａＮ）などの金属化合物で形成されてもよい。コンタクト２１０、２２０は、単層で形成されてもよく、複数層の積層体で形成されてもよい。例えば、コンタクト２１０、２２０は、Ｔｉ又はＴｉＮと、Ｗとの積層体にて形成されてもよい。

[0070] 第１層間絶縁膜３００は、第１配線層３１０、３２０を埋め込んで、平坦化膜２００の上に半導体基板１００の全面に亘って設けられる。第１層間絶縁膜３００は、例えば、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）又は酸窒化シリコン（ＳｉＯＮ）などの絶縁性の酸窒化物で形成されてもよい。

[0071] 第１配線層３１０は、導電性材料にて構成され、素子領域の延伸方向である第１方向に延伸する配線にてコンタクト２１０の上に設けられる。第１配線層３１０は、コンタクト２１０を介してトランジスタ２１のソース又はドレイン領域１５０の他方と電気的に接続し、ビット線ＢＬとして機能する。

第１配線層３２０は、導電性材料にて構成され、コンタクト２２０の上に設けられる。第１配線層３２０は、下層のコンタクト２２０と、上層のビア４１０とを電気的に接続する。第１配線層３１０、３２０は、例えば、銅（Ｃｕ）又はアルミニウム（Ａｌ）等の金属材料で形成されてもよく、Ｃｕのダマシン構造又はデュアルダマシン構造にて形成されてもよい。

[0072] 第２層間絶縁膜４００は、ビア４１０を埋め込んで、第１層間絶縁膜３００の上に半導体基板１００の全面に亘って設けられる。第２層間絶縁膜４００は、例えば、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）又は酸窒化シリコン（ＳｉＯＮ）などの絶縁性の酸窒化物で形成されてもよい。

[0073] ビア４１０は、導電性材料にて構成され、第１配線層３２０の上に設けられる。具体的には、ビア４１０は、第２層間絶縁膜４００を貫通して設けられ、下層の第１配線層３２０と、上層の第２配線層５１０とを電気的に接続する。ビア４１０は、例えば、チタン（Ｔｉ）若しくはタングステン（Ｗ）などの低抵抗の金属、又は窒化チタン（ＴｉＮ）又は窒化タンタル（ＴａＮ）などの金属化合物で形成されてもよい。ビア４１０は、単層で形成されてもよく、複数層の積層体で形成されてもよく、例えば、Ｔｉ又はＴｉＮと、Ｗとの積層体にて形成されてもよい。

[0074] 第３層間絶縁膜５００は、第２配線層５１０を埋め込んで、第２層間絶縁膜４００の上に半導体基板１００の全面に亘って設けられる。第３層間絶縁膜５００は、例えば、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）又は酸窒化シリコン（ＳｉＯＮ）などの絶縁性の酸窒化物で形成されてもよい。

[0075] 第２配線層５１０は、導電性材料にて構成され、キャパシタ電極１２０の延伸方向である第２方向に延伸する配線にてビア４１０の上に設けられる。第２配線層５１０は、ビア４１０、第１配線層３２０及びコンタクト２２０を介してキャパシタ電極１２０と電気的に接続し、ソース線ＳＬとして機能する。第２配線層５１０は、例えば、銅（Ｃｕ）又はアルミニウム（Ａｌ）等の金属材料で形成されてもよく、Ｃｕのダマシン構造又はデュアルダマシ

ン構造にて形成されてもよい。

[0076] 上記の構造によれば、半導体記憶装置１０では、キャパシタ１１が形成される凹部を隣接するメモリセルで共有することができるため、半導体記憶装置１０が占有する面積を縮小することができる。これによれば、半導体記憶装置１０は、微細化及び高集積化をより容易に行うことができる。

[0077] ＜３．製造方法＞

（３．１．第１の製造方法）

続いて、図３～図１５を参照して、本実施形態に係る半導体記憶装置１０の第１の製造方法について説明する。図３～図１５は、半導体記憶装置１０の第１の製造方法の各工程を説明する平面図及び断面図である。

[0078] なお、図３～図１５においても、図２と同様に、半導体基板１００の全面に亘って形成された層の記載は省略している。また、断面図の各々は、平面図をＡＡ線、ＢＢ線又はＣＣ線の各々で切断した断面を示す。

[0079] まず、図３に示すように、半導体基板１００に素子分離層１０５を形成することで、各素子（すなわち、キャパシタ１１及びトランジスタ２１）が形成される素子領域を設ける。

[0080] 具体的には、Ｓｉからなる半導体基板１００上に、ドライ酸化等にてSiO_2膜を形成し、さらに減圧ＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）等にてSi_3N_4膜を形成する。続いて、素子領域を保護するようにパターニングされたレジスト層をSi_3N_4膜の上に形成し、SiO_2膜、Si_3N_4膜及び半導体基板１００を３５０ｎｍ～４００ｎｍの深さでエッチングする。次に、膜厚６５０ｎｍ～７００ｎｍにてSiO_2を成膜し、エッチングによる開口を埋め込むことで、素子分離層１０５を形成する。SiO_2の成膜には、例えば、段差被覆性が良好であり、かつ緻密なSiO_2膜を形成することが可能な高密度プラズマＣＶＤを用いてもよい。

[0081] 続いて、ＣＭＰ（Ｃｈｅｍｉｃａｌ Ｍｅｃｈａｎｉｃａｌ Ｐｏｌｉｓｈ）等を用いて、過剰に成膜されたSiO_2膜を除去することで、半導体基板１００の表面を平坦化する。ＣＭＰによるSiO_2膜の除去は、例えば、Ｓｉ

$_3N_4$膜が露出するまで行えばよい。

[0082] さらに、熱リン酸等を用いてSi_3N_4膜を除去する。なお、素子分離層１０５のSiO_2膜をより緻密な膜とするため、又は素子領域の角を丸めるために、Si_3N_4膜の除去の前に半導体基板１００をN_2、O_2又はH_2／O_2環境下でアニーリングすることも可能である。次に、半導体基板１００の素子領域の表面を１０ｎｍ程度酸化して酸化膜１００Ａを形成した後、第１導電型不純物（例えば、ホウ素（Ｂ）など）をイオン注入することで、素子領域の半導体基板１００を第１導電型のウェル領域に変換する。

[0083] 次に、図４に示すように、ゲート絶縁膜１４０を成膜した後、ゲート絶縁膜１４０の上に、下部ゲート電極１３０Ａ（後段にて、ゲート電極１３０の一部となる）及び保護層１６１を形成する。

[0084] 具体的には、まず、半導体基板１００の表面を覆う酸化膜１００Ａをフッ化水素酸溶液等で剥離する。その後、７００℃のO_2を用いたドライ酸化又はＲＴＡ（Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）処理によって、半導体基板１００の上にSiO_2からなるゲート絶縁膜１４０を膜厚１．５ｎｍ～１０ｎｍにて形成する。なお、ドライ酸化に用いるガスとしては、O_2の他に、H_2／O_2、N_2O又はＮＯの混合ガスを用いてもよい。また、ゲート絶縁膜１４０を形成する際に、プラズマ窒化を用いることで、SiO_2膜中に窒素ドーピングを行うことも可能である。

[0085] 次に、SiH_4ガスを原料ガスとし、成膜温度を５８０℃～６２０℃とする減圧ＣＶＤを用いて、ポリシリコンを膜厚５０ｎｍ～１５０ｎｍにて成膜することで、下部ゲート電極１３０Ａを形成する。続いて、低圧ＣＶＤを用いて、Si_3N_4を膜厚５ｎｍ～３０ｎｍ程度にて成膜することで、保護層１６１を形成する。

[0086] 次に、図５に示すように、半導体基板１００に、第２方向に延伸する凹部１２０Ａを形成する。

[0087] 具体的には、リソグラフィにてパターニングされたレジストをマスクとする異方性エッチングにて、幅６０ｎｍ及び深さ０ｎｍ～１２００ｎｍの凹部

１２０Ａを形成する。異方性エッチングには、例えば、ＨＢｒ又はＣｌ系のガスを用いることができる。なお、凹部１２０Ａは、アスペクト比が２０程度までであれば、特に問題なく、エッチング及び埋め込みを行うことが可能である。ただし、凹部１２０Ａは、半導体基板１００をエッチングして設けられていなくともよい。例えば、ゲート絶縁膜１４０までで異方性エッチングを止めることで、下部ゲート電極１３０Ａのみをエッチングして設けられていてもよい。

[0088] 続いて、図６に示すように、凹部１２０Ａの内部にイオン注入を行うことで、電極領域１０３及び分離領域１０１を形成する。

[0089] 具体的には、第２導電型不純物であるヒ素（Ａｓ）を１０ｋｅＶ～５０ｋｅＶにて、５～２０×10^{14}個／ｃｍ^{2}の濃度で凹部１２０Ａの内部に斜めにイオン注入することで、電極領域１０３を形成する。斜めにイオン注入する角度は、凹部１２０Ａの内側面にイオンが注入されるように、凹部１２０Ａの幅及び深さによって調整することが可能である。斜めにイオン注入する角度は、例えば、１０°～４５°であってもよい。次に、第１導電型不純物であるホウ素（Ｂ）を５ｋｅＶ～５０ｋｅＶにて、５～２０×10^{13}個／ｃｍ^{2}の濃度で凹部１２０Ａの底部にイオン注入することで、分離領域１０１を形成する。

[0090] その後、図７に示すように、凹部１２０Ａを埋め込むように、保護層１６１の上に強誘電体膜１１０及びキャパシタ電極１２０を形成する。

[0091] 具体的には、凹部１２０Ａ及び保護層１６１の上の自然酸化膜をＨＦ溶液で剥離した後、ＲＴＯ（Ｒａｐｉｄ Ｔｈｅｒｍａｌ Ｏｘｉｄｉｚａｔｉｏｎ）、酸素プラズマ処理又は過酸化水素水などの薬液を用いた化学酸化処理によって、凹部１２０Ａ及び保護層１６１の表面にSiO_2からなる界面層を膜厚０．５ｎｍ～１．５ｎｍにて形成する。次に、界面層の上に高誘電体材料である酸化ハフニウム（HfO_x）をＣＶＤ又はＡＬＤ（Ａｔｏｍｉｃ Ｌａｙｅｒ Ｄｅｐｏｓｉｔｉｏｎ）にて膜厚３ｎｍ～１０ｎｍにて成膜する。なお、高誘電体材料である酸化ハフニウム（HfO_x）は、後段にて、ア

ニール処理が行われることで強誘電体材料に変換される。

[0092] なお、酸化ハフニウムに替えて、酸化ジルコニウム（ZrO_x）又は酸化ハフニウムジルコニウム（$HfZrO_x$）などの高誘電体材料を用いることも可能である。また、これらの高誘電体材料にランタン（Ｌａ）、シリコン（Ｓｉ）、又はガドリニウム（Ｇｄ）等をドープすることで強誘電体材料に変換することも可能である。さらには、強誘電体膜１１０として、チタン酸ジルコン酸鉛（ＰＺＴ）、又はタンタル酸ビスマス酸ストロンチウム（ＳＢＴ）などのペレブスカイト系の強誘電体材料を用いることも可能である。

[0093] その後、強誘電体膜１１０の上にＣＶＤ、ＡＬＤ又はスパッタ等を用いて、ＴｉＮを膜厚５ｎｍ～２０ｎｍで成膜することで、キャパシタ電極１２０を形成する。なお、キャパシタ電極１２０を形成する材料として、ＴａＮを用いることも可能である。

[0094] 続いて、図８に示すように、過剰に成膜された強誘電体膜１１０及びキャパシタ電極１２０を除去することで、キャパシタ１１を形成する。

[0095] 具体的には、Si_3N_4膜からなる保護層１６１が露出するまでＣＭＰを行うことで、過剰に成膜された強誘電体膜１１０及びキャパシタ電極１２０を除去する。このとき、Si_3N_4膜からなる保護層１６１がストッパの役割を果たすため、ＣＭＰによる研磨を制御よく行うことが可能である。その後、強誘電体膜１１０を構成するHfO_x（現時点では、高誘電体材料）を強誘電体材料に変換するための結晶化アニールが行われる。なお、HfO_xを強誘電体材料に変換する結晶化アニールは、本工程にて行ってもよく、他のアニール工程にて同時に行ってもよい。結晶化アニールのアニール温度は、強誘電体膜１１０を構成する高誘電体材料又はドーパントの種類によって変化するが、例えば、４００℃～１１００℃の範囲で行われればよい。

[0096] 次に、図９に示すように、キャパシタ電極１２０の一部を除去する。

[0097] 具体的には、異方性エッチングにて強誘電体膜１１０及びキャパシタ電極１２０を所定の深さだけエッチングすることで、リセスを形成する。リセスの深さは任意に設定することが可能である。

[0098] 続いて、図１０に示すように、キャパシタ電極１２０の上にキャップ層１２１を形成する。

[0099] 具体的には、低圧ＣＶＤ等にて、キャパシタ電極１２０の上にSi_3N_4を膜厚３０ｎｍ～６０ｎｍ程度成膜した後、異方性エッチングを行うことで、キャップ層１２１を形成する。キャップ層１２１は、例えば、前段で形成されたリセスの内部に形成されてもよい。

[0100] その後、図１１に示すように、下部ゲート電極１３０Ａの上に上部ゲート電極１３０Ｂを成膜する。

[0101] 具体的には、SiH_4ガスを原料ガスとし、成膜温度を５８０℃～６２０℃とする減圧ＣＶＤ法を用いて、ポリシリコンを膜厚５０ｎｍ～１５０ｎｍにて成膜する。

[0102] 次に、図１２に示すように、下部ゲート電極１３０Ａ及び上部ゲート電極１３０Ｂをパターニングすることで、ゲート電極１３０を形成する。

[0103] 具体的には、パターニングされたレジストをマスクとして、下部ゲート電極１３０Ａ及び上部ゲート電極１３０Ｂに対して、異方性エッチングを行うことにより、ゲート電極１３０を形成する。異方性エッチングには、例えば、ＨＢｒ又はＣｌ系のガスを用いることができる。このような異方性エッチングは、下部ゲート電極１３０Ａ及び上部ゲート電極１３０Ｂを構成するポリシリコンと、SiO_2又はSi_3N_4とが高選択比となる条件で行うことで、Si_3N_4からなるキャップ層１２１に対するエッチング量を抑制することができる。例えば、４５ｎｍノードでは、ゲート幅を４０ｎｍ～５０ｎｍ程度として、ゲート電極１３０を形成してもよい。

[0104] 続いて、図１３に示すように、ゲート電極１３０の両側面にサイドウォール絶縁膜１３２を形成した後、ソース又はドレイン領域１５０を形成する。その後、ゲート電極１３０及びソース又はドレイン領域１５０に、コンタクト層１３１及びコンタクト領域１５１を形成する。

[0105] 具体的には、まず、ゲート電極１３０の両側に、第２導電型不純物であるヒ素（Ａｓ）を５ｋｅＶ～２０ｋｅＶにて、$５～２０\times１０^{13}$個／$ｃｍ^2$の濃

度でイオン注入することで、ＬＤＤ領域を形成する。ＬＤＤ領域は、短チャネル効果を抑制することができるため、トランジスタ２１の特性ばらつきを抑制することが可能である。なお、第２導電型不純物は、リン（Ｐ）であってもよい。

[0106] 次に、プラズマＣＶＤ法によってSiO_2を膜厚１０ｎｍ～３０ｎｍで成膜した後、プラズマＣＶＤ法によってSi_3N_4を膜厚３０ｎｍ～５０ｎｍで成膜し、サイドウォール用の絶縁膜を形成する。その後、サイドウォール用の絶縁膜に対して、異方性エッチングを行うことで、ゲート電極１３０の両側面にサイドウォール絶縁膜１３２を形成する。

[0107] その後、第２導電型不純物であるヒ素（Ａｓ）を２０ｋｅＶ～５０ｋｅＶにて、$1～2\times10^{15}$個／cm^2の濃度でイオン注入することで、ゲート電極１３０の両側にソース又はドレイン領域１５０を形成する。さらに、１０００℃にて５秒間のＲＴＡ（Ｒａｐｉｄ Ｔｈｅｒｍａｌ Ａｎｎｅａｌｉｎｇ）を行うことにより、イオン注入した不純物を活性化させる。これにより、トランジスタ２１が形成される。なお、導入した不純物の活性化を促進し、かつ不純物の拡散を抑制するために、スパイクＲＴＡにて不純物の活性化を行うことも可能である。なお、上述したように、強誘電体膜１１０に対する結晶化アニールは、本工程と同時にて行われてもよい。

[0108] また、スパッタ等にて、半導体基板１００の全面に亘って、Ｎｉを膜厚６ｎｍ～８ｎｍにて成膜した後、３００℃～４５０℃にて１０秒～６０秒のＲＴＡを行うことで、Ｓｉ上のＮｉをシリサイド化させる。SiO_2上のＮｉは、未反応のまま残るため、H_2SO_4／H_2O_2を用いて未反応のＮｉを除去することで、ゲート電極１３０及びソース又はドレイン領域１５０に、低抵抗のＮｉＳｉからなるコンタクト層１３１及びコンタクト領域１５１を形成することができる。なお、Ｎｉに替えてＣｏ又はＮｉＰｔを成膜することで、$CoSi_2$又はＮｉＳｉにてコンタクト層１３１及びコンタクト領域１５１を形成してもよい。Ｃｏ又はＮｉＰｔを成膜した場合のＲＴＡの温度は、適宜設定すればよい。

[0109] 次に、図１４に示すように、半導体基板１００の全面に亘って平坦化膜２００を形成した後、コンタクト２１０、２２０を形成する。さらに、半導体基板１００の全面に亘って第１層間絶縁膜３００を形成した後、第１配線層３１０、３２０を形成する。

[0110] 具体的には、半導体基板１００の上に、ＣＶＤ法等を用いて、SiO_2を膜厚１００ｎｍ～５００ｎｍにて成膜した後、ＣＭＰ法によって平坦化を行うことで、平坦化膜２００を形成する。次に、平坦化膜２００をエッチングすることで開口を形成する。続いて、形成した開口に対して、ＣＶＤ法等にて、Ｔｉ及びＴｉＮを成膜し、さらにWを成膜した後、ＣＭＰ法にて平坦化することで、コンタクト２１０、２２０を形成する。なお、Ｔｉ及びＴｉＮは、ＩＭＰ（Ｉｏｎ　Ｍｅｔａｌ　Ｐｌａｓｍａ）を用いたスパッタ法等で成膜してもよい。また、ＣＭＰ法の替わりに全面エッチバックを用いて平坦化を行ってもよい。

[0111] ここで、平坦化膜２００を形成する前に、ＳｉＮからなるライナー層を半導体基板１００の全面に亘って形成してもよい。具体的には、プラズマＣＶＤ法を用いて、ＳｉＮを膜厚１０ｎｍ～５０ｎｍにて成膜することで、ライナー層を形成してもよい。なお、ライナー層は、減圧ＣＶＤ又はＡＬＤによっても形成することが可能である。ライナー層が設けられている場合、ライナー層と、平坦化膜２００との選択比が高くなる条件でエッチングを行うことによって、平坦化膜２００のエッチングの制御性を高めることができる。さらに、ライナー層は、圧縮応力又は引張応力を付与する層として形成することも可能である。

[0112] さらに、ＣＶＤ法等を用いて、平坦化膜２００の上に全面に亘ってSiO_2を膜厚１００ｎｍ～５００ｎｍにて成膜した後、ＣＭＰ法によって平坦化を行うことで、第１層間絶縁膜３００を形成する。続いて、第１層間絶縁膜３００をエッチングすることで、コンタクト２１０、２２０とのコンタクトのための開口を形成した後、ダマシン構造又はデュアルダマシン構造を用いることで、Ｃｕ等を配線材料として、第１配線層３１０、３２０を形成する。

なお、第１配線層３１０、３２０は、ＡｌＩ等にて形成されてもよい。なお、第１配線層３１０は、コンタクト２１０の上に、素子分離層１０５が延伸する第１方向に延伸されることで、ビット線ＢＬとして機能する。

[0113] 続いて、図１５に示すように、半導体基板１００の全面に亘って第２層間絶縁膜４００を形成した後、ビア４１０を形成する。さらに、半導体基板１００の全面に亘って第３層間絶縁膜５００を形成した後、第２配線層５１０を形成する。

[0114] 具体的には、ＣＶＤ法等を用いて、第１層間絶縁膜３００の上に全面に亘ってSiO_2を膜厚１００ｎｍ～５００ｎｍにて成膜した後、ＣＭＰ法によって平坦化を行うことで、第２層間絶縁膜４００を形成する。続いて、第２層間絶縁膜４００をエッチングすることで、第１配線層３２０とコンタクトするための開口を形成する。次に、形成した開口に対して、ＣＶＤ等にてＴｉＮを成膜し、さらにWを成膜した後、ＣＭＰにて平坦化することで、ビア４１０を形成する。なお、ＴｉＮは、ＩＭＰを用いたスパッタ法等で成膜してもよい。また、ＣＭＰの替わりに全面エッチバックを用いて平坦化を行ってもよい。

[0115] 次に、ＣＶＤ等を用いて、第２層間絶縁膜４００の上に全面に亘ってSiO_2を膜厚１００ｎｍ～５００ｎｍにて成膜した後、ＣＭＰ法によって平坦化を行うことで、第３層間絶縁膜５００を形成する。次に、第３層間絶縁膜５００をエッチングすることで、ビア４１０とのコンタクトのための開口を形成した後、ダマシン構造又はデュアルダマシン構造を用いることで、Ｃｕ等を配線材料とする第２配線層５１０を形成する。なお、第２配線層５１０は、ＡｌＩ等にて形成されてもよい。なお、第２配線層５１０は、ビア４１０の上に、キャパシタ電極１２０が延伸する第２方向に延伸されることで、ソース線ＳＬとして機能する。

[0116] 以上の工程によれば、本実施形態に係る半導体記憶装置１０を形成することができる。

[0117] （３．２．第２の製造方法）

続いて、図１６～図１９を参照して、本実施形態に係る半導体記憶装置１０の第２の製造方法について説明する。図１６～図１９は、半導体記憶装置１０の第２の製造方法の各工程を説明する平面図及び断面図である。

[0118] なお、図１６～図１９においても、図２と同様に、半導体基板１００の全面に亘って形成された層の記載は省略している。また、断面図の各々は、平面図をＡＡ線、ＢＢ線又はＣＣ線の各々で切断した断面を示す。

[0119] まず、図３にて説明した工程と同様の工程により、素子分離層１０５を形成する。

[0120] 続いて、図１６に示すように、半導体基板１００に、第２方向に延伸する凹部１２０Ａを形成し、凹部１２０Ａの内部にイオン注入を行うことで、分離領域１０１を形成する。

[0121] 具体的には、リソグラフィにてパターニングされたレジストをマスクとする異方性エッチングにて、幅６０ｎｍ及び深さ０ｎｍ～１２００ｎｍの凹部１２０Ａを形成する。異方性エッチングには、例えば、ＨＢｒ又はＣｌ系のガスを用いることができる。なお、凹部１２０Ａは、アスペクト比が２０程度までであれば、特に問題なく、エッチング及び後段の埋め込みを行うことが可能である。

[0122] 続いて、第１導電型不純物であるホウ素（Ｂ）を５ｋｅＶ～５０ｋｅＶにて、５～２０×10^{13}個／cm^2の濃度で凹部１２０Ａの底部にイオン注入することで、分離領域１０１を形成する。

[0123] 次に、図１７に示すように、凹部１２０Ａを埋め込むように、強誘電体膜１１０及びキャパシタ電極１２０を形成した後、キャパシタ電極１２０の上にキャップ層１２１を形成する。

[0124] 具体的には、凹部１２０Ａの上の自然酸化膜をＨＦ溶液で剥離した後、ＲＴＯ（Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ｏｘｉｄｉｚａｔｉｏｎ）、酸素プラズマ処理又は過酸化水素水などの薬液を用いた化学酸化処理によって、凹部１２０Ａの表面にSiO_2からなる界面層を膜厚０．５ｎｍ～１．５ｎｍにて形成する。次に、界面層の上に高誘電体材料である酸化ハフニウム（HfO_x

）をＣＶＤ又はＡＬＤ（Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）にて膜厚３ｎｍ～１０ｎｍにて成膜する。なお、高誘電体材料である酸化ハフニウム（HfO_x）は、後段にて、アニール処理が行われることで強誘電体材料に変換される。

[0125] なお、酸化ハフニウムに替えて、酸化ジルコニウム（ZrO_x）又は酸化ハフニウムジルコニウム（$HfZrO_x$）などの高誘電体材料を用いることも可能である。また、これらの高誘電体材料にランタン（Ｌａ）、シリコン（Ｓｉ）又はガドリニウム（Ｇｄ）等をドープすることで強誘電体材料に変換することも可能である。さらには、強誘電体膜１１０として、チタン酸ジルコン酸鉛（ＰＺＴ）、又はタンタル酸ビスマス酸ストロンチウム（ＳＢＴ）などのペレブスカイト系の強誘電体材料を用いることも可能である。

[0126] その後、強誘電体膜１１０の上にＣＶＤ、ＡＬＤ又はスパッタ等を用いて、ＴｉＮを膜厚５ｎｍ～２０ｎｍで成膜することで、キャパシタ電極１２０を形成する。なお、キャパシタ電極１２０を形成する材料として、ＴａＮを用いることも可能である。

[0127] 次に、ＣＭＰ又は全面エッチバックを行うことで、過剰に成膜された強誘電体膜１１０及びキャパシタ電極１２０を除去する。その後、強誘電体膜１１０を構成するHfO_x（現時点では、高誘電体材料）を強誘電体材料に変換するための結晶化アニールが行われる。なお、HfO_xを強誘電体材料に変換する結晶化アニールは、本工程にて行ってもよく、他のアニール工程にて同時に行ってもよい。結晶化アニールのアニール温度は、強誘電体膜１１０を構成する高誘電体材料又はドーパントの種類によって変化するが、例えば、４００℃～１１００℃の範囲で行われればよい。

[0128] 続いて、低圧ＣＶＤ等にて、キャパシタ電極１２０の上にSi_3N_4を膜厚３０ｎｍ～６０ｎｍ程度成膜した後、異方性エッチングを行うことで、キャップ層１２１を形成する。

[0129] その後、図１８に示すように、ゲート絶縁膜１４０を成膜した後、ゲート絶縁膜１４０の上にゲート電極１３０を形成する。

[0130] 具体的には、半導体基板１００の表面を覆う酸化膜１００Ａをフッ化水素酸溶液等で剥離する。その後、７００℃のO_2を用いたドライ酸化又はＲＴＡ（Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）処理によって、半導体基板１００の上にSiO_2からなるゲート絶縁膜１４０を膜厚１．５ｎｍ～１０ｎｍにて形成する。なお、ドライ酸化に用いるガスとしては、O_2の他に、H_2／O_2、N_2O又はＮＯの混合ガスを用いてもよい。また、ゲート絶縁膜１４０を形成する際に、プラズマ窒化を用いることで、SiO_2膜中に窒素ドーピングを行うことも可能である。

[0131] 次に、SiH_4ガスを原料ガスとし、成膜温度を５８０℃～６２０℃とする減圧ＣＶＤを用いて、ポリシリコンを膜厚５０ｎｍ～１５０ｎｍにて成膜する。その後、パターニングされたレジストをマスクとして、成膜されたポリシリコンに対して、異方性エッチングを行うことにより、ゲート電極１３０を形成する。異方性エッチングには、例えば、ＨＢｒ又はＣｌ系のガスを用いることができる。例えば、４５ｎｍノードでは、ゲート幅を４０ｎｍ～５０ｎｍ程度として、ゲート電極１３０を形成してもよい。

[0132] さらに、図１９に示すように、ゲート電極１３０の両側面にサイドウォール絶縁膜１３２を形成した後、ソース又はドレイン領域１５２を形成する。その後、ゲート電極１３０及びソース又はドレイン領域１５２に、コンタクト層１３１及びコンタクト領域１５１を形成する。

[0133] 具体的には、まず、ゲート電極１３０の両側に、第２導電型不純物であるヒ素（Ａｓ）を５ｋｅＶ～２０ｋｅＶにて、５～２０×10^{13}個／cm^2の濃度でイオン注入することで、ＬＤＤ領域を形成する。ＬＤＤ領域を形成することで、短チャネル効果を抑制することができるため、トランジスタ２１の特性ばらつきを抑制することが可能である。なお、第２導電型不純物として、リン（Ｐ）を用いてもよい。

[0134] 次に、プラズマＣＶＤ法によってSiO_2を膜厚１０ｎｍ～３０ｎｍで成膜した後、プラズマＣＶＤ法によってSi_3N_4を膜厚３０ｎｍ～５０ｎｍで成膜し、サイドウォール用の絶縁膜を形成する。その後、サイドウォール用の

絶縁膜に対して、異方性エッチングを行うことで、ゲート電極１３０の両側面にサイドウォール絶縁膜１３２を形成する。

[0135] その後、第２導電型不純物であるヒ素（Ａｓ）を２０ｋｅＶ～５０ｋｅＶにて、１～２×１０^{15}個／ｃｍ^{2}の濃度でイオン注入することで、ゲート電極１３０の両側にソース又はドレイン領域１５２を形成する。ここで、ソース又はドレイン領域１５２を形成するためのイオン注入の条件を制御することで、ソース又はドレイン領域１５２は、凹部１２０Ａの側方まで広がるように形成される。これにより、ソース又はドレイン領域１５２は、図２で説明した電極領域１０３の役割を兼ねることができる。したがって、ソース又はドレイン領域１５２、強誘電体膜１１０、及びキャパシタ電極１２０によってキャパシタ１１が構成される。

[0136] さらに、１０００℃にて５秒間のＲＴＡ（Ｒａｐｉｄ Ｔｈｅｒｍａｌ Ａｎｎｅａｌｉｎｇ）を行うことにより、イオン注入した不純物を活性化させる。これにより、トランジスタ２１が形成される。なお、導入した不純物の活性化を促進し、かつ不純物の拡散を抑制するために、スパイクＲＴＡを行うことも可能である。なお、上述したように、強誘電体膜１１０に対する結晶化アニールは、本工程と同時に行われてもよい。

[0137] また、スパッタ等にて、半導体基板１００の全面に亘って、Ｎｉを膜厚６ｎｍ～８ｎｍにて成膜した後、３００℃～４５０℃にて１０秒～６０秒のＲＴＡを行うことで、Ｓｉ上のＮｉをシリサイド化させる。SiO_2上のＮｉは、未反応のまま残るため、H_2SO_4／H_2O_2を用いて未反応のＮｉを除去することで、ゲート電極１３０及びソース又はドレイン領域１５２に、低抵抗のＮｉＳｉからなるコンタクト層１３１及びコンタクト領域１５１を形成することができる。なお、Ｎｉに替えてＣｏ又はＮｉＰｔを成膜することで、$CoSi_2$又はＮｉＳｉにてコンタクト層１３１及びコンタクト領域１５１を形成してもよい。Ｃｏ又はＮｉＰｔを成膜した場合のＲＴＡの温度は、適宜設定すればよい。

[0138] その後、図１４及び図１５にて説明した工程と同様の工程により、平坦化

膜２００、コンタクト２１０、２２０、第１層間絶縁膜３００、第１配線層３１０、３２０、第２層間絶縁膜４００、ビア４１０、第３層間絶縁膜５００及び第２配線層５１０を形成することができる。

[0139] 以上の工程によっても、本実施形態に係る半導体記憶装置１０を形成することができる。

[0140] （３．３．第３の製造方法）

次に、図２０～図２４を参照して、本実施形態に係る半導体記憶装置１０の第３の製造方法について説明する。図２０～図２４は、半導体記憶装置１０の第３の製造方法の各工程を説明する平面図及び断面図である。

[0141] なお、図２０～図２４においても、図２と同様に、半導体基板１００の全面に亘って形成された層の記載は省略している。また、断面図の各々は、平面図をＡＡ線、ＢＢ線又はＣＣ線の各々で切断した断面を示す。

[0142] まず、図３にて説明した工程と同様の工程により、素子分離層１０５を形成する。

[0143] 続いて、図２０に示すように、半導体基板１００の内部にイオン注入を行うことで、分離領域１０１を形成する。

[0144] 具体的には、第１導電型不純物であるホウ素（Ｂ）を２０ｋｅＶ～３００ｋｅＶにて、５～２０×10^{13}個／cm^2の濃度で半導体基板１００にイオン注入することで、分離領域１０１を形成する。ここで、注入するイオンの飛程は、後段で形成される凹部１２０Ａの下方に相当する領域に分離領域１０１が設けられるように適宜調整される。

[0145] 次に、図２１に示すように、ゲート絶縁膜１４０を成膜した後、ゲート絶縁膜１４０の上にゲート電極１３０を形成する。

[0146] 具体的には、半導体基板１００の表面を覆う酸化膜１００Ａをフッ化水素酸溶液等で剥離する。その後、７００℃のO_2を用いたドライ酸化又はＲＴＡ（Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）処理によって、半導体基板１００の上にSiO_2からなるゲート絶縁膜１４０を膜厚１．５ｎｍ～１０ｎｍにて形成する。なお、ドライ酸化に用いるガスとしては、O_2の他に、H_2

／O_2、N_2O又はＮＯの混合ガスを用いてもよい。また、ゲート絶縁膜１４０を形成する際に、プラズマ窒化を用いることで、SiO_2膜中に窒素ドーピングを行うことも可能である。

[0147] 次に、SiH_4ガスを原料ガスとし、成膜温度を５８０℃～６２０℃とする減圧ＣＶＤを用いて、ポリシリコンを膜厚５０ｎｍ～１５０ｎｍにて成膜する。その後、パターニングされたレジストをマスクとして、成膜されたポリシリコンに対して、異方性エッチングを行うことにより、ゲート電極１３０を形成する。異方性エッチングには、例えば、ＨＢｒ又はＣｌ系のガスを用いることができる。例えば、４５ｎｍノードでは、ゲート幅を４０ｎｍ～５０ｎｍ程度として、ゲート電極１３０を形成してもよい。

[0148] 続いて、図２２に示すように、ゲート電極１３０の両側面にサイドウォール絶縁膜１３２を形成した後、ソース又はドレイン領域１５２を形成する。その後、ゲート電極１３０及びソース又はドレイン領域１５２に、コンタクト層１３１及びコンタクト領域１５１を形成する。

[0149] 具体的には、まず、ゲート電極１３０の両側に、第２導電型不純物であるヒ素（Ａｓ）を５ｋｅＶ～２０ｋｅＶにて、５～２０×10^{13}個／cm^2の濃度でイオン注入することで、ＬＤＤ領域を形成する。ＬＤＤ領域は、短チャネル効果を抑制することができるため、トランジスタ２１の特性ばらつきを抑制することが可能である。なお、第２導電型不純物は、リン（Ｐ）であってもよい。

[0150] 次に、プラズマＣＶＤ法によってSiO_2を膜厚１０ｎｍ～３０ｎｍで成膜した後、プラズマＣＶＤ法によってSi_3N_4を膜厚３０ｎｍ～５０ｎｍで成膜し、サイドウォール用の絶縁膜を形成する。その後、サイドウォール用の絶縁膜に対して、異方性エッチングを行うことで、ゲート電極１３０の両側面にサイドウォール絶縁膜１３２を形成する。

[0151] その後、第２導電型不純物であるヒ素（Ａｓ）を２０ｋｅＶ～５０ｋｅＶにて、１～２×10^{15}個／cm^2の濃度でイオン注入することで、ゲート電極１３０の両側にソース又はドレイン領域１５２を形成する。ここで、ソース

又はドレイン領域１５２を形成するためのイオン注入の条件を制御することで、ソース又はドレイン領域１５２は、分離領域１０１に達するまで広がるように形成される。これにより、ソース又はドレイン領域１５２は、図２で説明した電極領域１０３の役割を兼ねることができる。

[0152] さらに、１０００℃にて５秒間のＲＴＡ（Ｒａｐｉｄ Ｔｈｅｒｍａｌ Ａｎｎｅａｌｉｎｇ）を行うことにより、イオン注入した不純物を活性化させる。これにより、トランジスタ２１が形成される。なお、導入した不純物の活性化を促進し、かつ不純物の拡散を抑制するために、スパイクＲＴＡを行うことも可能である。なお、上述したように、強誘電体膜１１０に対する結晶化アニールは、本工程と同時にて行われてもよい。

[0153] また、スパッタ等にて、半導体基板１００の全面に亘って、Ｎｉを膜厚６ｎｍ～８ｎｍにて成膜した後、３００℃～４５０℃にて１０秒～６０秒のＲＴＡを行うことで、Ｓｉ上のＮｉをシリサイド化させる。SiO_2上のＮｉは、未反応のまま残るため、H_2SO_4／H_2O_2を用いて未反応のＮｉを除去することで、ゲート電極１３０及びソース又はドレイン領域１５２に、低抵抗のＮｉＳｉからなるコンタクト層１３１及びコンタクト領域１５１を形成することができる。なお、Ｎｉに替えてＣｏ又はＮｉＰｔを成膜することで、$CoSi_2$又はＮｉＳｉにてコンタクト層１３１及びコンタクト領域１５１を形成してもよい。Ｃｏ又はＮｉＰｔを成膜した場合のＲＴＡの温度は、適宜設定すればよい。

[0154] 次に、図２３に示すように、半導体基板１００の全面に亘って平坦化膜２００を形成した後、コンタクト２１０を形成する。その後、平坦化膜２００及び半導体基板１００を貫通し、第２方向に延伸する凹部１２０Ａを形成する。

[0155] 具体的には、半導体基板１００の上に、ＣＶＤ法等を用いて、SiO_2を膜厚１００ｎｍ～５００ｎｍにて成膜した後、ＣＭＰ法によって平坦化を行うことで、平坦化膜２００を形成する。次に、平坦化膜２００をエッチングすることで開口を形成する。続いて、形成した開口に対して、ＣＶＤ法等にて

、Ｔｉ及びＴｉＮを成膜し、さらにWを成膜した後、ＣＭＰ法にて平坦化することで、コンタクト２１０を形成する。なお、Ｔｉ及びＴｉＮは、ＩＭＰ（Ｉｏｎ　Ｍｅｔａｌ　Ｐｌａｓｍａ）を用いたスパッタ法等で成膜してもよい。また、ＣＭＰ法の替わりに全面エッチバックを用いて平坦化を行ってもよい。

[0156] ここで、平坦化膜２００を形成する前に、ＳｉＮからなるライナー層を半導体基板１００の全面に亘って形成してもよい。具体的には、プラズマＣＶＤ法を用いて、ＳｉＮを膜厚１０ｎｍ～５０ｎｍにて成膜することで、ライナー層を形成してもよい。ライナー層は、圧縮応力又は引張応力を付与する層として形成することも可能である。

[0157] その後、リソグラフィにてパターニングされたレジストをマスクとする異方性エッチングにて、幅６０ｎｍ及び深さ０ｎｍ～１２００ｎｍの凹部１２０Ａを形成する。異方性エッチングには、例えば、フルオロカーボン系のガスを用いることができる。なお、凹部１２０Ａは、アスペクト比が２０程度までであれば、特に問題なく、エッチング及び後段の埋め込みを行うことが可能である。

[0158] 続いて、図２４に示すように、凹部１２０Ａを埋め込むように、強誘電体膜１１０及びキャパシタ電極１２０を形成した後、キャパシタ電極１２０の上にキャップ層１２１を形成する。

[0159] 具体的には、凹部１２０Ａの上の自然酸化膜をＨＦ溶液で剥離した後、ＲＴＯ（Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ｏｘｉｄｉｚａｔｉｏｎ）、酸素プラズマ処理又は過酸化水素水などの薬液を用いた化学酸化処理によって、凹部１２０Ａの表面にSiO_2からなる界面層を膜厚０．５ｎｍ～１．５ｎｍにて形成する。次に、界面層の上に高誘電体材料である酸化ハフニウム（HfO_x）をＣＶＤ又はＡＬＤ（Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）にて膜厚３ｎｍ～１０ｎｍにて成膜する。なお、高誘電体材料である酸化ハフニウム（HfO_x）は、後段にて、アニール処理が行われることで強誘電体材料に変換される。

[0160] なお、酸化ハフニウムに替えて、酸化ジルコニウム（ZrO_x）又は酸化ハフニウムジルコニウム（$HfZrO_x$）などの高誘電体材料を用いることも可能である。また、これらの高誘電体材料にランタン（Ｌａ）、シリコン（Ｓｉ）又はガドリニウム（Ｇｄ）等をドープすることで強誘電体材料に変換することも可能である。さらには、強誘電体膜１１０として、チタン酸ジルコン酸鉛（ＰＺＴ）、又はタンタル酸ビスマス酸ストロンチウム（ＳＢＴ）などのペレブスカイト系の強誘電体材料を用いることも可能である。

[0161] その後、強誘電体膜１１０の上にＣＶＤ、ＡＬＤ又はスパッタ等を用いて、ＴｉＮを膜厚５ｎｍ～２０ｎｍで成膜することで、キャパシタ電極１２０を形成する。なお、キャパシタ電極１２０を形成する材料として、ＴａＮを用いることも可能である。

[0162] 次に、ＣＭＰ又は全面エッチバックを行うことで、平坦化膜２００の上に、過剰に成膜された強誘電体膜１１０及びキャパシタ電極１２０を除去する。その後、強誘電体膜１１０を構成するHfO_x（現時点では、高誘電体材料）を強誘電体材料に変換するための結晶化アニールが行われる。なお、HfO_xを強誘電体材料に変換する結晶化アニールは、本工程にて行ってもよく、他のアニール工程にて同時に行ってもよい。結晶化アニールのアニール温度は、強誘電体膜１１０を構成する高誘電体材料又はドーパントの種類によって変化するが、例えば、４００℃～８００℃の範囲で行われればよい。

[0163] 続いて、異方性エッチングにて強誘電体膜１１０及びキャパシタ電極１２０を所定の深さだけエッチングすることで、リセスを形成する。リセスの深さは任意に調整することが可能である。その後、低圧ＣＶＤ等にて、キャパシタ電極１２０の上にSi_3N_4を膜厚３０ｎｍ～６０ｎｍ程度成膜した後、異方性エッチングを行うことで、キャップ層１２１を形成する。

[0164] その後、図１４及び図１５にて説明した工程と同様の工程により、コンタクト２２０、第１層間絶縁膜３００、第１配線層３１０、３２０、第２層間絶縁膜４００、ビア４１０、第３層間絶縁膜５００及び第２配線層５１０を形成することができる。

[0165] 以上の工程によっても、本実施形態に係る半導体記憶装置１０を形成することができる。

[0166] （３．４．第４の製造方法）

続いて、図２５～図３１を参照して、本実施形態に係る半導体記憶装置１０の第４の製造方法について説明する。図２５～図３１は、半導体記憶装置１０の第４の製造方法の各工程を説明する平面図及び断面図である。

[0167] なお、図２５～図３１においても、図２と同様に、半導体基板１００の全面に亘って形成された層の記載は省略している。また、断面図の各々は、平面図をＡＡ線、ＢＢ線又はＣＣ線の各々で切断した断面を示す。

[0168] 第１～第３の製造方法では、キャパシタ１１を構成する電極の一方を半導体基板１００中の第２導電型領域として形成している。一方、第４の製造方法では、キャパシタ１１を構成する電極の双方を金属等の導電性材料にて形成する。すなわち、第４の製造方法では、金属等の導電性材料で構成された電極層１１１を電極領域１０３と、強誘電体膜１１０との間に設けることが第１～第３の製造方法と異なる。

[0169] まず、図３～図５にて説明した工程と同様の工程により、素子分離層１０５、ゲート絶縁膜１４０、下部ゲート電極１３０Ａ、保護層１６１及び凹部１２０Ａを形成する。

[0170] 次に、図２５に示すように、凹部１２０Ａの内部にイオン注入を行うことで、電極領域１０３を形成する。

[0171] 具体的には、第２導電型不純物であるヒ素（Ａｓ）を１０ｋｅＶ～５０ｋｅＶにて、５～２０×10^{14}個／cm^2の濃度で凹部１２０Ａの内部に斜めにイオン注入することで、電極領域１０３を形成する。斜めにイオン注入する角度は、凹部１２０Ａの内側面にイオンが注入されるように、凹部１２０Ａの幅及び深さによって調整することが可能である。斜めにイオン注入する角度は、例えば、１０°～４５°であってもよい。

[0172] 続いて、図２６に示すように、凹部１２０Ａの内部に電極層１１１を形成する。

[0173] 具体的には、ＣＶＤ、ＡＬＤ又はスパッタ等を用いて、凹部１２０Ａの内側面にＴｉＮを膜厚５ｎｍ～２０ｎｍで成膜することで、電極層１１１を形成する。なお、電極層１１１を形成する材料として、ＴａＮを用いることも可能である。

[0174] その後、図２７に示すように、凹部１２０Ａの底部をエッチングした後、凹部１２０Ａの内部にイオン注入を行うことで分離領域１０１を形成する。

[0175] 具体的には、異方性エッチングにて、凹部１２０Ａの底部をエッチングすることで、電極層１１１が凹部１２０Ａの側面のみに形成されているようにする。また、電極層１１１をオーバーエッチングし、電極層１１１を後退させることで、後段で形成されるキャパシタ電極１２０と、電極層１１１との短絡を抑制する効果を得ることができる。さらに、凹部１２０Ａの底部の半導体基板１００をさらにエッチングすることで、凹部１２０Ａをより深く形成してもよい。その後、第１導電型不純物であるホウ素（Ｂ）を５ｋｅＶ～２０ｋｅＶにて、５～２０×10^{13}個／cm^2の濃度で凹部１２０Ａの底部にイオン注入することで、分離領域１０１を形成する。

[0176] 続いて、図２８に示すように、パターニングされたレジスト層１６３を用いることで、電極層１１１をパターニングする。

[0177] 具体的には、リソグラフィにてパターニングされたレジスト層１６３をマスクとする異方性エッチングを行うことで、素子領域の電極層１１１を残し、素子分離層１０５が設けられた領域の電極層１１１を除去する。異方性エッチング後、レジスト層１６３を剥離する。

[0178] 次に、図２９に示すように、凹部１２０Ａを埋め込むように、保護層１６１の上に強誘電体膜１１０及びキャパシタ電極１２０を形成する。

[0179] 具体的には、保護層１６１の上に凹部１２０Ａに沿って、高誘電体材料である酸化ハフニウム（HfO_x）をＣＶＤ又はＡＬＤ（Ａｔｏｍｉｃ Ｌａｙｅｒ Ｄｅｐｏｓｉｔｉｏｎ）にて膜厚３ｎｍ～１０ｎｍにて成膜する。なお、高誘電体材料である酸化ハフニウム（HfO_x）は、後段にて、アニール処理が行われることで強誘電体材料に変換される。

[0180] なお、酸化ハフニウムに替えて、酸化ジルコニウム（ZrO_x）又は酸化ハフニウムジルコニウム（$HfZrO_x$）などの高誘電体材料を用いることも可能である。また、これらの高誘電体材料にランタン（Ｌａ）、シリコン（Ｓｉ）又はガドリニウム（Ｇｄ）等をドープすることで強誘電体材料に変換することも可能である。さらには、強誘電体膜１１０として、チタン酸ジルコン酸鉛（ＰＺＴ）、又はタンタル酸ビスマス酸ストロンチウム（ＳＢＴ）などのペレブスカイト系の強誘電体材料を用いることも可能である。

[0181] その後、強誘電体膜１１０の上にＣＶＤ、ＡＬＤ又はスパッタ等を用いて、ＴｉＮを膜厚５ｎｍ～２０ｎｍで成膜することで、キャパシタ電極１２０を形成する。なお、キャパシタ電極１２０を形成する材料として、ＴａＮを用いることも可能である。

[0182] 続いて、図３０に示すように、過剰に成膜された強誘電体膜１１０及びキャパシタ電極１２０を除去し、さらに凹部１２０Ａ内のキャパシタ電極１２０の一部を除去する。

[0183] 具体的には、Si_3N_4膜からなる保護層１６１が露出するまでＣＭＰを行うことで、過剰に成膜された強誘電体膜１１０及びキャパシタ電極１２０を除去する。このとき、Si_3N_4膜からなる保護層１６１は、ストッパの役割を果たすため、ＣＭＰによる研磨を制御よく行わせることが可能である。その後、強誘電体膜１１０を構成するHfO_x（現時点では、高誘電体材料）を強誘電体材料に変換するための結晶化アニールが行われる。なお、HfO_xを強誘電体材料に変換する結晶化アニールは、本工程にて行ってもよく、他のアニール工程にて同時に行ってもよい。結晶化アニールのアニール温度は、強誘電体膜１１０を構成する高誘電体材料又はドーパントの種類によって変化するが、例えば、４００℃～１１００℃の範囲で行われればよい。

[0184] さらに、異方性エッチングにて強誘電体膜１１０及びキャパシタ電極１２０を所定の深さだけエッチングすることで、リセスを形成する。リセスの深さは任意に調整することが可能である。

[0185] 続いて、図３１に示すように、キャパシタ電極１２０の上にキャップ層１

２１を形成する。

[0186] 具体的には、低圧ＣＶＤ等にて、キャパシタ電極１２０の上にSi_3N_4を膜厚３０ｎｍ～６０ｎｍ程度成膜した後、異方性エッチングを行うことで、キャップ層１２１を形成する。キャップ層１２１は、例えば、前段で形成されたリセスの内部に形成されてもよい。

[0187] 図１１～図１５に示した説明した工程と同様の工程により、トランジスタ２１、及びキャパシタ１１及びトランジスタ２１の上の平坦化膜、各種配線層、及び層間絶縁膜を形成することができる。

[0188] 以上の工程によっても、本実施形態に係る半導体記憶装置１０を形成することができる。

[0189] ＜４．動作例＞

続いて、図３２を参照して、上記で説明した半導体記憶装置１０の書き込み動作及び読み出し動作について説明する。図３２は、半導体記憶装置１０のトランジスタ２１及びキャパシタ１１に着目した断面図である。

[0190] 以下の表１は、半導体記憶装置１０の書き込み動作及び読み出し動作において、それぞれの配線及び半導体基板１００に印加される電圧（単位：Ｖ）の一例を示した表である。なお、Ｖｔｈは、トランジスタ２１のチャネルをオン状態にするための閾値電圧であり、Ｖｗは、キャパシタ１１を分極させるための書き込み電圧である。

[0191] [表1]

（表１）

	ワード線 ＷＬ	ビット線 ＢＬ	ソース線 ＳＬ	非選択セルの ワード線 ＷＬ
「１」書き込み	Ｖｗ＋Ｖｔｈ	Ｖｗ	０	０
「０」書き込み	Ｖｗ＋Ｖｔｈ	０	Ｖｗ	０
読み出し	Ｖｗ＋Ｖｔｈ	Ｖｗ	０	０

[0192] 表１に示すように、例えば、半導体記憶装置１０に「１」の情報を書き込む場合、選択した半導体記憶装置１０に接続するワード線ＷＬにＶｗ＋Ｖｔｈを印加し、ビット線ＢＬにＶｗを印加する。ソース線ＳＬと、分離領域１

０１を含む半導体基板１００とは、０Ｖとする。

[0193] これによれば、ビット線ＢＬ（コンタクト２１０）にＶｗを印加することで、トランジスタ２１のソースの電位はＶｗとなるため、キャパシタ１１の電極領域１０３の電位はＶｗとなる。一方、ソース線ＳＬの電位は０Ｖであるため、キャパシタ電極１２０の電位は０Ｖとなる。これにより、キャパシタ１１の強誘電体膜１１０には、電極領域１０３側が高電位となるＶｗの電位差が印加されるため、強誘電体膜１１０の分極状態が制御され、半導体記憶装置１０に、例えば「１」の情報が書き込まれる。

[0194] ただし、トランジスタ２１のソースの電位がＶｗとなるため、隣接する非選択の半導体記憶装置１０のソースの電位０Ｖとの間に電位差が生じる。しかしながら、半導体記憶装置１０では、分離領域１０１の第１導電型不純物の濃度が十分に高く、パンチスルーによる導通が抑制されるため、隣接する非選択の半導体記憶装置１０の強誘電体膜１１０には、電位差が印加されない。したがって、本実施形態によれば、非選択の半導体記憶装置１０に記憶された情報が書き換わることが防止される。

[0195] また、半導体記憶装置１０に「０」の情報を書き込む場合、表１に示すように、選択した半導体記憶装置１０に接続するワード線ＷＬにＶｗ＋Ｖｔｈを印加し、ソース線ＳＬにＶｗを印加する。ビット線ＢＬと、分離領域１０１を含む半導体基板１００とは、０Ｖとする。

[0196] これによれば、ビット線ＢＬ（コンタクト２１０）は０Ｖであるため、トランジスタ２１のソースの電位は０Ｖとなり、キャパシタ１１の電極領域１０３の電位は０Ｖとなる。一方、ソース線ＳＬには、Ｖｗが印加されるため、キャパシタ電極１２０の電位はＶｗとなる。これにより、キャパシタ１１の強誘電体膜１１０には、キャパシタ電極１２０側が高電位となるＶｗの電位差が印加されるため、強誘電体膜１１０の分極状態が制御され、半導体記憶装置１０に、例えば「０」の情報が書き込まれる。

[0197] ただし、ソース線ＳＬにＶｗが印加されるため、キャパシタ電極１２０及び強誘電体膜１１０を埋め込んだ凹部の下方にチャネルが形成されることで

、隣接する非選択の半導体記憶装置１０のソースの電位も０Ｖとなる可能性がある。しかしながら、半導体記憶装置１０では、分離領域１０１の第１導電型不純物の濃度が十分に高いため、分離領域１０１にはチャネルが形成されない。また、隣接する非選択の半導体記憶装置１０のソースの電位は、ソース線ＳＬ－ソース－半導体基板１００の間の容量比で決定される。半導体記憶装置１０では、キャパシタ１１の容量が十分に高く、隣接する非選択の半導体記憶装置１０のソースの電位は、Ｖｗとなる。したがって、本実施形態によれば、非選択の半導体記憶装置１０に記憶された情報が書き換わることが防止される。

[0198] なお、半導体記憶装置１０の情報の読み出しは、半導体記憶装置１０に「０」又は「１」を書き込む際に生じる変位電流が、書き込む前に記憶された情報が「０」又は「１」のいずれであるかによって変化することで行われる。

[0199] 例えば、表１では、半導体記憶装置１０に「１」の情報を書き込むことで、半導体記憶装置１０から情報を読み出す場合の配線及び半導体基板１００に印加される電圧を示す。このような場合、半導体記憶装置１０に記憶された情報が「１」であれば、変位電流の量は小さくなる。一方、半導体記憶装置１０に記憶された情報が「０」であれば、変位電流の量は大きくなる。これにより、半導体記憶装置１０は、記憶された情報が「０」又は「１」のいずれであるのかを判定することができる。

[0200] ただし、このような読み出し動作によって半導体記憶装置１０から情報を読み出した場合、半導体記憶装置１０に記憶された情報は、「０」又は「１」のいずれかに書き換わってしまう。すなわち、半導体記憶装置１０からの情報の読み出しは、破壊読み出しとなる。したがって、半導体記憶装置１０では、読み出し動作の後に、読み出し動作によって破壊されてしまった情報を修復する再書き込み動作が行われる。

[0201] ＜５．変形例＞

続いて、図３３～図３５を参照して、本実施形態に係る半導体記憶装置１

０の変形例について説明する。図３３は、本変形例に係る半導体記憶装置の等価回路を示した回路図である。図３４は、本変形例に係る半導体記憶装置１０Ａの平面構造を示す模式図であり、図３５は、本変形例に係る半導体記憶装置１０Ａが備えるトランジスタの各々に着目した断面図である。

[0202] 変形例に係る半導体記憶装置１０Ａは、分離領域１０１の第１導電型不純物の濃度が1×10^{18}個／cm^3未満（例えば、1×10^{16}～10^{17}個／cm^3程度）であり、キャパシタ１１が電界効果トランジスタとして機能する場合の変形例である。このような場合であっても、半導体記憶装置１０Ａは、上述した半導体記憶装置１０と同様に強誘電体膜１１０に情報を記憶することが可能である。

[0203] 図３３に示すように、変形例に係る半導体記憶装置１０Ａは、情報を記憶する強誘電体トランジスタ１２と、強誘電体トランジスタ１２の選択及び非選択を制御する選択トランジスタ３１、３２と、を備える。

[0204] 強誘電体トランジスタ１２は、半導体記憶装置１０のキャパシタ１１に対して、分離領域１０１に含まれる第１導電型不純物の濃度が1×10^{18}個／cm^3未満である点以外は実質的に同様の構成を備え、電界効果トランジスタとして機能する。強誘電体トランジスタ１２は、ゲートが制御線ＦＬと電気的に接続し、ソース又はドレインがそれぞれ選択トランジスタ３１、３２のソース又はドレインの一方と電気的に接続している。

[0205] 選択トランジスタ３１、３２は、強誘電体トランジスタ１２の選択及び非選択を制御する電界効果トランジスタである。選択トランジスタ３１は、ソース又はドレインの一方が強誘電体トランジスタ１２のソース又はドレインの一方と電気的に接続しており、ソース又はドレインの他方がビット線ＢＬと電気的に接続している。また、選択トランジスタ３１のゲートは、第１ワード線ＷＬ１と電気的に接続している。選択トランジスタ３２は、ソース又はドレインの一方が強誘電体トランジスタ１２のソース又はドレインの他方と電気的に接続しており、ソース又はドレインの他方がソース線ＳＬと電気的に接続している。また、選択トランジスタ３２のゲートは、第２ワード線

ＷＬ２と電気的に接続している。

[0206] このような半導体記憶装置１０Ａの平面構造を図３４に示す。図３４に示すように、強誘電体膜１１０を備える強誘電体トランジスタ１２は、第１方向に延伸する素子分離層１０５にて互いに分離された半導体基板１００の素子領域と、第２方向に延伸するキャパシタ電極１２０（本変形例では、ゲート電極として機能する）との交点に設けられる。

[0207] 選択トランジスタ３１、３２は、第１方向に延伸する素子分離層１０５にて互いに分離された半導体基板１００の素子領域と、第２方向に延伸するゲート電極１３０との交点に設けられる。例えば、キャパシタ電極１２０を挟んで右側が選択トランジスタ３１である場合、選択トランジスタ３１は、コンタクト２１１を介してビット線ＢＬと電気的に接続する。また、キャパシタ電極１２０を挟んで左側が選択トランジスタ３２である場合、選択トランジスタ３２は、コンタクト２１２を介してソース線ＳＬと電気的に接続する。

[0208] 続いて、図３５を参照して、本変形例に係る半導体記憶装置１０Ａの書き込み動作及び読み出し動作について説明する。

[0209] 以下の表２は、半導体記憶装置１０Ａの書き込み動作及び読み出し動作において、それぞれの配線及び半導体基板１００に印加される電圧（単位：Ｖ）の一例を示した表である。なお、Ｖｔｈは、選択トランジスタ３１、３２のチャネルをオン状態にするための閾値電圧であり、Ｖｗは、強誘電体トランジスタ１２の強誘電体膜１１０を分極させるための書き込み電圧である。

[0210] [表2]

（表２）

	第１ワード線 ＷＬ１	第２ワード線 ＷＬ２	ビット線 ＢＬ	制御線 ＦＬ	ソース線 ＳＬ	非選択セルのワード線 ＷＬ
「１」書き込み	Ｖｗ	０	０	Ｖｗ	０	０
「０」書き込み	Ｖｗ＋Ｖｔｈ	０	Ｖｗ	０	０	０
読み出し	Ｖｒ１	Ｖｒ１	Ｖｒ２	Ｖｒ３	０	０

[0211] 表２に示すように、例えば、半導体記憶装置１０Ａに「１」の情報を書き込む場合、選択した半導体記憶装置１０Ａに接続する第１ワード線ＷＬにＶ

ｗを印加し、制御線ＦＬにＶｗを印加する。また、選択した半導体記憶装置１０Ａに接続する第２ワード線ＷＬ２、ビット線ＢＬ及びソース線ＳＬを０Ｖとする。なお、分離領域１０１を含む半導体基板１００は、０Ｖとする。

[0212] これによれば、ビット線ＢＬ（コンタクト２１１）を０Ｖとすることで、強誘電体トランジスタ１２のソース（電極領域１０３）の電位は０Ｖとなる。一方、制御線ＦＬ（キャパシタ電極１２０）の電位はＶｗであるため、強誘電体トランジスタ１２の強誘電体膜１１０には、キャパシタ電極１２０側が高電位となるＶｗの電位差が印加される。これにより、強誘電体膜１１０の分極状態が制御され、半導体記憶装置１０Ａに、例えば「１」の情報が書き込まれる。なお、このとき、選択トランジスタ３２は、オフ状態である。

[0213] また、半導体記憶装置１０に「０」の情報を書き込む場合、表２に示すように、選択した半導体記憶装置１０Ａに接続する第１ワード線ＷＬにＶｗ＋Ｖｔｈを印加し、ビット線ＢＬにＶｗを印加する。また、選択した半導体記憶装置１０Ａに接続する第２ワード線ＷＬ２、制御線ＦＬ及びソース線ＳＬを０Ｖとする。なお、分離領域１０１を含む半導体基板１００は、０Ｖとする。

[0214] これによれば、ビット線ＢＬ（コンタクト２１１）にＶｗが印加されることで、強誘電体トランジスタ１２のソース（電極領域１０３）の電位はＶｗとなる。一方、制御線ＦＬ（キャパシタ電極１２０）の電位は０Ｖであるため、強誘電体トランジスタ１２の強誘電体膜１１０には、分離領域１０１及び電極領域１０３側が高電位となるＶｗの電位差が印加される。これにより、強誘電体膜１１０の分極状態が制御され、半導体記憶装置１０Ａに、例えば「０」の情報が書き込まれる。なお、このとき、選択トランジスタ３２は、オフ状態である。

[0215] なお、半導体記憶装置１０Ａからの情報の読み出しは、表２に示すように、第１ワード線ＷＬ１、第２ワード線ＷＬ２及び制御線ＦＬに、選択トランジスタ３１、３２及び強誘電体トランジスタ１２の各々をオン状態にする任意の電位（Ｖｒ１、Ｖｒ３）を印加することで行われる。また、ビット線Ｂ

Ｌには、電流の読み取りに必要な電位（Ｖｒ２）が印加される。このような場合、ソース線ＳＬからビット線ＢＬに流れる電流は、強誘電体トランジスタ１２の閾値電圧（Ｖｔｈ）によって変動する。強誘電体トランジスタ１２の閾値電圧は、強誘電体膜１１０の残留分極の方向によって変化するため、これにより、半導体記憶装置１０Ａは、記憶された情報が「０」又は「１」のいずれであるのかを判定することができる。

[0216] すなわち、半導体記憶装置１０Ａにおける情報の読み出しは、非破壊読み出しとなる。これによれば、半導体記憶装置１０Ａは、情報の読み出しのたびに情報を再書き込みすることなく、安定して情報を読み出すことができる。

[0217] ＜６．電子機器＞

続いて、本開示の一実施形態に係る電子機器について説明する。本開示の一実施形態に係る電子機器は、上述した半導体記憶装置１０を含む回路が搭載された種々の電子機器である。図３６～図３８を参照して、このような本実施形態に係る電子機器の例について説明する。図３６～図３８は、本実施形態に係る電子機器の一例を示す外観図である。

[0218] 例えば、本実施形態に係る電子機器は、スマートフォンなどの電子機器であってもよい。具体的には、図３６に示すように、スマートフォン９００は、各種情報を表示する表示部９０１と、ユーザによる操作入力を受け付けるボタン等から構成される操作部９０３と、を備える。ここで、スマートフォン９００に搭載される回路には、上述した半導体記憶装置１０が設けられてもよい。

[0219] 例えば、本実施形態に係る電子機器は、デジタルカメラなどの電子機器であってもよい。具体的には、図３７及び図３８に示すように、デジタルカメラ９１０は、本体部（カメラボディ）９１１と、交換式のレンズユニット９１３と、撮影時にユーザによって把持されるグリップ部９１５と、各種情報を表示するモニタ部９１７と、撮影時にユーザによって観察されるスルー画を表示するＥＶＦ（Ｅｌｅｃｔｒｏｎｉｃ　Ｖｉｅｗ　Ｆｉｎｄｅｒ）９１

９と、を備える。なお、図３７は、デジタルカメラ９１０を前方（すなわち、被写体側）から眺めた外観図であり、図３８は、デジタルカメラ９１０を後方（すなわち、撮影者側）から眺めた外観図である。ここで、デジタルカメラ９１０に搭載される回路には、上述した半導体記憶装置１０が設けられてもよい。

[0220] なお、本実施形態に係る電子機器は、上記例示に限定されない。本実施形態に係る電子機器は、あらゆる分野の電子機器であってもよい。このような電子機器としては、例えば、眼鏡型ウェアラブルデバイス、ＨＭＤ（Ｈｅａｄ Ｍｏｕｎｔｅｄ Ｄｉｓｐｌａｙ）、テレビジョン装置、電子ブック、ＰＤＡ（Ｐｅｒｓｏｎａｌ Ｄｉｇｉｔａｌ Ａｓｓｉｓｔａｎｔ）、ノート型パーソナルコンピュータ、ビデオカメラ又はゲーム機器等を例示することができる。

[0221] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例又は修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0222] また、本明細書に記載された効果は、あくまで説明的又は例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、又は上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0223] なお、以下のような構成も本開示の技術的範囲に属する。

（１）

半導体基板に設けられた凹部と、

前記凹部の内側に沿って設けられた強誘電体膜と、

前記強誘電体膜の上から前記凹部を埋め込むように設けられた電極と、

前記凹部の下方の前記半導体基板に設けられた第１導電型の分離領域と、

前記凹部の少なくとも一側方の前記半導体基板に設けられた第２導電型の電極領域と、

を備える、半導体記憶装置。

（２）

前記分離領域は、第１導電型不純物を含み、

前記電極領域は、前記第１導電型不純物とは導電型が異なる第２導電型不純物を含む、前記（１）に記載の半導体記憶装置。

（３）

前記分離領域及び前記電極領域は、前記第１導電型不純物又は第２導電型不純物を１×１０^{18}個／ｃｍ^{3}以上の濃度で含む、前記（２）に記載の半導体記憶装置。

（４）

前記電極、前記強誘電体膜及び前記電極領域は、前記強誘電体膜の分極によって情報を記憶するキャパシタを構成し、

前記電極は、ソース線と電気的に接続され、

前記電極領域は、電界効果トランジスタのソース及びドレインを介して、ビット線と電気的に接続される、前記（１）～（３）のいずれか一項に記載の半導体記憶装置。

（５）

前記キャパシタの容量は、前記電極領域及び前記半導体基板にて構成される寄生容量の２倍以上である、前記（４）に記載の半導体記憶装置。

（６）

前記半導体基板には、前記分離領域及び前記電極領域が形成される素子領域の各々を離隔し、前記半導体基板の面内の第１方向に延伸する素子分離層が設けられる、前記（１）～（５）のいずれか一項に記載の半導体記憶装置。

（７）

前記電極領域は、前記凹部の前記第１方向の両側方にそれぞれ設けられ、

前記電極、前記強誘電体膜及び前記電極領域は、前記強誘電体膜の分極によって情報を記憶するキャパシタを前記両側方の各々に構成する、前記（６）に記載の半導体記憶装置。

（８）

前記凹部は、前記第１方向と直交する第２方向に延伸して設けられる、前記（６）又は（７）に記載の半導体記憶装置。

（９）

前記凹部の形成深さは、前記半導体基板に設けられた素子分離層の形成深さよりも浅い、前記（６）～（８）のいずれか一項に記載の半導体記憶装置。

（１０）

前記分離領域は、前記第１導電型不純物を１×１０^{18}個／ｃｍ^{3}未満の濃度で含み、

前記電極、前記強誘電体膜及び前記電極領域は、前記強誘電体膜の分極によって情報を記憶する電界効果トランジスタを構成する、前記（２）に記載の半導体記憶装置。

（１１）

前記電極領域と前記強誘電体膜との間には、金属層がさらに設けられる、前記（１）～（９）のいずれか一項に記載の半導体記憶装置。

（１２）

半導体記憶装置を備え、

前記半導体記憶装置は、

半導体基板に設けられた凹部と、

前記凹部の内側に沿って設けられた強誘電体膜と、

前記強誘電体膜の上から前記凹部を埋め込むように設けられた電極と、

前記凹部の下方の前記半導体基板に設けられた第１導電型の分離領域と、

前記凹部の少なくとも一側方の前記半導体基板に設けられた第２導電型の電極領域と、

を備える、電子機器。

（１３）

半導体基板に凹部を設ける工程と、

前記凹部の少なくとも一側方の前記半導体基板に第２導電型の電極領域を設ける工程と、

前記凹部の下方の前記半導体基板に第１導電型の分離領域を設ける工程と、

前記凹部の内側に沿って強誘電体膜を設ける工程と、

前記強誘電体膜の上から前記凹部を埋め込むように電極を設ける工程と、

を含む、半導体記憶装置の製造方法。

符号の説明

[0224]

１０	半導体記憶装置
１１	キャパシタ
２１	トランジスタ
１００	半導体基板
１０１	分離領域
１０３	電極領域
１０５	素子分離層
１１０	強誘電体膜
１２０	キャパシタ電極
１２０Ａ	凹部
１２１	キャップ層
１３０	ゲート電極
１３１	コンタクト層
１３２	サイドウォール絶縁膜
１４０	ゲート絶縁膜
１５０、１５２	ソース又はドレイン領域
１５１	コンタクト領域

２００　　平坦化膜

２１０、２２０　　コンタクト

３００　　第１層間絶縁膜

３１０、３２０　　第１配線層

４００　　第２層間絶縁膜

４１０　　ビア

５００　　第３層間絶縁膜

５１０　　第２配線層

請求の範囲

[請求項1] 半導体基板に設けられた凹部と、

前記凹部の内側に沿って設けられた強誘電体膜と、

前記強誘電体膜の上から前記凹部を埋め込むように設けられた電極と、

前記凹部の下方の前記半導体基板に設けられた第１導電型の分離領域と、

前記凹部の少なくとも一側方の前記半導体基板に設けられた第２導電型の電極領域と、

を備える、半導体記憶装置。

[請求項2] 前記分離領域は、第１導電型不純物を含み、

前記電極領域は、前記第１導電型不純物とは導電型が異なる第２導電型不純物を含む、請求項１に記載の半導体記憶装置。

[請求項3] 前記分離領域及び前記電極領域は、前記第１導電型不純物又は第２導電型不純物を１×１０^{18}個／ｃｍ^{3}以上の濃度で含む、請求項２に記載の半導体記憶装置。

[請求項4] 前記電極、前記強誘電体膜及び前記電極領域は、前記強誘電体膜の分極によって情報を記憶するキャパシタを構成し、

前記電極は、ソース線と電気的に接続され、

前記電極領域は、電界効果トランジスタのソース及びドレインを介して、ビット線と電気的に接続される、請求項１に記載の半導体記憶装置。

[請求項5] 前記キャパシタの容量は、前記電極領域及び前記半導体基板にて構成される寄生容量の２倍以上である、請求項４に記載の半導体記憶装置。

[請求項6] 前記半導体基板には、前記分離領域及び前記電極領域が形成される素子領域の各々を離隔し、前記半導体基板の面内の第１方向に延伸する素子分離層が設けられる、請求項１に記載の半導体記憶装置。

[請求項7] 前記電極領域は、前記凹部の前記第１方向の両側方にそれぞれ設けられ、

前記電極、前記強誘電体膜及び前記電極領域は、前記強誘電体膜の分極によって情報を記憶するキャパシタを前記両側方の各々に構成する、請求項６に記載の半導体記憶装置。

[請求項8] 前記凹部は、前記第１方向と直交する第２方向に延伸して設けられる、請求項６に記載の半導体記憶装置。

[請求項9] 前記凹部の形成深さは、前記半導体基板に設けられた素子分離層の形成深さよりも浅い、請求項６に記載の半導体記憶装置。

[請求項10] 前記分離領域は、前記第１導電型不純物を１×１０^{18}個／ｃｍ^{3}未満の濃度で含み、

前記電極、前記強誘電体膜及び前記電極領域は、前記強誘電体膜の分極によって情報を記憶する電界効果トランジスタを構成する、請求項２に記載の半導体記憶装置。

[請求項11] 前記電極領域と前記強誘電体膜との間には、金属層がさらに設けられる、請求項１に記載の半導体記憶装置。

[請求項12] 半導体記憶装置を備え、

前記半導体記憶装置は、

半導体基板に設けられた凹部と、

前記凹部の内側に沿って設けられた強誘電体膜と、

前記強誘電体膜の上から前記凹部を埋め込むように設けられた電極と、

前記凹部の下方の前記半導体基板に設けられた第１導電型の分離領域と、

前記凹部の少なくとも一側方の前記半導体基板に設けられた第２導電型の電極領域と、

を備える、電子機器。

[請求項13] 半導体基板に凹部を設ける工程と、

前記凹部の少なくとも一側方の前記半導体基板に第２導電型の電極領域を設ける工程と、

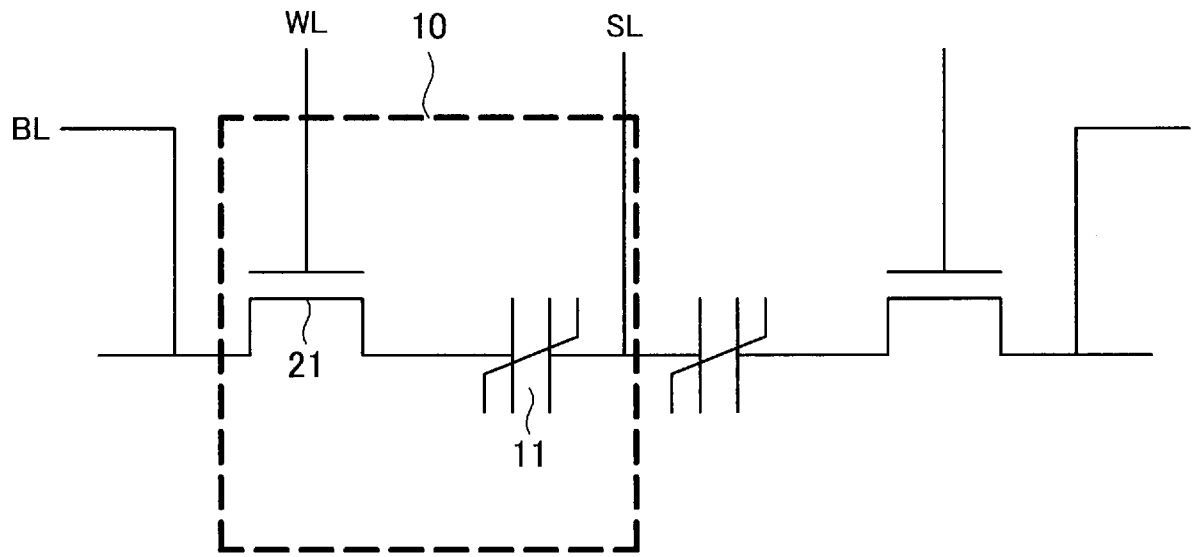
前記凹部の下方の前記半導体基板に第１導電型の分離領域を設ける工程と、

前記凹部の内側に沿って強誘電体膜を設ける工程と、

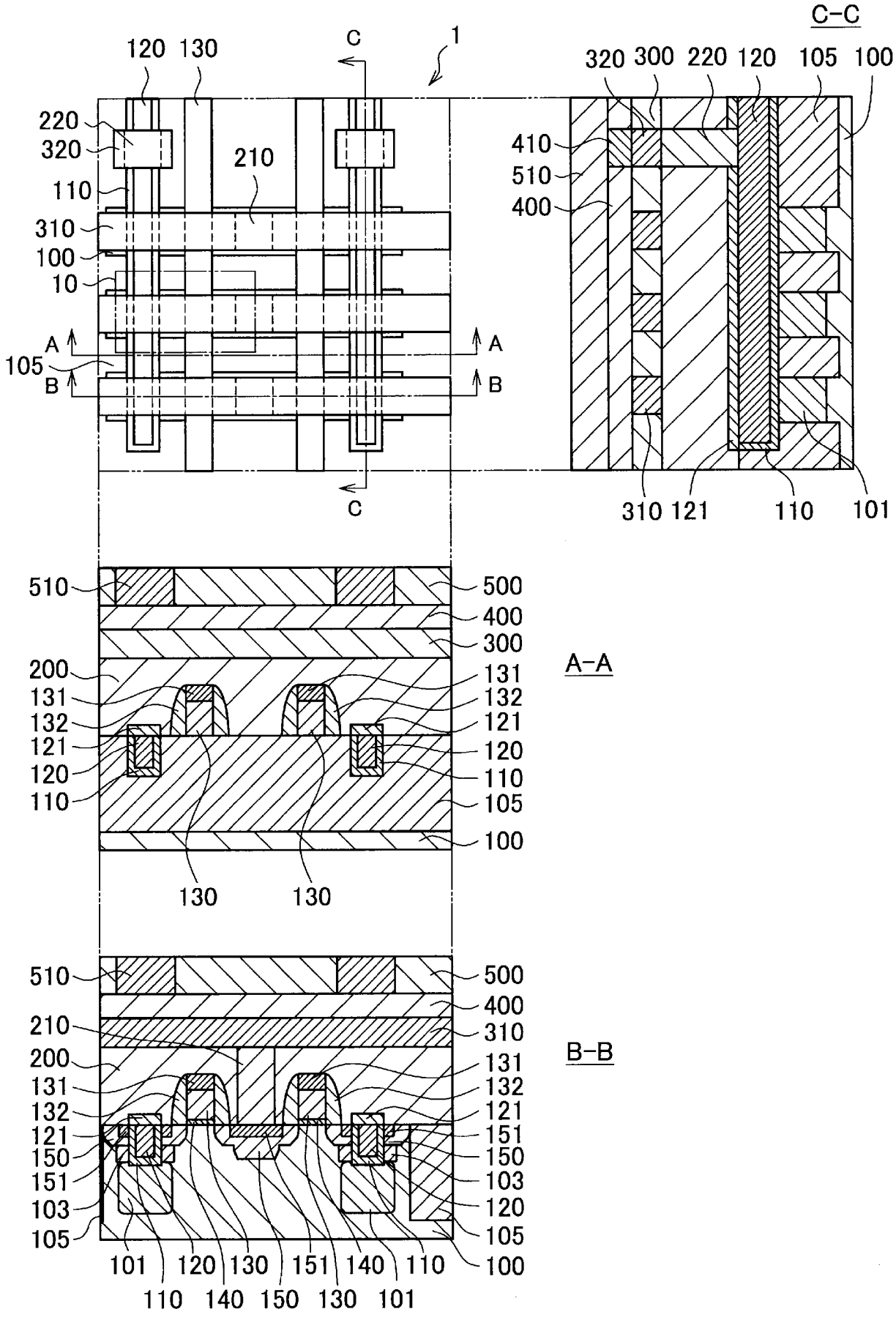
前記強誘電体膜の上から前記凹部を埋め込むように電極を設ける工程と、

を含む、半導体記憶装置の製造方法。

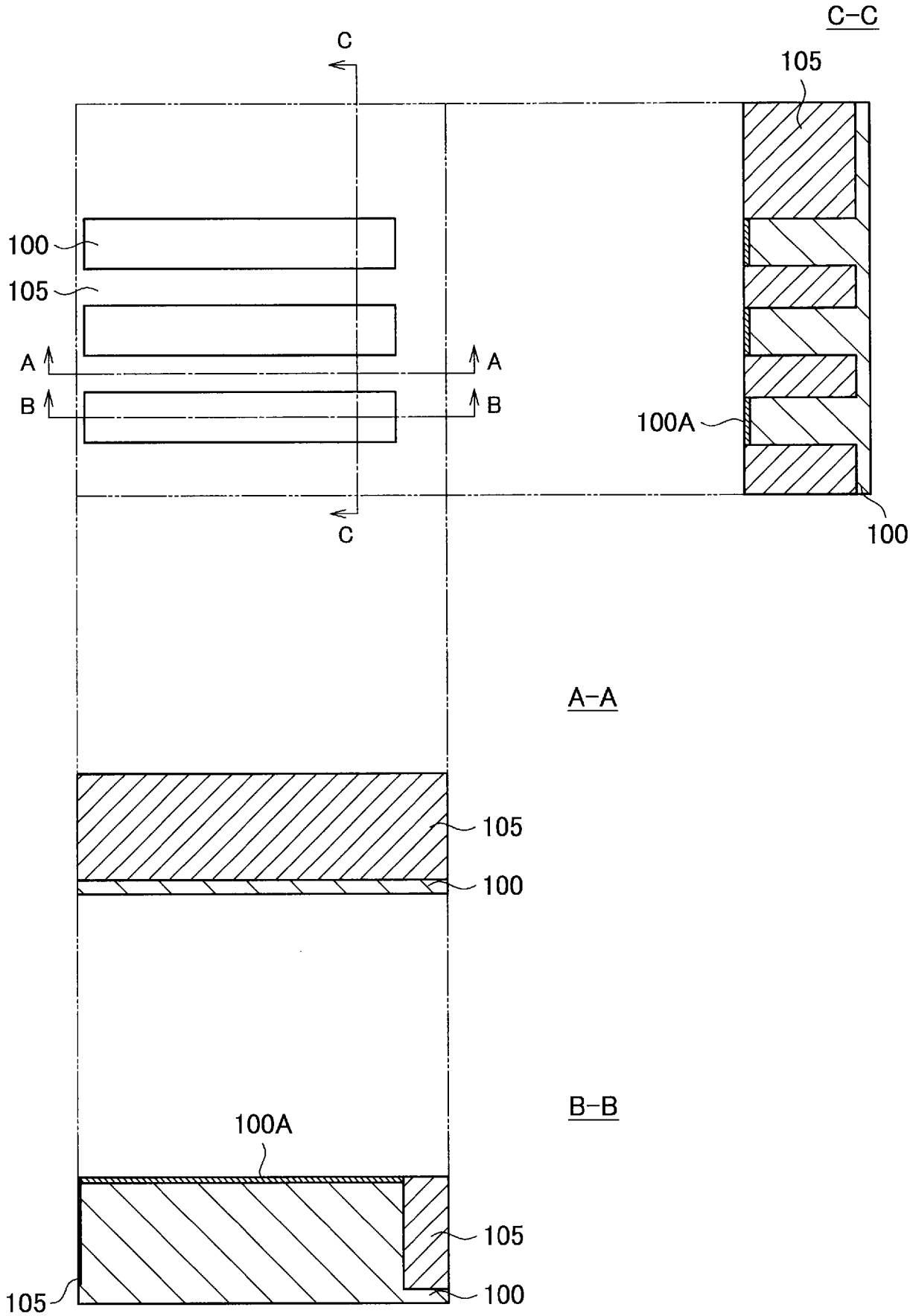
[図1]



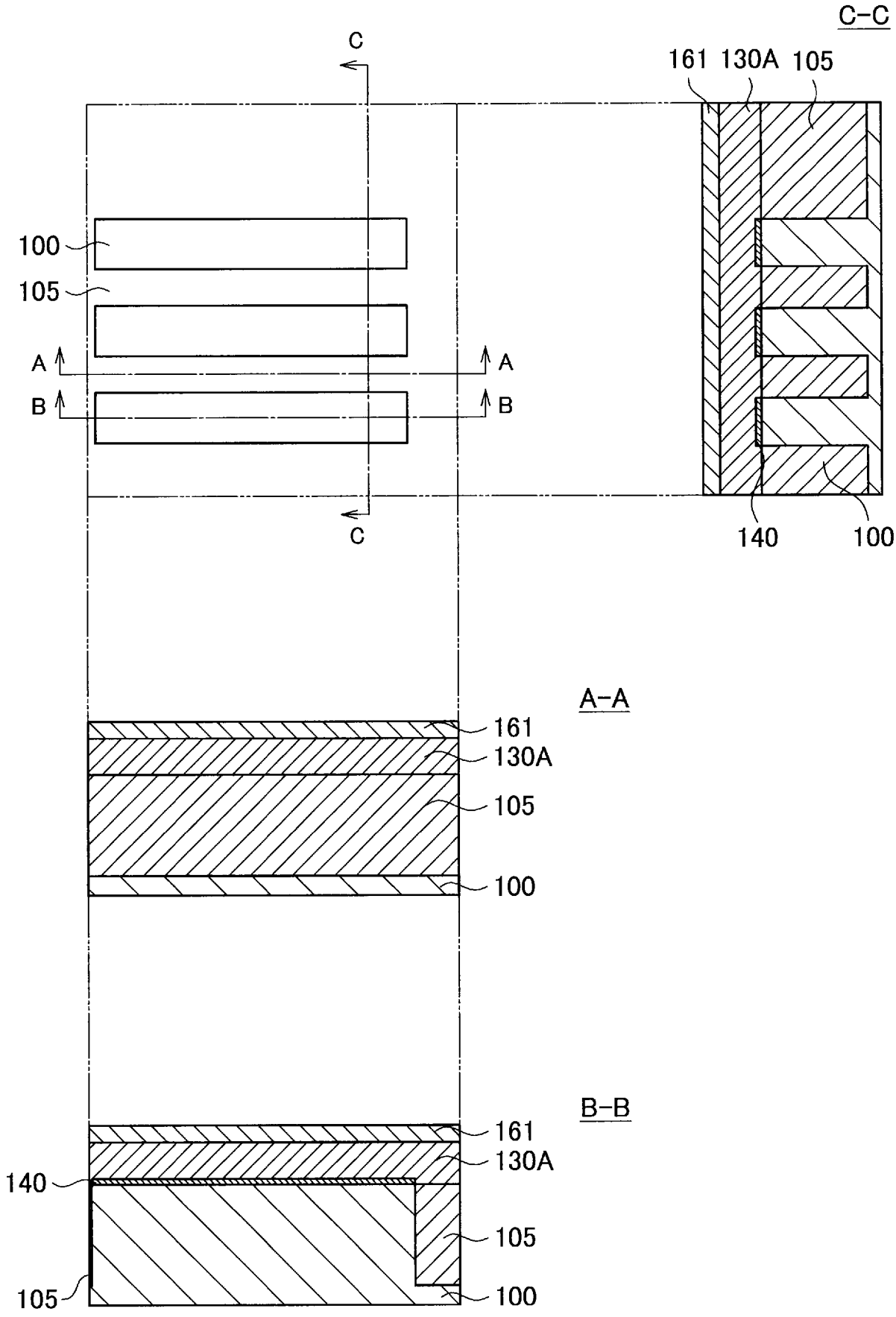
[図2]


C-C
120 130
C
1
320 300 220 120 105 100
220
320
210
110
310
100
10
410
510
400
A
105
B
A
B
C
310 121 110 101
510
500
400
300
200
131
132
121
120
110
105
100
130 130
A-A
510
500
400
210
310
200
131
132
121
150
151
103
105
101 120 130 151 140 110
110 140 150 130 101
B-B

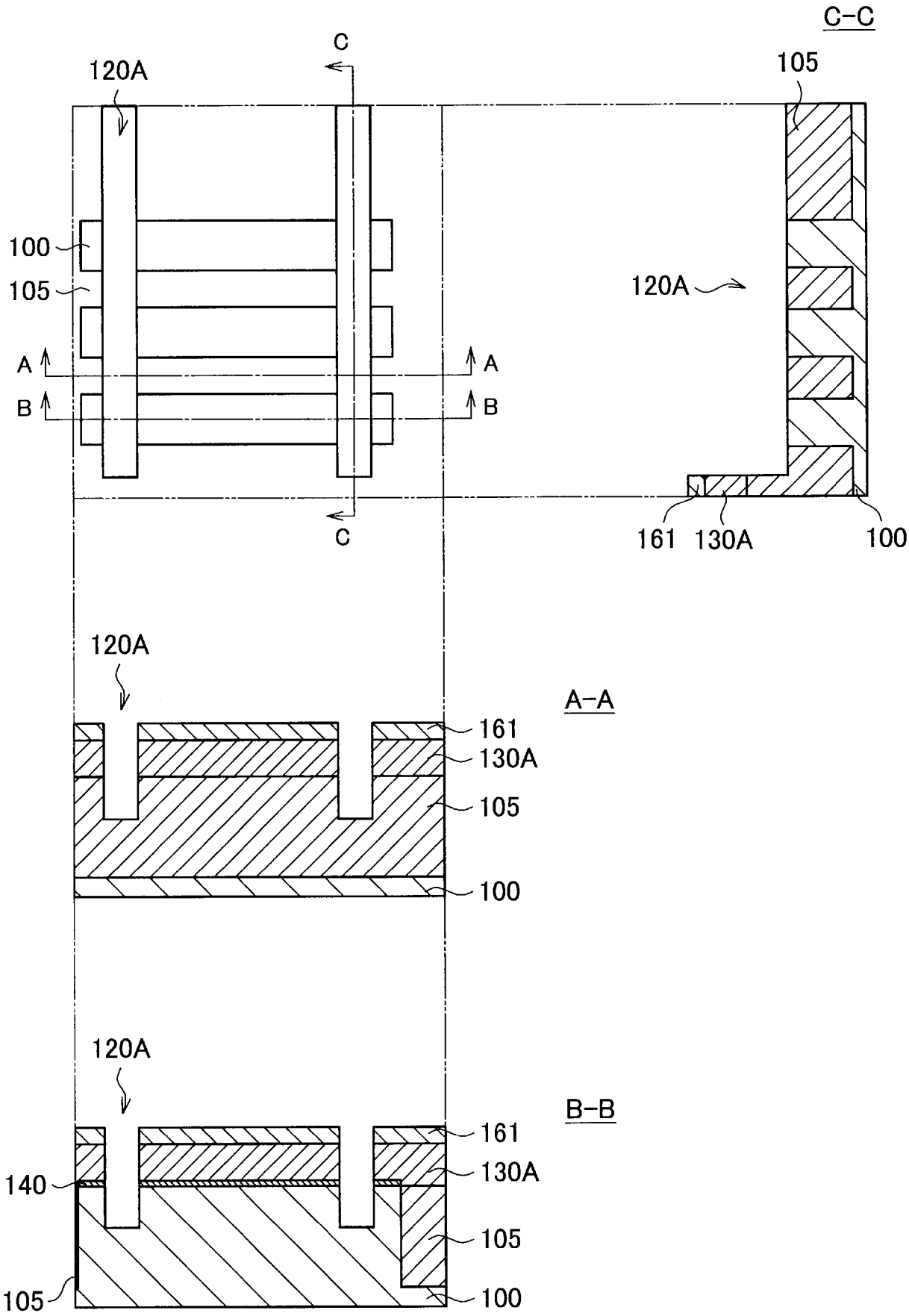
[図3]



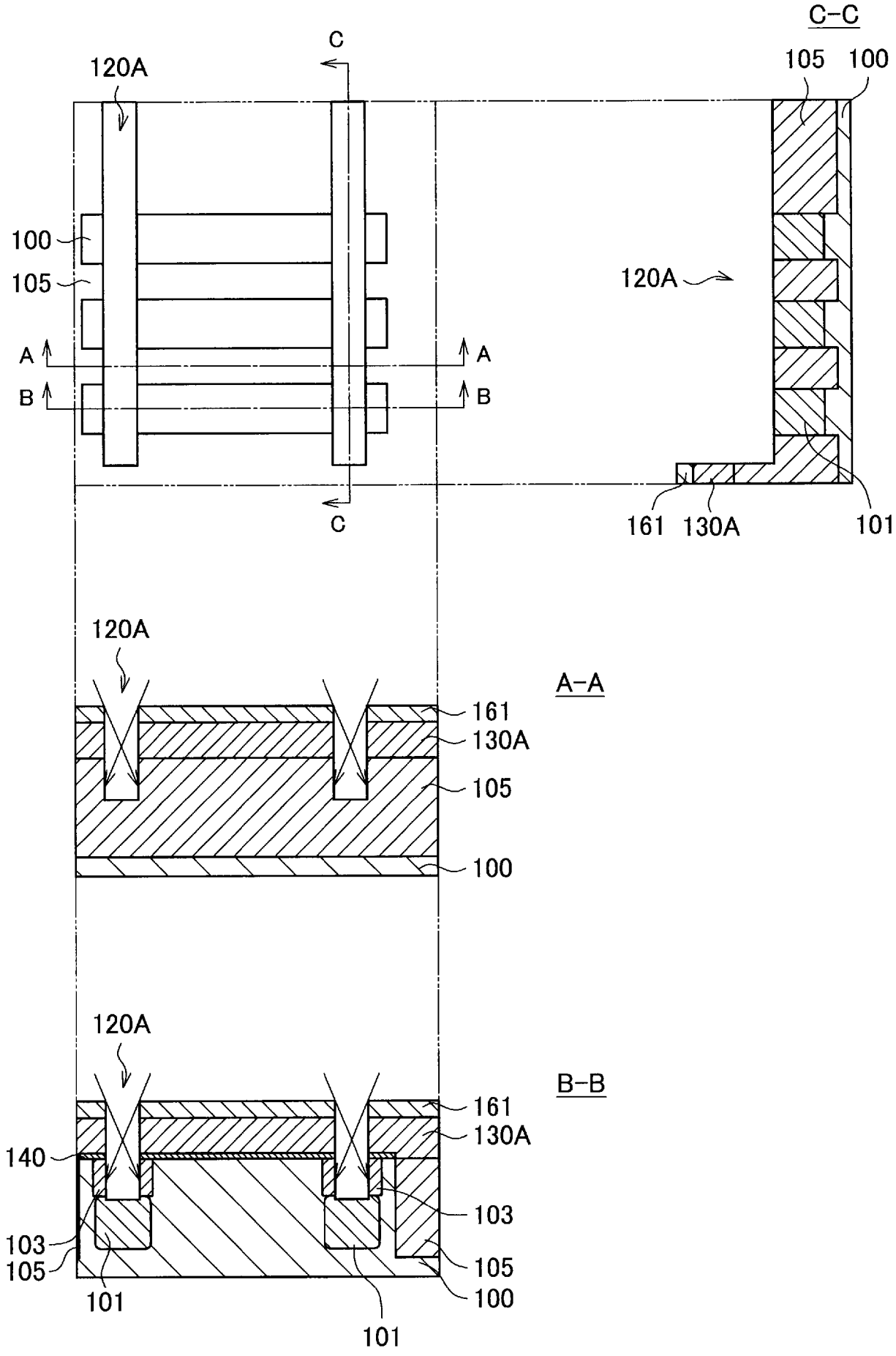
[図4]


C-C
C
161
130A
105
100
105
A
A
B
B
C
140
100
A-A
161
130A
105
100
B-B
161
130A
140
105
105
100

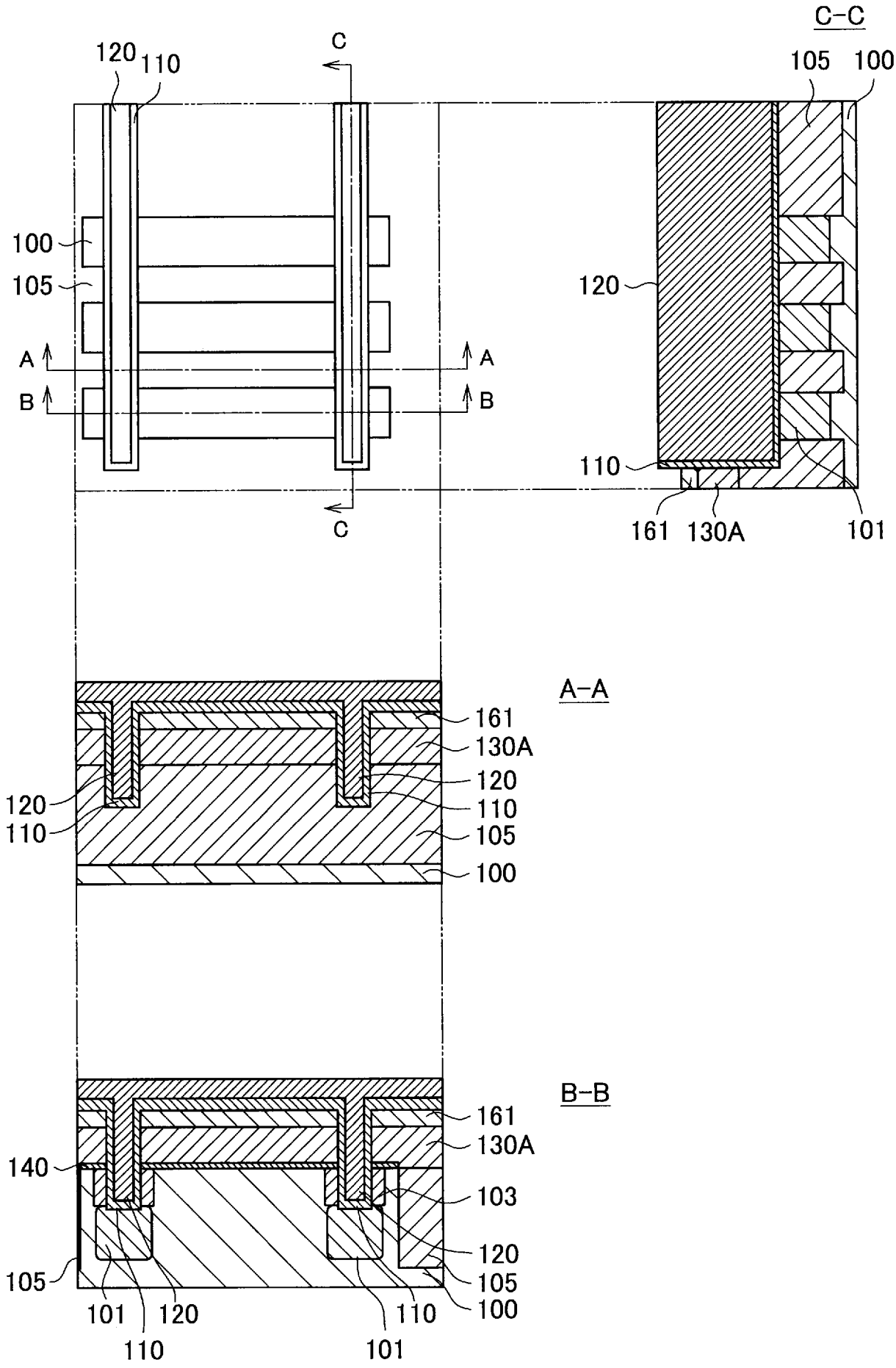
[図5]


C-C
C
120A
105
100
105
120A
A
A
B
B
C
161
130A
100
120A
A-A
161
130A
105
100
120A
B-B
161
130A
140
105
105
100

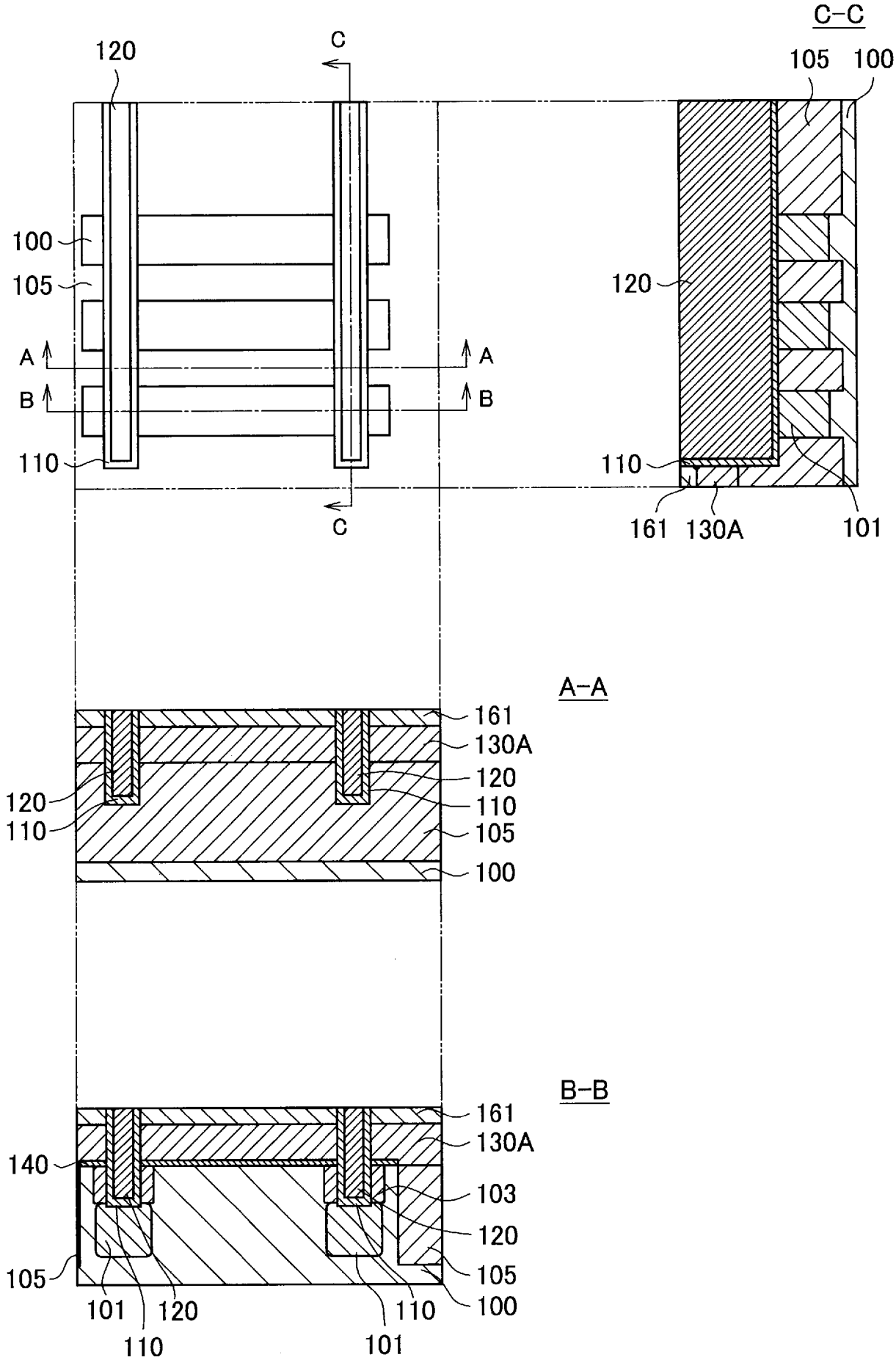
[図6]


C-C
C
120A
105
100
100
105
120A
A
B
A
B
C
161
130A
101
120A
A-A
161
130A
105
100
120A
B-B
161
130A
140
103
103
105
105
100
101
101

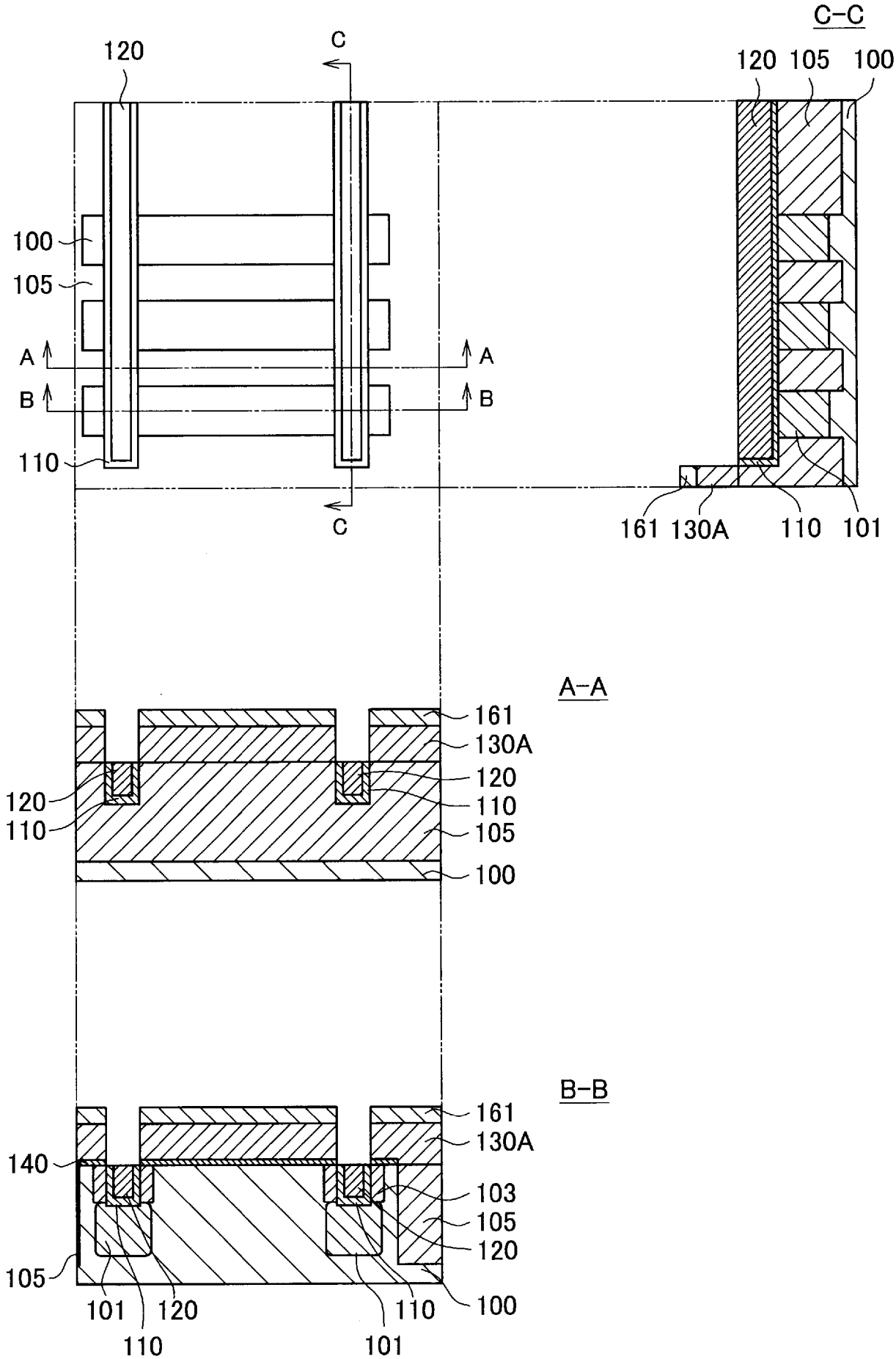
[図7]


C-C
120
110
C
105
100
100
105
120
A
B
A
B
110
C
161
130A
101
A-A
161
130A
120
110
105
100
120
110
B-B
161
130A
140
103
120
105
105
101
120
110
100
110
101

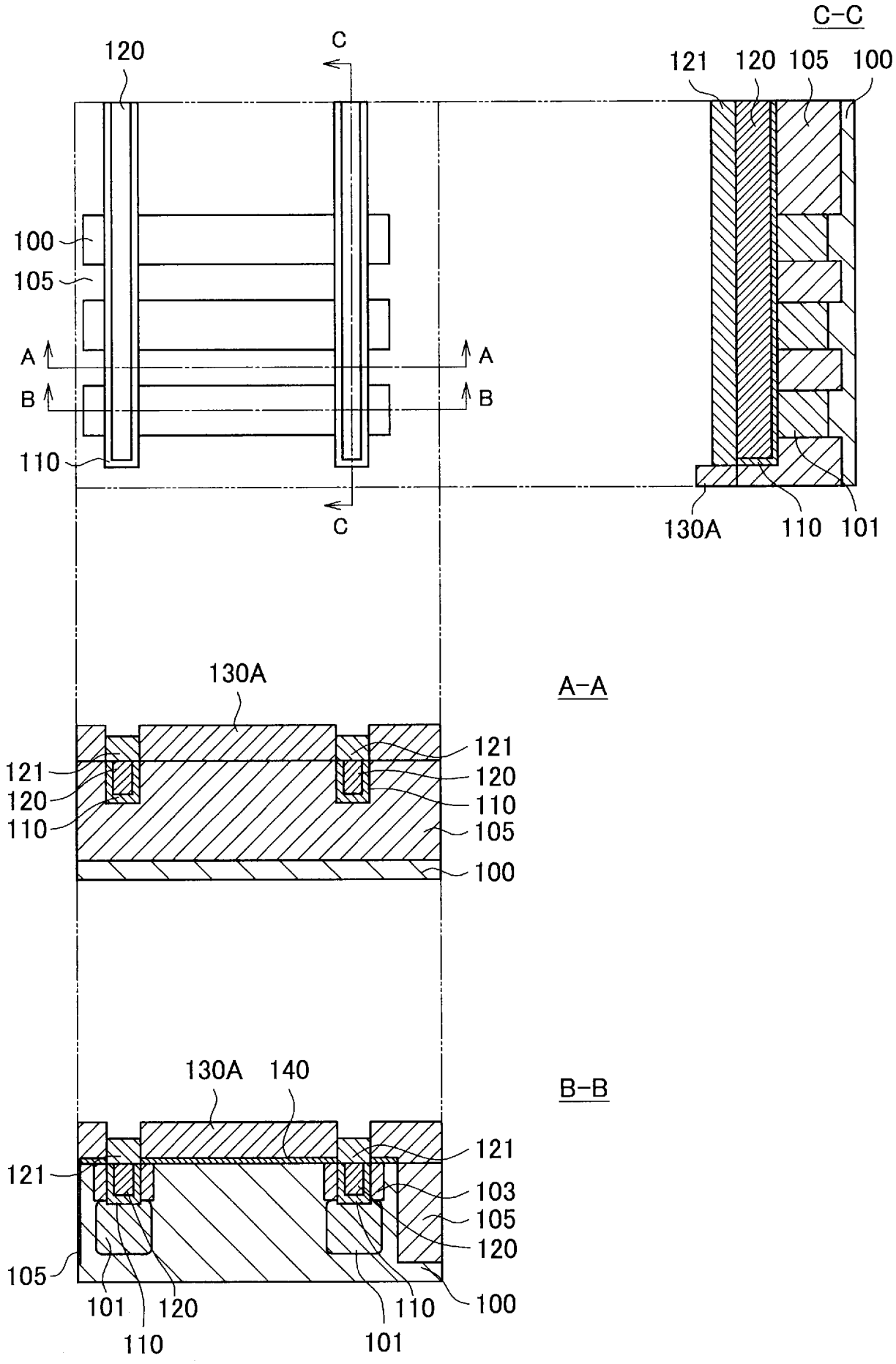
[図8]


C-C
120
C
105
100
100
105
120
A
A
B
B
110
110
C
161
130A
101
A-A
161
130A
120
120
110
110
105
100
B-B
161
130A
140
103
120
105
105
101
120
110
100
110
101

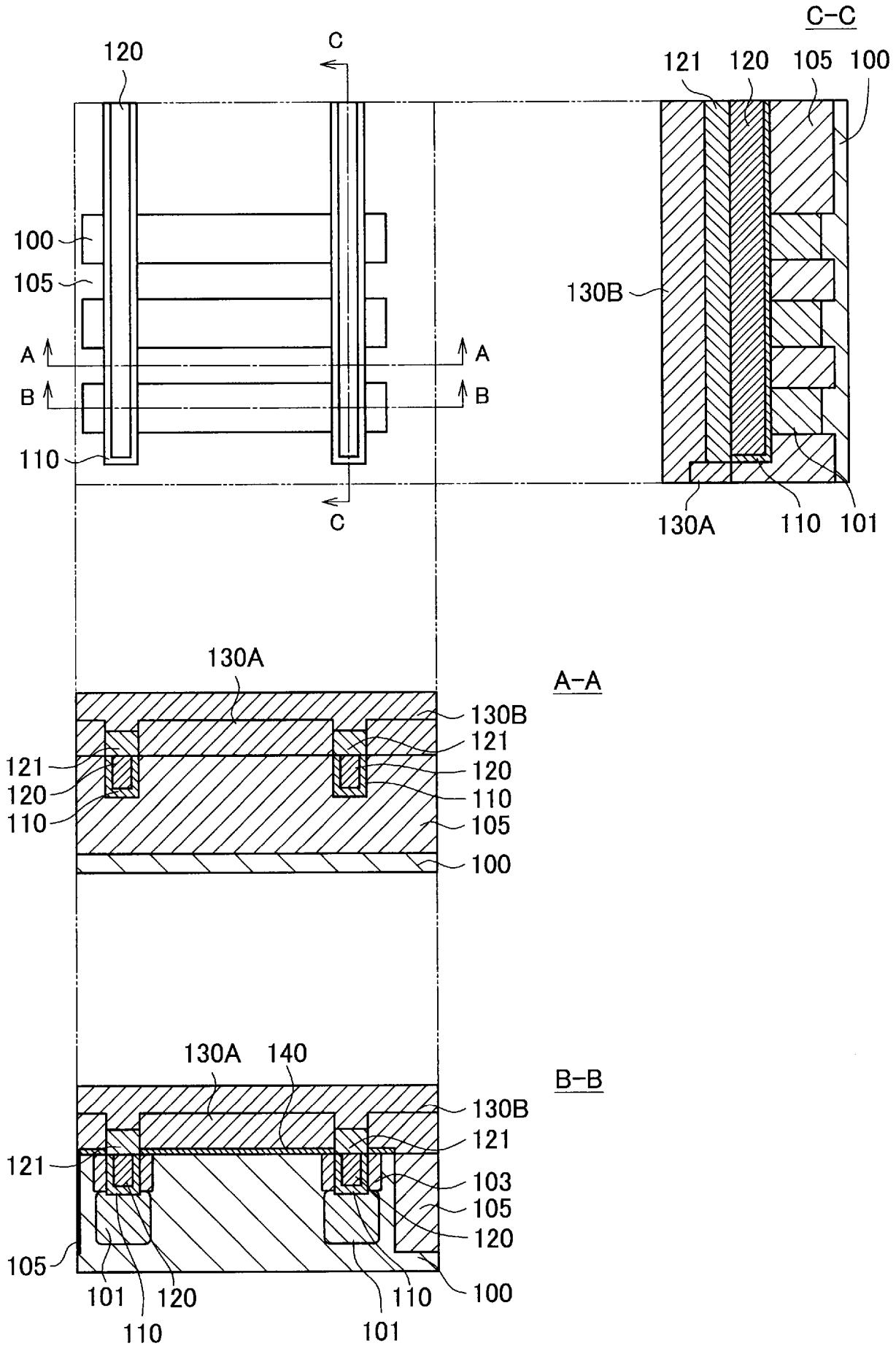
[図9]


C-C
120
C
120 105 100
100
105
A
B
A
B
110
C
161 130A 110 101
A-A
161
130A
120
110
105
100
120
110
B-B
161
130A
140
103
105
120
105
101 120
110
110
101
100

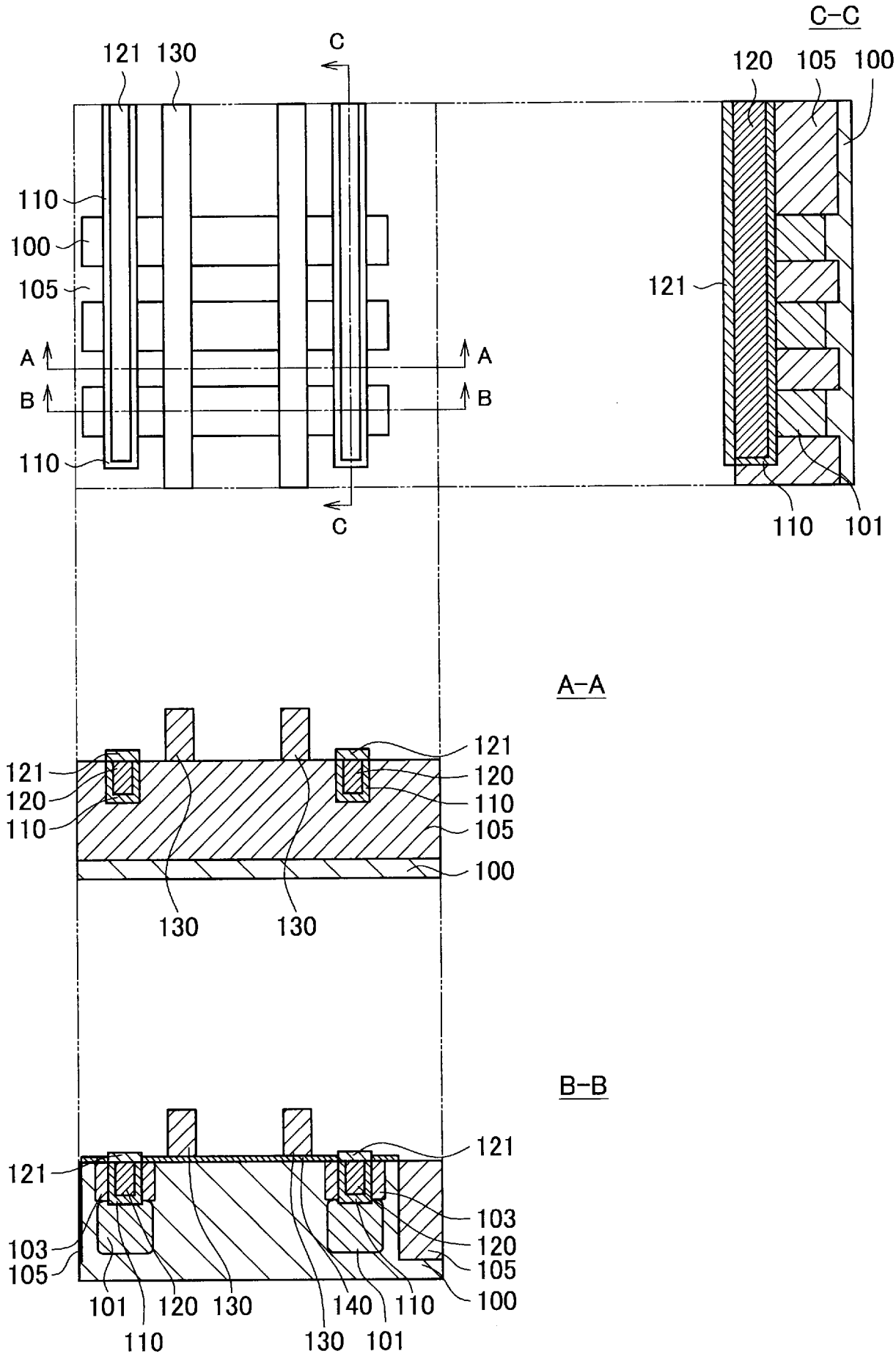
[図10]


C-C
120
C
121
120
105
100
100
105
A
B
A
B
110
C
130A
110
101
A-A
130A
121
120
110
105
100
B-B
130A
140
121
103
105
120
100
105
101
120
110
110
101

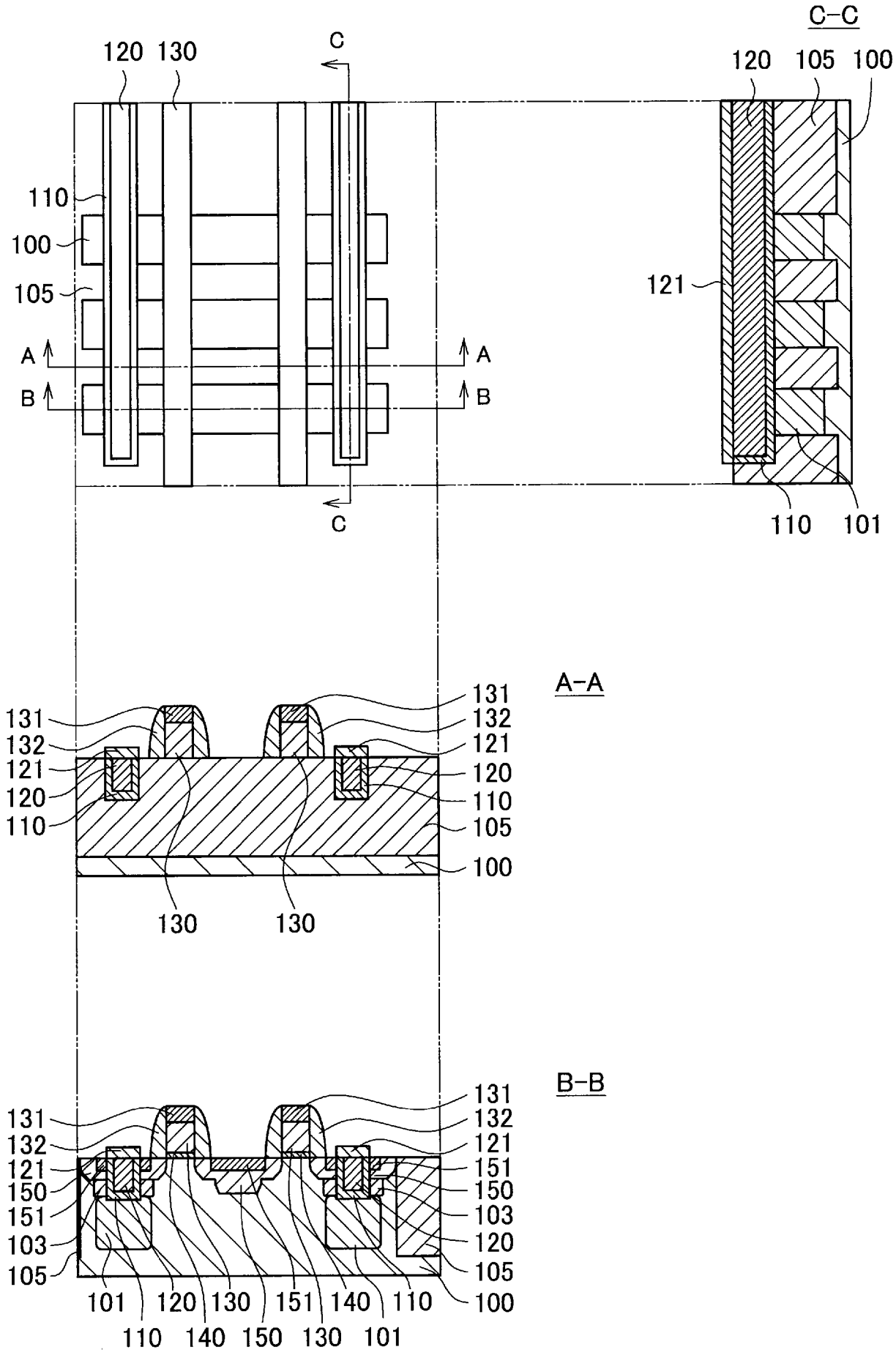
[図11]


C-C
120
C
121
120
105
100
100
105
130B
A
A
B
B
110
C
130A
110
101
A-A
130A
130B
121
121
120
120
110
110
105
100
B-B
130A
140
130B
121
121
103
105
120
105
101
120
110
100
110
101

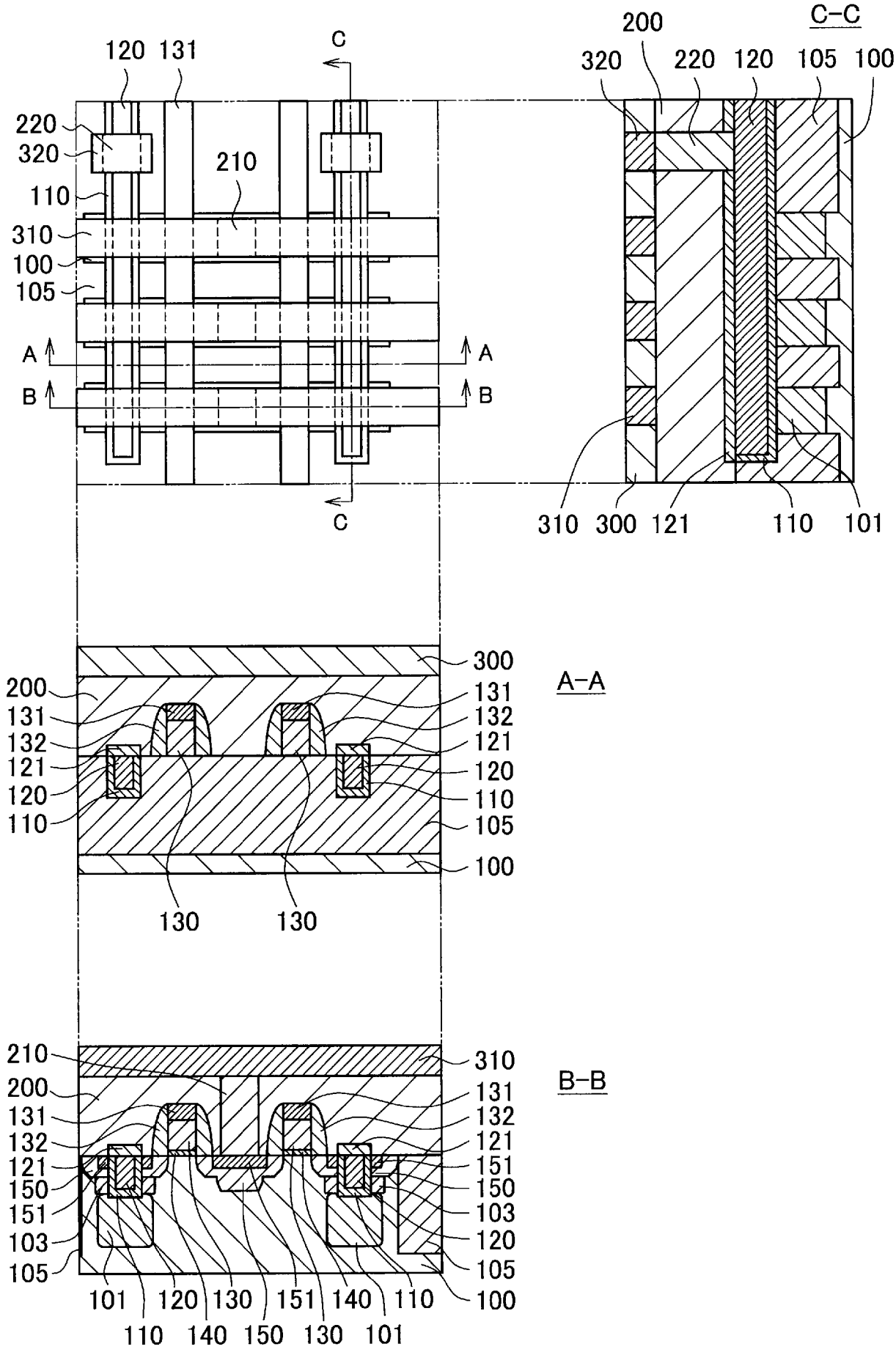
[図12]


C-C
121
130
C
120
105
100
110
100
105
121
A
A
B
B
110
C
110
101
A-A
121
120
110
121
120
110
105
100
130
130
B-B
121
121
103
120
105
103
105
101
120
130
140
110
100
110
130
101

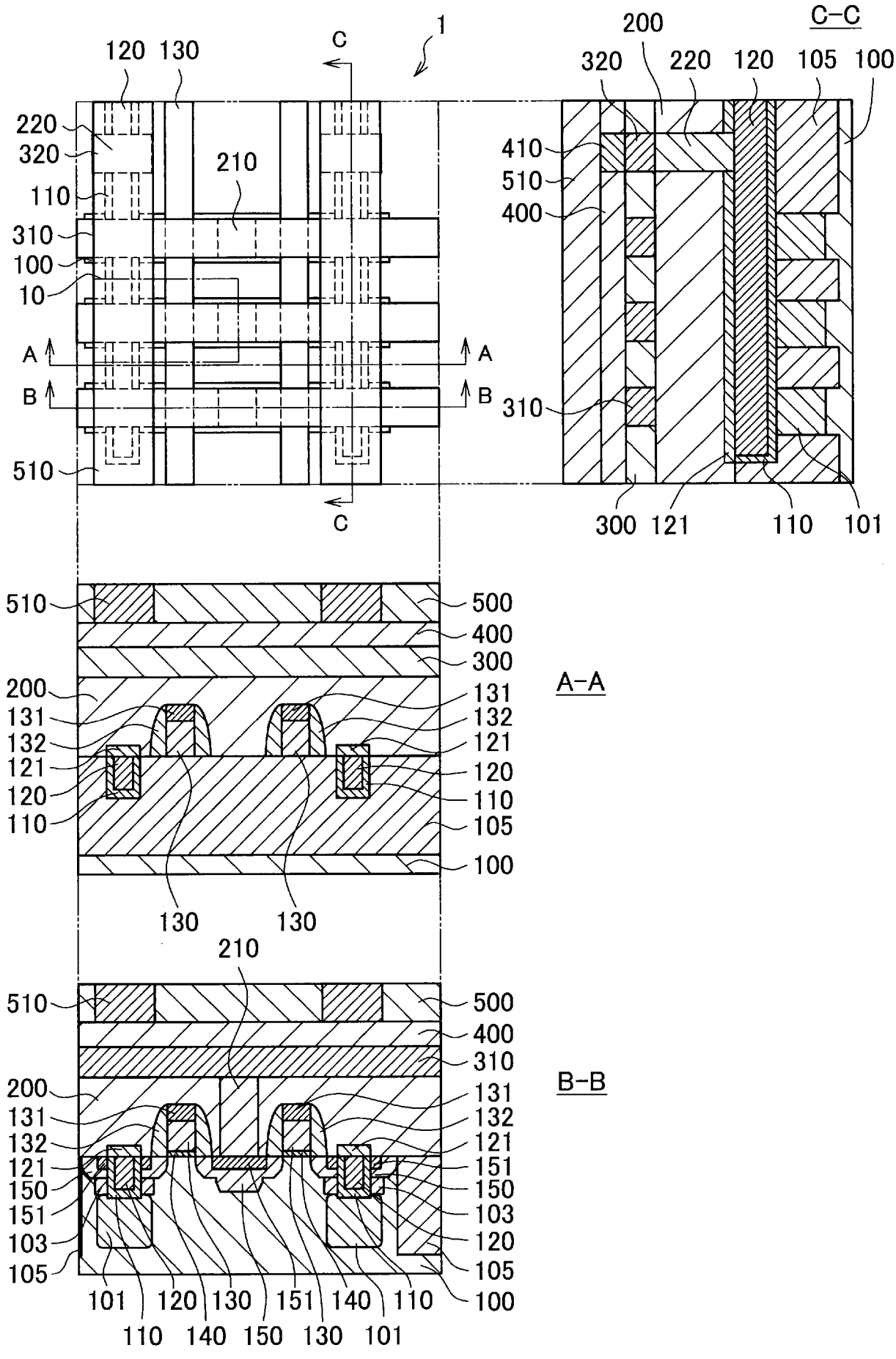
[図13]


C-C
120
130
C
120
105
100
110
100
105
121
A
B
A
B
C
110
101
A-A
131
132
121
120
110
105
100
130
130
B-B
131
132
121
150
151
103
120
105
100
101
120
130
151
140
110
110
140
150
130
101

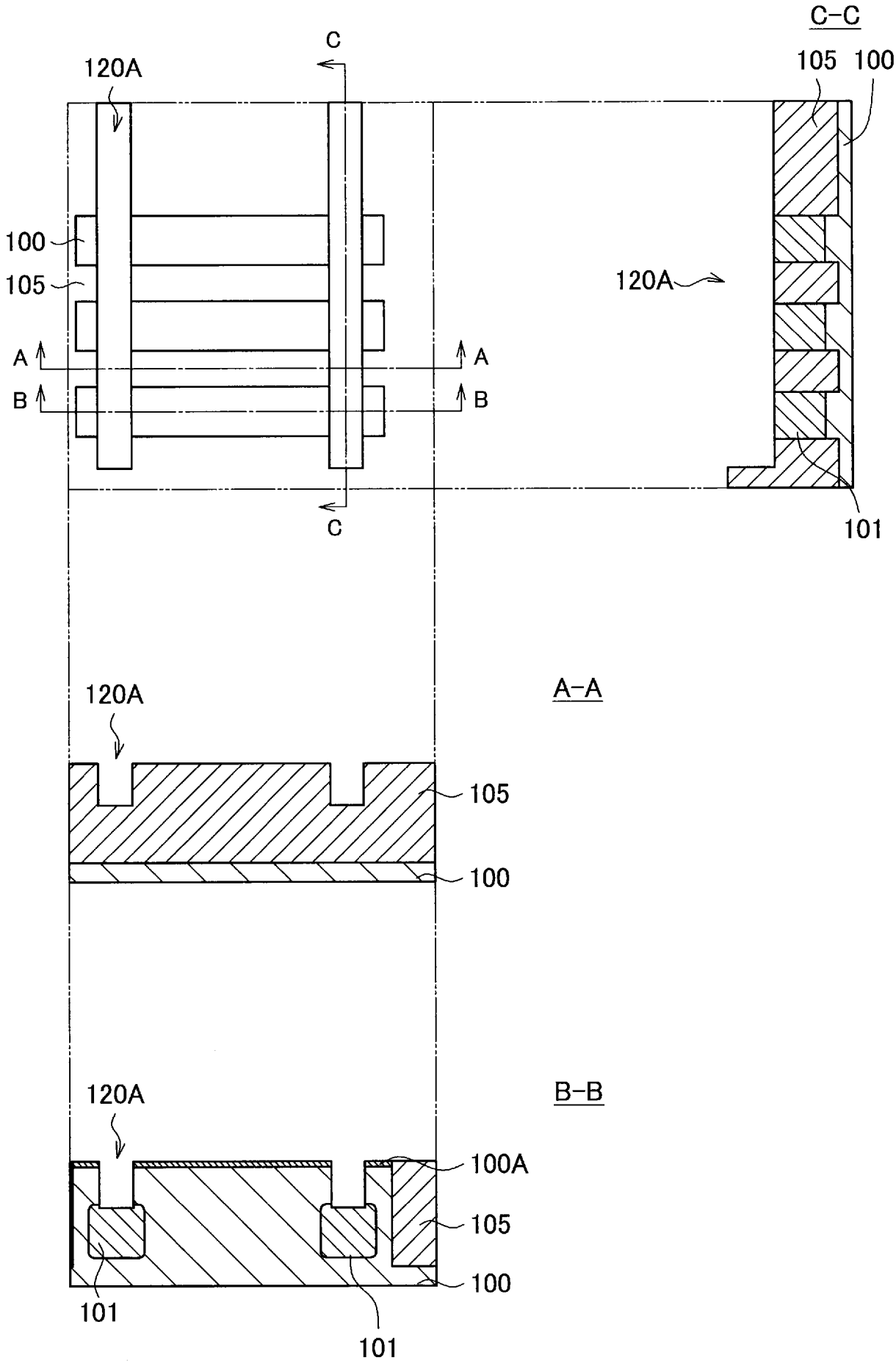
[図14]


C-C
A-A
B-B
120 131
C
220
320
210
110
310
100
105
A
B
200
320
220
120
105
100
310
300
121
110
101
131
132
121
120
110
130
130
210
151
150
103
140

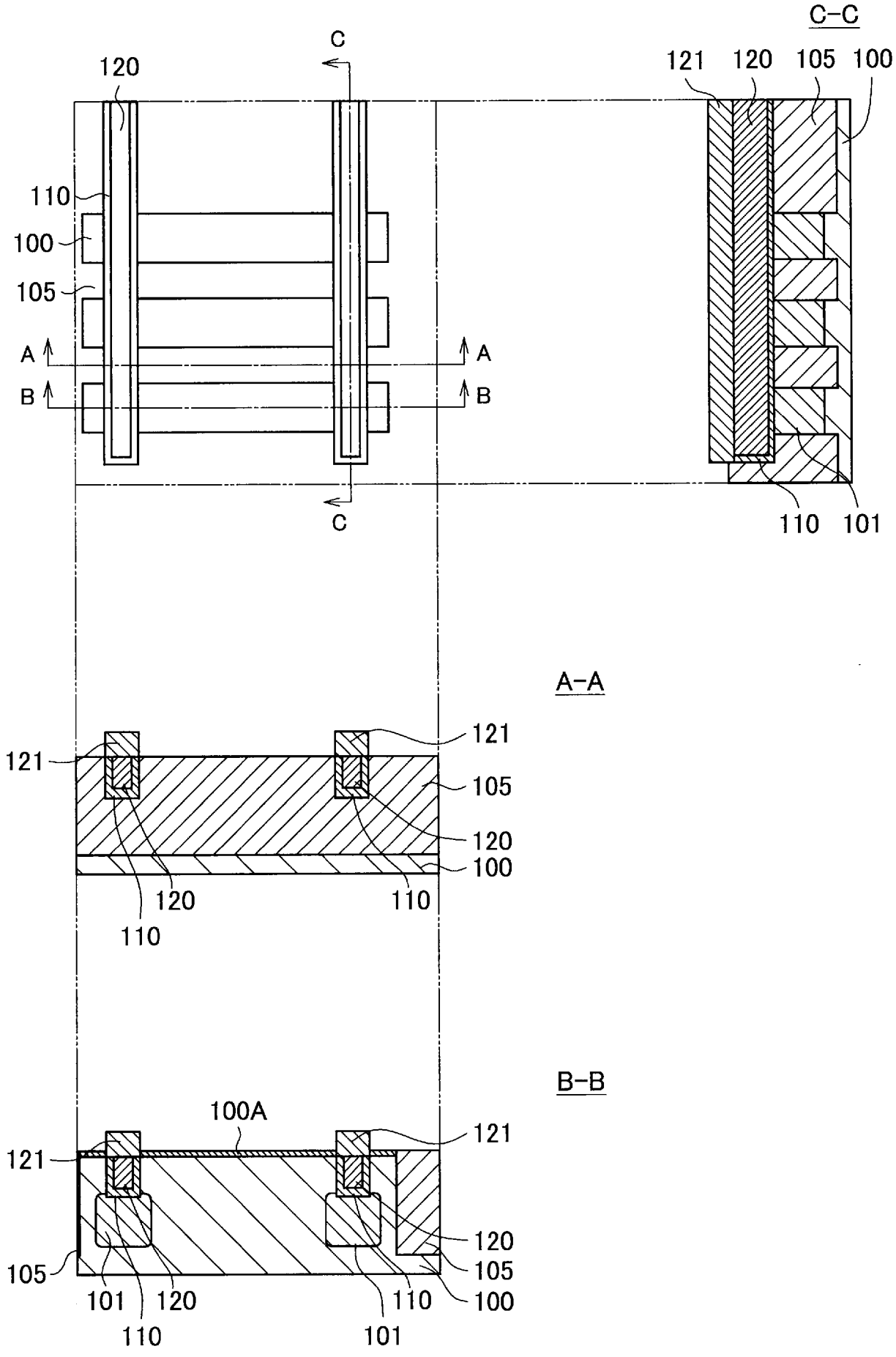
[図15]


1
C
C
120
130
220
320
110
310
100
10
210
A
A
B
B
510
C-C
200
320
220
120
105
100
410
510
400
310
300
121
110
101
A-A
510
500
400
300
200
131
132
121
120
110
105
100
130
130
B-B
210
510
500
400
310
200
131
132
121
151
150
103
120
105
100
101
120
130
151
140
110
110
140
150
130
101

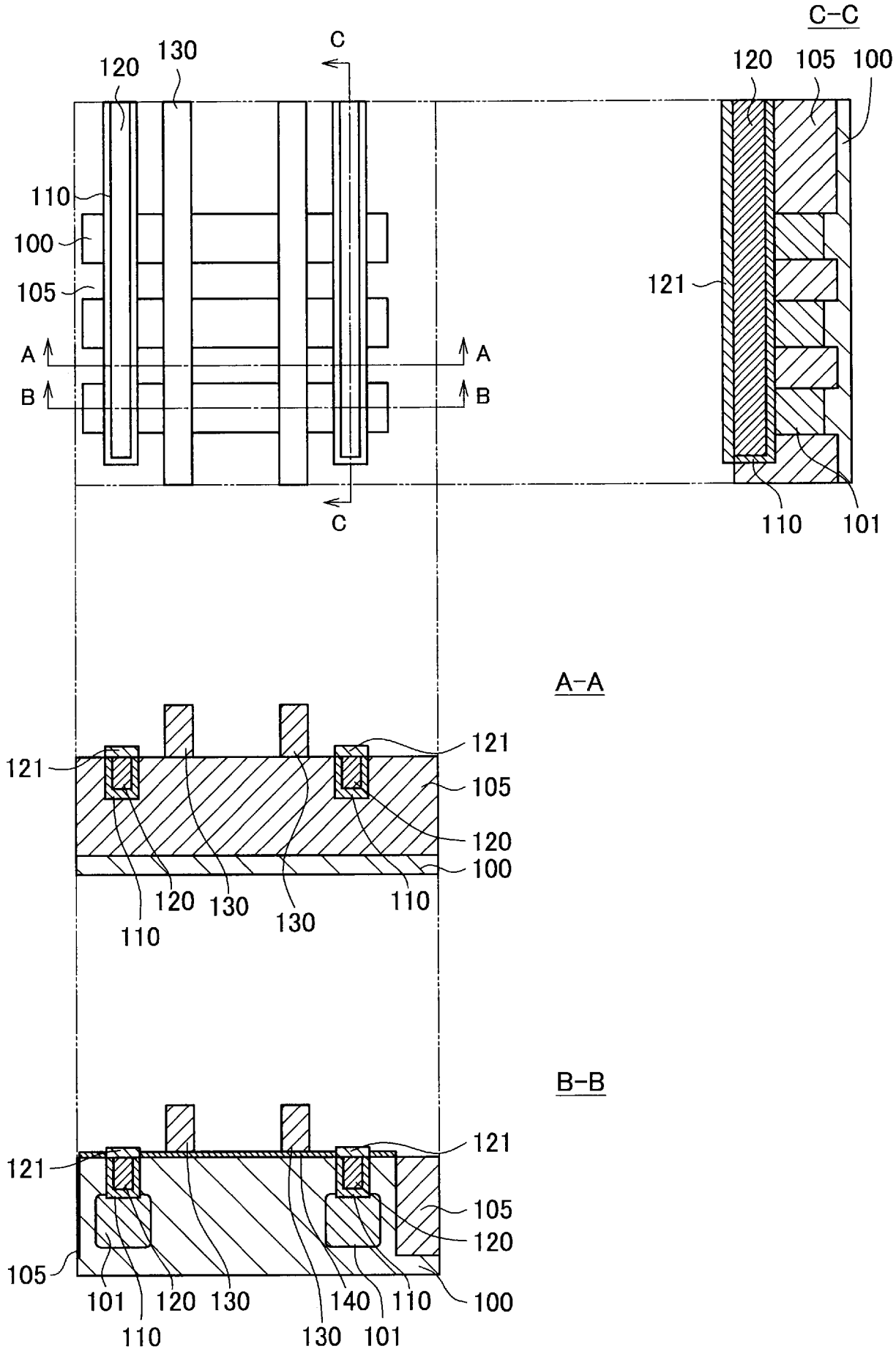
[図16]


C-C
C
120A
105
100
100
105
120A
A
B
A
B
C
101
120A
A-A
105
100
120A
B-B
100A
105
100
101
101

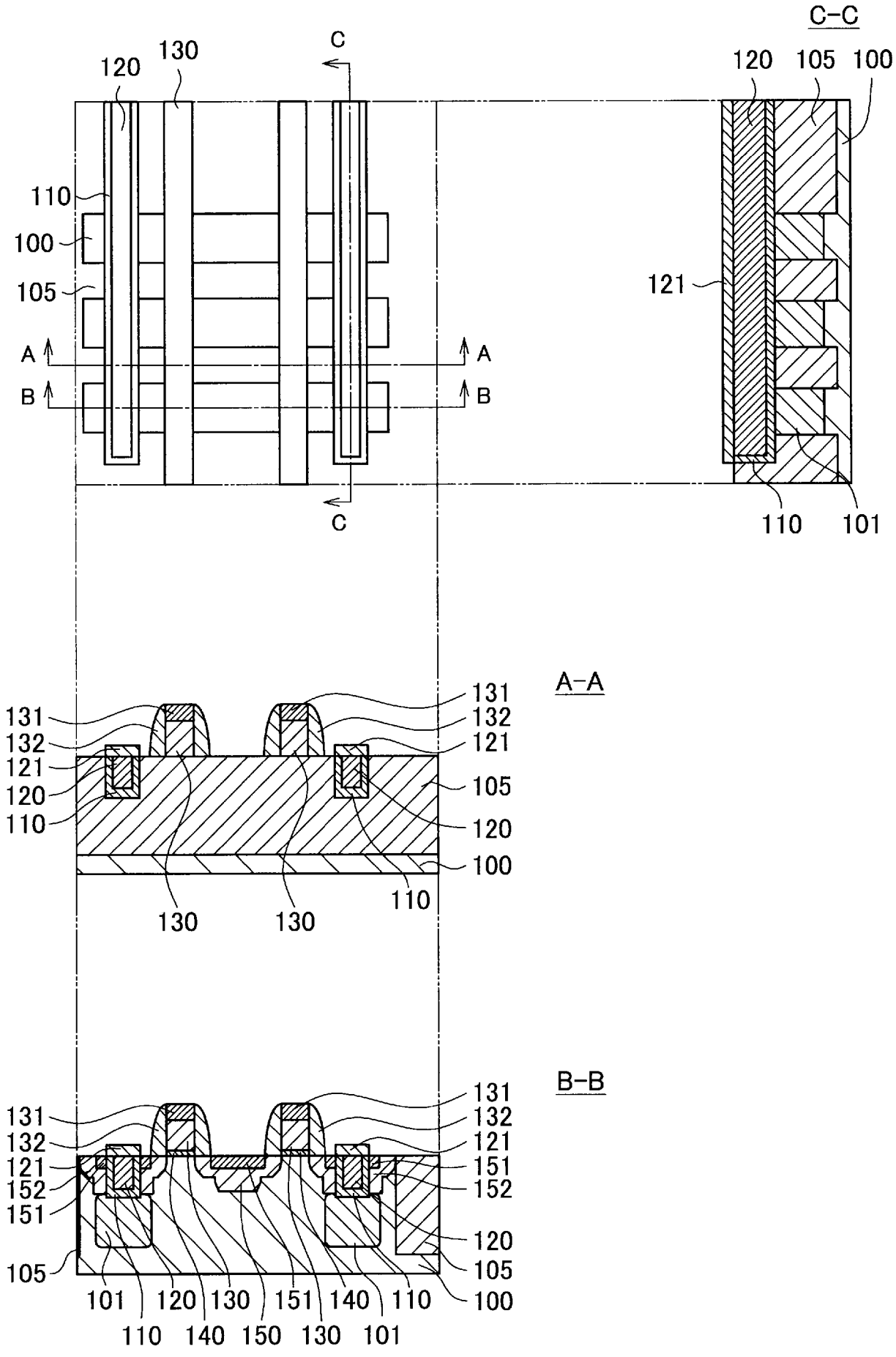
[図17]


C-C
C
120
121
120
105
100
110
100
105
A
B
A
B
C
110
101
A-A
121
121
105
120
100
120
110
110
B-B
100A
121
121
120
105
105
101
120
110
100
110
101

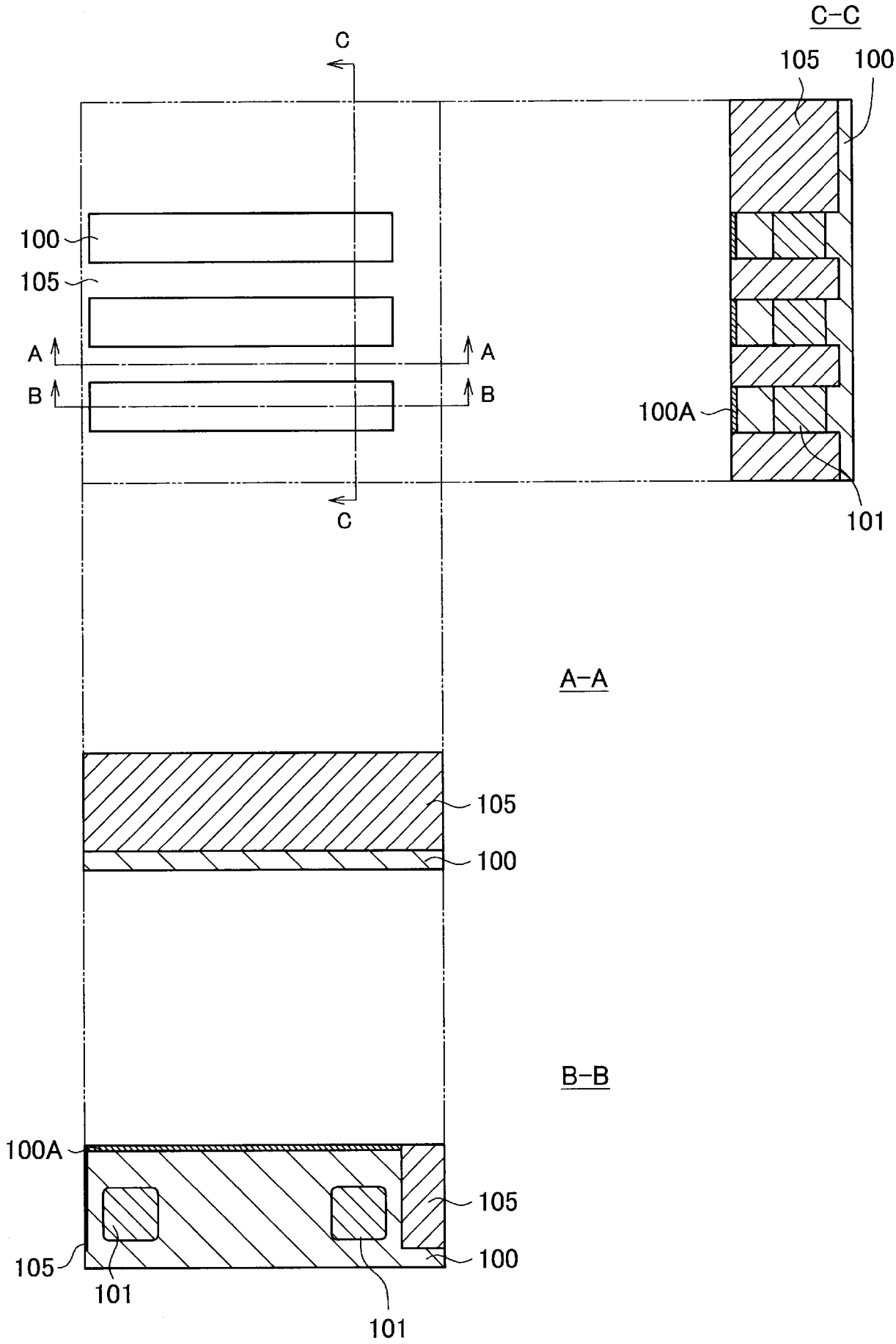
[図18]


C-C
120
130
C
120
105
100
110
100
105
121
A
B
A
B
C
110
101
A-A
121
121
105
120
100
120
130
130
110
110
B-B
121
121
105
120
105
101
120
130
140
110
100
110
130
101

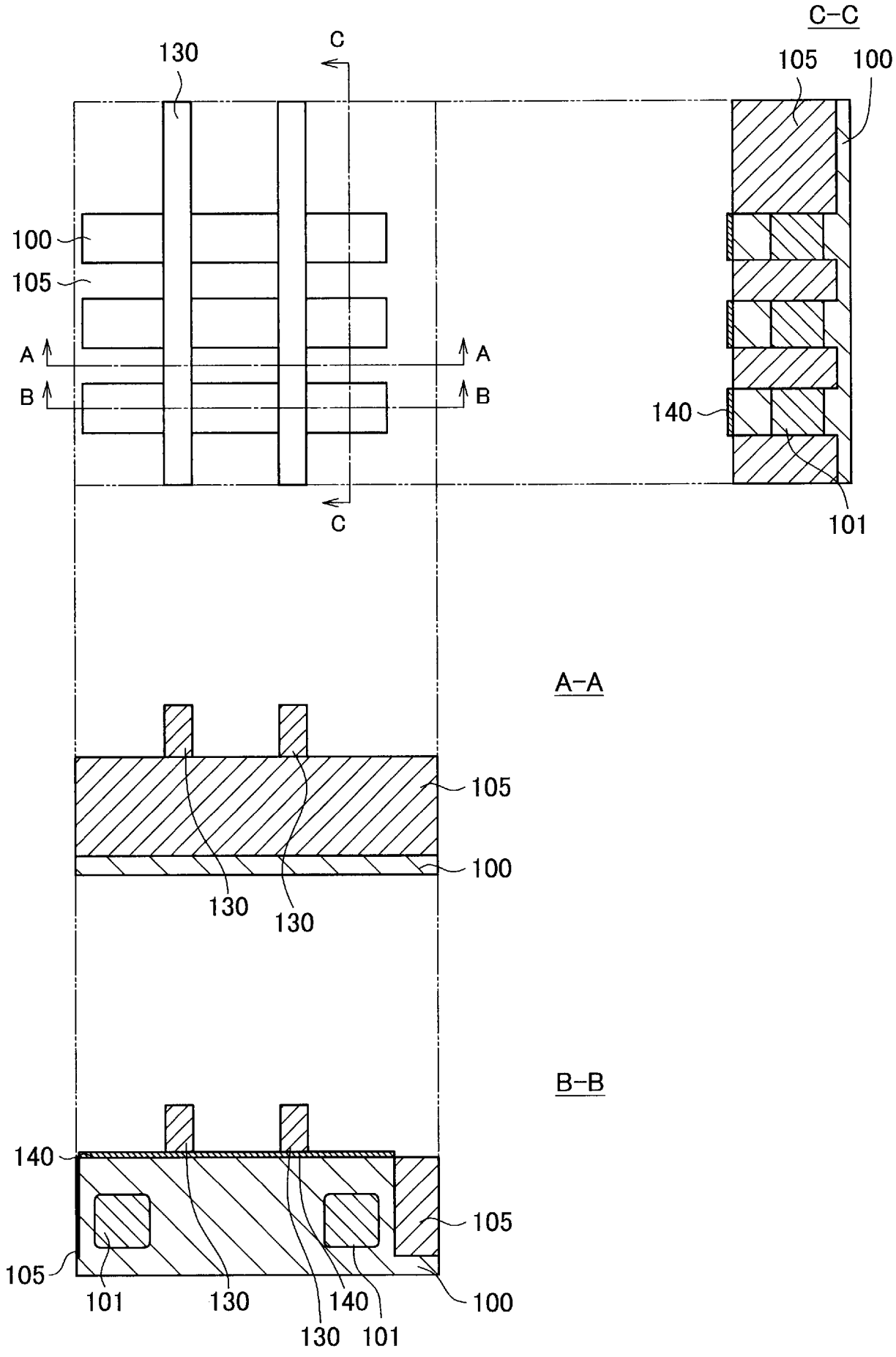
[図19]


C-C
120
130
C
120
105
100
110
100
105
121
A
B
A
B
C
110
101
A-A
131
132
121
120
110
131
132
121
105
120
100
110
130
130
B-B
131
132
121
152
151
131
132
121
151
152
120
105
105
101
120
130
151
140
110
100
110
140
150
130
101

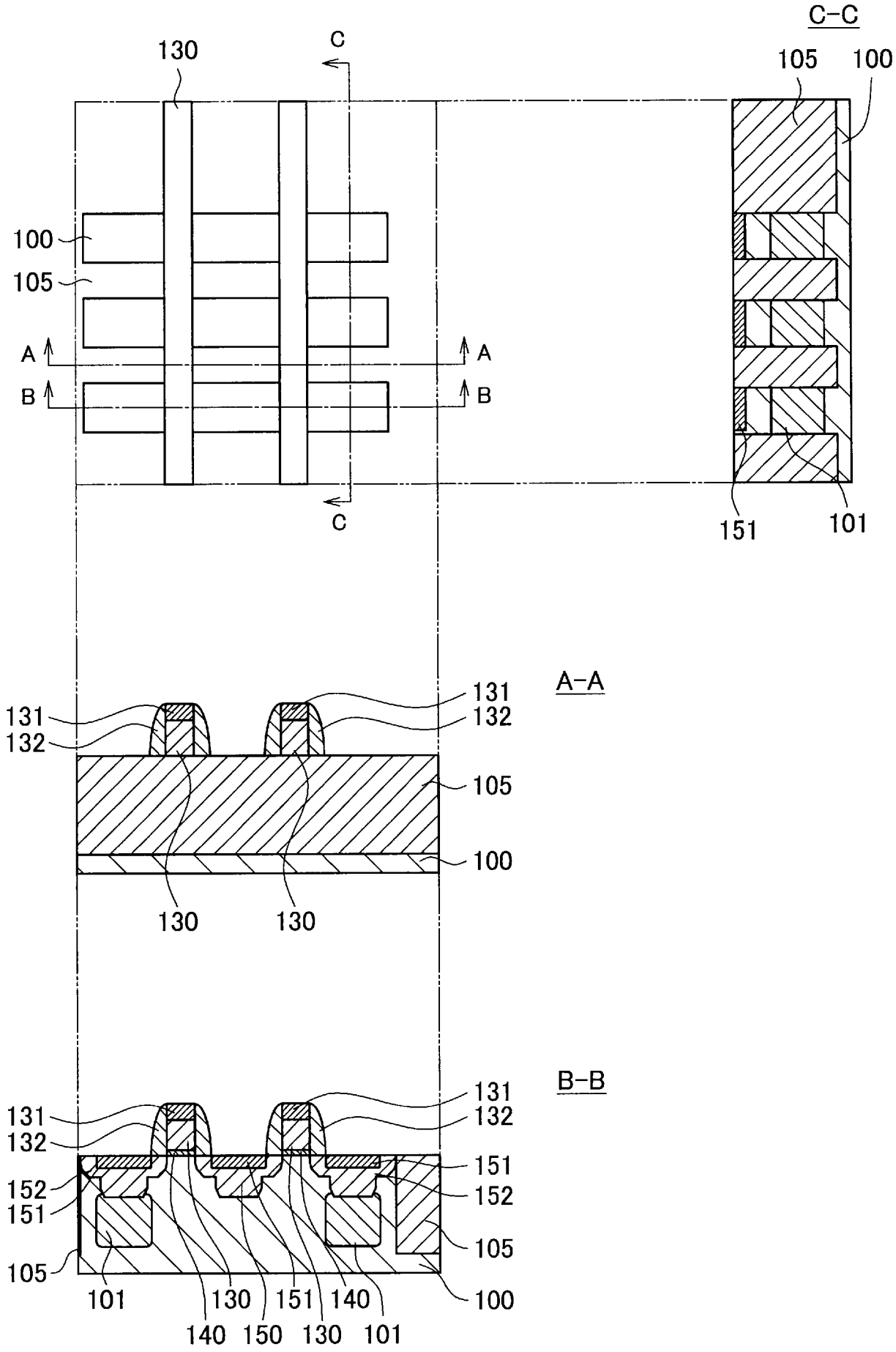
[図20]


C-C
105
100
C
100
105
A
A
B
B
100A
101
C
A-A
105
100
B-B
100A
105
105
101
100
101

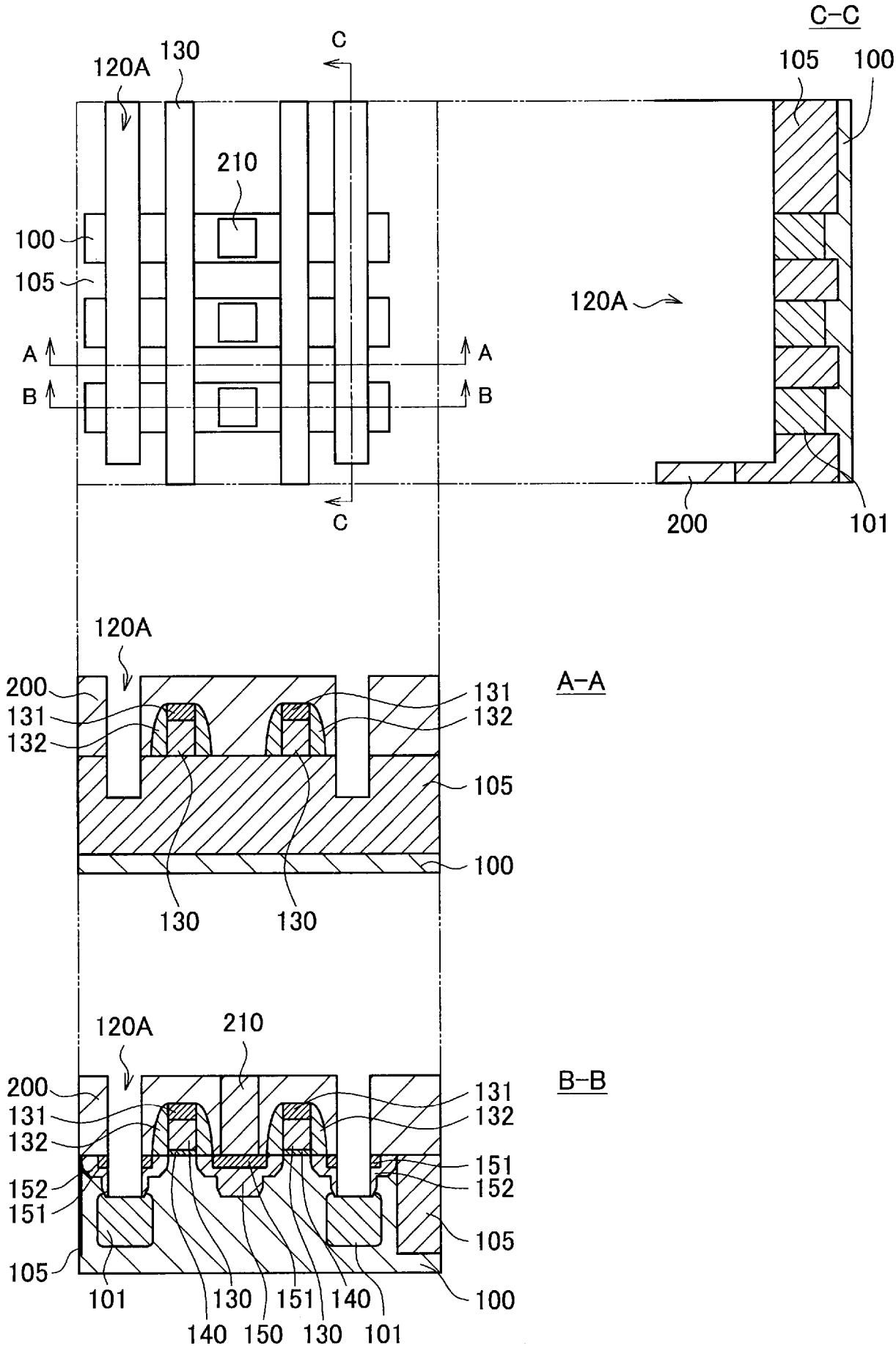
[図21]


C-C
130
C
105
100
100
105
A
A
B
B
140
101
C
A-A
105
100
130
130
B-B
140
105
105
101
130
140
100
130
101

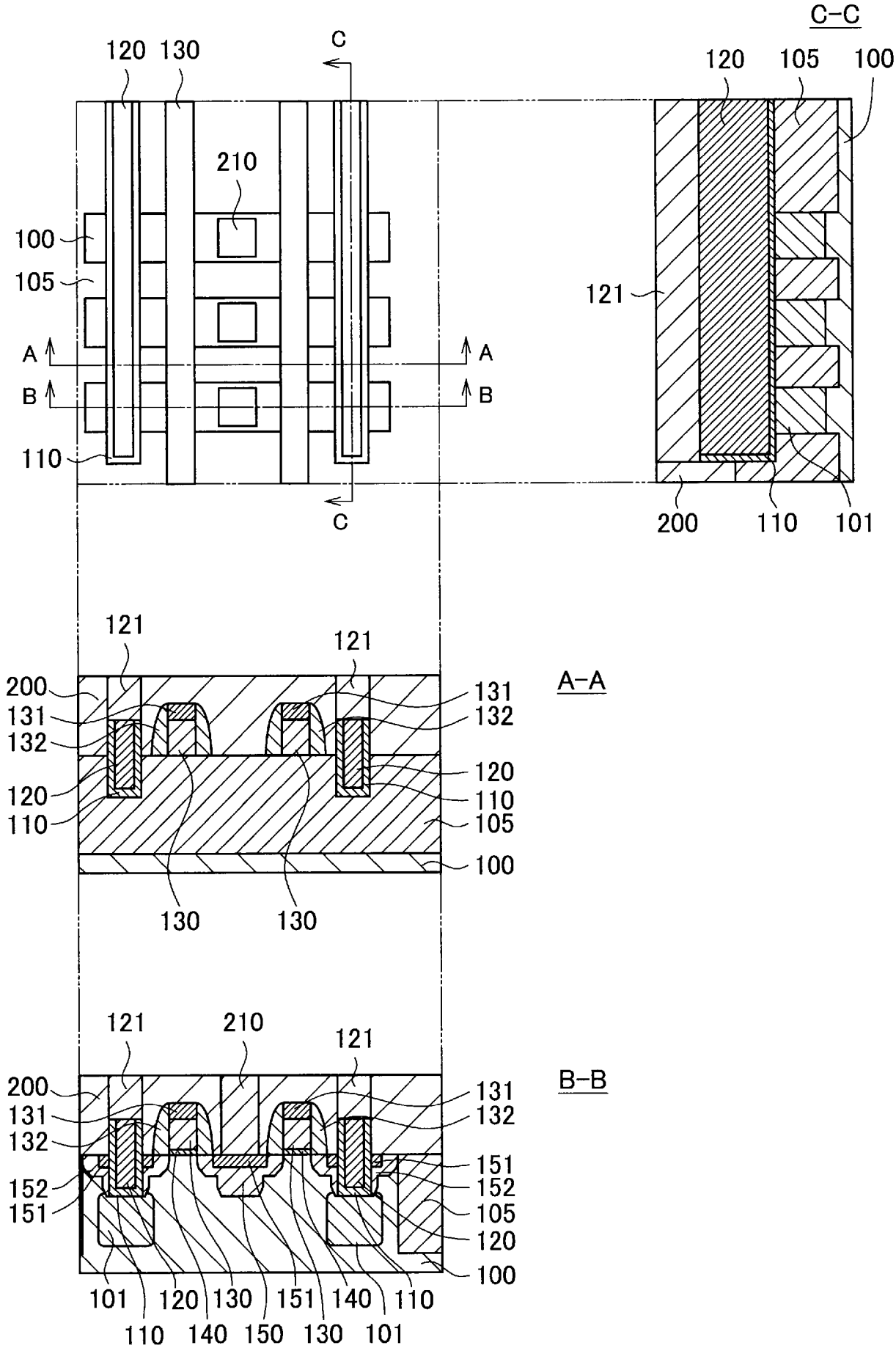
[図22]


C-C
130
C
105
100
100
105
A
B
A
B
C
151
101
A-A
131
132
131
132
105
100
130
130
B-B
131
132
131
132
151
152
152
151
105
105
101
130
151
140
100
140
150
130
101

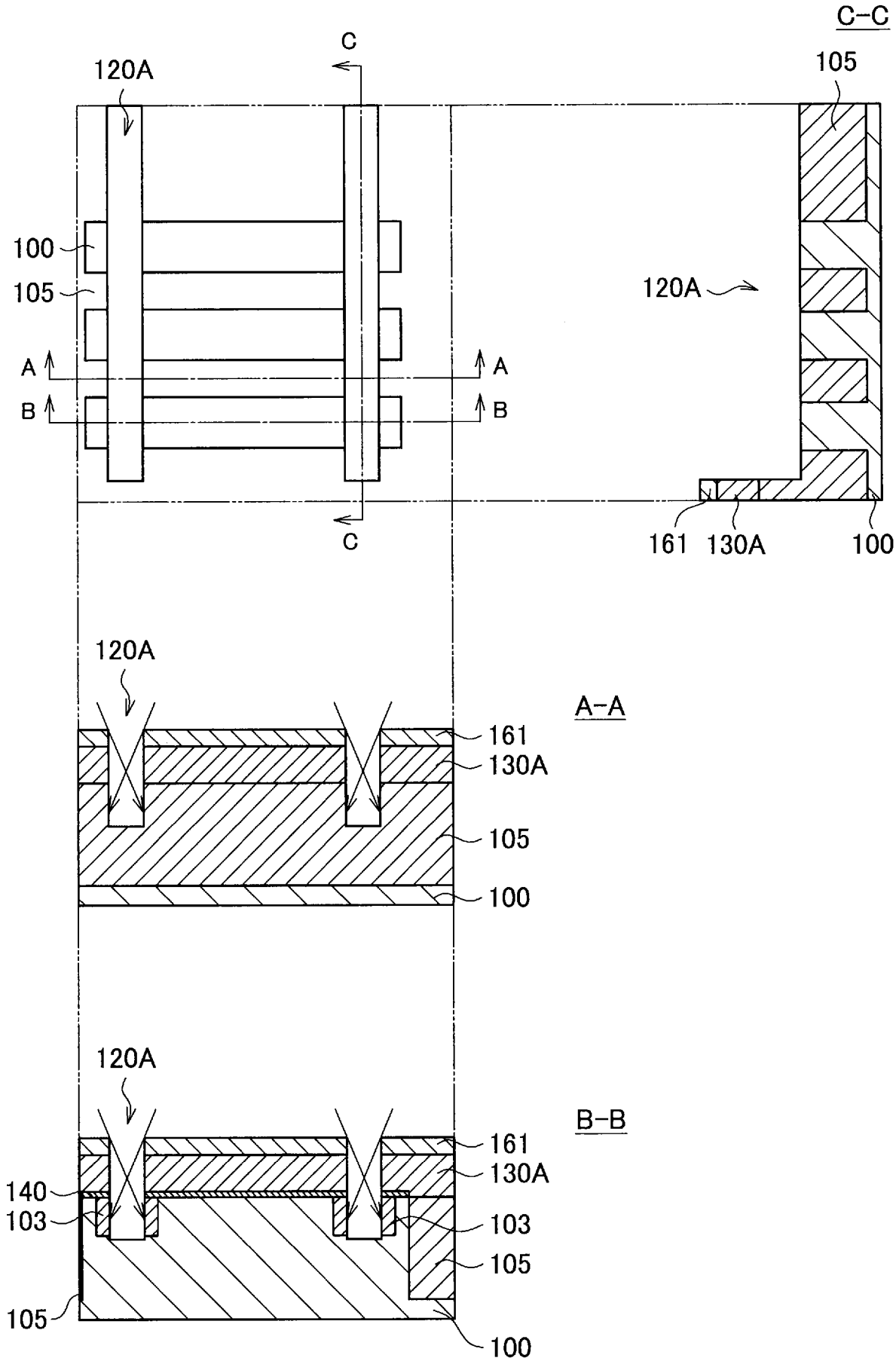
[図23]



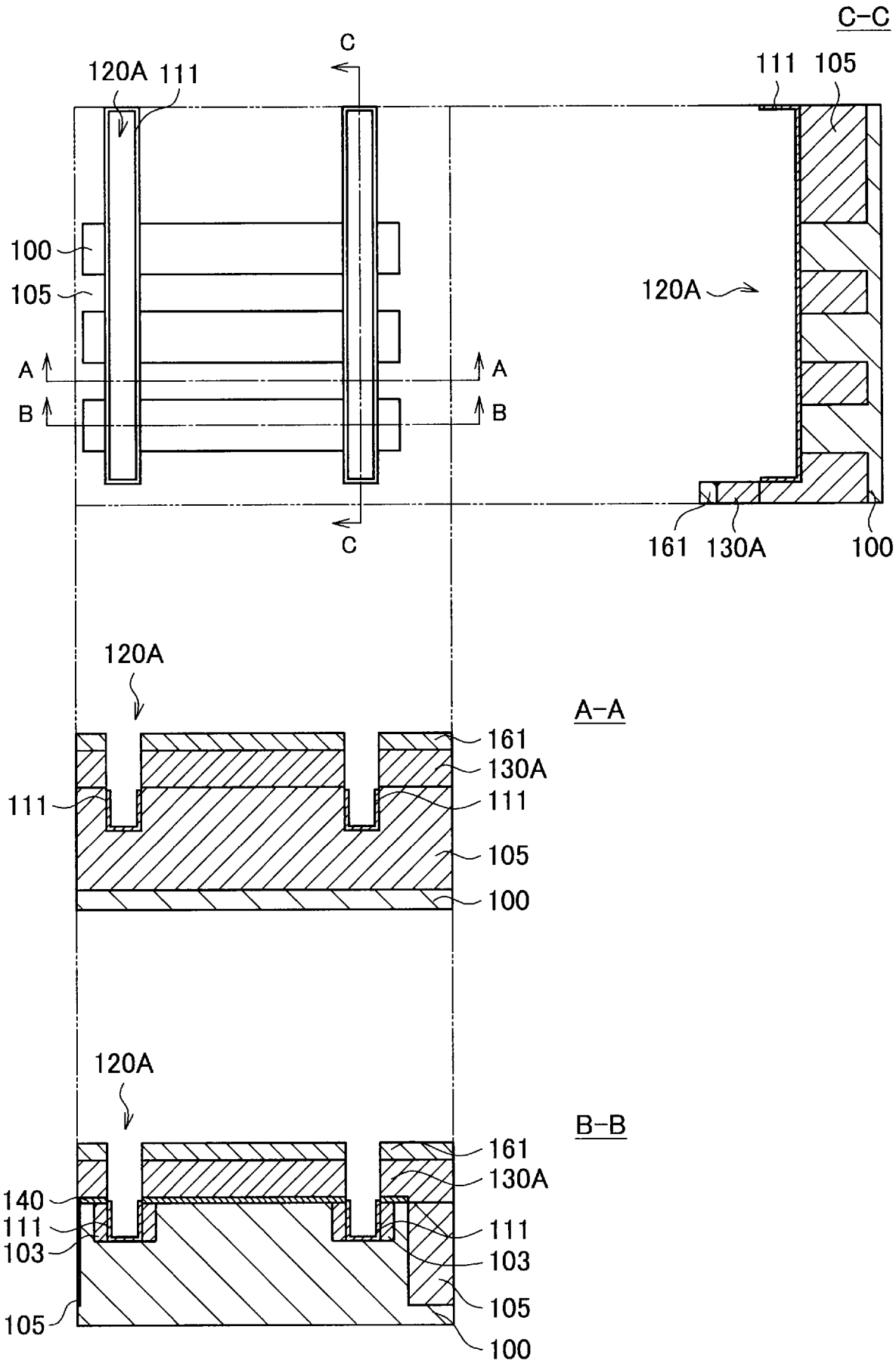
[図24]


C-C
120
130
C
210
100
105
A
B
110
121
200
101
A-A
131
132
120
110
130
B-B
151
152
140
150

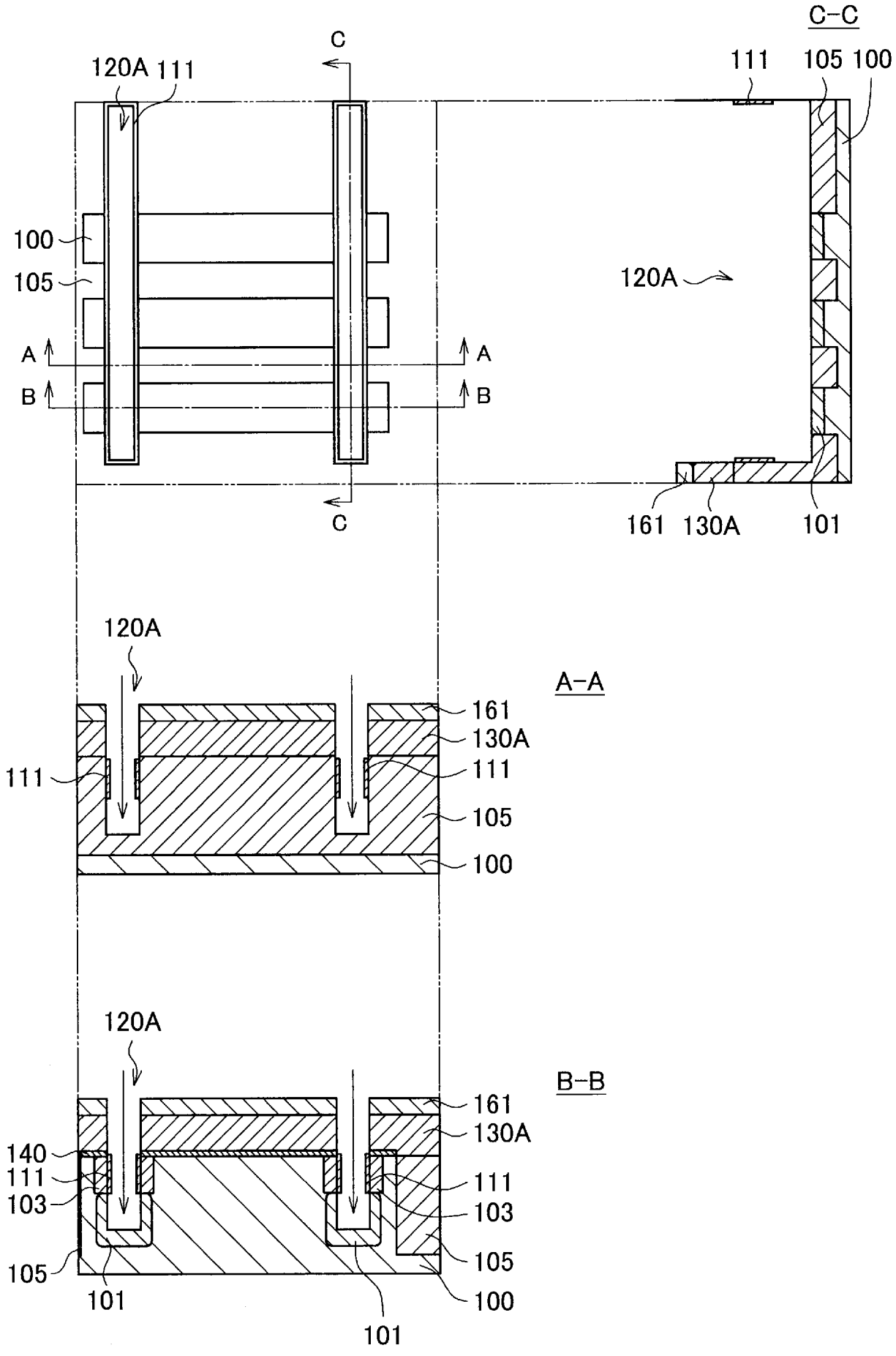
[図25]


C-C
C
120A
105
100
105
120A
A
B
A
B
C
161
130A
100
120A
A-A
161
130A
105
100
120A
B-B
161
130A
140
103
103
105
105
100

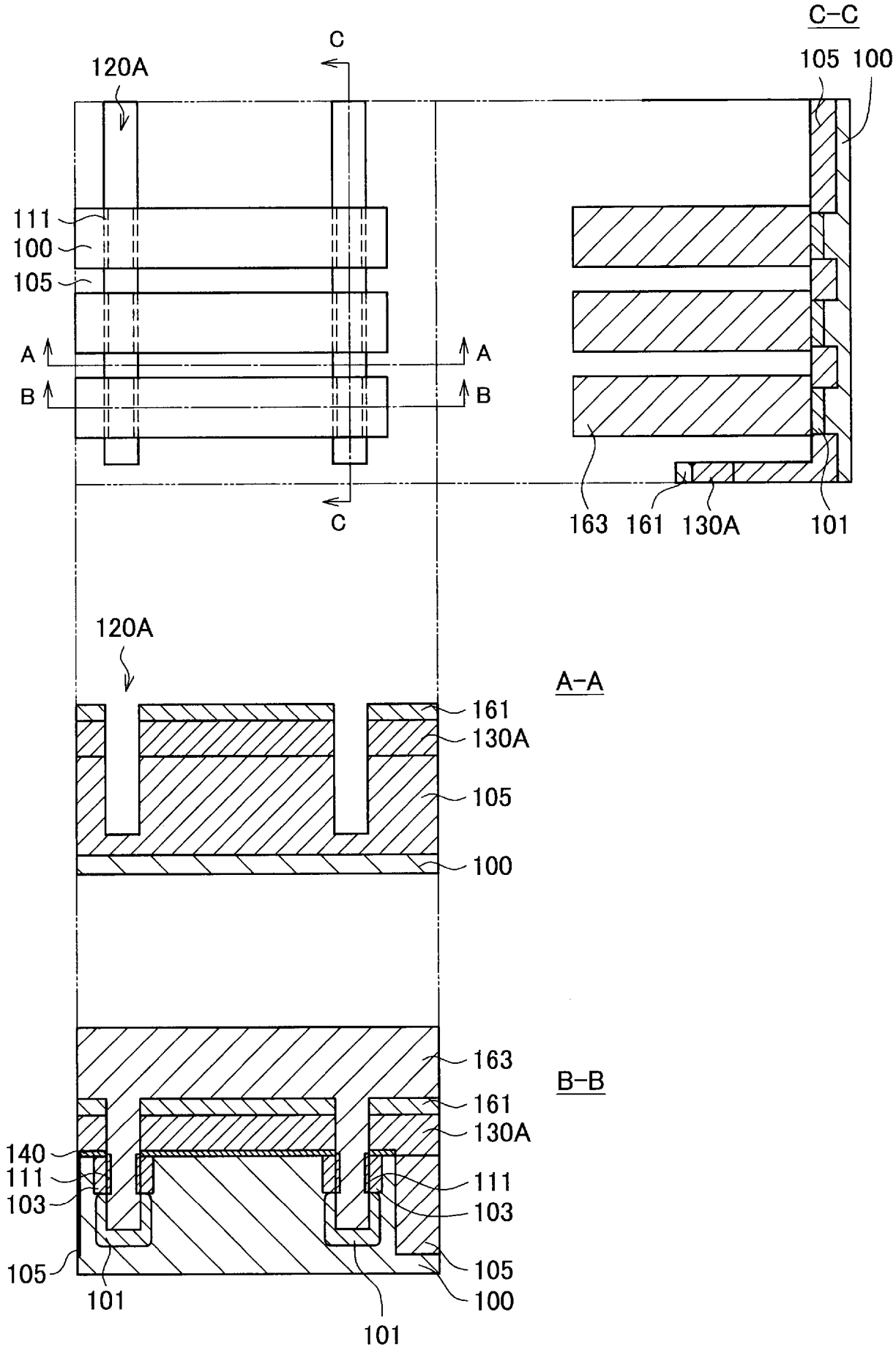
[図26]


C-C
C
120A
111
111
105
100
105
120A
A
A
B
B
C
161
130A
100
120A
A-A
161
130A
111
111
105
100
120A
B-B
161
130A
140
111
103
111
103
105
105
100

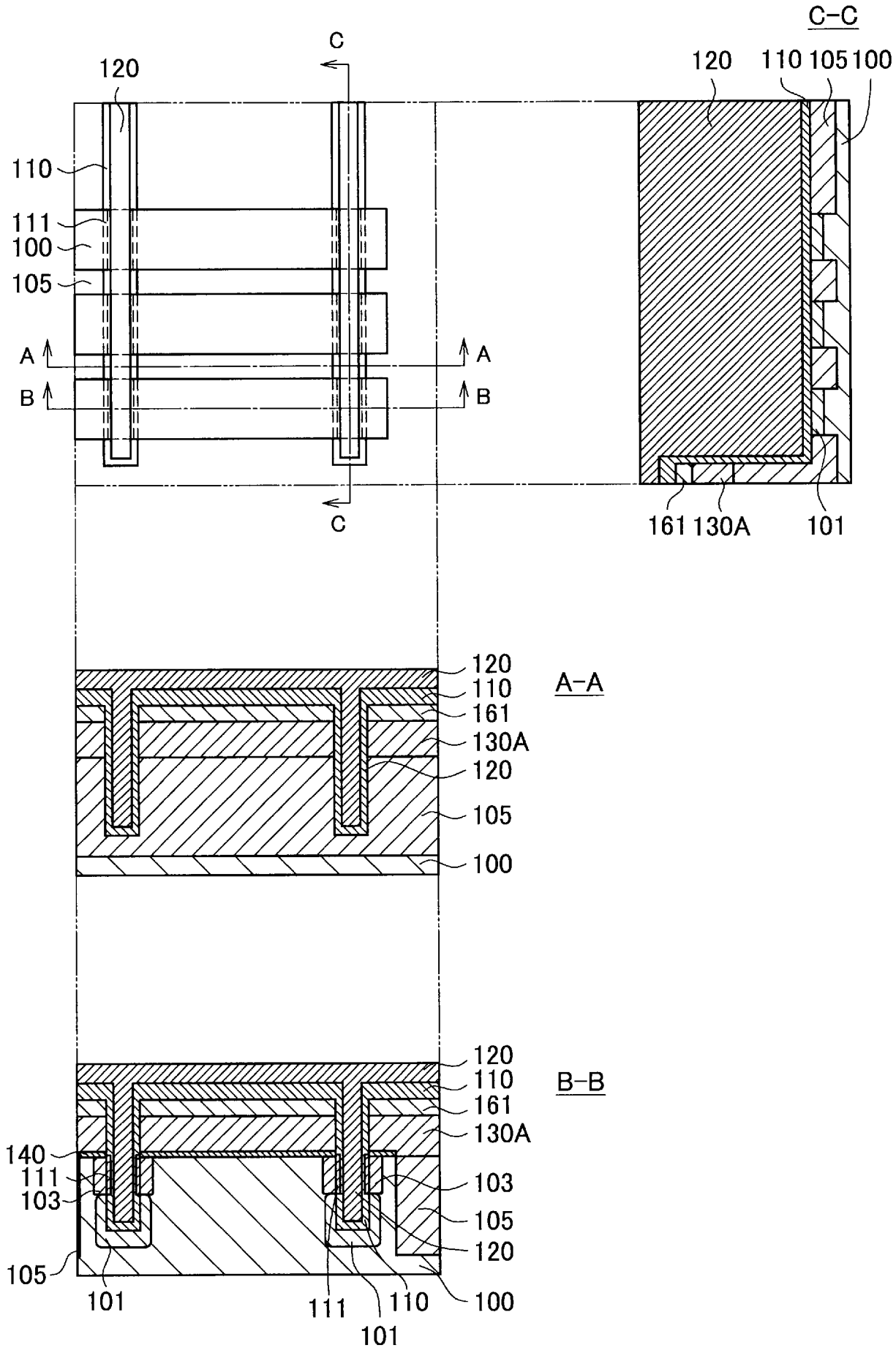
[図27]


C-C
C
120A
111
111
105
100
100
105
120A
A
B
A
B
C
161
130A
101
120A
A-A
161
130A
111
111
105
100
120A
B-B
161
130A
140
111
103
111
103
105
105
101
100
101

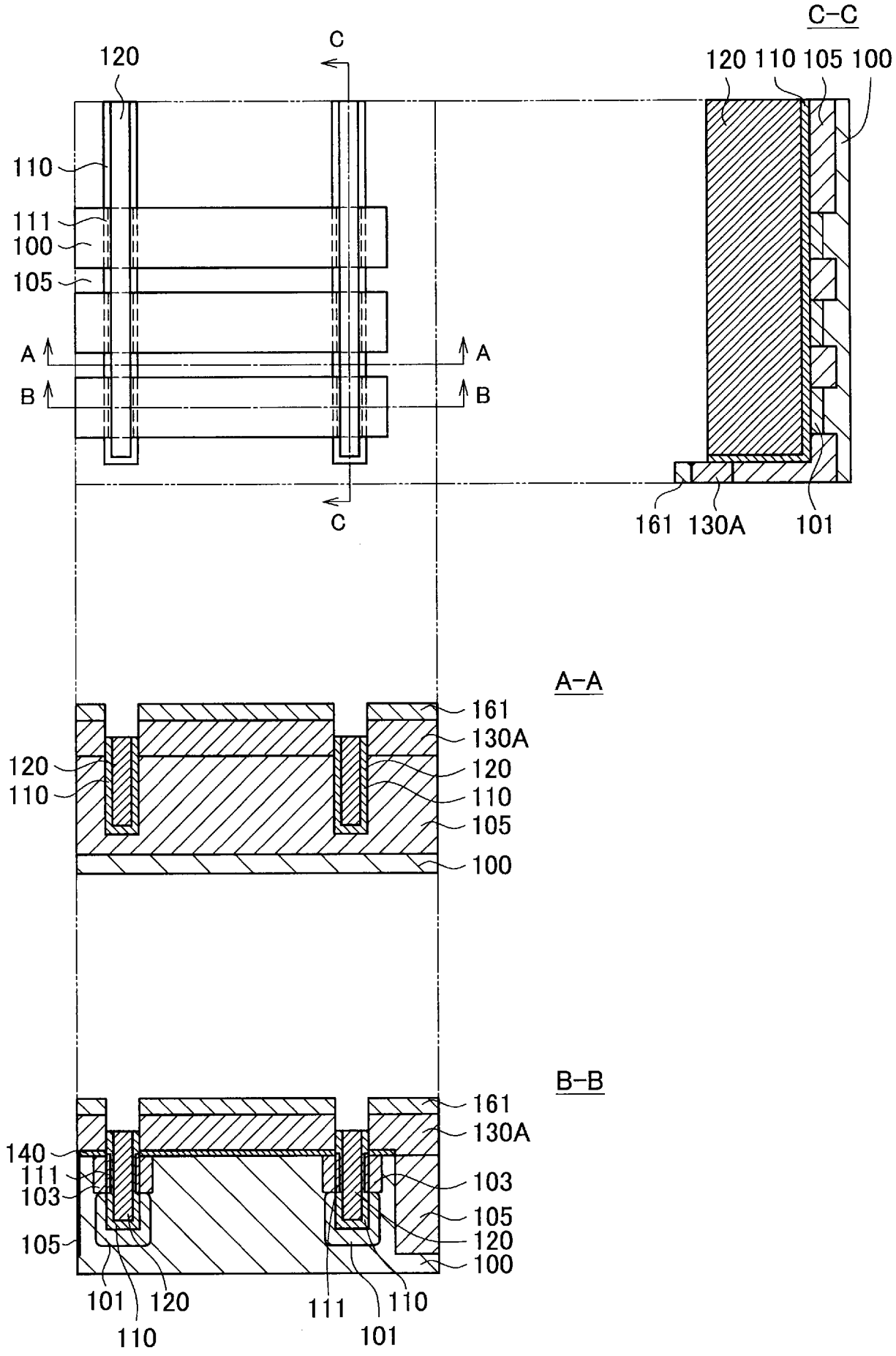
[図28]


C-C
C
120A
105
100
111
100
105
A
B
A
B
C
163
161
130A
101
120A
A-A
161
130A
105
100
163
B-B
161
130A
140
111
103
111
103
105
101
105
100
101

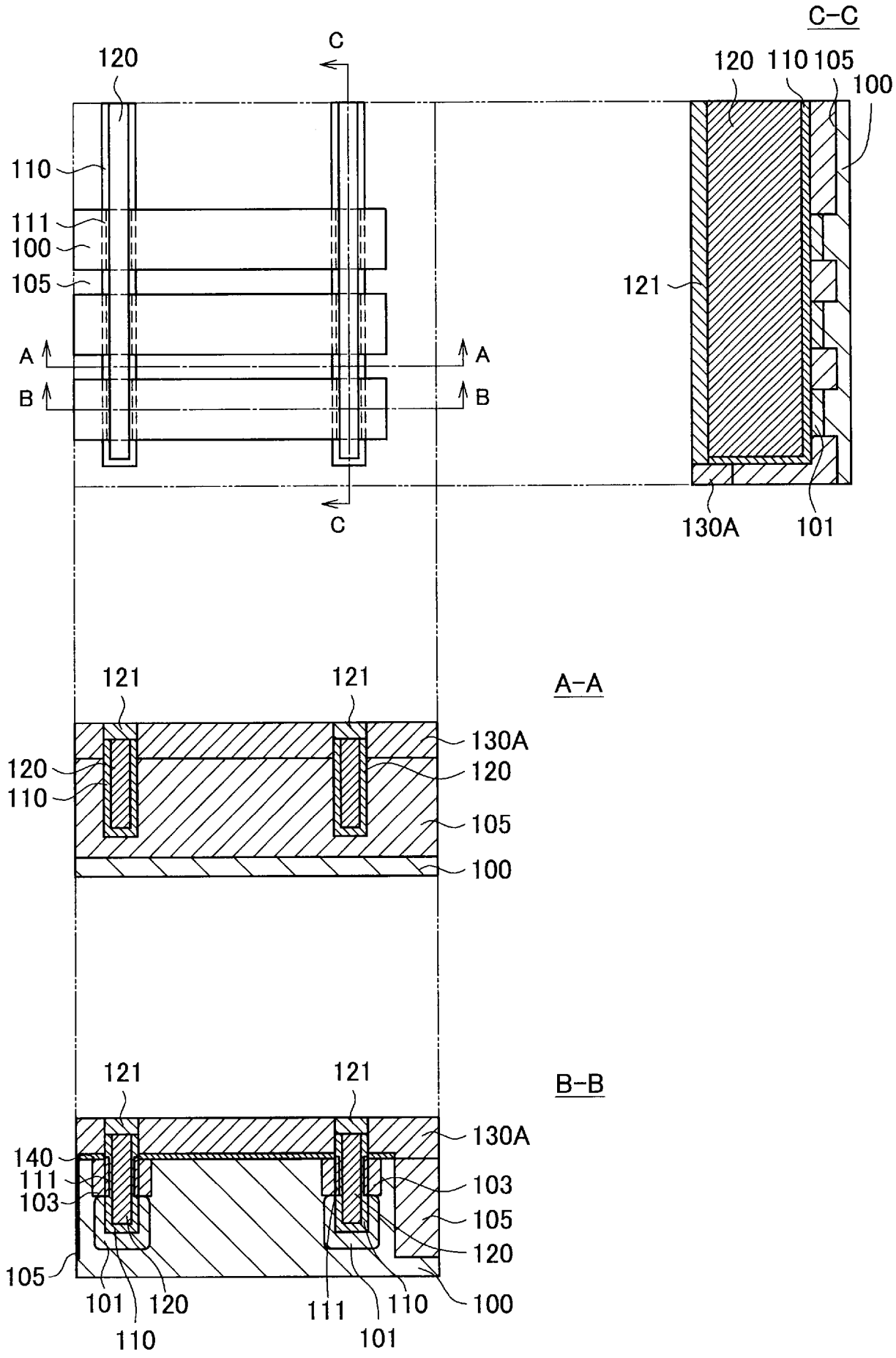
[図29]


C-C
120
110
105
100
C
120
110
111
100
105
A
B
A
B
C
161
130A
101
A-A
120
110
161
130A
120
105
100
B-B
120
110
161
130A
140
111
103
103
105
120
105
101
111
110
100
101

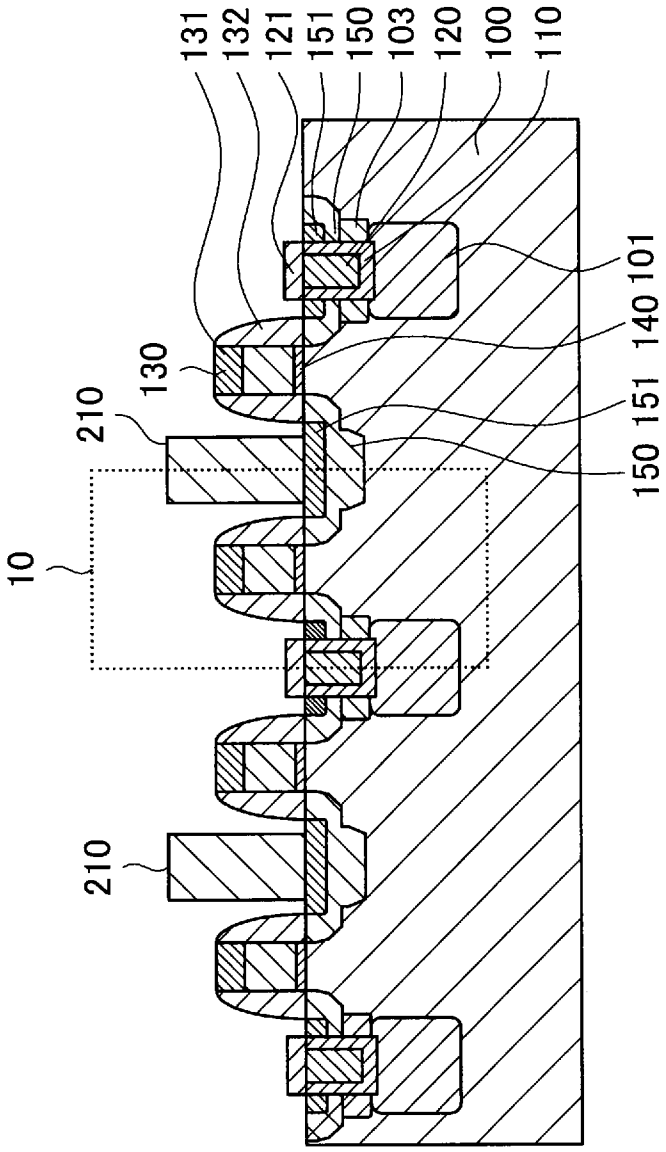
[図30]


C-C
120
C
120 110 105 100
110
111
100
105
A
B
A
B
C
161 130A 101
A-A
161
130A
120
110
120
110
105
100
B-B
161
130A
140
111
103
105
103
105
120
100
101
120
110
111
110
101

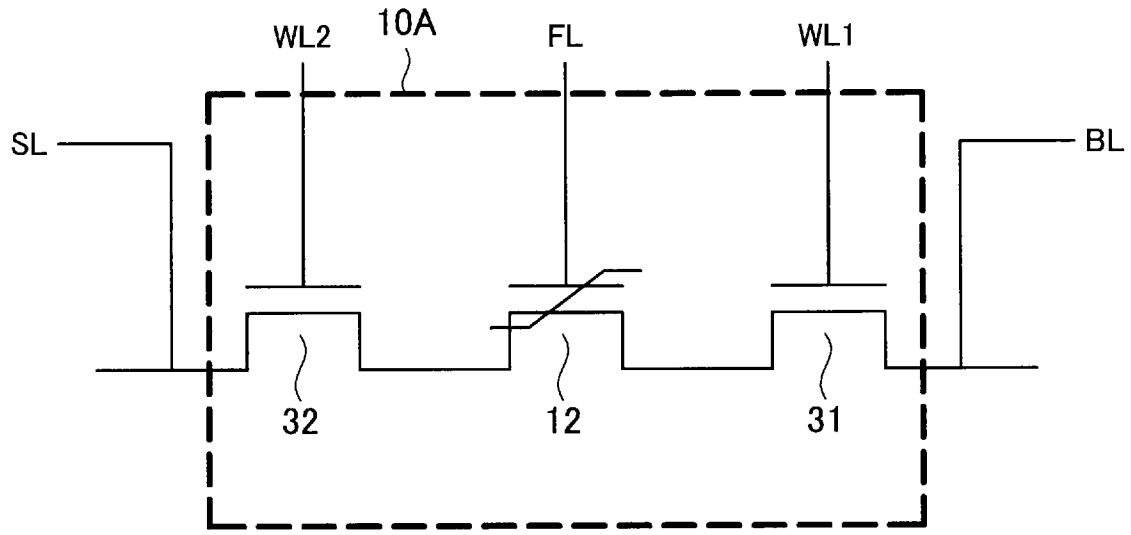
[図31]


C-C
C
120
120 110 105
100
110
111
100
105
121
A
A
B
B
C
130A
101
A-A
121
121
130A
120
120
110
105
100
B-B
121
121
130A
140
111
103
103
105
120
105
101
120
110
111
110
101
100

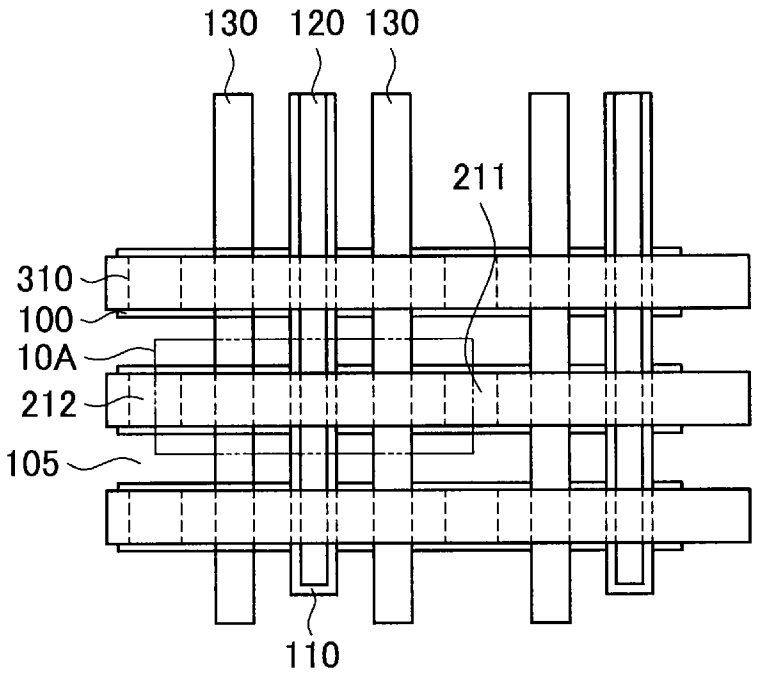
[図32]


131
132
121
151
150
103
120
100
110
101
140
151
150
130
210
10
210

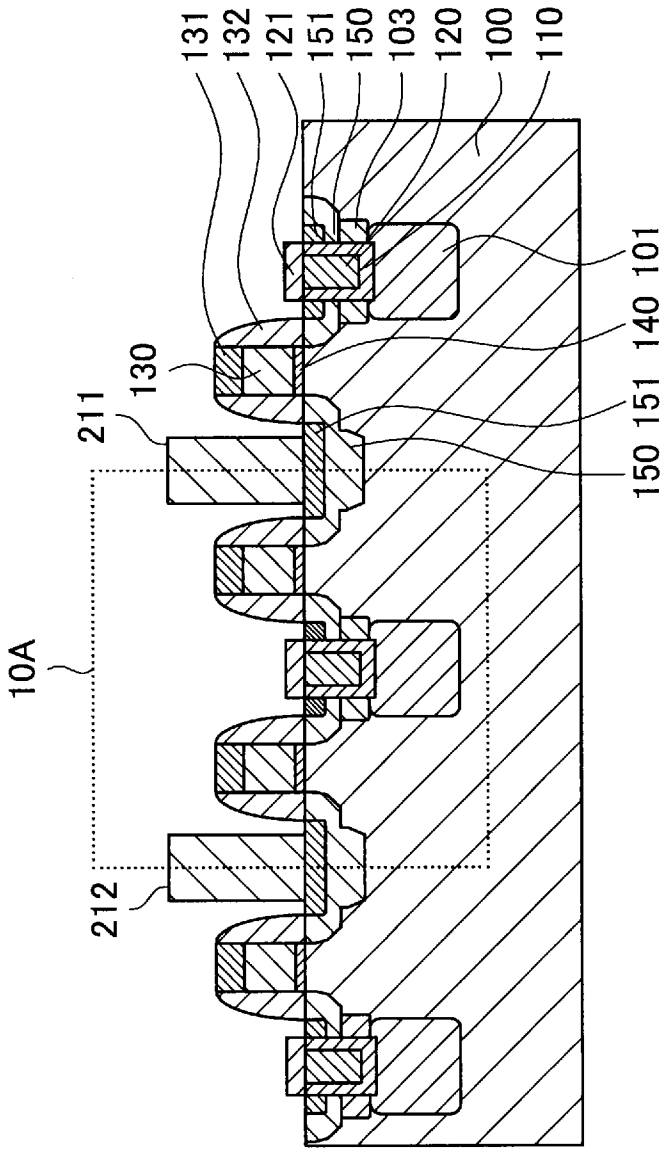
[図33]


WL2
10A
FL
WL1
SL
BL
32
12
31

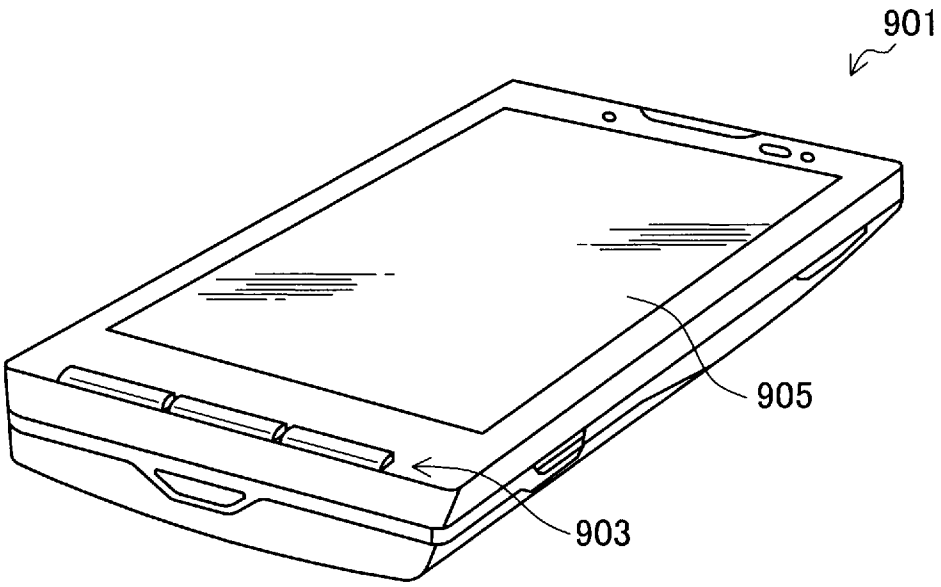
[図34]


130
120
130
211
310
100
10A
212
105
110

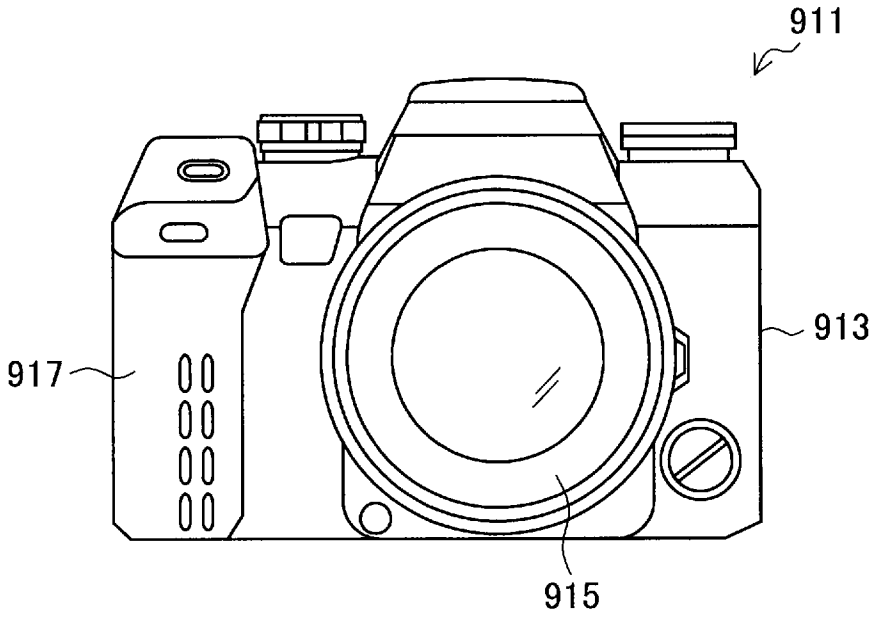
[図35]


131
132
121
151
150
103
120
100
110
101
140
151
150
130
211
212
10A

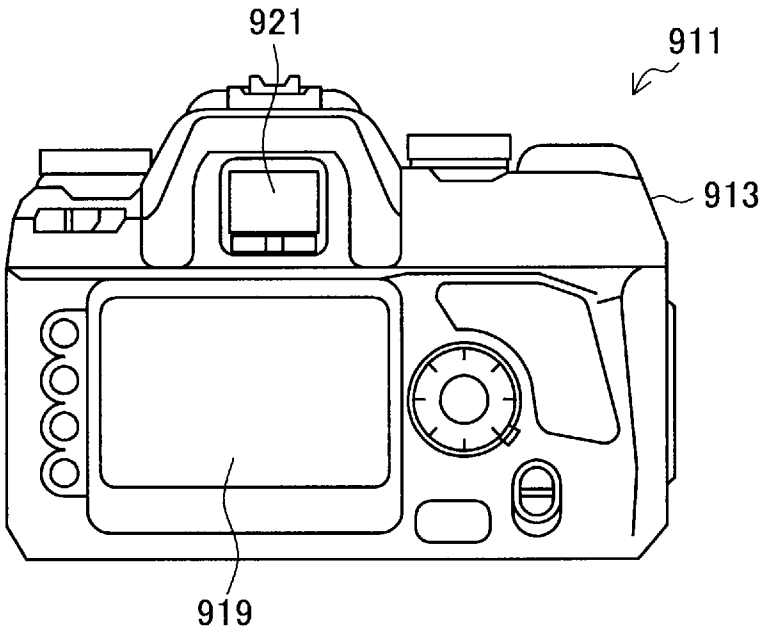
[図36]


901
905
903

[図37]



[図38]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/031209

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H01L27/11507(2017.01)i, H01L27/11504(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H01L27/11507, H01L27/11504

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2018
Registered utility model specifications of Japan 1996-2018
Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-233649 A (NIPPON FOUNDRY INC.) 27 August 1999, paragraphs [0044], [0046], [0052], [0055],	1-3, 6-9, 12, 13
A	[0056], [0060], [0061], [0071], [0074], [0075], [0086], fig. 1, 2 & US 6198151 B1, column 10, lines 5-30, column 11, lines 1-4, 18-39, column 11, line 66 to column 12, line 25, column 13, lines 24-34, column 13, lines 45-67, column 15, lines 43-54, fig. 7, 8	4, 5, 10, 11
A	JP 11-126830 A (NIPPON FOUNDRY INC.) 11 May 1999, entire text, all drawings & US 6198151 B1, entire text, all drawings	1-13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05.10.2018	23.10.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/031209

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-273664 A (OKI ELECTRIC INDUSTRY CO., LTD.) 18 October 2007, entire text, all drawings (Family: none)	1-13
A	JP 11-168194 A (TOSHIBA CORP.) 22 June 1999, entire text, all drawings & US 2001/0050388 A1, entire text, all drawings	1-13
A	JP 2006-49566 A (TOSHIBA CORP.) 16 February 2006, entire text, all drawings & US 2006/0030110 A1, entire text, all drawings	1-13
A	JP 11-97651 A (TOSHIBA CORP.) 09 April 1999, entire text, all drawings & US 6300683 B1, entire text, all drawings	1-13

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０３１２０９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/11507(2017.01)i, H01L27/11504(2017.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/11507, H01L27/11504

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 11-233649 A（日本ファウンドリー株式会社）1999.08.27, 段落[0044], [0046], [0052], [0055], [0056], [0060], [0061], [0071], [0074], [0075], [0086], 図1, 2 & US 6198151 B1, 第10欄第5－30行, 第11欄第1－4行, 第18－39行, 第11欄第66行－第12欄第25行, 第13欄第24－34行, 第13欄第45－67行, 第15欄第43－54行, 図7, 8	1-3, 6-9, 12, 13
A		4, 5, 10, 11
A	JP 11-126830 A（日本ファウンドリー株式会社）1999.05.11, 全文, 全図 & US 6198151 B1, 全文, 全図	1-13

☑ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０５．１０．２０１８	２３．１０．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　６３１３
宮本　博司
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2007-273664 A (沖電気工業株式会社) 2007.10.18, 全文, 全図 (ファミリーなし)	1-13
A	JP 11-168194 A (株式会社東芝) 1999.06.22, 全文, 全図 & US 2001/0050388 A1, 全文, 全図	1-13
A	JP 2006-49566 A (株式会社東芝) 2006.02.16, 全文, 全図 & US 2006/0030110 A1, 全文, 全図	1-13
A	JP 11-97651 A (株式会社東芝) 1999.04.09, 全文, 全図 & US 6300683 B1, 全文, 全図	1-13