

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6845375号
(P6845375)

(45) 発行日 令和3年3月17日 (2021.3.17)

(24) 登録日 令和3年3月1日 (2021.3.1)

(51) Int. Cl.

F I

H03K 19/0185 (2006.01)

G09G 3/20 (2006.01)

H03K 19/096 (2006.01)

H03K 19/0185 210

G09G 3/20 611J

G09G 3/20 612D

G09G 3/20 680G

G09G 3/20 621A

請求項の数 17 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2020-509512 (P2020-509512)
 (86) (22) 出願日 平成29年11月8日 (2017.11.8)
 (65) 公表番号 特表2020-532199 (P2020-532199A)
 (43) 公表日 令和2年11月5日 (2020.11.5)
 (86) 国際出願番号 PCT/CN2017/109825
 (87) 国際公開番号 W02019/071684
 (87) 国際公開日 平成31年4月18日 (2019.4.18)
 審査請求日 令和2年2月18日 (2020.2.18)
 (31) 優先権主張番号 201710940323.2
 (32) 優先日 平成29年10月11日 (2017.10.11)
 (33) 優先権主張国・地域又は機関
 中国 (CN)

(73) 特許権者 519182202
 深▲セン▼市▲華▼星光▲電▼半▲導▼体
 ▲顕▼示技▲術▼有限公司
 中華人民共和国518132▲広▼▲東▼
 省深▲セン▼市光明新区公明街道塘明大道
 9-2号
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 張 先明
 中華人民共和国518132廣東省深▲せ
 ん▼市光明新区公明街道塘明大道9-2号

審査官 橋本 和志

最終頁に続く

(54) 【発明の名称】 電位変換回路及び表示パネル

(57) 【特許請求の範囲】

【請求項 1】

電位変換回路であって、

第1電位を入力するための第1電位入力端子と、

第2電位を入力するための第2電位入力端子であって、前記第1電位の極性と前記第2電位の極性とが同じであり、前記第1電位の電圧の絶対値が前記第2電位の電圧の絶対値よりも大きい第2電位入力端子と、

入力端子が前記第1電位入力端子に接続され、出力端子が変換電位出力端子に接続され、制御端子が遅延制御チップの第1出力端子に接続される第1薄膜トランジスタと、

入力端子が前記第2電位入力端子に接続され、出力端子が変換電位出力端子に接続され、制御端子が遅延制御チップの第2出力端子に接続される第2薄膜トランジスタと、

前記変換電位出力端子が前記第2電位を遅延出力する前に、前記第1電位を出力するように制御するための前記遅延制御チップと、

を含む電位変換回路。

【請求項 2】

前記第1電位が第1高電位であり、前記第2電位が第2高電位である、

請求項1に記載の電位変換回路。

【請求項 3】

前記第1電位が第1低電位であり、前記第2電位が第2低電位である、

請求項1に記載の電位変換回路。

10

20

【請求項 4】

前記遅延制御チップは、遅延制御ユニット、コンパレータ、第 1 アンドゲートユニット、ノットゲートユニット及び第 2 アンドゲートユニットを含み、

前記遅延制御ユニットは、クロック信号の立ち上がりエッジ又は立ち下がりエッジで第 1 制御信号を出力し、プリセット時間後に第 2 制御信号を出力し、

前記コンパレータの非反転入力端子が前記遅延制御ユニットの出力端子に接続され、前記コンパレータの反転入力端子が基準信号に接続され、前記コンパレータの出力端子が第 1 アンドゲートユニットの第 1 入力端子と、ノットゲートユニットの入力端子とにそれぞれ接続され、

前記第 1 アンドゲートユニットの第 2 入力端子がクロック信号に接続され、前記第 1 アンドゲートユニットの出力端子が第 1 薄膜トランジスタに接続され、

前記ノットゲートユニットの出力端子が第 2 アンドゲートユニットの第 1 入力端子に接続され、

前記第 2 アンドゲートユニットの第 2 入力端子がクロック信号に接続され、前記第 2 アンドゲートユニットの出力端子が第 2 薄膜トランジスタに接続される、

請求項 1 に記載の電位変換回路。

10

【請求項 5】

前記第 1 制御信号の極性と前記第 2 制御信号の極性とは逆である、

請求項 4 に記載の電位変換回路。

【請求項 6】

前記第 1 制御信号はローレベル信号であり、前記第 2 制御信号はハイレベル信号である、

請求項 5 に記載の電位変換回路。

20

【請求項 7】

電位変換回路であって、

ハイレベル電位である第 1 電位を入力するための第 1 電位入力端子と、

第 2 電位を入力するための第 2 電位入力端子であって、前記第 1 電位の極性と前記第 2 電位の極性と同じであり、前記第 1 電位の電圧の絶対値が前記第 2 電位の電圧の絶対値よりも大きい第 2 電位入力端子と、

ローレベル電位である第 3 電位を入力するための第 3 電位入力端子と、

第 4 電位を入力するための第 4 電位入力端子であって、前記第 3 電位の極性と前記第 4 電位の極性と同じであり、前記第 3 電位の電圧の絶対値が前記第 4 電位の電圧の絶対値よりも大きく、前記第 1 電位の極性と前記第 3 電位の極性とは逆である第 4 電位入力端子と、

30

入力端子が前記第 1 電位入力端子に接続され、出力端子が変換電位出力端子に接続され、制御端子が遅延制御チップの第 1 出力端子に接続される第 1 薄膜トランジスタと、

入力端子が前記第 2 電位入力端子に接続され、出力端子が変換電位出力端子に接続され、制御端子が遅延制御チップの第 2 出力端子に接続される第 2 薄膜トランジスタと、

入力端子が前記第 3 電位入力端子に接続され、出力端子が変換電位出力端子に接続され、制御端子が遅延制御チップの第 3 出力端子に接続される第 3 薄膜トランジスタと、

入力端子が前記第 4 電位入力端子に接続され、出力端子が変換電位出力端子に接続され、制御端子が遅延制御チップの第 4 出力端子に接続される第 4 薄膜トランジスタと、

40

前記変換電位出力端子が前記第 2 電位を遅延出力する前に、前記第 1 電位を出力するように制御して、前記変換電位出力端子が前記第 4 電位を遅延出力する前に、前記第 3 電位を出力するように制御するための前記遅延制御チップと、

を含む電位変換回路。

【請求項 8】

前記遅延制御チップは、第 1 遅延制御ユニット、第 1 コンパレータ、第 1 アンドゲートユニット、第 1 ノットゲートユニット及び第 2 アンドゲートユニットを含む第 1 遅延制御モジュールを含み、

50

前記第 1 遅延制御ユニットは、クロック信号の立ち上がりエッジで第 1 制御信号を出力し、第 1 プリセット時間後に第 2 制御信号を出力し、

前記第 1 コンパレータの非反転入力端子が前記第 1 遅延制御ユニットの出力端子に接続され、前記第 1 コンパレータの反転入力端子が基準信号に接続され、前記第 1 コンパレータの出力端子が第 1 アンドゲートユニットの第 1 入力端子と、第 1 ノットゲートユニットの入力端子とにそれぞれ接続され、

前記第 1 アンドゲートユニットの第 2 入力端子がクロック信号に接続され、前記第 1 アンドゲートユニットの出力端子が第 1 薄膜トランジスタに接続され、

前記第 1 ノットゲートユニットの出力端子が第 2 アンドゲートユニットの第 1 入力端子に接続され、

10

前記第 2 アンドゲートユニットの第 2 入力端子がクロック信号に接続され、前記第 2 アンドゲートユニットの出力端子が第 2 薄膜トランジスタに接続される、

請求項 7 に記載の電位変換回路。

【請求項 9】

前記遅延制御チップは、第 2 遅延制御ユニット、第 2 コンパレータ、第 3 アンドゲートユニット、第 2 ノットゲートユニット及び第 4 アンドゲートユニットを含む第 2 遅延制御モジュールを含み、

前記第 2 遅延制御ユニットは、クロック信号の立ち下がりエッジで第 1 制御信号を出力し、第 2 プリセット時間後に第 2 制御信号を出力し、

前記第 2 コンパレータの非反転入力端子が前記第 2 遅延制御ユニットの出力端子に接続され、前記第 2 コンパレータの反転入力端子が基準信号に接続され、前記第 2 コンパレータの出力端子が第 3 アンドゲートユニットの第 1 入力端子と、第 2 ノットゲートユニットの入力端子とにそれぞれ接続され、

20

前記第 3 アンドゲートユニットの第 2 入力端子がクロック信号に接続され、前記第 3 アンドゲートユニットの出力端子が第 3 薄膜トランジスタに接続され、

前記第 2 ノットゲートユニットの出力端子が第 4 アンドゲートユニットの第 1 入力端子に接続され、

前記第 4 アンドゲートユニットの第 2 入力端子がクロック信号に接続され、前記第 4 アンドゲートユニットの出力端子が第 4 薄膜トランジスタに接続される、

請求項 7 に記載の電位変換回路。

30

【請求項 10】

前記第 1 制御信号の極性と前記第 2 制御信号の極性とは逆である、

請求項 8 または 9 に記載の電位変換回路。

【請求項 11】

前記第 1 制御信号はローレベル信号であり、前記第 2 制御信号はハイレベル信号である、

請求項 10 に記載の電位変換回路。

【請求項 12】

駆動回路を含む表示パネルであって、前記駆動回路は、

第 1 電位を入力するための第 1 電位入力端子と、

40

第 2 電位を入力するための第 2 電位入力端子であって、前記第 1 電位の極性と前記第 2 電位の極性とが同じであり、前記第 1 電位の電圧の絶対値が前記第 2 電位の電圧の絶対値よりも大きい第 2 電位入力端子と、

入力端子が前記第 1 電位入力端子に接続され、出力端子が変換電位出力端子に接続され、制御端子が遅延制御チップの第 1 出力端子に接続される第 1 薄膜トランジスタと、

入力端子が前記第 2 電位入力端子に接続され、出力端子が変換電位出力端子に接続され、制御端子が遅延制御チップの第 2 出力端子に接続される第 2 薄膜トランジスタと、

前記変換電位出力端子が前記第 2 電位を遅延出力する前に、前記第 1 電位を出力するように制御するための前記遅延制御チップと、

を含む表示パネル。

50

【請求項 1 3】

前記第 1 電位が第 1 高電位であり、前記第 2 電位が第 2 高電位である、
請求項 1 2 に記載の表示パネル。

【請求項 1 4】

前記第 1 電位が第 1 低電位であり、前記第 2 電位が第 2 低電位である、
請求項 1 2 に記載の表示パネル。

【請求項 1 5】

前記遅延制御チップは、遅延制御ユニット、コンパレータ、第 1 アンドゲートユニット、ノットゲートユニット及び第 2 アンドゲートユニットを含み、

前記遅延制御ユニットは、クロック信号の立ち上がりエッジ又は立ち下がりエッジで第 1 制御信号を出力し、プリセット時間後に第 2 制御信号を出力し、

前記コンパレータの非反転入力端子が前記遅延制御ユニットの出力端子に接続され、前記コンパレータの反転入力端子が基準信号に接続され、前記コンパレータの出力端子が第 1 アンドゲートユニットの第 1 入力端子と、ノットゲートユニットの入力端子とにそれぞれ接続され、

前記第 1 アンドゲートユニットの第 2 入力端子がクロック信号に接続され、前記第 1 アンドゲートユニットの出力端子が第 1 薄膜トランジスタに接続され、

前記ノットゲートユニットの出力端子が第 2 アンドゲートユニットの第 1 入力端子に接続され、

前記第 2 アンドゲートユニットの第 2 入力端子がクロック信号に接続され、前記第 2 アンドゲートユニットの出力端子が第 2 薄膜トランジスタに接続される、

請求項 1 2 に記載の表示パネル。

【請求項 1 6】

前記第 1 制御信号の極性と前記第 2 制御信号の極性とは逆である、

請求項 1 5 に記載の表示パネル。

【請求項 1 7】

前記第 1 制御信号はローレベル信号であり、前記第 2 制御信号はハイレベル信号である、

請求項 1 6 に記載の表示パネル。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示技術分野に関し、特に電位変換回路及び表示パネルに関する。

【背景技術】**【0002】**

科学技術の発展に伴い、人々の表示装置の機能に対する要求がますます高くなり、表示パネルの画素ユニットのハイ・ローレベル変換の安定性が表示パネルの表示品質に影響を大きく与える。

【0003】

画素ユニットの走査信号がハイレベル状態からローレベル状態に変換するか、又はローレベル状態からハイレベル状態に変換すると、対応する表示パネル内にインピーダンス素子が存在するため、変換後のローレベル電圧又は変換後のハイレベル電圧に変換遅延及び変換電圧のばらつきが存在する可能性があり、対応する表示パネルの画面表示品質に影響を与えてしまう。

【発明の概要】**【発明が解決しようとする課題】****【0004】**

したがって、従来技術の問題点を解決するために、電位変換回路及び表示パネルを提供する必要がある。

【課題を解決するための手段】

【 0 0 0 5 】

本発明は、従来の電位変換回路及び表示パネルにおいて変換後のレベル電圧に変換遅延及び変換電圧のばらつきが存在する可能性があるという技術的問題を解消するために、正確で高速にレベル変換を行うことが可能な電位変換回路及び表示パネルを提供することを目的とする。

【 0 0 0 6 】

本発明の実施例は電位変換回路を提供し、当該電位変換回路は、

第 1 電位を入力するための第 1 電位入力端子と、

第 2 電位を入力するための第 2 電位入力端子であって、前記第 1 電位の極性と前記第 2 電位の極性とが同じであり、前記第 1 電位の電圧の絶対値が前記第 2 電位の電圧の絶対値よりも大きい第 2 電位入力端子と、

入力端子が前記第 1 電位入力端子に接続され、出力端子が変換電位出力端子に接続され、制御端子が遅延制御チップの第 1 出力端子に接続される第 1 薄膜トランジスタと、

入力端子が前記第 2 電位入力端子に接続され、出力端子が変換電位出力端子に接続され、制御端子が遅延制御チップの第 2 出力端子に接続される第 2 薄膜トランジスタと、

前記変換電位出力端子が前記第 2 電位を遅延出力する前に、前記第 1 電位を出力するように制御するための前記遅延制御チップと、を含む。

【 0 0 0 7 】

本発明に係る電位変換回路において、前記第 1 電位が第 1 高電位であり、前記第 2 電位が第 2 高電位である。

【 0 0 0 8 】

本発明に係る電位変換回路において、前記第 1 電位が第 1 低電位であり、前記第 2 電位が第 2 低電位である。

【 0 0 0 9 】

本発明に係る電位変換回路において、前記遅延制御チップは、遅延制御ユニット、コンパレータ、第 1 アンドゲートユニット、ノットゲートユニット及び第 2 アンドゲートユニットを含み、

前記遅延制御ユニットは、クロック信号の立ち上がりエッジ又は立ち下がりエッジで第 1 制御信号を出力し、プリセット時間後に第 2 制御信号を出力し、

前記コンパレータの非反転入力端子が前記遅延制御ユニットの出力端子に接続され、前記コンパレータの反転入力端子が基準信号に接続され、前記コンパレータの出力端子が第 1 アンドゲートユニットの第 1 入力端子と、ノットゲートユニットの入力端子とにそれぞれ接続され、

前記第 1 アンドゲートユニットの第 2 入力端子がクロック信号に接続され、前記第 1 アンドゲートユニットの出力端子が第 1 薄膜トランジスタに接続され、

前記ノットゲートユニットの出力端子が第 2 アンドゲートユニットの第 1 入力端子に接続され、

前記第 2 アンドゲートユニットの第 2 入力端子がクロック信号に接続され、前記第 2 アンドゲートユニットの出力端子が第 2 薄膜トランジスタに接続される。

【 0 0 1 0 】

本発明に係る電位変換回路において、前記第 1 制御信号の極性と前記第 2 制御信号の極性とは逆である。

【 0 0 1 1 】

本発明に係る電位変換回路において、前記第 1 制御信号はローレベル信号であり、前記第 2 制御信号はハイレベル信号である。

【 0 0 1 2 】

本発明の実施例は電位変換回路をさらに提供し、当該電位変換回路は、

ハイレベル電位である第 1 電位を入力するための第 1 電位入力端子と、

第 2 電位を入力するための第 2 電位入力端子であって、前記第 1 電位の極性と前記第 2 電位の極性とが同じであり、前記第 1 電位の電圧の絶対値が前記第 2 電位の電圧の絶対値

10

20

30

40

50

よりも大きい第2電位入力端子と、

ローレベル電位である第3電位を入力するための第3電位入力端子と、

第4電位を入力するための第4電位入力端子であって、前記第3電位の極性と前記第4電位の極性とが同じであり、前記第3電位の電圧の絶対値が前記第4電位の電圧の絶対値よりも大きく、前記第1電位の極性と前記第3電位の極性とは逆である第4電位入力端子と、

入力端子が前記第1電位入力端子に接続され、出力端子が変換電位出力端子に接続され、制御端子が遅延制御チップの第1出力端子に接続される第1薄膜トランジスタと、

入力端子が前記第2電位入力端子に接続され、出力端子が変換電位出力端子に接続され、制御端子が遅延制御チップの第2出力端子に接続される第2薄膜トランジスタと、

入力端子が前記第3電位入力端子に接続され、出力端子が変換電位出力端子に接続され、制御端子が遅延制御チップの第3出力端子に接続される第3薄膜トランジスタと、

入力端子が前記第4電位入力端子に接続され、出力端子が変換電位出力端子に接続され、制御端子が遅延制御チップの第4出力端子に接続される第4薄膜トランジスタと、

前記変換電位出力端子が前記第2電位を遅延出力する前に、前記第1電位を出力するように制御して、前記変換電位出力端子が前記第4電位を遅延出力する前に、前記第3電位を出力するように制御するための前記遅延制御チップと、を含む。

【0013】

本発明に係る電位変換回路において、前記遅延制御チップは、第1遅延制御ユニット、第1コンパレータ、第1アンドゲートユニット、第1ノットゲートユニット及び第2アンドゲートユニットを含む第1遅延制御モジュールを含み、

前記第1遅延制御ユニットは、クロック信号の立ち上がりエッジで第1制御信号を出力し、第1プリセット時間後に第2制御信号を出力し、

前記第1コンパレータの非反転入力端子が前記第1遅延制御ユニットの出力端子に接続され、前記第1コンパレータの反転入力端子が基準信号に接続され、前記第1コンパレータの出力端子が第1アンドゲートユニットの第1入力端子と、第1ノットゲートユニットの入力端子とにそれぞれ接続され、

前記第1アンドゲートユニットの第2入力端子がクロック信号に接続され、前記第1アンドゲートユニットの出力端子が第1薄膜トランジスタに接続され、

前記第1ノットゲートユニットの出力端子が第2アンドゲートユニットの第1入力端子に接続され、

前記第2アンドゲートユニットの第2入力端子がクロック信号に接続され、前記第2アンドゲートユニットの出力端子が第2薄膜トランジスタに接続される。

【0014】

本発明に係る電位変換回路において、前記遅延制御チップは、第2遅延制御ユニット、第2コンパレータ、第3アンドゲートユニット、第2ノットゲートユニット及び第4アンドゲートユニットを含む第2遅延制御モジュールを含み、

前記第2遅延制御ユニットは、クロック信号の立ち下がりエッジで第1制御信号を出力し、第2プリセット時間後に第2制御信号を出力し、

前記第2コンパレータの非反転入力端子が前記第2遅延制御ユニットの出力端子に接続され、前記第2コンパレータの反転入力端子が基準信号に接続され、前記第2コンパレータの出力端子が第3アンドゲートユニットの第1入力端子と、第2ノットゲートユニットの入力端子とにそれぞれ接続され、

前記第3アンドゲートユニットの第2入力端子がクロック信号に接続され、前記第3アンドゲートユニットの出力端子が第3薄膜トランジスタに接続され、

前記第2ノットゲートユニットの出力端子が第4アンドゲートユニットの第1入力端子に接続され、

前記第4アンドゲートユニットの第2入力端子がクロック信号に接続され、前記第4アンドゲートユニットの出力端子が第4薄膜トランジスタに接続される。

【0015】

本発明に係る電位変換回路において、前記第 1 制御信号の極性と第 2 制御信号の極性とは逆である。

【 0 0 1 6 】

本発明に係る電位変換回路において、前記第 1 制御信号はローレベル信号であり、前記第 2 制御信号はハイレベル信号である。

【 0 0 1 7 】

本発明の実施例は駆動回路を含む表示パネルをさらに提供し、前記駆動回路は、

第 1 電位を入力するための第 1 電位入力端子と、

第 2 電位を入力するための第 2 電位入力端子であって、前記第 1 電位の極性と前記第 2 電位の極性と同じであり、前記第 1 電位の電圧の絶対値が前記第 2 電位の電圧の絶対値よりも大きい第 2 電位入力端子と、

入力端子が前記第 1 電位入力端子に接続され、出力端子が変換電位出力端子に接続され、制御端子が遅延制御チップの第 1 出力端子に接続される第 1 薄膜トランジスタと、

入力端子が前記第 2 電位入力端子に接続され、出力端子が変換電位出力端子に接続され、制御端子が遅延制御チップの第 2 出力端子に接続される第 2 薄膜トランジスタと、

前記変換電位出力端子が前記第 2 電位を遅延出力する前に、前記第 1 電位を出力するように制御するための前記遅延制御チップと、を含む。

【 0 0 1 8 】

本発明に係る表示パネルにおいて、前記第 1 電位が第 1 高電位であり、前記第 2 電位が第 2 高電位である。

【 0 0 1 9 】

本発明に係る表示パネルにおいて、前記第 1 電位が第 1 低電位であり、前記第 2 電位が第 2 低電位である。

【 0 0 2 0 】

本発明に係る表示パネルにおいて、前記遅延制御チップは、遅延制御ユニット、コンパレータ、第 1 アンドゲートユニット、ノットゲートユニット及び第 2 アンドゲートユニットを含み、

前記遅延制御ユニットは、クロック信号の立ち上がりエッジ又は立ち下がりエッジで第 1 制御信号を出力し、プリセット時間後に第 2 制御信号を出力し、

前記コンパレータの非反転入力端子が前記遅延制御ユニットの出力端子に接続され、前記コンパレータの反転入力端子が基準信号に接続され、前記コンパレータの出力端子が第 1 アンドゲートユニットの第 1 入力端子と、ノットゲートユニットの入力端子とにそれぞれ接続され、

前記第 1 アンドゲートユニットの第 2 入力端子がクロック信号に接続され、前記第 1 アンドゲートユニットの出力端子が第 1 薄膜トランジスタに接続され、

前記ノットゲートユニットの出力端子が第 2 アンドゲートユニットの第 1 入力端子に接続され、

前記第 2 アンドゲートユニットの第 2 入力端子がクロック信号に接続され、前記第 2 アンドゲートユニットの出力端子が第 2 薄膜トランジスタに接続される。

【 0 0 2 1 】

本発明に係る表示パネルにおいて、前記第 1 制御信号の極性と前記第 2 制御信号の極性とは逆である。

【 0 0 2 2 】

本発明に係る表示パネルにおいて、前記第 1 制御信号はローレベル信号であり、前記第 2 制御信号はハイレベル信号である。

【 0 0 2 3 】

本発明に係る電位変換回路及び表示パネルにおける複数の電位入力及び遅延制御チップの設定によると、電位変換時に、最短時間で正確な変換後の電位電圧に達することを保証するために、変換電位電圧をオーバードライブし、電位変換の速度及び精度を向上させ、従来の電位変換回路及び表示パネルにおける変換後のレベル電圧に変換遅延及び変換電圧

10

20

30

40

50

のばらつきが存在する可能性があるという技術的問題を解決した。

【図面の簡単な説明】

【0024】

以下、本発明の実施例における技術的手段をより明確に説明するために、実施例の説明に使用する添付図面を簡単に紹介する。以下に説明する図面は、本発明の幾つかの実施例に過ぎず、当業者にとっては創造的努力なしにこれらの図面から他の図面を導き出すこともできることは明らかである。

【0025】

【図1】図1は、本発明に係る電位変換回路の構造概略図である。

【図2】図2は、本発明に係る電位変換回路の好ましい実施例の構造概略図である。

10

【図3】図3は、本発明に係る電位変換回路の好ましい実施例の立ち上がりエッジにおける遅延制御チップの構造概略図である。

【図4】図4は、本発明に係る電位変換回路の好ましい実施例の立ち下がりエッジにおける遅延制御チップの構造概略図である。

【図5】図5は、本発明に係る電位変換回路の好ましい実施例の変換電位を出力する波形図である。

【発明を実施するための形態】

【0026】

以下、本発明の実施例における図面を参照しながら、本発明の実施例における技術的手段を明確かつ完全に説明する。説明した実施例は、明らかに、本発明の実施例のすべてではなく、単に実施例の一部である。本発明の実施例に基づいて、当業者が創造的努力なしに取得したすべての他の実施例は、いずれも本発明の保護範囲に属している。

20

【0027】

図1を参照すると、図1は本発明に係る電位変換回路の構造概略図である。該電位変換回路10は、第1電位入力端子11、第2電位入力端子12、第1薄膜トランジスタ13、第2薄膜トランジスタ14及び遅延制御チップ15を含む。

【0028】

第1電位入力端子11は第1電位を入力するために用いられ、第2電位入力端子12は第2電位を入力するために用いられる。第1電位の極性と第2電位の極性とは同じであり、第1電位の電圧の絶対値は第2電位の電圧の絶対値よりも大きい。

30

【0029】

第1薄膜トランジスタ13の入力端子は第1電位入力端子11に接続され、第1薄膜トランジスタ13の出力端子は変換電位出力端子16に接続され、第1薄膜トランジスタ13の制御端子は遅延制御チップ15の第1出力端子に接続される。第2薄膜トランジスタ14の入力端子は第2電位入力端子12に接続され、第2薄膜トランジスタ14の出力端子は変換電位出力端子16に接続され、第2薄膜トランジスタ14の制御端子は遅延制御チップ15の第2出力端子に接続される。遅延制御チップ15は、変換電位出力端子が第2電位を遅延出力する前に、第1電位を出力するように制御する。

【0030】

本発明に係る電位変換回路10は、遅延制御チップ15により第1薄膜トランジスタ13をオンにするように制御し、第2薄膜トランジスタ14をオフにすることで、変換電位出力端子16から電圧の絶対値が大きな第1電位を出力し、次に遅延制御チップ15により第1薄膜トランジスタ13をオフにし、第2薄膜トランジスタ14をオンにすることで、変換電位出力端子16から電圧の絶対値が小さい第2電位を遅延出力する。第1電位の電圧の絶対値が大きいので、変換電位出力端子16は、第2電位をより正確に高速に出力することができる。

40

【0031】

本発明の遅延制御チップ15は、遅延制御ユニット、コンパレータ、第1アンドゲートユニット、ノットゲートユニット及び第2アンドゲートユニットを含む。

【0032】

50

遅延制御ユニットは、クロック信号の立ち上がりエッジ又は立ち下がりエッジで第1制御信号を出力し、プリセット時間後に第2制御信号を出力し、即ち第1電位に対応する第1制御信号を出力して、第2電位に対応する第2制御信号を遅延出力する。ここで、第1制御信号の極性と第2制御信号の極性とは逆であり、例えば、第1制御信号がローレベル信号であり、第2制御信号がハイレベル信号である。

【0033】

コンパレータの非反転入力端子が遅延制御ユニットの出力端子に接続され、コンパレータの反転入力端子が基準信号に接続され、コンパレータの出力端子が第1アンドゲートユニットの第1入力端子と、ノットゲートユニットの入力端子とにそれぞれ接続される。コンパレータは、第1制御信号及び基準信号に基づいて第1比較信号を出力し、第2制御信号及び基準信号に基づいて第2比較信号を出力する。

10

【0034】

第1アンドゲートユニットの第2入力端子がクロック信号に接続され、第1アンドゲートユニットの出力端子が第1薄膜トランジスタに接続される。第1アンドゲートユニットは、第1比較信号及び第2比較信号に基づいて、第1薄膜トランジスタのオン又はオフ制御信号を生成する。

【0035】

ノットゲートユニットの出力端子が第2アンドゲートユニットの第1入力端子に接続される。ノットゲートユニットは、第1比較信号と第2比較信号とを反転動作させる。

【0036】

20

第2アンドゲートユニットの第2入力端子がクロック信号に接続され、第2アンドゲートユニットの出力端子が第2薄膜トランジスタに接続される。第2アンドゲートユニットは、反転動作後の第1比較信号と、反転動作後の第2比較信号とに基づいて、前記第2薄膜トランジスタのオン又はオフ制御信号を生成する。

【0037】

該遅延制御チップの遅延制御ユニットは、第1制御信号を出力して、第2制御信号を遅延出力することが可能であることで、第1アンドゲートユニットを介して第1薄膜トランジスタのオン又はオフ制御信号を生成し、第2アンドゲートユニットを介して第2薄膜トランジスタのオン又はオフ制御信号を生成して、第1薄膜トランジスタと第2薄膜トランジスタとの正確なオフオン制御を実現することができる。

30

【0038】

一実施例において、前記第1薄膜トランジスタ及び第2薄膜トランジスタは共にP型MOSトランジスタである。クロック信号が立ち上がりエッジである場合、前記遅延制御ユニットから出力される第1制御信号はローレベル信号である。前記コンパレータからローレベルが出力され、前記第1アンドゲートユニットからローレベル信号が出力され、前記第1薄膜トランジスタがオンとなり、前記ノットゲートユニットからハイレベル信号が出力され、前記第2アンドゲートユニットからハイレベル信号が出力され、前記第2薄膜トランジスタがオフとなり、前記変換電位出力端子16から第1電位が出力される。

【0039】

プリセット時間後に、前記遅延制御ユニットから出力される第1制御信号はハイレベルとなる。前記コンパレータからハイレベルが出力され、前記第1アンドゲートユニットからハイレベル信号が出力され、前記第1薄膜トランジスタがオフとなり、前記ノットゲートユニットからローレベル信号が出力され、前記第2アンドゲートユニットからローレベル信号が出力され、前記第2薄膜トランジスタがオンとなり、前記変換電位出力端子16から第2電位が出力される。

40

【0040】

他の実施例において、前記第1薄膜トランジスタ及び第2薄膜トランジスタは共にN型MOSトランジスタである。クロック信号が立ち下がりエッジである場合に、前記遅延制御ユニットから出力される第1制御信号はハイレベル信号である。前記コンパレータからハイレベルが出力され、前記第1アンドゲートユニットからハイレベル信号が出力され、

50

前記第 1 薄膜トランジスタがオンとなり、前記ノットゲートユニットからローレベル信号が出力され、前記第 2 アンドゲートユニットからローレベル信号が出力され、前記第 2 薄膜トランジスタがオフとなり、前記変換電位出力端子 16 から第 1 電位が出力される。

【0041】

プリセット時間後に、前記遅延制御ユニットから出力される第 1 制御信号はローレベルとなる。前記コンパレータからローレベルが出力され、前記第 1 アンドゲートユニットからローレベル信号が出力され、前記第 1 薄膜トランジスタがオフとなり、前記ノットゲートユニットからハイレベル信号が出力され、前記第 2 アンドゲートユニットからハイレベル信号が出力され、前記第 2 薄膜トランジスタがオンとなり、前記変換電位出力端子 16 から第 2 電位が出力される。

10

【0042】

ここで、コンパレータ及びアンド・ノットゲートユニットの設計により、第 1 薄膜トランジスタ制御信号及び第 2 薄膜トランジスタ制御信号の信号強度を保証し、第 1 薄膜トランジスタ制御信号及び第 2 薄膜トランジスタ制御信号の信号トリガのタイミング性及び信号精度を高めることができる。

【0043】

図 2 を参照すると、図 2 は、本発明に係る電位変換回路の好ましい実施例の構造概略図である。この好ましい実施例の電位変換回路 20 は、第 1 電位入力端子、第 2 電位入力端子、第 3 電位入力端子、第 4 電位入力端子、第 1 薄膜トランジスタ QH1、第 2 薄膜トランジスタ QH2、第 3 薄膜トランジスタ QL1、第 4 薄膜トランジスタ QL2 及び遅延制御チップ 25 を含む。

20

【0044】

第 1 電位入力端子はハイレベル電位である第 1 電位 VGH1 を入力し、第 2 電位入力端子は第 2 電位 VGH2 を入力し、該第 2 電位 VGH2 の極性と第 1 電位の極性とが同じであり、第 2 電位 VGH2 の電位電圧が第 1 電位 VGH1 の電位電圧よりも小さい。

【0045】

第 1 薄膜トランジスタ QH1 の入力端子は第 1 電位入力端子に接続され、第 1 薄膜トランジスタ QH1 の出力端子は変換電位出力端子 Sig_out に接続され、第 1 薄膜トランジスタ QH1 の制御端子は遅延制御チップ 25 の第 1 出力端子 a に接続される。第 2 薄膜トランジスタ QH2 の入力端子は第 2 電位入力端子に接続され、第 2 薄膜トランジスタ QH2 の出力端子は変換電位出力端子 Sig_out に接続され、第 2 薄膜トランジスタ QH2 の制御端子は遅延制御チップ 25 の第 2 出力端子 b に接続される。

30

【0046】

第 3 電位入力端子はローレベル電位である第 3 電位 VGL1 を入力し、第 4 電位入力端子は第 4 電位 VGL2 を入力し、第 4 電位 VGL2 の電位電圧が第 3 電位 VGL1 の電位電圧よりも大きい。

【0047】

第 3 薄膜トランジスタ QL1 の入力端子は第 3 電位入力端子に接続され、第 3 薄膜トランジスタ QL1 の出力端子は変換電位出力端子 Sig_out に接続され、第 3 薄膜トランジスタ QL1 の制御端子は遅延制御チップ 25 の第 3 出力端子 c に接続される。第 4 薄膜トランジスタ QL2 の入力端子は第 4 電位入力端子に接続され、第 4 薄膜トランジスタ QL2 の出力端子は変換電位出力端子 Sig_out に接続され、第 4 薄膜トランジスタ QL2 の制御端子は遅延制御チップ 25 の第 4 出力端子 d に接続される。

40

【0048】

遅延制御チップ 25 は、変換電位出力端子 Sig_out が第 2 高電位 VGH2 を遅延出力する前に第 1 高電位 VGH1 を出力するように制御し、変換電位出力端子 Sig_out が第 4 電位 VGL2 を遅延出力する前に第 3 電位 VGL1 を出力するように制御する。

【0049】

電位変換回路 20 の遅延制御チップ 25 は、第 1 遅延制御モジュール 30 と、第 2 遅延

50

制御モジュール 40 とを含む。図 3 及び図 4 を参照すると、図 3 は、本発明に係る電位変換回路の好ましい実施例の第 1 遅延制御モジュールの構造概略図であり、図 4 は、本発明に係る電位変換回路の好ましい実施例の第 2 遅延制御モジュールの構造概略図である。

【0050】

第 1 遅延制御モジュール 30 は、第 1 遅延制御ユニット 31、第 1 コンパレータ 32、第 1 アンドゲートユニット 33、第 1 ノットゲートユニット 34 及び第 2 アンドゲートユニット 35 を含む。

【0051】

第 1 遅延制御ユニット 31 は、クロック信号が立ち上がりエッジである場合に、第 1 制御信号を出力し、第 1 プリセット時間後に第 2 制御信号を出力する。前記第 1 制御信号の極性と第 2 制御信号の極性とは逆である。

10

【0052】

第 1 コンパレータ 32 の非反転入力端子は第 1 遅延制御ユニット 31 の出力端子に接続され、第 1 コンパレータ 32 の反転入力端子は基準信号 $V_{hr e f}$ に接続され、第 1 コンパレータ 32 の出力端子は第 1 アンドゲートユニット 33 の第 1 入力端子と、第 1 ノットゲートユニット 34 の入力端子とにそれぞれ接続される。

【0053】

第 1 コンパレータ 32 は、第 1 制御信号及び基準信号 $V_{hr e f}$ に基づいて第 1 比較信号を出力し、第 2 制御信号及び基準信号 $V_{hr e f}$ に基づいて第 2 比較信号を出力する。

【0054】

20

第 1 アンドゲートユニット 33 の第 2 入力端子はエッジクロック信号に接続され、第 1 アンドゲートユニット 33 の出力端子は第 1 薄膜トランジスタ Q_{H1} に接続される。第 1 アンドゲートユニット 33 は、第 1 比較信号、第 2 比較信号及びエッジクロック信号に基づいて、第 1 薄膜トランジスタ Q_{H1} のオン又はオフ制御信号を生成する。

【0055】

第 1 ノットゲートユニット 34 の出力端子は第 2 アンドゲートユニット 35 の第 1 入力端子に接続される。第 1 ノットゲートユニット 34 は第 1 比較信号と第 2 比較信号とを反転動作させる。

【0056】

第 2 アンドゲートユニット 35 の第 2 入力端子はエッジクロック信号に接続され、第 2 アンドゲートユニット 35 の出力端子は第 2 薄膜トランジスタ Q_{H2} に接続される。第 2 アンドゲートユニットは、反転動作後の第 1 比較信号と、反転動作後の第 2 比較信号とに基づいて、第 2 薄膜トランジスタ Q_{H2} のオン又はオフ制御信号を生成する。

30

【0057】

第 2 遅延制御モジュール 40 は、第 2 遅延制御ユニット 41、第 2 コンパレータ 42、第 3 アンドゲートユニット 43、第 2 ノットゲートユニット 44 及び第 4 アンドゲートユニット 45 を含む。

【0058】

第 2 遅延制御ユニット 41 は、クロック信号の立ち下がりエッジで、第 3 電位 $V_{G L1}$ に対応する第 3 制御信号を出力し、第 2 プリセット時間後に、第 4 電位 $V_{G L2}$ に対応する第 4 制御信号を出力する。

40

【0059】

第 2 コンパレータ 42 の非反転入力端子は第 2 遅延制御ユニット 41 の出力端子に接続され、第 2 コンパレータ 42 の反転入力端子は基準信号 $V_{l r e f}$ に接続され、第 2 コンパレータ 42 の出力端子は第 3 アンドゲートユニット 43 の第 1 入力端子と、第 2 ノットゲートユニット 44 の入力端子とにそれぞれ接続される。

【0060】

第 2 コンパレータ 42 は、第 3 制御信号及び基準信号 $V_{l r e f}$ に基づいて第 3 比較信号を出力し、第 4 制御信号及び基準信号 $V_{l r e f}$ に基づいて第 4 比較信号を出力する。

【0061】

50

第3アンドゲートユニット43の第2入力端子は立ち下がりエッジクロック信号Bに接続され、第3アンドゲートユニット43の出力端子は第3薄膜トランジスタQ L 1に接続される。第3アンドゲートユニット43は、第3比較信号、第4比較信号及び立ち下がりエッジクロック信号Bに基づいて、第3薄膜トランジスタQ L 1の第3薄膜トランジスタ制御信号を生成して、第3薄膜トランジスタ制御信号を遅延制御チップ25の第3出力端子cに出力する。

【0062】

第2ノットゲートユニット44の出力端子は第4アンドゲートユニット45の第1入力端子に接続される。第2ノットゲートユニット44は第3比較信号と第4比較信号とを反転動作させる。

【0063】

第4アンドゲートユニット45の第2入力端子は立ち下がりエッジクロック信号Bに接続され、第4アンドゲートユニット45の出力端子は第4薄膜トランジスタQ L 2に接続される。第4アンドゲートユニット45は、反転動作後の第3比較信号と、反転動作後の第4比較信号とに基づいて、第4薄膜トランジスタQ L 2の第4薄膜トランジスタ制御信号を生成し、第4薄膜トランジスタ制御信号を遅延制御チップ25の第4出力端子dに出力する。

【0064】

以下、図2～図5に基づいて、本発明に係る電位変換回路の好ましい実施例の具体的な動作原理を説明する。図5は、本発明に係る電位変換回路の好ましい実施例の変換電位（即ちクロック信号）及び対応する走査信号を出力する波形図である。

【0065】

表示パネルの走査信号をクロック信号の第2電位V G H 2に対応する高電位走査信号S C A N Hに変換する必要がある場合、電位変換回路20は、まずクロック信号を第1電位V G H 1に変換する。

【0066】

クロック信号が立ち上がりエッジ段階にあるので、遅延制御チップ25の第1遅延制御モジュール30の第1遅延制御ユニット31から第1制御信号を出力し、次に第1コンパレータ32が上記第1制御信号及び基準信号V h r e fに基づいて第1比較信号を出力する。

【0067】

第1比較信号とクロック信号Aとは、第1アンドゲートユニット33により、第1薄膜トランジスタQ H 1の低電位のオン制御信号を生成する。

【0068】

第1ノットゲートユニット34は第1比較信号を反転動作する。反転動作後の第1比較信号及び立ち上がりエッジクロック信号Aは、第2アンドゲートユニット35により、第2薄膜トランジスタQ H 2の高電位のオフ制御信号を生成する。

【0069】

したがって、第1薄膜トランジスタQ H 1がオンにされ、第1電位V G H 1が第1薄膜トランジスタQ H 1を介して変換電位出力端子S i g _ o u tから出力され、第2薄膜トランジスタQ H 2がオフにされる。

【0070】

次に、電位変換回路20が走査信号を第2高電位V G H 2に変換する。

【0071】

遅延制御チップ25の第1遅延制御モジュール30の第1遅延制御ユニット31は、第1制御信号の極性とは逆である第2制御信号を遅延出力する。次に、第1コンパレータ32は、上記第2制御信号及び基準信号V h r e fに基づいて、第2比較信号を出力する。

【0072】

第2比較信号と立ち上がりエッジクロック信号Aとは、第1アンドゲートユニット33により、第1薄膜トランジスタQ H 1の高電位のオフ制御信号を生成する。

【 0 0 7 3 】

第 1 ノットゲートユニット 3 4 は第 2 比較信号を反転動作する。反転動作後の第 2 比較信号及び立ち上がりエッジクロック信号 A は、第 2 アンドゲートユニット 3 5 により、第 2 薄膜トランジスタ Q H 2 の低電位のオン制御信号を生成する。

【 0 0 7 4 】

したがって、第 2 薄膜トランジスタ Q H 2 がオンにされ、第 2 電位 V G H 2 が第 2 薄膜トランジスタ Q H 2 を介して変換電位出力端子 S i g _ o u t から出力され、第 1 薄膜トランジスタ Q H 1 がオフにされる。

【 0 0 7 5 】

クロック信号が第 1 電位 V G H 1 から低い第 2 電位 V G H 2 に変換されるので、第 2 電位 V G H 2 の変換速度が速く、第 2 電位 V G H 2 の変換精度が高くなる。

10

【 0 0 7 6 】

表示パネルの走査信号をクロック信号の第 4 電位 V G L 2 に対応する低電位走査信号 S C A N L に変換する必要がある場合、電位変換回路 2 0 は、まず、クロック信号を第 3 電位 V G L 1 に変換する。

【 0 0 7 7 】

クロック信号が立ち下がりエッジ段階にあるので、遅延制御チップ 2 5 の第 2 遅延制御モジュール 4 0 の第 2 遅延制御ユニット 4 1 から第 3 制御信号を出力し、次に第 2 コンパレータ 4 2 が上記第 3 制御信号及び基準信号 V l r e f に基づいて第 3 比較信号を出力する。

20

【 0 0 7 8 】

第 3 比較信号とクロック信号 B とは、第 3 アンドゲートユニット 4 3 により、第 3 薄膜トランジスタ Q L 1 の高電位のオン制御信号を生成する。

【 0 0 7 9 】

第 2 ノットゲートユニット 4 4 は第 3 比較信号を反転動作する。反転動作後の第 3 比較信号及び立ち上がりエッジクロック信号 B は、第 4 アンドゲートユニット 4 5 により、第 4 薄膜トランジスタ Q L 2 の低電位のオフ制御信号を生成する。

【 0 0 8 0 】

したがって、第 3 薄膜トランジスタ Q L 1 がオンにされ、第 3 電位 V G L 1 が第 3 薄膜トランジスタ Q L 1 を介して変換電位出力端子 S i g _ o u t から出力され、第 4 薄膜トランジスタ Q L 2 がオフにされる。

30

【 0 0 8 1 】

次に、電位変換回路 2 0 が走査信号を第 4 電位 V G L 2 に変換する。

【 0 0 8 2 】

遅延制御チップ 2 5 の第 2 遅延制御モジュール 4 0 の第 2 遅延制御ユニット 4 1 は、第 3 制御信号の極性とは逆である第 4 制御信号を遅延出力する。次に、第 2 コンパレータ 4 2 は、上記第 4 制御信号及び基準信号 V l r e f に基づいて、第 4 比較信号を出力する。

【 0 0 8 3 】

第 4 比較信号と立ち上がりエッジクロック信号 B とは第 3 アンドゲートユニット 4 3 により第 3 薄膜トランジスタ Q L 1 の低電位のオフ制御信号を生成する。

40

【 0 0 8 4 】

第 2 ノットゲートユニット 4 4 は第 4 比較信号を反転動作する。反転動作後の第 4 比較信号及び立ち上がりエッジクロック信号 B は、第 4 アンドゲートユニット 4 5 により、第 4 薄膜トランジスタ Q L 2 の高電位のオン制御信号を生成する。

【 0 0 8 5 】

したがって、第 4 薄膜トランジスタ Q L 2 がオンにされ、第 4 電位 V G L 2 が第 4 薄膜トランジスタ Q L 2 を介して変換電位出力端子 S i g _ o u t から出力され、第 3 薄膜トランジスタ Q L 1 がオフにされる。

【 0 0 8 6 】

クロック信号が、第 3 電位 V G L 1 から高い第 4 電位 V G L 2 に変換するので、第 4 電

50

位 VGL2 の変換速度が速く、第 4 電位 VGL2 の変換精度が高くなる。

【0087】

これにより、この好ましい実施例の電位変換回路 20 における走査信号の電位変換処理が完了する。

【0088】

本発明は表示パネルをさらに提供し、該表示パネルの駆動回路は、第 1 電位入力端子、第 2 電位入力端子、第 1 薄膜トランジスタ、第 2 薄膜トランジスタ及び遅延制御チップを含む電位変換回路を含む。第 1 電位入力端子は第 1 電位を入力し、第 2 電位入力端子は第 2 電位を入力する。第 1 電位の極性と第 2 電位の極性とは同じであり、第 1 電位の電圧の絶対値は第 2 電位の電圧の絶対値よりも大きい。

10

【0089】

第 1 薄膜トランジスタの入力端子は第 1 電位入力端子に接続され、第 1 薄膜トランジスタの出力端子は変換電位出力端子に接続され、第 1 薄膜トランジスタの制御端子は遅延制御チップの第 1 出力端子に接続される。第 2 薄膜トランジスタの入力端子は第 2 電位入力端子に接続され、第 2 薄膜トランジスタの出力端子は変換電位出力端子に接続され、第 2 薄膜トランジスタの制御端子は遅延制御チップの第 2 出力端子に接続される。遅延制御チップは変換電位出力端子が第 2 電位を遅延出力する前に、第 1 電位を出力するように制御する。

【0090】

好ましくは、第 1 電位は第 1 高電位であり、第 2 電位は第 2 高電位であるか、又は、第 1 電位は第 1 低電位であり、第 2 電位は第 2 低電位である。

20

【0091】

好ましくは、電位変換回路は、第 1 電位入力端子、第 2 電位入力端子、第 3 電位入力端子、第 4 電位入力端子、第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、第 3 薄膜トランジスタ、第 4 薄膜トランジスタ及び遅延制御チップを含む。

【0092】

第 1 電位入力端子はハイレベル電位である第 1 電位を入力し、第 2 電位入力端子は第 2 電位を入力する。該第 2 電位の極性と第 1 電位の極性とが同じであり、第 2 電位の電位電圧は第 1 電位の電位電圧よりも小さい。

【0093】

30

第 1 薄膜トランジスタの入力端子は第 1 電位入力端子に接続され、第 1 薄膜トランジスタの出力端子は変換電位出力端子に接続され、第 1 薄膜トランジスタの制御端子は遅延制御チップの第 1 出力端子に接続される。第 2 薄膜トランジスタの入力端子は第 2 電位入力端子に接続され、第 2 薄膜トランジスタの出力端子は変換電位出力端子に接続され、第 2 薄膜トランジスタの制御端子は遅延制御チップの第 2 出力端子に接続される。

【0094】

第 3 電位入力端子はローレベル電位である第 3 電位を入力し、第 4 電位入力端子は第 4 電位を入力する。第 4 電位の電位電圧は、第 3 電位の電位電圧よりも大きい。

【0095】

第 3 薄膜トランジスタの入力端子は第 3 電位入力端子に接続され、第 3 薄膜トランジスタの出力端子は変換電位出力端子に接続され、第 3 薄膜トランジスタの制御端子は遅延制御チップの第 3 出力端子に接続される。第 4 薄膜トランジスタの入力端子は第 4 電位入力端子に接続され、第 4 薄膜トランジスタの出力端子は変換電位出力端子に接続され、第 4 薄膜トランジスタの制御端子は遅延制御チップの第 4 出力端子に接続される。

40

【0096】

遅延制御チップは、変換電位出力端子が第 2 高電位を遅延出力する前に第 1 高電位を出力するように制御し、変換電位出力端子が第 4 電位を遅延出力する前に第 3 電位を出力するように制御する。

【0097】

好ましくは、遅延制御チップは、第 1 遅延制御ユニット、第 1 コンパレータ、第 1 アン

50

ドゲートユニット、第1ノットゲートユニット及び第2アンドゲートユニットを含む第1遅延制御モジュールを含む。

【0098】

第1遅延制御ユニットはクロック信号の立ち上がりエッジで第1制御信号を出力し、第1プリセット時間後に第2制御信号を出力する。第1コンパレータの非反転入力端子は第1遅延制御ユニットの出力端子に接続され、第1コンパレータの反転入力端子は基準信号に接続され、第1コンパレータの出力端子は第1アンドゲートユニットの第1入力端子と第1ノットゲートユニットの入力端子とにそれぞれ接続される。第1アンドゲートユニットの第2入力端子はクロック信号に接続され、第1アンドゲートユニットの出力端子は第1薄膜トランジスタに接続される。第1ノットゲートユニットの出力端子は第2アンドゲートユニットの第1入力端子に接続される。第2アンドゲートユニットの第2入力端子はクロック信号に接続され、第2アンドゲートユニットの出力端子は第2薄膜トランジスタに接続される。

10

【0099】

好ましくは、遅延制御チップは、第2遅延制御ユニット、第2コンパレータ、第3アンドゲートユニット、第2ノットゲートユニット及び第4アンドゲートユニットを含む第2遅延制御モジュールを含む。

【0100】

第2遅延制御ユニットはクロック信号の立ち下がりエッジで第1制御信号を出力し、第2プリセット時間後に第2制御信号を出力する。第2コンパレータの非反転入力端子は第2遅延制御ユニットの出力端子に接続され、第2コンパレータの反転入力端子は基準信号に接続され、第2コンパレータの出力端子は第3アンドゲートユニットの第1入力端子と第2ノットゲートユニットの入力端子とにそれぞれ接続される。第3アンドゲートユニットの第2入力端子はクロック信号に接続され、第3アンドゲートユニットの出力端子は第3薄膜トランジスタに接続される。第2ノットゲートユニットの出力端子は第4アンドゲートユニットの第1入力端子に接続される。第4アンドゲートユニットの第2入力端子はクロック信号に接続され、第4アンドゲートユニットの出力端子は第4薄膜トランジスタに接続される。

20

【0101】

好ましくは、第1制御信号の極性と第2制御信号の極性とは逆である。

30

【0102】

この好ましい実施例の表示パネルの具体的な動作原理は、上述した電位変換回路の好ましい実施例における説明と同じであるか又は同様であるので、詳細は、上述した電位変換回路の好ましい実施例における説明を参照されたい。

【0103】

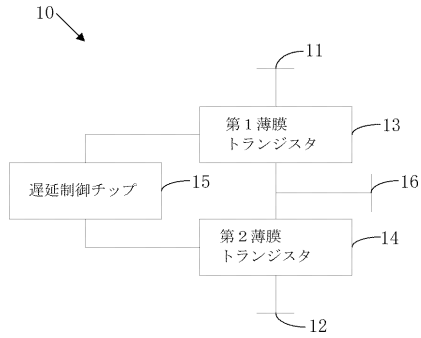
本発明に係る電位変換回路及び表示パネルにおける複数の電位入力及び遅延制御チップの設定によると、電位変換時に変換電位電圧をオーバードライブし、最短時間で正確な変換後の電位電圧に達することを保証し、電位変換の速度及び精度が向上する。これにより、従来の電位変換回路及び表示パネルにおける、変換されたレベル電圧の変換遅延及び変換電圧のばらつきが存在する可能性があるという技術的問題が解決される。

40

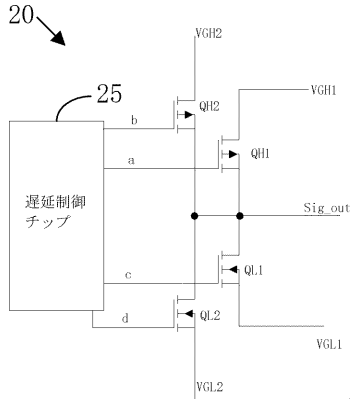
【0104】

要約すると、本発明について好ましい実施例を参照して説明したが、上述した好ましい実施例は、本発明を限定するたことを意図するものではない。当業者であれば、本発明の精神と範囲を逸脱しない限り、様々な変更や修飾を加えることができる。したがって、本発明の保護範囲は、特許請求の範囲によって定義される範囲に準ずる。

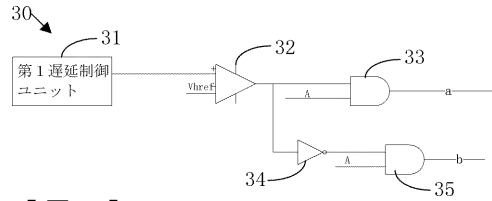
【 図 1 】



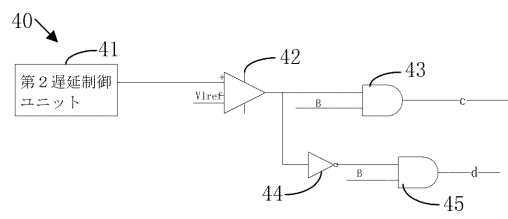
【 図 2 】



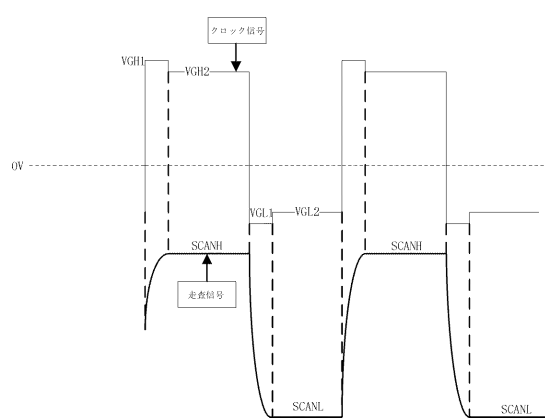
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(51)Int.Cl. F I
H 0 3 K 19/096 2 2 0

(56)参考文献 特開 2 0 1 1 - 1 3 3 8 5 4 (J P , A)
特開 2 0 1 1 - 5 9 2 1 4 (J P , A)
米国特許出願公開第 2 0 1 6 / 0 1 2 5 8 0 9 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)
H 0 3 K 1 9 / 0 1 8 5
G 0 9 G 3 / 2 0
H 0 3 K 1 9 / 0 9 6