



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년06월21일
(11) 등록번호 10-1991886
(24) 등록일자 2019년06월17일

- (51) 국제특허분류(Int. Cl.)
H03K 7/08 (2006.01)
- (21) 출원번호 10-2014-7026391
- (22) 출원일자(국제) 2013년02월22일
심사청구일자 2018년02월19일
- (85) 번역문제출일자 2014년09월22일
- (65) 공개번호 10-2014-0135776
- (43) 공개일자 2014년11월26일
- (86) 국제출원번호 PCT/US2013/027216
- (87) 국제공개번호 WO 2013/126626
국제공개일자 2013년08월29일
- (30) 우선권주장
13/773,177 2013년02월21일 미국(US)
61/602,528 2012년02월23일 미국(US)
- (56) 선행기술조사문헌
KR1020040071289 A
(뒷면에 계속)

전체 청구항 수 : 총 20 항

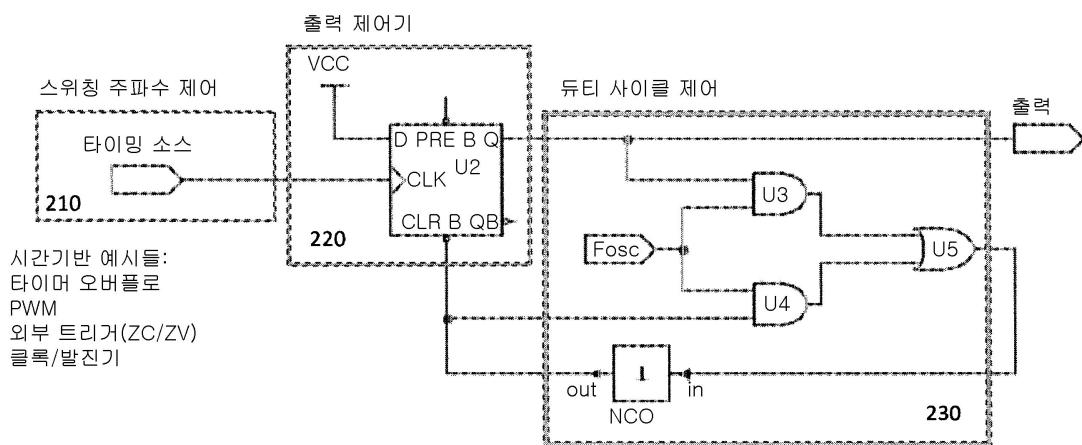
심사관 : 유선중

(54) 발명의 명칭 고분해능 펄스폭 변조기

(57) 요약

펄스폭 변조기는, 펄스폭 출력 신호를 세트하도록 구성되고 펄스폭 출력 신호를 리셋하기 위한 리셋 입력부를 갖는 출력 제어기의 세트 입력에 클록 신호를 제공하는 제1 클록 소스를 갖는다. 듀티 사이클 제어 유닛은 출력 제어기의 리셋 입력부에 결합되고, 여기서, 듀티 사이클 제어 유닛은, 레지스터와 결합되어 있고 그리고 레지스터에 세트된 값에 따라 특정 주파수를 만들기 위해 직접 디지털 합성을 제공하도록 구성된 수치 제어 발진기(NCO)를 갖는다. 더욱이, 로직이, 수치 제어 발진기를 트리거하기 위해 제2 클록 소스로부터의 신호와 펄스폭 출력 신호를 수신하도록 제공된다.

대 표 도



(56) 선행기술조사문현
KR1020070084525 A
KR1020080093975 A
KR1020100047217 A
KR1020120013932 A
US05144265 A
US20040120395 A1
US20060164142 A1
US20070195876 A1
US20100127789 A1
US20110193605 A1

명세서

청구범위

청구항 1

펄스폭 출력 신호를 세트하기 위한 세트 입력부와 상기 펄스폭 출력 신호를 리셋하기 위한 리셋 입력부를 갖는 출력 제어기;

상기 출력 제어기의 상기 세트 입력부에 클록 신호를 제공하는 제1 클록 소스; 및

상기 출력 제어기의 상기 리셋 입력부와 결합되는 듀티 사이클 제어 유닛을 포함하고,

상기 듀티 사이클 제어 유닛은, 레지스터에 세트된 값에 따라 특정 주파수를 만들기 위해 상기 레지스터와 결합되어 있고 직접 디지털 합성을 제공하도록 구성된 수치 제어 발진기(NCO; numericalcontrolled oscillator)를 포함하고, 또한, 상기 수치 제어 발진기를 트리거하기 위해 제2 클록 소스로부터의 신호 및 상기 펄스폭 출력 신호를 수신하는 로직을 더 포함하는, 펄스폭 변조기.

청구항 2

제1항에 있어서,

상기 NCO는 하나의 시간 주기에 걸쳐 평균된 고정 듀티 사이클의 출력 신호를 생성하는, 펄스폭 변조기.

청구항 3

제1항에 있어서,

상기 제1 클록 소스는 타이머, PWM 유닛, 규칙적 시간 신호 또는 불규칙적 시간 신호를 제공하는 외부 소스인, 펄스폭 변조기.

청구항 4

제1항에 있어서,

상기 제2 클록 소스는 시스템 클록 소스, 타이머, PWM 유닛, 또는 외부 소스인, 펄스폭 변조기.

청구항 5

제1항에 있어서,

상기 수치 제어 발진기(NCO)는 상기 제2 클록 소스로부터 얻어진 신호를 수신하는 클록 입력부를 포함하고,

증분 레지스터는 상기 증분 레지스터의 값을 누산기의 내용과 가산하도록 구성된 가산기와 결합되고, 상기 누산기는 상기 NCO의 출력 신호로서 이용되는 오버플로 신호를 생성하는, 펄스폭 변조기.

청구항 6

제5항에 있어서,

상기 오버플로 신호는, 상기 NCO의 상기 출력 신호를 생성하기 위해 상기 제2 클록 소스로부터 얻어진 상기 신호와 앤드(AND)연산되는, 펄스폭 변조기.

청구항 7

제6항에 있어서,

상기 AND 연산된 출력 신호는 D-플립플롭의 클록 입력부에 공급되고, 상기 D-플립플롭의 반전 출력은 D-입력부와 결합되고 상기 D-플립플롭의 비반전 출력은 상기 NCO 출력 신호를 제공하는, 펄스폭 변조기.

청구항 8

제5항에 있어서,

상기 NCO는 복수의 입력 신호들을 선택하기 위한 입력 멀티플렉서를 포함하고,

상기 입력 신호들 중 하나의 신호는 상기 제2 클록 소스로부터 얻어진 상기 신호인, 펄스폭 변조기.

청구항 9

제1항에 있어서,

상기 출력 제어기는, 상기 제1 클록 소스와 결합되는 클록 입력부와, 로직 하이(high)와 결합되는 D-입력부와, 상기 듀티 사이클 제어 유닛의 출력부에 결합되는 리셋 입력부와, 및 상기 출력 제어기의 상기 출력 신호를 제공하는 비반전 출력부를 포함하는 D-플립플롭인, 펄스폭 변조기.

청구항 10

제9항에 있어서,

상기 듀티 사이클 제어 유닛은, 상기 제2 클록 소스와 결합되는 제1 입력부 및 상기 출력 제어기의 상기 출력부에 결합되는 제2 입력부를 갖는 제1 AND 게이트, 상기 제2 클록 소스와 결합되는 제1 입력부 및 상기 NCO 출력 신호를 수신하는 제2 입력부를 갖는 제2 AND 게이트, 및 상기 제1 및 제2 AND 게이트들과 결합되어 상기 NCO 입력 신호를 생성하는 OR 게이트를 포함하는, 펄스폭 변조기.

청구항 11

제1항에 따른 상기 펄스폭 변조기를 포함하는 마이크로컨트롤러로서,

상기 출력 제어기는 상기 마이크로컨트롤러의 제1 구성가능한 로직 셀에 의해 형성되고, 상기 듀티 사이클 제어 유닛의 상기 로직은 상기 마이크로컨트롤러의 제2 구성가능한 로직 셀에 의해 형성되는, 마이크로컨트롤러.

청구항 12

제11항에 있어서,

상기 제1 구성가능한 로직 셀은 D-플립플롭으로써 구성되고, 상기 듀티 사이클 제어 유닛의 상기 로직은 OR 게이트의 입력부와 결합되는 출력들을 갖는 제1 및 제2 AND 게이트들로써 구성되는, 마이크로컨트롤러.

청구항 13

제12항에 있어서,

상기 D-플립플롭의 클록 입력부는 상기 제1 클록 소스와 결합되고, 소거 입력부는 상기 NCO의 출력부와 결합되는, 마이크로컨트롤러.

청구항 14

제13항에 있어서,

상기 제1 AND 게이트의 제1 입력부는 상기 D-플립플롭의 출력부와 결합되고, 상기 제1 AND 게이트의 제2 입력부와 상기 제2 AND 게이트의 제1 입력부는 상기 제2 클록 소스와 결합되고, 상기 제2 AND 게이트의 제2 입력부는 상기 NCO의 상기 출력부와 결합되고, 상기 OR 게이트의 출력부는 상기 NCO의 상기 입력부와 결합되는, 마이크로컨트롤러.

청구항 15

펄스폭 변조 신호를 제공하기 위한 방법으로서,

펄스폭 출력 신호를 리셋하기 위한 리셋 입력부를 구비하며 상기 펄스폭 출력 신호를 세트하도록 구성된 출력 제어기의 세트 입력부에 제1 클록 신호를 제공하고;

레지스터에 세트된 값에 따라 특정 주파수를 만들기 위해 상기 레지스터와 결합되어 있고 직접 디지털 합성을 제공하도록 구성되는 수치 제어 빌진기(NCO; numerical controlled oscillator)에 의해 리셋 신호를 생성하는

것을 포함하고,

여기서, 상기 NCO는 제2 클록 신호, 상기 리셋 신호, 및 상기 펄스폭 변조 출력 신호로부터 얻어진 클록 신호를 수신하는, 펄스폭 변조 신호 제공 방법.

청구항 16

제15항에 있어서,

상기 NCO는 하나의 시간 주기에 걸쳐 평균된 고정 둑티 사이클을 갖는 출력 신호를 생성하는, 펄스폭 변조 신호 제공 방법.

청구항 17

제15항에 있어서,

상기 제1 클록 신호는, 타이머, PWM 유닛, 규칙적 시간 신호 또는 불규칙적 시간 신호를 제공하는 외부 소스로부터 생성되는, 펄스폭 변조 신호 제공 방법.

청구항 18

제15항에 있어서,

상기 제2 클록 신호는 시스템 클록 소스, 타이머, PWM 유닛, 또는 외부 소스에 의해 생성되는, 펄스폭 변조 신호 제공 방법.

청구항 19

제15항에 있어서,

상기 제2 클록 소스로부터 얻어진 상기 신호의 제어하에 있는 상기 수치 제어 발진기(NCO)는 충분값을 누산기에 반복적으로 가산하고,

상기 누산기는 상기 NCO의 상기 출력 신호를 생성하는 데에 이용되는 오버플로 신호를 생성하는, 펄스폭 변조 신호 제공 방법.

청구항 20

제19항에 있어서,

상기 제2 클록 신호는 상기 펄스폭 변조 출력 신호와 AND 연산되고, 상기 제2 클록신호는 상기 NCO의 상기 출력 신호와 AND 연산되고, 상기 AND 연산된 신호들은 OR 연산되고,

상기 OR 연산된 신호는 상기 NCO에 공급되는 상기 제2 클록 신호로부터 얻어진 상기 신호인, 펄스폭 변조 신호 제공 방법.

발명의 설명

기술 분야

[0001] 본 출원은, 2012년 02월 23일자로 출원된 미국 가출원 번호 61/602,528의 이익을 주장하고, 이 가출원은 그 자체가 여기에 통합된다.

[0002] 본 발명은 펄스폭 변조기, 특히, 고분해능 펄스폭 변조기들에 관한 것이다.

배경 기술

[0003] 일반적으로, 종래의 펄스폭 변조기들(PWM), 예를 들면 마이크로컨트롤러의 PWM 유닛은, 변조기들의 분해능에 있어서 일반적인 시스템 클록으로 한정된다. PWM 주변장치 유닛들의 분해능은, 펄스폭이 얼마나 정확하게 제어될 수 있는지를 결정하는 중요한 파라미터이다. 만일 PWM 펄스폭이 충분히 정확하게 제어될 수 없다면, 수많은 문제들, 예를 들면, 제한 사이클링(limit cycling) 또는 단순하게는 부정확한 출력 전압값이 발생할 것이다. 상술한 바와 같이, 전형적으로, 최소의 PWM 펄스폭 조정은 시스템 클록 주기와 동일할 것이다. 16MHz 디바이스의 경

우 PWM 펄스폭 주기는 62.5ns일 것이다.

[0004] 대부분의 스위치 모드 파워 서플라이(SMPS) 애플리케이션들에 있어서, 듀티 사이클의 동작 범위는 결과적으로 전범위(full range) 중 단지 일부가 된다. 예를 들면, 12V 대 1.2V DC/DC 벽 컨버터는 전범위의 10% 미만을 사용하여, 유효 PWM 분해능을 3.3비트들 만큼 낮출 수 있을 것이다. 이는, 16MHz 시스템 클록으로부터 동작하는 600kHz 스위칭 주파수를 갖는 SMPS에 이용되는 종래의 PWM은, 기껏해야, 5비트들의 분해능을 달성할 수 있으며, 또한, SMPS가 상술한 바와 같은 DC/DC 컨버터라면 PWM은 3.3비트들의 분해능을 상실하여 그 결과 명백하게 원하지 않은 단지 1.7비트들의 유효 제어 분해능이 된다는 것을 의미한다.

발명의 내용

해결하려는 과제

[0005] 이런 이유로, 고분해능을 갖는 개선된 PWM에 대한 필요성이 존재한다.

과제의 해결 수단

[0006] 일 실시예에 따르면, 펄스폭 변조는, 펄스폭 출력 신호를 세트하도록 구성되고 상기 펄스폭 출력 신호를 리셋하기 위한 리셋 입력부를 갖는 출력 제어기의 세트 입력부에 클록 신호를 제공하는 제1 클록 소스; 및 상기 출력 제어기의 상기 리셋 입력부와 결합되는 듀티 사이클 제어 유닛을 포함할 수 있고, 상기 듀티 사이클 제어 유닛은, 레지스터와 결합되어 있고 그리고 상기 레지스터에 세트된 값에 따라 특정 주파수를 만들기 위해 직접 디지털 합성을 제공하도록 구성되는 수치 제어 발진기(NCO; numerical controlled oscillator)를 포함하고, 또한, 상기 수치 제어 발진기를 트리거하기 위해 제2 클록 소스로부터의 신호 및 상기 펄스폭 출력 신호를 수신하는 로직을 더 포함한다.

[0007] 추가 실시예에 따르면, 상기 NCO는 하나의 시간 주기에 걸쳐 평균된 고정 듀티 사이클을 갖는 출력 신호를 생성할 수 있다. 추가 실시예에 따르면, 상기 제1 클록 소스는 타이머, PWM 유닛, 규칙적 시간 신호 또는 불규칙적 시간 신호를 제공하는 외부 소스일 수 있다. 추가 실시예에 따르면, 상기 제2 클록 소스는 시스템 클록 소스, 타이머, PWM 유닛, 외부 소스일 수 있다. 추가 실시예에 따르면, 상기 수치 제어 발진기(NCO)는 상기 제2 클록 소스로부터 파생된 신호를 수신하는 클록 입력부를 포함할 수 있고, 충분 레지스터는 상기 충분 레지스터의 값을 누산기의 내용과 가산하도록 구성된 가산기와 결합되고, 상기 누산기는 상기 NCO의 상기 출력 신호로서 이용되는 오버플로 신호를 생성한다. 추가 실시예에 따르면, 상기 오버플로 신호는, 상기 NCO의 상기 입력 신호를 생성하기 위해 상기 제2 클록 소스로부터 파생된 상기 신호와 앤드(AND)연산될 수 있다. 추가 실시예에 따르면, 상기 앤드 연산된 출력 신호는 D-플립플롭의 클록 입력부에 공급될 수 있고, 상기 D-플립플롭의 반전 출력은 D-입력부와 결합되고 상기 D-플립플롭의 비반전 출력은 상기 NCO 출력 신호를 제공한다.

[0008] 추가 실시예에 따르면, 상기 NCO는 복수의 입력 신호들을 선택하기 위한 입력 멀티플렉서를 포함할 수 있고, 상기 입력 신호들 중 하나는 상기 제2 클록 소스로부터 파생된 상기 신호이다. 추가 실시예에 따르면, 상기 출력 제어기는, 상기 제1 클록 소스와 결합되는 클록 입력부와, 로직 하이(high)와 결합되는 D-입력부와, 상기 듀티 사이클 제어 유닛의 상기 출력부에 결합되는 리셋 입력부와, 및 상기 출력 제어기의 상기 출력 신호를 제공하는 비반전 출력부를 포함하는 D-플립플롭일 수 있다. 추가 실시예에 따르면, 구성가능한 로직 셀은, 상기 제2 클록 소스와 결합되는 제1 입력부 및 상기 출력 제어기의 상기 출력부에 결합되는 제2 입력부를 갖는 제1 AND 게이트, 상기 제2 클록 소스와 결합되는 제1 입력부 및 상기 NCO 출력 신호를 수신하는 제2 입력부를 갖는 제2 AND 게이트, 및 상기 제1 및 제2 AND 게이트들과 결합되어 상기 NCO 입력 신호를 생성하는 OR 게이트를 포함할 수 있다.

[0009] 또하나의 실시예에 따르면, 마이크로컨트롤러는 상기한 바와 같은 펄스폭 변조기를 포함할 수 있으며, 상기 출력 제어기는 상기 마이크로컨트롤러의 제1 구성가능한 로직 셀에 의해 형성되고, 상기 듀티 사이클 제어 유닛의 상기 로직은 상기 마이크로컨트롤러의 제2 구성가능한 로직 셀에 의해 형성된다.

[0010] 마이크로컨트롤러의 추가 실시예에 따르면, 상기 제1 구성가능한 로직 셀은 D-플립플롭으로써 구성되고, 상기 듀티 사이클 제어 유닛의 상기 로직은 OR 게이트의 입력부와 결합되는 출력들을 갖는 2개의 AND 게이트들로써 구성될 수 있다. 마이크로컨트롤러의 추가 실시예에 따르면, 상기 D-플립플롭의 클록 입력부는 상기 제1 클록 소스와 결합되고, 소거 입력부는 상기 NCO의 상기 출력부와 결합될 수 있다. 마이크로컨트롤러의 추가 실시예에 따르면, 상기 제1 AND 게이트의 상기 제1 입력부는 상기 D-플립플롭의 상기 출력부와 결합되고, 상기 제1 AND 게이트의 상기 제2 입력부와 상기 제2 AND 게이트의 상기 제1 입력부는 상기 제2 클록 소스와 결합되고, 상기

제2 AND 게이트의 상기 제2 입력부는 상기 NCO의 상기 출력부와 결합되고, 상기 OR 게이트의 상기 출력부는 상기 NCO의 상기 입력부와 결합될 수 있다.

[0011] 더욱 또하나의 실시예에 따르면, 펄스폭 변조 신호를 제공하기 위한 방법은: 펄스폭 출력 신호를 세트하도록 구성되며 상기 펄스폭 출력 신호를 리셋하기 위한 리셋 입력부를 갖는 출력 제어기의 세트 입력부에 제1 클록 신호를 제공하고; 레지스터와 결합되어 있고 그리고 상기 레지스터에 세트된 값에 따라 특정 주파수를 만들기 위해 직접 디지털 합성을 제공하도록 구성되는 수치 제어 발진기(NCO; numerical controlled oscillator)에 의해 리셋 신호를 생성하는 것을 포함할 수 있고, 여기서, 상기 NCO는 제2 클록 신호, 리셋 신호, 및 상기 펄스폭 변조 출력 신호로부터 파생된 클록 신호를 수신한다.

[0012] 상기 방법의 추가 실시예에 따르면, 상기 NCO는 하나의 시간 주기에 걸쳐 평균된 고정 듀티 사이클을 갖는 출력 신호를 생성할 수 있다. 상기 방법의 추가 실시예에 따르면, 상기 제1 클록 신호는, 타이머, PWM 유닛, 규칙적 시간 신호 또는 불규칙적 시간 신호를 제공하는 외부 소스로부터 생성될 수 있다. 상기 방법의 추가 실시예에 따르면, 상기 제2 클록 신호는 시스템 클록 소스, 타이머, PWM 유닛, 또는 외부 소스에 의해 생성될 수 있다. 상기 방법의 추가 실시예에 따르면, 상기 제2 클록 소스로부터 파생된 상기 신호의 제어하에 있는 상기 수치 제어 발진기(NCO)는 충분값을 누산기에 반복적으로 가산할 수 있고, 여기서, 상기 누산기는 상기 NCO의 상기 출력 신호를 생성하는 데에 이용되는 오버플로 신호를 생성한다. 상기 방법의 추가 실시예에 따르면, 상기 제2 클록 신호는 상기 펄스폭 변조 출력 신호와 AND 연산되고 또한 상기 제2 클록신호는 상기 NCO의 상기 출력 신호와 AND 연산되어 OR 연산될 수 있고, 여기서, 상기 OR 연산된 신호는 상기 NCO에 공급되는 상기 제2 클록 신호로부터 파생된 신호이다.

발명의 효과

[0013] 상기한 바에 의하면, 고분해능을 갖는 개선된 PWM을 달성할 수 있다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 일 실시예에 따른 블록도를 도시한다.

도 2는 마이크로컨트롤러의 NCO 주변장치 및 CLC 주변장치를 이용하는 실시예를 도시한다.

도 3은 종래 PWM 유닛의 전형적인 분해능을 도시한다.

도 4는 수치 제어 발진기(NCO) 주변장치의 가능한 구현예를 도시한다.

도 5는 NCO의 다양한 신호들의 타이밍도를 도시한다.

도 6은 마이크로컨트롤러의 구성 가능한 로직 셀 주변장치의 개략적인 블록도를 도시한다.

도 7은 마이크로컨트롤러에서 프로그램에 의해 선택될 수 있는 가능한 로직 셀들을 도시한다.

도 8a 및 8b는 각각 종래 PWM 변조기들 및 본 발명의 다양한 실시예들에 따른 PWM 변조기의 타이밍도들을 도시한다.

도 9a 내지 9d는 다양한 구성들의 듀티 사이클에 대응하여 표시된 고분해능 PWM의 비트 분해능을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0015] PWM 분해능을 증가시키기 위해서는, 듀티 사이클 타이머의 정확도가 개선되어야 한다. 이를 달성하기 위한 다양한 접근법이 존재한다. 하지만, 스위치 모드 파워 서플라이들(SMPS) 및 유사 디바이스들은, 펄스폭에 그다지 민감하지 않고, 오히려 그들이 부하와 소스 사이의 에너지 흐름의 균형을 맞추면서 동작하기 때문에 평균 펄스폭에 민감하다. 이는 종래의 SMPS 설계로부터의 패러다임의 전환이다. PWM을 필요로하는 종래의 해결책들은 디바이스에서 이용 가능한 PWM 주변장치들에 주목한다. 분해능을 개선하는 확립된 방법은 간단히 클록 주파수를 증가시키는 것이다. 그래서 종래의 해결책들은 이 문제를 해결하기 위하여 단지 클록의 증가에만 초점을 맞췄다.

[0016] 펄스폭들을 평균화함으로써, 시스템 클록보다 매우 더작은 유효 펄스폭 제어가 다양한 실시예들에 따라서 달성될 수 있다. 이 개념은 받아들이기 어려울 수 있다. 하지만, 본 개시에 따른 물리적인 실시예들은 개선된 결과들을 입증할 수 있다. 그리하여, 디지털 설계에서 정확도에 대한 부정할 수 없는 한계이고 또한 신호들이 제어될 수 있는 62.5ns 시스템 클록에 있어서조차도, 이하에서 더욱 상세하게 설명되는 바와 같이, 15ps 펄스폭 조

정이 다양한 실시예들에 따라 달성될 수 있다.

[0017] SMPS는 기본적으로 부하로 전달되는 평균 에너지를 제어하도록 동작하는데, 다시 말해 그들은 본질적으로 공급된 펄스폭을 평균한다. 많은 마이크로컨트롤러들, 예를 들면 본 개시의 양수인에 의해 제조되는 마이크로컨트롤러들에 있어서, 수치 제어 발진기(NCO; numerical controlled oscillator) 모듈이 이용가능하다. 다양한 실시예들에 따르면, 이러한 수치 제어 발진기 모듈(NCO) 주변장치는 PWM 분해능을 개선하는 데에 이용될 수 있다. 이를 위해, NCO는, 직접 디지털 합성(Direct Digital Synthesis)으로 불리는 기술과 함께 이용되어, 정확하게 제어된 디터(dither)를 생성된 출력에 가산함으로써 평균적으로 매우 미세하게 조정가능한 주파수를 생성할 수 있다. 동일한 기술(실제로는, 동일한 주변장치)이 이렇게 하여 매우 미세하게 조정가능한 펄스폭(1/f)을 생성하는 데에 이용될 수 있다.

[0018] 더욱이, 다양한 마이크로컨트롤러들, 특히 본 개시의 양수인에 의해 제조되는 특정의 마이크로컨트롤러들은, 또한, 구성가능한 로직 셀들(CLC)을 제공한다. 다양한 실시예들에 따르면, 이러한 CLC를 연결 로직(glue logic)으로 이용함으로써, 현존하는 NCO가 현재의 하드웨어를 이용하여 16MHz 클록으로 동작하는 디바이스에서 15ps(피코초) 만큼 작은 평균 펄스폭 증분을 갖는 PWM으로 전환될 수 있다. 이는, 동일한 디바이스의 정확히 동일한 16MHz 클록을 이용하여, 상술한 바와 같은 동일한 시나리오에서 17비트의 유효 PWM 분해능을 산출할 것이다.

[0019] 이 신호의 수용부(consumer)는, SMPS를 갖는 경우처럼, 시간에 걸쳐서 정확하게 만들어진 펄스폭을 평균한다. NCO에서는, 수용부가 주파수를 평균해야한다. 반가운 부가 효과로서, 평균 펄스폭을 생성하는데 이용되는 지터가 스위칭 주파수 고조파(harmonics)를 얼마큼 효율적으로 분산시킬 것이고, 그리하여 디바이스의 전자파 적합성(EMC) 성능을 개선할 것이다.

[0020] PWM 스위칭 주파수 분해능을 증가시키는 소프트웨어 방법은, 애플리케이션 노트 1050으로써 2006년에 마이크로칩(Microchip)에 의해 공개되었다. 그의 초점은 오버플로 카운터를 이용하여 PWM의 주파수 분해능을 증가시키는 것이었다.

[0021] 본 개시에서 제안된 다양한 실시예들은 주파수 분해능을 개선하지 않지만, 유사 기법을 이용함으로써 펄스폭 제어 분해능을 증가시킨다. 양쪽 방법들을 결합함으로써, 스위칭 주파수와 펄스폭 모두를 정확하게 제어하는 것이 가능해질 수 있다.

[0022] 더욱이, 본 개시에서 제안된 다양한 실시예들은 그 기법을 간단하고 효율적인 방식으로 하드웨어에 구현한다. 일 실시예에 따르면, DDS에 의해 생성된 클록은, 증분에 있어서 피코초에 이르기까지 조정가능한 평균 펄스폭들을 갖는 초고분해능 PWM을 생성하는 데에 이용될 수 있다. 다양한 실시예들이 CLC와 NCO 주변장치들을 결합하여 현존하는 하드웨어에 구현될 수 있다. 그것은 SMPS 파워 서플라이 애플리케이션들을 제어하는 데에 이용될 것이다.

[0023] 다양한 실시예들에 따르면, NCO 주변장치의 특성들을 이용함으로써, 고분해능 PWM 신호가 만들어질 수 있다.

[0024] 일 실시예에 따른 도 1을 보면, PWM 신호를 위한 시간 기반(time base) 또는 스위칭 주파수를 제공하는 데에 이용되는 스위칭 클록(110)을 포함하는 제어 회로(100)가 도시되어 있다. 이 시간 기반(110)은 마이크로컨트롤러의 타이머, 마이크로컨트롤러의 PWM, 외부의 규칙적 시간 신호 또는 영전류 검출 입력 또는 영전압 검출 입력과 같은 불규칙적 신호일 수 있다. 다양한 실시예들에 따르면, 스위칭 클록(110)은 예를 들면 디지털 제어 신호에 의해 조정가능할 수 있다. 출력 제어기(120)는 PWM 출력 신호를 세트 또는 리셋하도록 구성될 수 있으며, 이로써 펄스폭을 제어한다. 이에 따라, 상술한 바와 같이 조정가능할 수 있는 스위칭 클록(110)이 PWM 스위칭 주파수를 결정한다. 또한, 다양한 실시예들이 단일 펄스(규칙적 PWM 신호가 아니라 특정 지속기간의 단안정(monostable)(one-shot) 펄스임)를 만드는 데에 이용될 수 있다.

[0025] 두번째로 주요한 기능적 구성 요소는, 도 1에 도시된 바와 같이, 듀티 사이클 제어부(130)이다. 듀티 사이클 제어부(130)는, 발진기 클록, 타이머 또는 다른 PWM과 같은 내부 규칙적 시간 신호, 또는 마이크로컨트롤러 핀을 통해 제공된 외부 신호일 수 있는 클록 소스(140)를 이용한다. 이 클록 소스(140)는 몇몇의 로직 게이트들(150)을 통해서 마이크로컨트롤러의 수치 제어 발진기(NCO)(160)에 연결된다. 수치 제어 발진기(160)는, 누산기의 캐리값을 유지하는 오버플로 카운터를 구현함으로써 특정 주파수를 만드는 직접 디지털 합성(Direct Digital Synthesis)을 구현하는 오버플로 카운터이다. 증분 레지스터(170)는 스위칭 주파수를 결정하는 데에 이용된다. NCO(160)에 의해 만들어진 주파수는 대체로(on average) 증분 레지스터(170)에 셋업되었된 것으로, 이것은 조기 오버플로를 유발하는 누산기의 캐리에 의해 정상 펄스보다 1클록 빠른 펄스를 때때로 방출함으로써 달성된다. 이러한 변형의 효과는, 더높은 평균 주파수가 방출된다는 것이다. 펄스폭을 카운트아웃하는 데에 이러한 주파수

를 이용함으로써, 주파수($1/f=T$)가 효율적으로 반전되어 PWM에서 정확하게 제어가능한 평균 펄스폭을 구현한다.

[0026] 출력 제어기(120)가, 스위칭 클록(110)으로부터의 스위칭 신호와 듀티 사이클 제어기(130)를 서로 결합시킴으로써, 스위칭 주파수 제어가 주기 시작의 신호를 보냈을 때에만 듀티 사이클 제어기 클록을 시작시키고 그리고 일단 듀티 사이클 펄스가 완료되었으면 듀티 사이클 제어기 클록을 디스에이블시켜서 본 시스템이 다음 스위칭 주파수 제어 펄스를 수신하고 그 프로세스를 반복할 준비를 하게 한다.

[0027] 도 2는 적어도 2개의 구성가능한 로직 셀들과 NCO를 갖는 마이크로컨트롤러를 이용하는 실제의 예시적인 구현을 도시한다. 이러한 마이크로컨트롤러, 예를 들면 마이크로칩 테크놀로지(Microchip Technology Inc.)에 의해 제조된 PIC16F1509는, 본 출원의 양수인으로부터 입수할 수 있으며, 그에 대한 문서는 여기에 참조로서 통합된다. 제1 로직 셀(220)은 출력 제어기(120)의 D-플립플롭(U2)의 형태를 갖도록 구성된다. 제2 로직 셀(230)은 2개의 AND 게이트들(U3, U4)과 하나의 OR 게이트(U5)의 형태를 갖도록 구성된다. 입력 신호와 출력 신호는, 이후, 도 2에 도시된 회로를 형성하도록 프로그램에 의해 라우트된다. 하지만, 다른 실시예들에 따르면, 전용의 로직이 동일한 기능성을 제공하는 마이크로컨트롤러에 구현될 수도 있다.

[0028] 회로의 동작은 다음과 같이 설명될 수 있다: 1. 플립플롭(U2)은 타이밍 신호의 포지티브(positive) 에지에서 클록할 것이다. 이로 인해, Q 출력은 하이(high)가 되어 PWM 펄스가 시작할 것이다. 2. 상기 출력이 하이가 됨에 따라, AND 게이트(U3)는 이 출력 신호를 U5를 통해 NCO 클록 핀으로 공급되는 고속 클록과 결합시킨다. 이 시점에서, NCO 출력은 로우(low)이고 U4는 어떠한 출력도 만들지 않는다. 3. NCO가 오버플로되면, NCO 출력은 플립플롭을 리셋시키는 하이가 되어 플립플롭의 Q 출력이 로우가 되게 한다. 이제, U3는 게이트의 2개의 입력들 중 하나가 로우이기 때문에 비활성화된다. 4. NCO는 NCO 출력을 로우로 복귀시키기 위해 추가적 클록을 요구하기 때문에, U4는 NCO를 다시 안정 상태로 하는 데에 이용된다. 일단 NCO 출력이 로우로 복귀하면, U4 역시 어떠한 클록 출력도 만들지 않을 것이고 시스템은 출력 로우를 갖는 안정 상태로 될 것이다. 5. 타이밍 소스로부터의 다음번 포지티브 에지가 수신되면, 프로세스는 상기 단계 1로부터 반복된다. NCO가 오버플로되기까지 걸리는 시간의 양은, 충분 레지스터뿐만 아니라, 마지막 오버플로 이후에 누산기에 남아있는 나머지(remainder)에도 의존할 것이다. 나머지들의 누산에 의해서, 펄스는 가끔씩 보통보다 1개의 시스템 클록이 더 작을 것이다. (충분 레지스터를 세팅하여) 이것이 얼마나 자주 발생할지를 제어함으로써, 평균 펄스폭이 정확하게 제어될 수 있다.

[0029] 도 4는 마이크로컨트롤러의 주변 디바이스로서 구현될 수 있는 예시적인 수치 제어 발진기를 도시한다. 수치 제어 발진기(NCO) 모듈(400)은, 입력 주파수를 분할(divide)하기 위하여 충분값의 가산으로부터의 오버플로를 이용하는, 타이머이다. 단순 카운터 구동 타이머에 비하여 가산 방법의 장점은, 분할의 분해능이 분할기 값에 따라 변하지 않는다는 것이다. NCO(400)는, 고정된 듀티 사이클로 주파수 정확도 및 미세한 분해능을 필요로하는 애플리케이션들에 가장 유용하다. NCO의 특징들은: 16-비트 충분 기능, 고정 듀티 사이클(FDC) 모드, 펄스 주파수(PF) 모드, 출력 펄스폭 제어, 복수의 클록 입력 소스들, 출력 극성 제어, 및 인터럽트 능력을 포함한다.

[0030] NCO 모듈은, 가산기(430)에 의해 레지스터/버퍼(410/420)에 저장된 고정값을 누산기(460)에 반복적으로 가산함으로써 고정 듀티 사이클을 동작 모드로 동작한다. 가산들은 멀티플렉서(440)와 인에이블 게이트(450)에 의해 제공된 입력 클록비(rate)로 발생한다. 누산기(460)는 주기적으로 캐리가 오버플로할 것이고, 이 오버플로는 원시 NCO 출력 신호이다. 이 출력은, 출력 신호 예를 들면, 인터럽트 신호(NCOxIF)를 생성하도록, AND 게이트(470)에 의해 입력 클록과 AND 연산될 수 있다. 또한, 이 신호는, 도 4에 도시된 바와 같이 다른 로직(480)을 통해 라우트되거나, 수치 제어 발진기의 출력 신호로서 이용되는 최종 출력 신호(NCOxOUT)를 생성하기 위해 멀티플렉서(490)에 공급될 수 있다. 멀티플렉서(490)는, 도 4의 하부에 도시된 로직을 이용하는 펄스 주파수 변조 모드를 선택하는 데에 이용되는데, 도 4의 하부에 도시된 로직은 본 실시예들에 관련성이 없다.

[0031] 고정 듀티 사이클 모드에서 동작할 때의 NCO의 기능성에 따르면, 입력 클록은 가산값의 최대 누산값에 대한 비로 감소된다:

$$F_{\text{오버플로}} = (\text{NCO 클록 주파수} * \text{증분값})/2^n$$

[0033] 여기서, n 은 비트들에서의 누산기 폭이다.

[0034] 더욱, NCO 출력은 추가적 로직에 의해 펄스를 늘리거나 플립플롭을 토클함으로써 수정될 수 있다. 수정된 NCO 출력은 이어서 내부적으로 다른 주변장치들로 분산될 수 있으며 선택적으로 소정의 핀으로 출력될 수 있다. 누산기 오버플로는 또한 인터럽트를 생성한다. NCOx 주기는 평균 주파수를 생성하기 위해서 개별 단계에서 변한다. 이 출력은 불확실성을 감소시키는, NCOx 출력을 평균하는 수신 회로의 능력에 의존한다.

- [0035] 예를 들면, 누산기(460)는 20-비트 레지스터일 수 있다. 누산기(460)로의 판독 및 기록 액세스는 3개의 레지스터들을 통해 이용할 수 있다. NCO 가산기(430)는, 전(全)가산기(full adder)일 수 있으며, 전가산기는 시스템 클록과는 독립적으로 동작한다. 이전 결과와 중분값의 가산은 각 입력 클록의 상승 에지에서 누산기값을 교체한다.
- [0036] 중분값(410)은 16비트 중분을 이루는 2개의 8-비트 레지스터들(420)에 저장될 수 있다. 2개의 레지스터들 모두는 판독가능 및 기록가능하다. 중분 레지스터들(410, 420)은, 값의 변화들이 NCO 모듈(400)의 최초의 디스에이블링 없이도 만들어질 수 있도록, 더블-버퍼될 수 있다. 모듈이 디스에이블되면, 버퍼 로드들은 즉각적이다(immediate). 먼저 중분 레지스터로의 기록이 필요한데, 이는 기록이 중분 레지스터(410)에 실행된 이후에 이어서 버퍼(420)가 NCO 동작과 동기하여 로드되기 때문이다.
- [0037] 고정 뉴티 사이클(FDC) 모드에서, 매번 누산기(460)가 오버플로할때마다 출력이 토글된다. 중분값이 일정하게 유지된다면, 이는 50% 뉴티 사이클을 제공한다. 타이밍도가 도 5에 도시되어 있다. FDC 모드는 NCO 제어 레지스터의 각각의 제어 비트를 소거함으로써 선택될 수 있다.
- [0038] 펠스 주파수(PF) 모드에서, 매번 누산기(460)가 오버플로할때마다, 출력은 1 이상의 클록 주기들 동안 활성화된다. 일단 클록 주기가 만료되면, 출력은 비활성 상태로 복귀한다. 이는 펠스된 출력을 제공한다. 출력은, 오버플로 이벤트에 이어지는 상승 클록 에지에서 즉시 활성화된다. 다시, 타이밍도가 도 5에 도시되어 있다. 활성화 상태와 비활성화 상태의 값은 NCO 제어 레지스터의 구성 비트에 의존한다. PF 모드는 NCO 제어 레지스터의 각각의 비트를 설정함으로써 선택된다.
- [0039] PF 모드로 동작할 때, 상기 출력의 활성화 상태는 복수 클록 주기들에 의해서 폭이 변할 수 있다. 다양한 펠스 폭들이 NCO 클록 레지스터의 각각의 비트들에 의해 선택된다. 선택된 펠스폭이 누산기 오버플로 시간 프레임보다 크면, NCO 동작의 출력은 가늠할 수 없다(indeterminate).
- [0040] NCO 모듈의 마지막 스테이지는 출력 구성이다. NCO 제어 레지스터의 NxPOL 비트는 출력 구성을 선택한다. 인터럽트들이 인에이블된 동안의 구성 변화는 그 결과로 생기는 출력 전이를 위한 인터럽트를 유발할 것이다. NCO 출력은 소스 코드 또는 다른 주변장치들에 의해 내부적으로 이용될 수 있다.
- [0041] 도 6 및 7은 다양한 실시예들에 따른 프로그램가능한 로직 셀 주변 디바이스의 예들을 도시한다. 하지만, 상술한 바와 같이, 프로그램가능한 로직 셀들을 대신하여, 전용의 로직이 동일한 기능들을 수행하도록 마이크로컨트롤러에 구현될 수 있다. 구성가능한 로직 셀(CLCx)(600)은 소프트웨어 실행의 속도 제한 밖에서 동작하는 프로그램가능한 로직을 제공한다. 로직 셀은 16 입력들까지 수신하고, 구성가능 입력 선택 게이트들의 이용을 통해서 그 16 입력들을 예를 들면 8개의 선택가능한 단일-출력 로직 기능들 중 하나를 구동하는 4개의 로직 라인들로 감소시킨다. 입력 소스들은: I/O 핀들, 내부 클록들, 주변장치들, 및 레지스터 비트들의 조합일 수 있다. 출력은 내부적으로 주변장치들 및 하나의 출력 핀으로 보내질 수 있다. 도 6은 CLCx를 통한 신호 흐름을 도시하는 개략도이다. 여기서, x는 복수의 구성가능한 로직 셀들 중 특정의 하나를 표시한다.
- [0042] 도 7에 도시된 바와 같이, 가능한 구성들은: AND, NAND, AND-OR, AND-OR-INVERT, OR-XOR, 및 OR-XNOR와 같은 결합적 로직; 및 S-R 플립플롭들, 세트와 리셋을 갖는 클록된(clocked) D-플립플롭들, 세트와 리셋을 갖는 트랜스페어런트 D-플립플롭들, 리셋을 갖는 클록된 J-K 플립플롭들과 같은 래치들을 포함할 수 있다. CLCx 모듈(600)의 프로그래밍은 로직 신호 흐름에 4개의 스테이지들을 구성함으로써 수행될 수 있다. 4개의 스테이지는, 구동 시간에, 해당하는 CLCx 특수 기능 레지스터들에 기록함으로써 설정될 수 있다. 이는, 프로그램 실행 동안, 동작 중에(on-the-fly) 로직 재구성을 허용하는 추가된 장점을 갖는다. 구성가능한 로직에의 입력들로서 이용가능한 16개의 신호들이 있다. 4개의 8-입력 멀티플렉서들이 다음 스테이지로 패스할 입력들을 선택하는 데에 이용된다. 멀티플렉서들에의 16개의 입력들은 4개의 그룹들로 배열된다. 각 그룹은 4개의 멀티플렉서들 중 2개가 이용가능하고, 각 경우에서, 다른 그룹과 쌍지어진다. 이 배열은, 또하나의 그룹으로부터의 선택을 방해함없이 임의의 그룹으로부터 2개까지의 가능한 선택을 만든다. 데이터 입력들은 각각의 제어 레지스터들로 선택된다. 데이터 선택은, 도 6의 왼쪽 부분에 표시된 바와 같은 4개의 멀티플렉서들을 통한다. 도면에서의 데이터 입력들은 포괄적으로(generic) 번호가 붙은 입력 명칭에 의해 식별된다.
- [0043] 아래의 [표 1]은, 주어진 다양한 중분 레지스터 값들에 대하여, 본 회로가 NCO 클록 입력(FNCO)에 직접 연결된 16MHz 클록을 이용하여 만들게 될 펠스폭을 도시한다. 높은 중분값들 때문에, 레지스터의 단일 중분이 단지 15ps 만큼 펠스폭을 변화시킬 것이다.

표 1

[0044] [서로다른 증분 레지스터 값들에 대하여 계산된 PWM 펄스폭]

증분값	NCO FOUT(Hz)	평균 펄스폭(ns)
65000	999,821	1,008.246
65001	999,837	1,008.231
20000	305,176	3,276.800
20001	305,191	3,276.636
100	1,526	655,360.000
101	1,541	648,871.287

[0045] 도 8a에 도시된 바와 같이, SMPS에 이용되는 종래의 PWM 모듈의 리플은 매우 심각할 수 있다. 도 8b는 본 개시의 다양한 실시예들에 따라 구성된 PWM을 갖는 SMPS의 출력 신호를 도시한다. NCO(160)는, 저 리플 출력 전압을 초래하는 미세하게 조정가능한 평균 주파수($f=1/t$ 를 가짐)를 만들 수 있다. 이렇게 하여, NCO(160)는 미세하게 조정가능한 주기를 갖는다. 평균(디터링(dithering))에 의해, 달성가능한 NCO 주기 증분들은 CPU 클록보다 매우 작으며, PWM 펄스폭을 위해 이 주기를 이용함으로써 펄스폭은 CPU 클록보다 매우 작은 증분들에 의해 효율적으로 조정될 수 있다.

[0046] 종래의 PWM 펄스폭들은, 도 3에 도시된 바와 같이, 시간에서 단지 T_{osc} 만큼 조정될 수 있다. 예를 들어, 로우 패스 필터에 의해 펄스폭 변조 신호가 DC 전압으로 변환되는 경우에, 도 3은 그러한 종래의 PWM 변조기에 의해 달성될 수 있는 분해능을 도시하고, 도 8a은 종래의 SMPS의 실제의 오실로스코프 신호 기록을 도시한다. $T_{osc} = T_{PWM}$ 에 접근함에 따라, 유효 PWM 분해능은 감소한다. 예를 들면, 16MHz 클록을 갖고 1MHz로 스위칭하면, $T_{osc} = T_{PWM}/16$ 이 된다. 이는 다시, 단지 4비트들의 전범위에 걸친 PWM 분해능을 초래한다(펄스폭을 위한 가능한 16개의 값들). 제어 루프의 동작 지점은, 전형적으로, PWM의 전범위 중 작은 부분을 차지한다.

[0047] 따라서, 1MHz로 스위칭하는 16MHz 프로세서는 4비트들의 분해능(전범위)을 갖는 PWM을 제공할 수 있다. 만일 동작 지점이 대략 10% 뉴티 사이클이면, 제어 범위 중 단지 1비트만이 유효하다. 이는, 6.25%, 12.5%, 및 기껏해야 18.75%의 이용가능한 값을 초래한다. 전형적으로, 단지 1비트 제어만이며, 여기서, 최적의 경우는 1.58비트($\log_2(3) = 1.58$)을 제공할 수 있다. 그리하여, 초과활성화(overactive) 제어 루프는 발진할 것이고 불안정해질 수 있다. 그래서, 고속 제어 루프가 필요하게 된다.

[0048] [표 2]는 종래의 PWM과 다양한 실시예들에 따른 PWM의 비교를 도시한다.

표 2

	종래의 PWM	NCO 제어 PWM
클록 주파수	16MHz	16MHz
스위칭 주파수	1MHz	1MHz
리플(50% 뉴티 사이클에서)	12.5%	0.003%
V_{IN}	10V	10V
V_{OUT}	5V	5V
V_{RIPPLE}	0.625V	152uV
최적 PWM 펄스 조정	62.5ns	15.26ps
전범위 PWM 분해능	4비트	16비트
10% 범위 PWM 제어 분해능	1비트	13비트

[0050] 시중에 나와있는 종래의 최적 PWM은, 150ps 만큼 조정가능한 펄스폭들을 갖는데, $T_{osc} = 150ps$ 의 펄스폭은 6.7GHz의 주파수를 필요로 한다. 하지만, 이러한 디바이스들은 명백하게 매우 고가이며 고전력을 필요로 한다. 16MHz 디바이스의 경우, 다양한 실시예들에 따르면, 클록 소스로서 수치 제어 발진기(NCO)를 이용하여 15ps 분해능이 달성될 수 있다. 그래서, 유효 PWM 분해능의 비약적인 증진이 달성될 수 있으며, 이는 예를 들면 SMPS 애플리케이션들에 대해 매우 매력적이다. 종래의 접근방식에서는 동일한 결과를 달성하기 위해서 시스템 클록을

66GHz 이상으로 증가시킬 것을 요구할 것인데, 이는 막대한 비용, 전력 및 다른 현실적 문제점들을 갖는다.

[0051] NCO는 주파수에 걸쳐서 선형 제어를 제공하도록 설계된다. 펄스폭의 제어는 연속적으로 선형적이지는 않다. 펄스폭은 주파수의 역수(1/x)에 따라 변할 것이다. 결과적으로, PWM의 유효 분해능이 0% 내지 100% 브리 티 사이클의 전범위에 걸쳐서 일정한 것은 아니다. 모든 브리 티 사이클 세팅에 대하여, 유효 분해능은, 이 특정 지점에서 계산될 수 있고 그래프로 표시될 수 있다. 이 곡선은, 스위칭 주파수가 무엇인지에 따라 다르게 나타날 것인데, 이는 펄스폭이 스위칭 주파수와 무관하게 조정되기 때문이다. FSW = 3kHz 및 16MHz 클록에 있어서, 그래프는 도 9a에 도시된 바와 같이 나타날 것이다. 비록 0% 브리 티 사이클에 가까이에서는 등가의(equivalent) 21 비트를 분해능이 존재하지만, 이는 100% 브리 티 사이클에서 단지 7.5비트 분해능으로 악화되고, 이 지점에서는 종래의 PWM이 고분해능 구현보다 성능이 좋을 것이다.

[0052] 흥미롭게도, 아마도 직관에 반대적으로, 분해능은 NCO 입력 클록 주파수를 감소시킴에 따라 개선될 수 있다. 이 클록을 1MHz로 감소시키면 도 9b에 도시된 결과를 나타낸다. 물론, 도시된 바와 같이, 0% 브리 티 사이클에 가까이에서는 제한이 있는데, 여기서 충분 레지스터 최대값에 도달하고 더작은 펄스들은 더이상 생성될 수 없으나 분해능은 11비트 이하로 절대 감소되지 않는다.

[0053] 또하나의 실시예에 따르면, 성능을 개선하기 위하여, PWM 신호는 브리 티 사이클이 50%를 초과할 때 반전될 수 있다. 이렇게 함으로써, 50% 브리 티 사이클 이하에서의 성능이 더높은 분해능을 갖도록 그 이상의 영역으로 효과적으로 미러링될 수 있다. 충분의 제한들이 미치는 곳에서는 원래 곡선을 이용하기 위한 옵션이 여전히 존재한다. 이는 결과적으로 도 9b의 그래프와 동일한 조건들에 대하여, 도 9c에 묘사된 그래프가 된다.

[0054] 가능한 최고 스위칭 주파수 및 이 기술을 이용한 최고 분해능 둘 다를 달성하기 위하여, 도 9d에 도시된 바와 같은 구성이 이용될 수 있다. 이 그래프는 50%에서 반전을 갖는 500kHz의 스위칭 주파수로 16MHz를 이용하는 경우에 달성가능한 분해능을 도시한다.

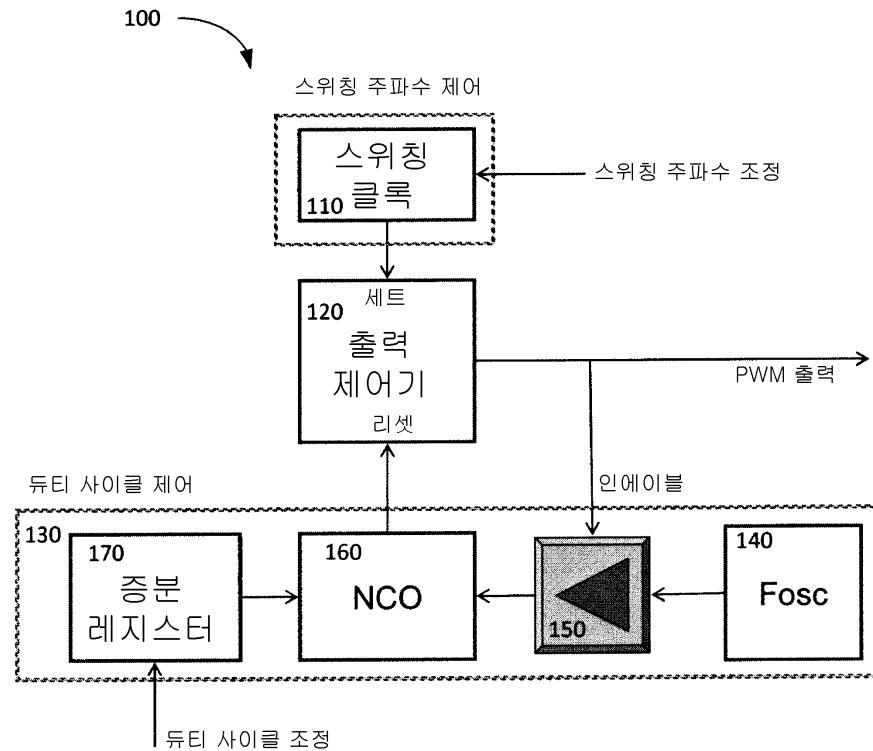
[0055] 다양한 실시예들에 따른 PWM 출력은 평균 펄스폭을 만든다. 비록 이것이 SMPS 애플리케이션들을 위해서는 완벽 할지라도, PWM들의 일부 다른 애플리케이션들은 이에 부응하지 못할 수 있다. 또한, 펄스 조정 분해능은 스위칭 주파수가 감소됨에 따라 감소된다.

[0056] 바람직하게는 다양한 실시예들이 마이크로컨트롤러들에 구현될 수 있다. 부가 효과로서, PWM은, 영전류/영전압 검출기 또는 비교기와 같은 외부 신호에 의해 트리거될 수 있다. 이는 FET들을 효율적으로 스위칭하기 위해 매우 중요할 수 있다. 이에 의해, 비용의 증가없이 PWM 분해능의 비약적인 증진(4비트에서 16비트로)이 달성될 수 있다. 예를 들면, 상술한 바와 같이, 본 양수인에 의해 제조된 PIC16F1509가 본 개시에 따른 실시예를 구현하기 위해 이용될 수 있다.

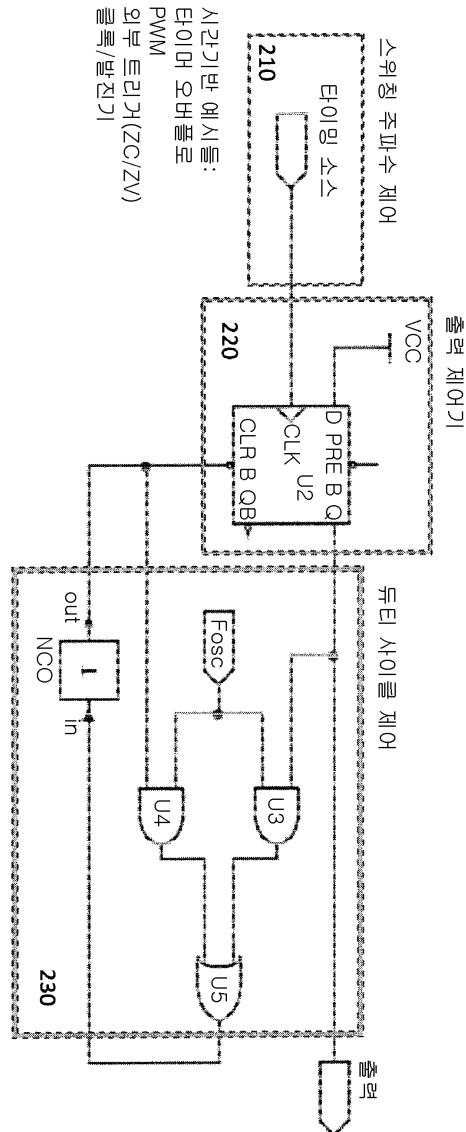
[0057] 이러한 본 실시예들은, 고정확성 SMPS 제어 루프들이 초저전력에서, 종래 시스템들의 클록 스피드들 중 일부분에서 구동하는 것을 가능케하고, 또한, 규모(magnitude)에 관한 복수의 명령들을 더 잘 수행하는 것을 가능케한다. 더높은 스위칭 스피드들은 더높은 전력 밀도들을 의미하고, 이는 결국 물리적으로 더작고 더저렴한 파워서플라이들을 의미한다. 스위칭 주파수를 제한하는 SMPS 설계요인 중 하나는, PWM 분해능이 스위칭 주파수가 증가할수록 감소한다는 것이다.

도면

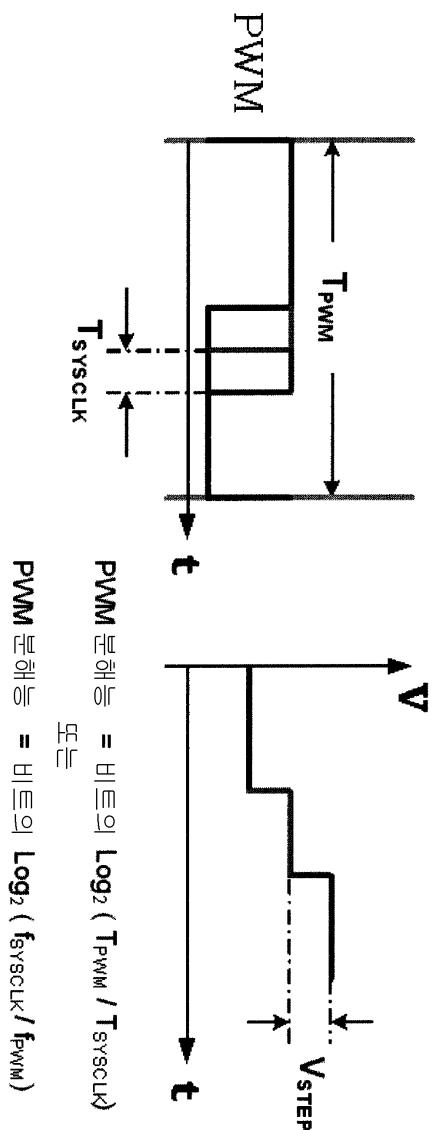
도면1



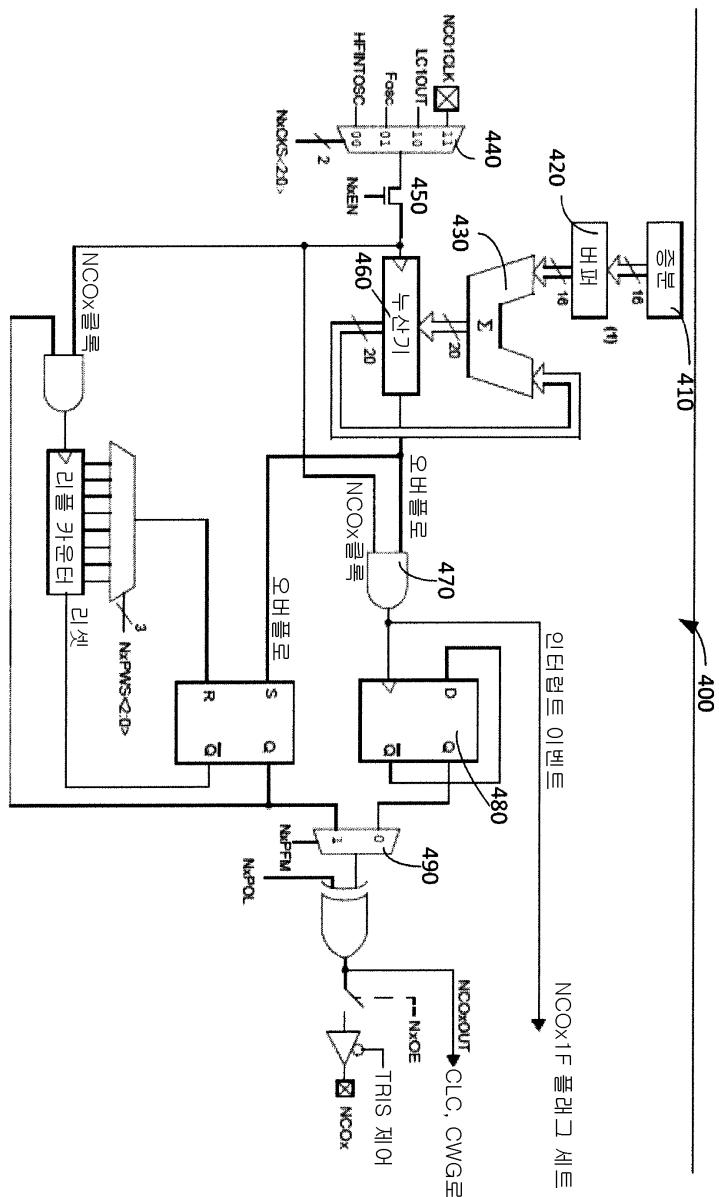
도면2



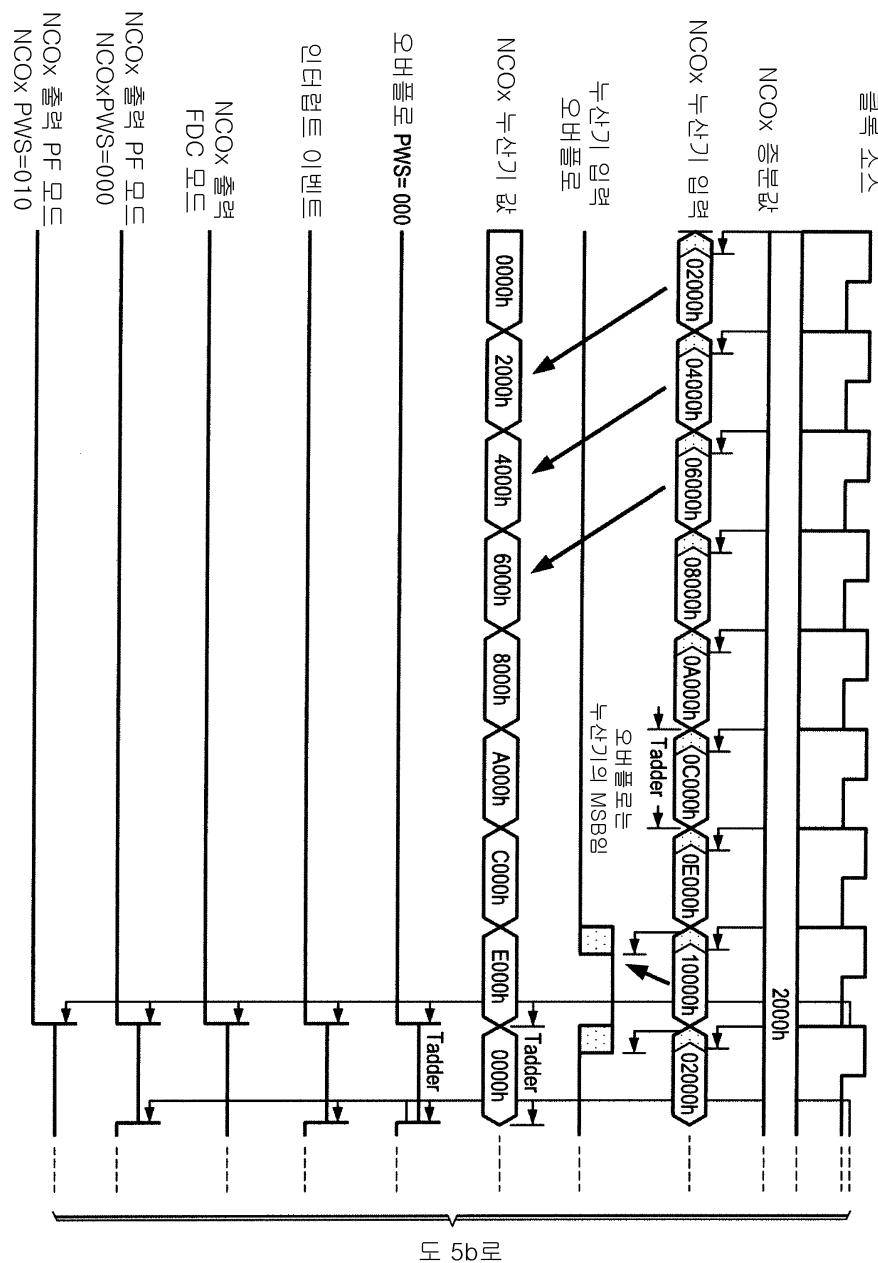
도면3



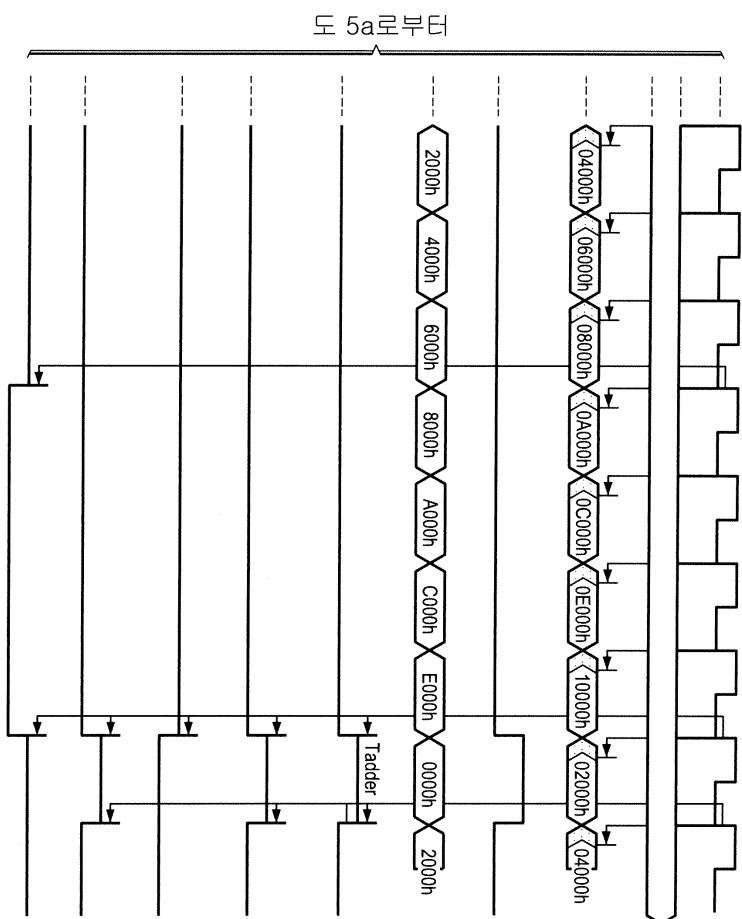
도면4



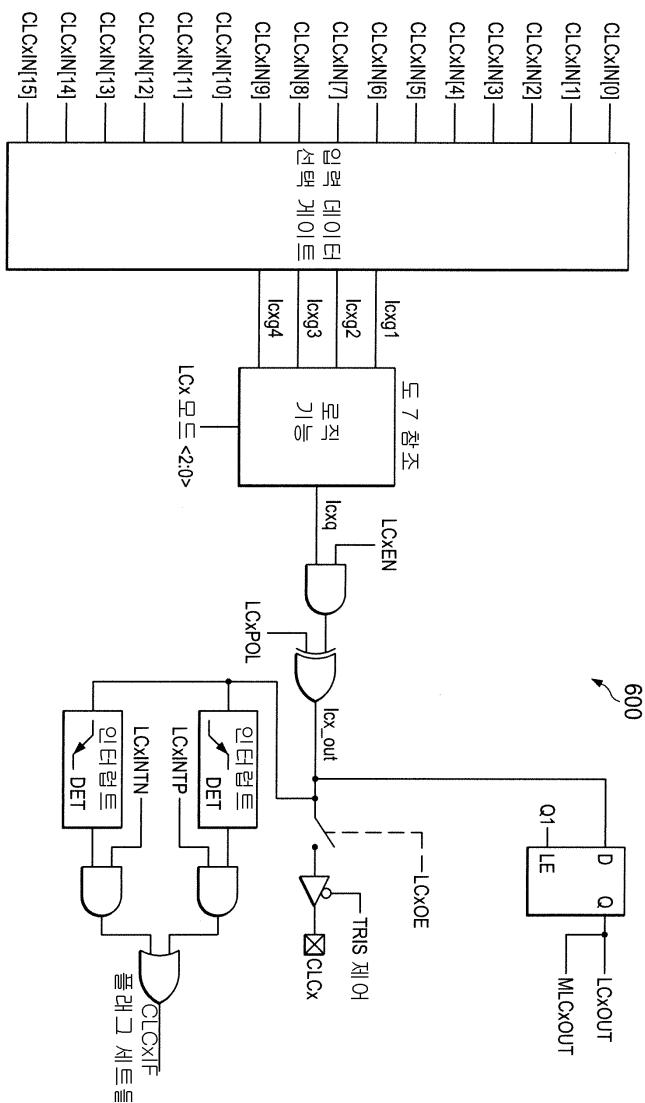
도면5a



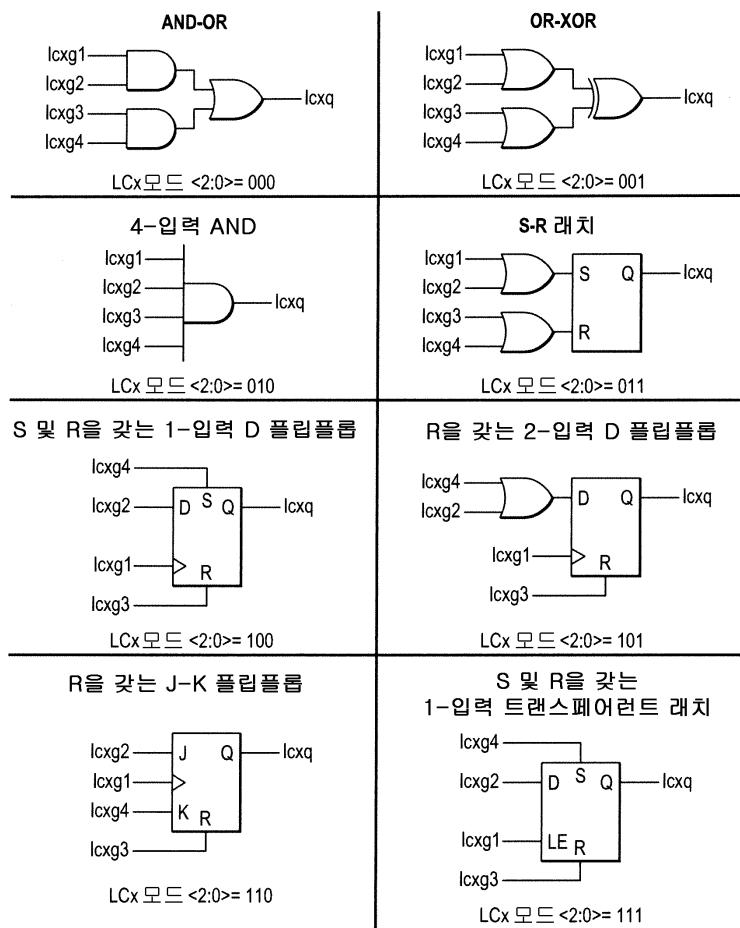
도면5b



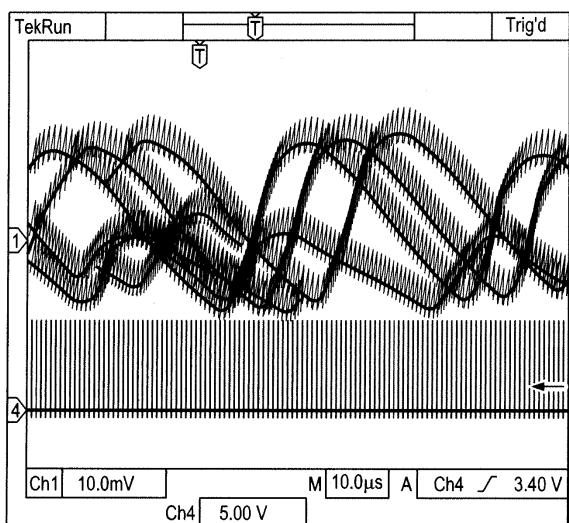
도면6



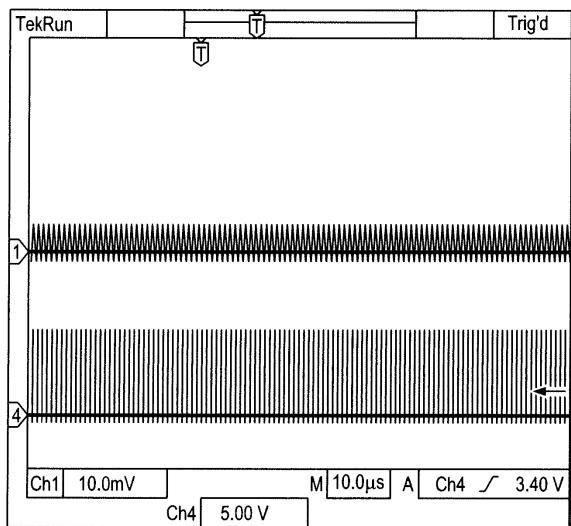
도면7



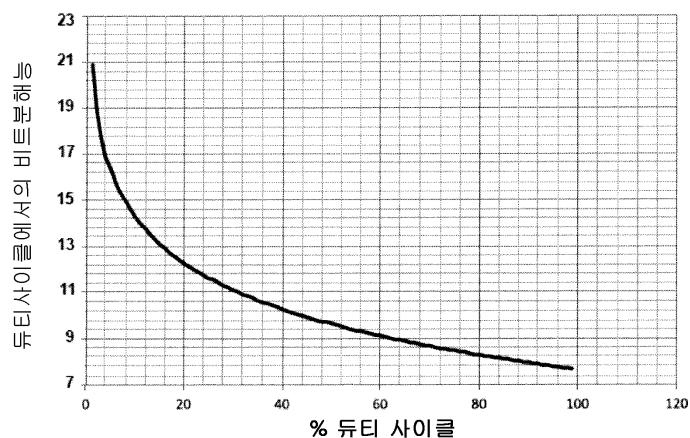
도면8a



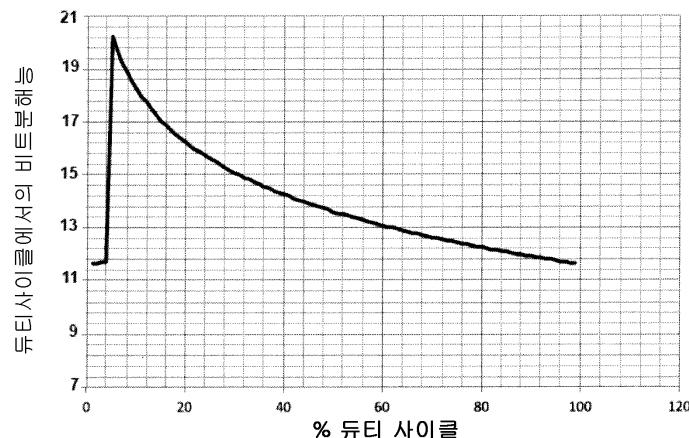
도면8b



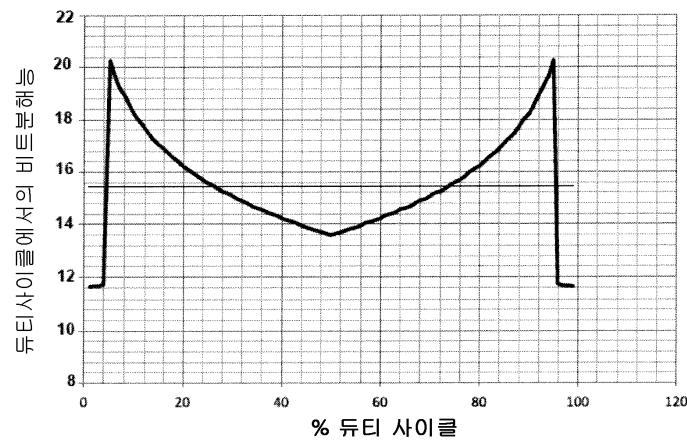
도면9a



도면9b



도면9c



도면9d

