

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-121629

(P2007-121629A)

(43) 公開日 平成19年5月17日(2007.5.17)

(51) Int. Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	3K107
G09G 3/20 (2006.01)	G09G 3/20 621M	5C080
G09G 3/30 (2006.01)	G09G 3/20 624B	5C094
H01L 27/32 (2006.01)	G09G 3/20 641D	
H01L 51/50 (2006.01)	G09G 3/20 641C	
審査請求 未請求 請求項の数 7 O L (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2005-312786 (P2005-312786)

(22) 出願日 平成17年10月27日 (2005.10.27)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100065385

弁理士 山下 穰平

(74) 代理人 100122921

弁理士 志村 博

(74) 代理人 100130029

弁理士 永井 道雄

(72) 発明者 山下 孝敦

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

(72) 発明者 川崎 素明

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

最終頁に続く

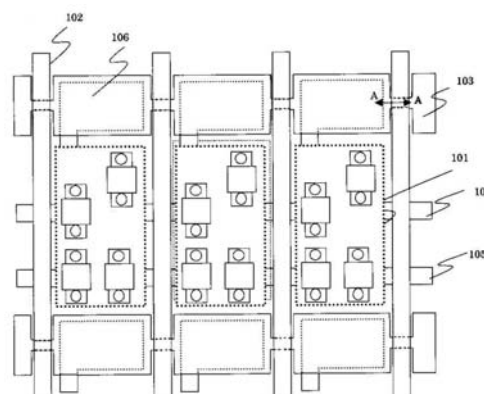
(54) 【発明の名称】 アクティブマトリクス型表示装置およびカメラ

(57) 【要約】

【課題】電源線とデータ線との交差部の寄生容量を低減させて表示品質を向上させる。

【解決手段】表示素子とアクティブ素子とを備えた画素101が2次元に配列され、一方向に延在する複数のデータ信号線102、他方向に延在する複数の電源線103を有するアクティブマトリクス型表示装置において、データ信号線102と電源線103との交差部で電源線の線幅が交差部以外の位置の線幅よりも短くなるようにする、又はデータ信号線と電源線との交差部で電源線を分岐させ、分岐した複数の分岐部の各幅の合計が交差部以外の位置の線幅よりも短くなるようにする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

表示素子とアクティブ素子とを備えた画素が 2 次元に配列され、一方向に延在する複数のデータ信号線、他方向に延在する複数の電源線を有するアクティブマトリクス型表示装置において、

前記データ信号線と前記電源線との交差部で前記電源線の線幅が前記交差部以外の位置の線幅よりも短いことを特徴とするアクティブマトリクス型表示装置。

【請求項 2】

前記交差部で前記電源線が分岐していることを特徴とする請求項 1 に記載のアクティブマトリクス型表示装置。

10

【請求項 3】

表示素子とアクティブ素子とを備えた画素が 2 次元に配列され、一方向に延在する複数のデータ信号線、他方向に延在する複数の電源線を有するアクティブマトリクス型表示装置において、

前記データ信号線と前記電源線との交差部で前記電源線は分岐しており、分岐した複数の分岐部の各幅の合計が前記交差部以外の位置の線幅よりも短いことを特徴とするアクティブマトリクス型表示装置。

【請求項 4】

前記データ信号線に加えられるデータ信号は電流信号であることを特徴とする請求項 1 から 3 のいずれか 1 項に記載のアクティブマトリクス型表示装置。

20

【請求項 5】

前記データ信号線に加えられるデータ信号は電圧信号であることを特徴とする請求項 1 から 3 のいずれか 1 項に記載のアクティブマトリクス型表示装置。

【請求項 6】

前記表示素子はエレクトロルミネッセンス (E L) 素子であることを特徴とする請求項 1 から 5 のいずれか 1 項に記載のアクティブマトリクス型表示装置。

【請求項 7】

請求項 1 から 6 のいずれか 1 項に記載のアクティブマトリクス型表示装置と、被写体を撮像する撮像部と、前記撮像部で撮像された信号を処理する映像信号処理部と、を備え、前記映像信号処理部で信号処理された映像信号を前記アクティブマトリクス型表示装置で表示してなるカメラ。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明はアクティブマトリクス型表示装置およびカメラに係わり、特に表示素子とアクティブ素子とを備えた画素が 2 次元に配列され、一方向に延在する複数のデータ信号線、他方向に延在する複数の電源線を有するアクティブマトリクス型表示装置およびカメラに関するものである。

【背景技術】**【0002】**

近年、エレクトロルミネッセンス (E L) 素子が画像表示素子として画像表示パネルに応用されている (以後、 E L パネルと称する) 。

40

【0003】

E L 素子は電流駆動型素子であり、その発光制御方法には電圧設定方式と電流設定方式がある。

【0004】

特許文献 1 に記載されているような電圧設定方式の画素回路の構成を図 10 に示す。回路構成は次のようになっている。電圧データ V (d a t a) はデータ信号線 102 を介してトランジスタ M1 のドレインに入力され、トランジスタ M3 のドレインが E L 素子の電流注入端子と接続されている。また制御信号が行制御線 104、105 を介して各々トラ

50

ンジスタM1のゲート、トランジスタM3のゲートに入力される。容量C1は一端が電源に接続され他端がトランジスタM2のゲートとトランジスタM1のソースに接続される。トランジスタM2のソースは電源(Vcc)と接続され、トランジスタM2のドレインはトランジスタM3のソースと各々接続される。トランジスタM3は瞬間的に過大な電流がEL素子に流れないために設けられており、点順次動作を行う場合はトランジスタM3を必要としない。また、特許文献1の図2では、信号線駆動回路から有機EL素子列に沿って配置される複数のデータ線は列方向に配列された一定の線幅を有する電源線と交差した平面構造が示されている。

【0005】

次に特許文献2に記載されているような電流設定方式の画素回路の構成を図11に示す。

【0006】

電流データI(data)はデータ信号線102を介してトランジスタM3のソースに入力され、トランジスタM3のゲートとトランジスタM4のゲートは共通の制御線105に接続される。トランジスタM4のソースはトランジスタM3のドレインとトランジスタM2のドレイン、トランジスタM1のドレインと接続される。トランジスタM4のドレインはEL素子の電流注入端子と接続されている。また、トランジスタM1のゲートは一端が電源線103に接続された容量C1の他端と、トランジスタM2のソースと接続され、トランジスタM2のゲートは制御線104、トランジスタM1のソースは電源線103に接続されている。

【0007】

なお、本発明に関連する技術としては、特許文献3に、液晶表示装置において、ゲート配線とソース配線の交差部容量を低減するために、ゲート配線とソース配線の少なくとも一方の幅を交差部以外より細くすることの記載がある(特許文献3の図2等)。また、特許文献4には、補助容量配線を走査配線に沿って延長することの記載がある(特許文献4の図1(a)等)

【特許文献1】特開2003-228299号公報

【特許文献2】米国特許第6373454号明細書

【特許文献3】特開平5-061069号公報

【特許文献4】特開2001-092378号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、上記ELパネルの画素回路部において、例えば、特許文献1の図2に示されるように、データ信号を選択画素に供給する複数の信号線(データ線)と前記データ線と垂直方向に延在する電源線(Vdd)が交差する構造をとっている。その場合、データ線と電源線の交差部において交差数分の寄生容量が発生していた。その結果、選択画素回路に正確なデータ信号を安定して書き込むことが十分にできず表示品質を悪化させている課題があった。

【0009】

本発明は上記課題を鑑みてなされたものであり、ELパネルの画素回路部におけるデータ線と電源線の交差部に発生する寄生容量を低減させ、選択画素に正確な信号を安定して書き込むことを可能にして表示品質を向上させた表示装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明は前記課題を下記の手段によって解決したものである。

【0011】

本発明のアクティブマトリクス型表示装置は、表示素子とアクティブ素子とを備えた画素が2次元に配列され、一方向に延在する複数のデータ信号線、他方向に延在する複数の電源線を有するアクティブマトリクス型表示装置において、

10

20

30

40

50

前記データ信号線と前記電源線との交差部で前記電源線の線幅が前記交差部以外の位置の線幅よりも短いことを特徴とする。

【0012】

本発明のアクティブマトリクス型表示装置は、表示素子とアクティブ素子とを備えた画素が2次元に配列され、一方向に延在する複数のデータ信号線、他方向に延在する複数の電源線を有するアクティブマトリクス型表示装置において、

前記データ信号線と前記電源線との交差部で前記電源線は分岐しており、分岐した複数の分岐部の各幅の合計が前記交差部以外の位置の線幅よりも短いことを特徴とする。

【発明の効果】

【0013】

本発明によれば、電源線とデータ線の寄生容量の影響を抑え、電源の信頼性を確保して画素回路部へのデータの書き込み動作を安定化させることができる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施の形態について図面を用いて詳細に説明する。

[実施形態1]

図1は本発明の第1実施形態に係わる電流設定方式の画素回路の、電流データが供給される行方向に延在した複数のデータ線と、各画素回路に電源を供給する電源線の一部の平面構造図である。画素回路の構成は図11に示した構成と同じである。図2は図1のA-A断面図である。

【0015】

図1において、101は図11に示すような電流設定方式の画素回路部であり、102はデータ線、103は電源線、104及び105は行制御線を示す。電源線103において線幅をデータ線102との交差部で交差部以外の他の位置の線幅より短くした構造となっている。この構造により電源線103とデータ線102の交差部に発生する寄生容量を低減している。こうすることで、選択画素への電流データI(data)の書き込み動作を安定化させることができる。特に、黒レベルを表示するための微小電流(黒電流)を正確に書き込むことが可能となる。線幅が短い部分は図1では電源線103の中心に配置しているが、この位置は任意に配置することができる。

【0016】

なお、電源線はデータ線に対して基本的には並行に配することも可能であるが、以下に説明するように、電源線はデータ線に対して垂直に配することが望ましい。

【0017】

電源線は、各画素を構成するEL素子の駆動電流の総和電流を流すため、低抵抗となるように他の配線と比較して線幅を太くすることが求められる。図1及び図2に示すように、その構成レイアウトにおいて、高精細な画素を形成するために、各画素回路に有する容量C1(図11に図示)は、電源線103とオーバーラップするように電極106が設けられることで、形成される。また、画素回路領域101(1画素)内にトランジスタ4つが配置される。ここで、電源線をデータ線と並行に配置すると、データ線間に容量C1と4つのトランジスタとをデータ線の並び方向に並べて配置する必要が生じ、高精細な画素形成において不利になる。そのため、電源線はデータ線に対して垂直方向に延在させるレイアウトが望ましい。

【0018】

図2において、107は基板、108、109は絶縁層である。電極106はポリシリコン領域によって形成され、配線層(電極層)の順番は上から、データ線、電源線、容量電極(一端)となっている。図1では交差部の寄生容量がより少なくなるように、電源線103と平行となるように交差部での電源線の幅を短くしているが、適宜、交差部での電源線の形状は変更してもよい。

【0019】

次に上記画素回路を2次元状に配置したELパネルの回路構成を図3に示す。R(赤)

10

20

30

40

50

G (緑) B (青) 入力映像信号 1 0 (以下、入力映像信号) が E L パネルの水平画素数の 3 倍数設けられた列制御回路 1 に入力される。その後、水平制御信号 1 1 a は入力回路 6 に入力され水平制御信号 1 1 を出力して水平シフトレジスタ 3 に入力される。

【 0 0 2 0 】

補助列制御信号 1 3 a は入力回路 8 を介して補助列制御信号 1 3 を出力しゲート回路 4 及び 1 6 に入力される。水平シフトレジスタ 3 の各列に対応した出力端子に出力された水平サンプリング信号群 1 7 はゲート回路 1 6 から出力される制御信号 2 1 が入力されたゲート回路 1 5 に入力され、そこで変換された水平サンプリング信号群 1 8 が列制御回路 1 に入力される。列制御回路 1 はゲート回路 4 から出力される制御信号 1 9 が入力されている。垂直制御信号 1 2 a は入力回路 7 に入力され垂直制御信号 1 2 を出力して垂直シフトレジスタ 5 に入力され、走査信号が行制御線 1 0 4、1 0 5 に入力される。

10

【 0 0 2 1 】

列制御回路 1 からのデータ信号はデータ線 1 0 2 を介して各画素回路に入力される。列制御回路 1 の 1 例を図 5 に示す。入力映像信号 (V i d e o) はトランジスタ M 1 1 のソース及びトランジスタ M 1 2 のソースに入力され、トランジスタ M 1 1 のゲート、トランジスタ M 1 2 のゲートは各々水平サンプリング信号 S P a、S P b が入力される。トランジスタ M 1 1 のドレインはトランジスタ M 1 3 のソースと一端が G N D に接地された容量 C 1 1 とに接続される。トランジスタ M 1 3 のゲートは制御信号 P 1 に接続される。またトランジスタ M 1 2 のドレインはトランジスタ M 1 4 のソースと一端が G N D に接地された容量 C 1 2 とに接続される。トランジスタ M 1 4 のゲートは制御信号 P 2 に接続される。トランジスタ M 1 3 のドレインとトランジスタ M 1 4 のドレインはトランジスタ M 1 5 のゲートに接続される。トランジスタ M 1 5 のソースは G N D に接地され、ドレインから電流データ I (d a t a) が出力される。

20

【 0 0 2 2 】

以上、本実施形態では電流設定方式の画素回路を有する表示パネルについて説明をしたが、電圧設定方式の例えば図 1 0 のような画素回路を有する表示パネルにおいても上述したように電源線幅をデータ線との交差部において短くすることも可能である。そして、選択画素への電圧データ V (d a t a) の書き込み動作を安定化させる同様な効果を得ることができる。図 4 は電流設定方式の画素回路を 2 次元状に配置した E L パネルの回路構成を示す図である。図 3 の回路構成と異なるのは、入力回路 8、ゲート回路 4、ゲート回路 1 5、ゲート回路 1 6 が設けられておらず、水平シフトレジスタ 3 が列制御回路 2 2 に接続されていることである。

30

【 0 0 2 3 】

ここで、列制御回路 2 2 では図 6 に示すように水平サンプリング信号 S P がトランジスタ M 0 のゲートに接続され、トランジスタ M 0 のソースに入力映像信号 (V i d e o) が入力される。トランジスタ M 0 のドレインの出力から列制御信号 1 4 の電圧データ V (d a t a) が出力される。

[実施形態 2]

図 7 は E L パネルの画素部における実施形態 2 の平面構造図であり、図 8 は図 7 の B - B 断面図である。1 0 1 は例えば図 1 0 や図 1 1 に示すような画素回路部であり、1 0 2 はデータ線、1 0 3 は電源線、1 0 4 及び 1 0 5 は行制御線を示す。図 8 において、1 0 7 は基板、1 0 8、1 0 9 は絶縁層である。

40

【 0 0 2 4 】

実施形態 1 との相違は、電源線 1 0 3 においてデータ線 1 0 2 との交差部で 2 本に分岐した構造である点である。電源線幅を短くすると、過電流などによって配線が切断されやすくなる場合がある。本実施形態では、電源線の幅を短くするデータ線との交差部において 2 本に分岐することによって電源線の信頼性を向上させた構造としている。そして、電源線とデータ線との交差部で、電源線の線幅は交差部以外の位置の線幅よりも短くなっており、実施形態 1 と同様な効果を得ることができる。なお、本実施形態では電源線 1 0 3 とデータ線 1 0 2 との交差部で 2 本に分岐した構造を示したが、3 本以上に分岐した構造

50

でもよく本実施形態と同様な効果を得ることができる。

【0025】

なお、実施形態1及び2において、図10に示した画素回路及び図11に示した画素回路は図10のトランジスタM2、図11のトランジスタM1の導電型を反対導電型にして用いても良い(図10のトランジスタM2及び図11のトランジスタM1はpMOSトランジスタとなっているが、nMOSトランジスタに変えてもよい。他のトランジスタはスイッチングトランジスタとして動作するので、基本的には導電型を問わない。)。この場合、EL素子のアノード、カソードは逆になり、アノードにVccが接続され、電源線の電圧はVccではなく、GNDとなる。

【0026】

なお交差部の分岐は図7の構成に限定されず、分岐した複数の分岐部の各幅(L1、L2)の合計(L1+L2)が交差部以外の位置の線幅(L)よりも短くなるようになっていればよく((L1+L2)<L)(図7の構成もこの関係を満たしている)、図12に示したように、電源線103の両端に分岐させることも可能である。

[実施形態3]

上述した実施形態1及び実施形態2において電子機器に用いた例について説明する。

【0027】

図10はデジタルスチルカメラの一例のブロック図である。図中、29はシステム全体、23は被写体を撮像する撮影部、24は映像信号処理回路、25は表示パネル、26はメモリ、27はCPU、28は操作部を示す。撮像部23で撮影した映像または、メモリ26に記録された映像を、映像信号処理回路24で信号処理し、表示パネル25で見ることができる。CPU27では、操作部28からの入力によって、撮影部23、メモリ26、映像信号処理回路24などを制御して、状況に適した撮影、記録、再生、表示を行う。

【0028】

表示パネル25として上述した実施形態におけるELパネルを用いた場合、電源線とデータ線の寄生容量を抑制し、画素部へのデータ書き込み動作を安定させることによって高品質な表示パネルを提供できる。また、表示パネルはこの他にもデジタルビデオカメラ、PDA、携帯電話等の各種電子機器の表示部、テレビ等の表示装置として利用できる。

【0029】

なお、本発明は上記実施形態に限定されるものではなく、電源線はデータ線と同様に寄生容量を発生する他の配線においてでもよい。また、上記実施形態で示したEL表示装置だけでなく液晶表示装置などのアクティブマトリクス型表示装置にも適用可能である。液晶表示装置において、液晶と並列に接続される補助容量は画素選択スイッチが非選択時に液晶を駆動する電圧を十分に保持できる容量を形成するため、電源線は他の配線よりも線幅を太くして液晶を安定に駆動できる容量を形成することが求められる。そのため、液晶表示装置においても、電源線をデータ線との交差部で、電源線の線幅を交差部以外の位置の線幅よりも短くする、又は電源線を分岐し、分岐した複数の分岐部の各幅の合計を交差部以外の位置の線幅よりも短くする。

【産業上の利用可能性】

【0030】

本発明はEL表示装置や液晶表示装置等のアクティブ表示装置を用いたデジタルスチルカメラ、デジタルビデオカメラ、PDA、携帯電話、テレビ等に用いることができる。

【図面の簡単な説明】

【0031】

【図1】本発明の実施形態1の画素回路部の平面構造図である。

【図2】図1のA-A断面を示す断面図である。

【図3】電流設定方式によるELパネルの回路構成図である。

【図4】電圧設定方式によるELパネルの回路構成図である。

【図5】電流設定方式によるELパネルの列制御回路構成図である。

【図6】電圧設定方式によるELパネルの列制御回路構成図である。

10

20

30

40

50

【図 7】本発明の実施形態 2 の画素回路部の平面構造図である。

【図 8】図 7 の B - B 断面を示す断面図である。

【図 9】実施形態を利用した表示装置のブロック図である。

【図 10】電圧設定方式による E L パネルの画素回路の構成図である。

【図 11】電流設定方式による E L パネルの画素回路の構成図である。

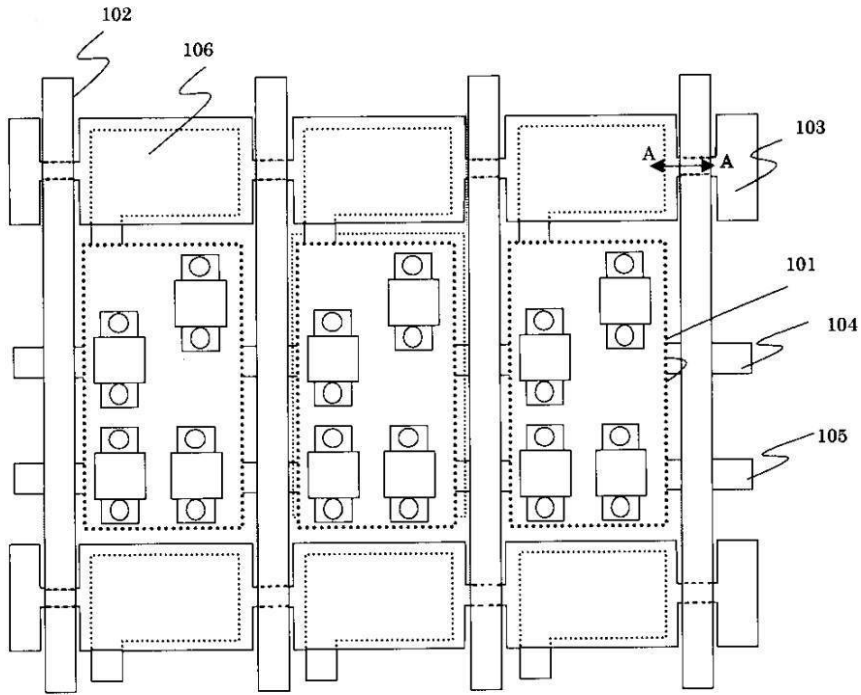
【図 12】交差部の変形例を示す平面図である。

【符号の説明】

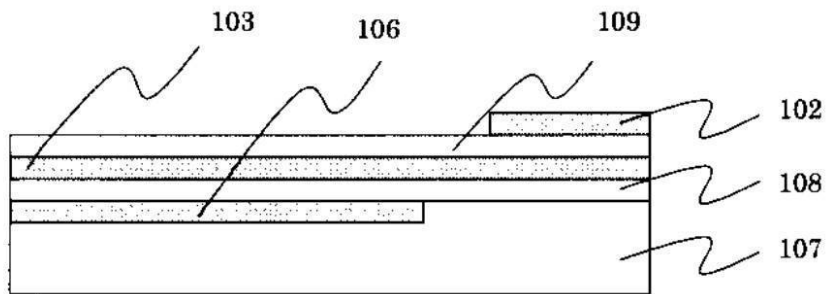
【 0 0 3 2 】

1	列制御回路	
2	画素回路	10
3	列シフトレジスタ	
4	ゲート回路	
5	行シフトレジスタ	
6、7、8	入力回路	
9	画像表示部	
10	映像信号線	
11	水平走査制御信号	
12	垂直走査制御信号	
13	副制御信号	
15	水平サンプリング信号ゲート回路	20
16	ゲート回路	
17	水平サンプリング信号	
18	水平サンプリング信号	
19	制御信号	
21	制御信号	
22	列制御回路	
23	撮影部	
24	映像信号処理回路	
25	表示パネル	
26	メモリ	30
27	C P U	
28	操作部	
29	システム	
101	画素回路	
102	データ線	
103	電源線	
104、105	行制御線	
C1	容量	
V (d a t a)	電圧データ信号	
I (d a t a)	電流データ信号	40
M0、M1～M4、M11～M15	トランジスタ	

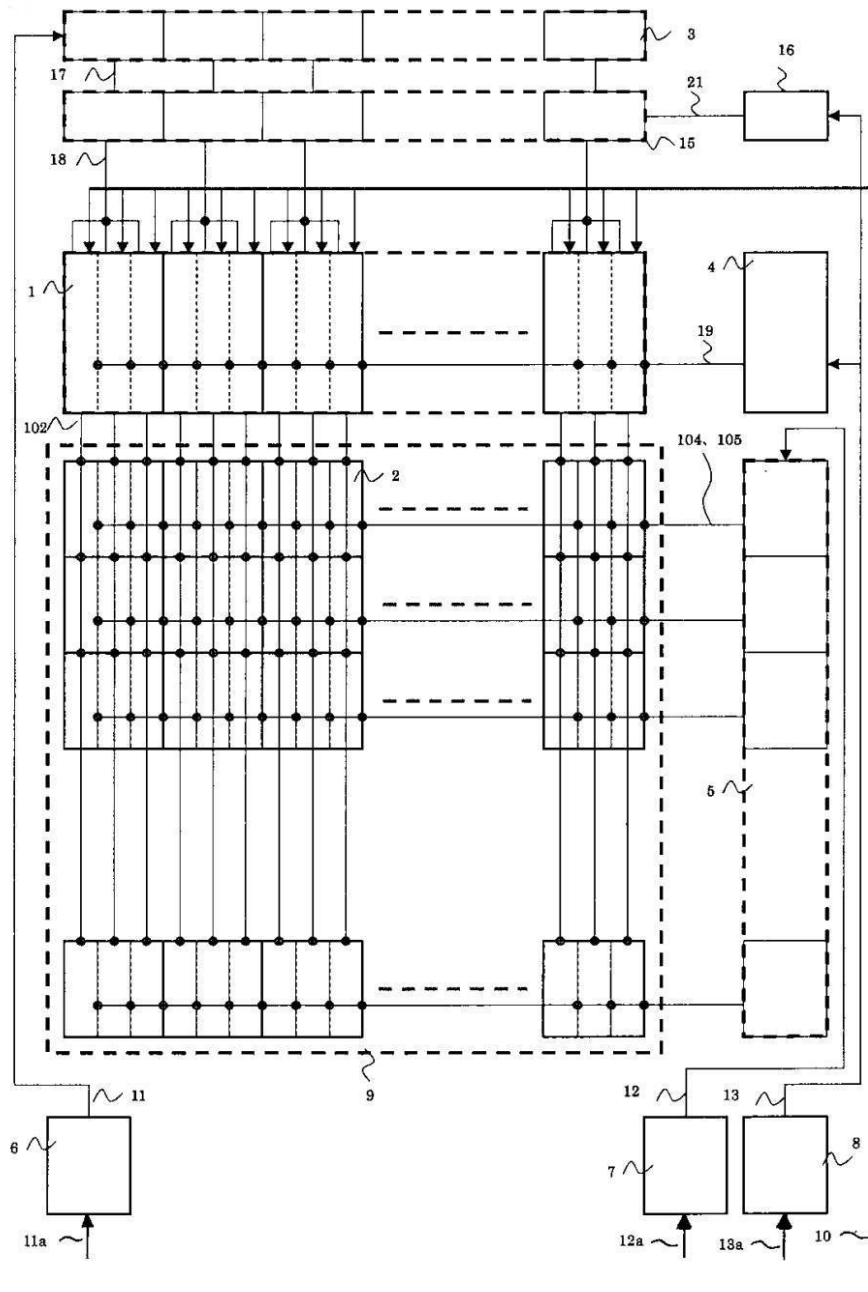
【図 1】



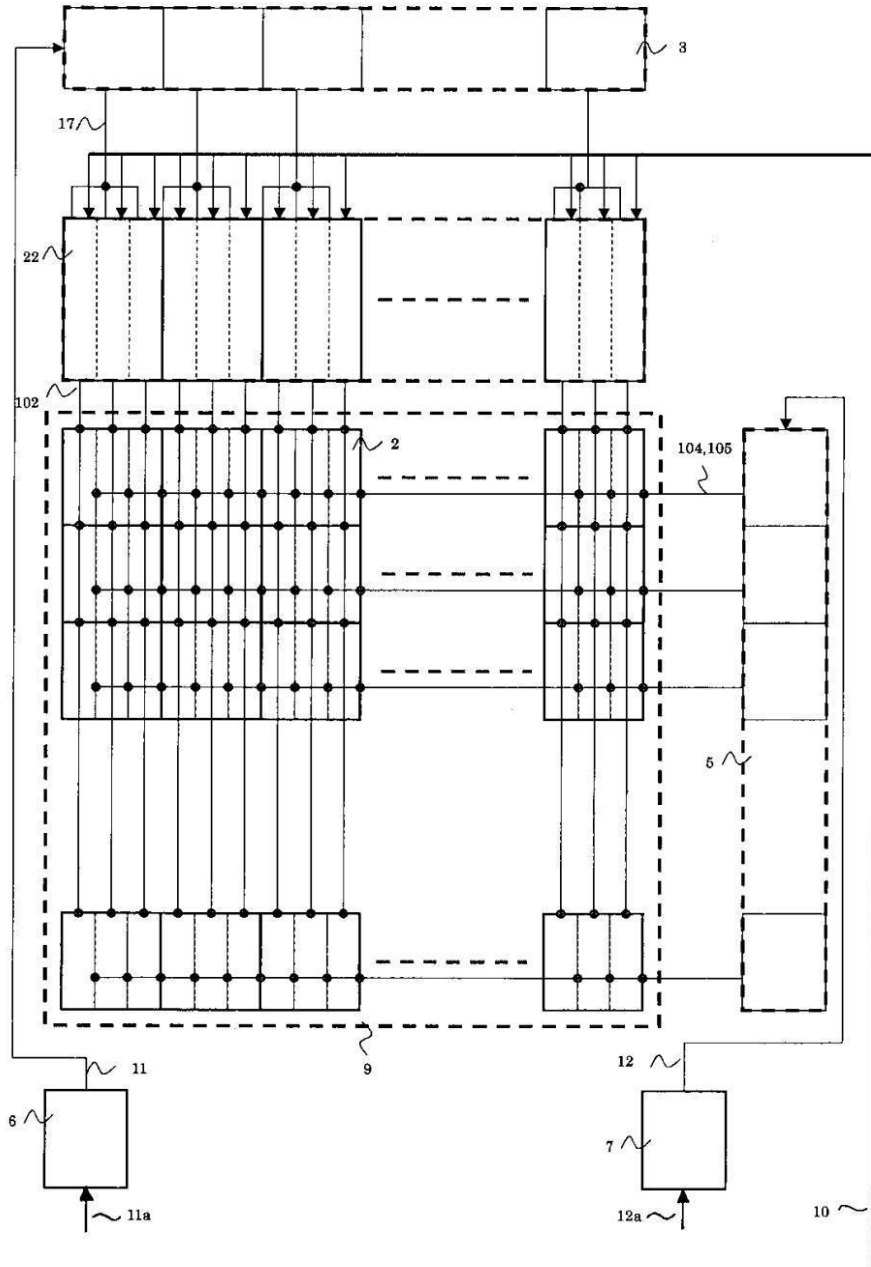
【図 2】



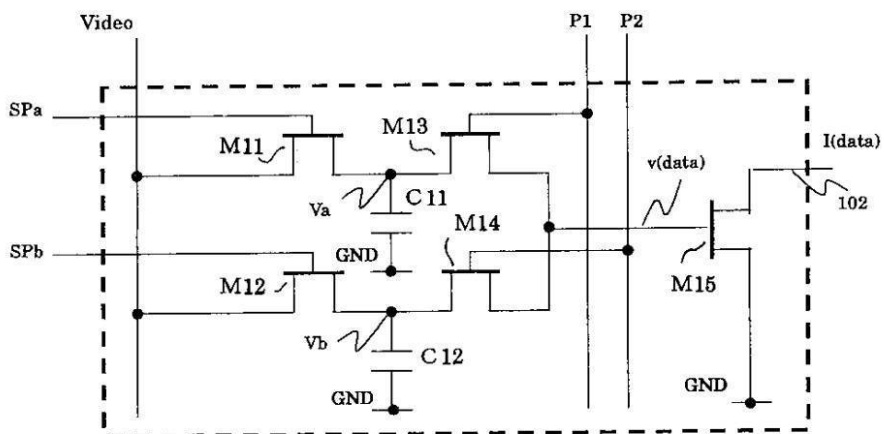
【図 3】



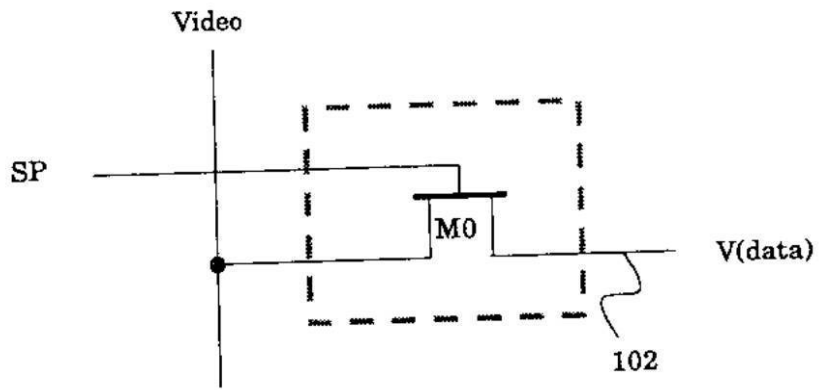
【 図 4 】



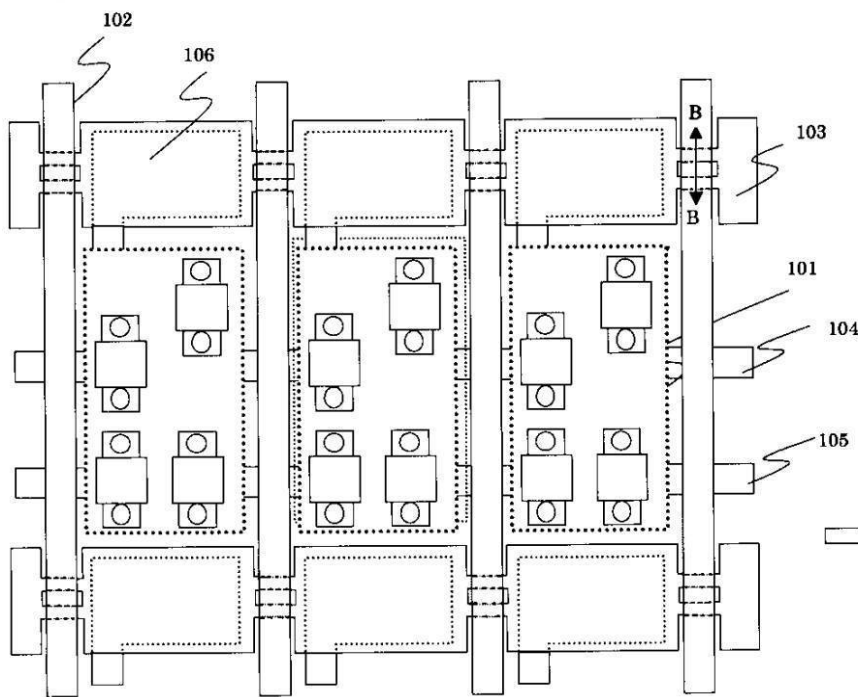
【 図 5 】



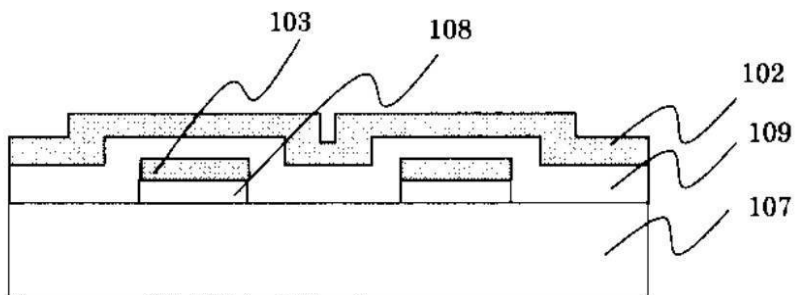
【図 6】



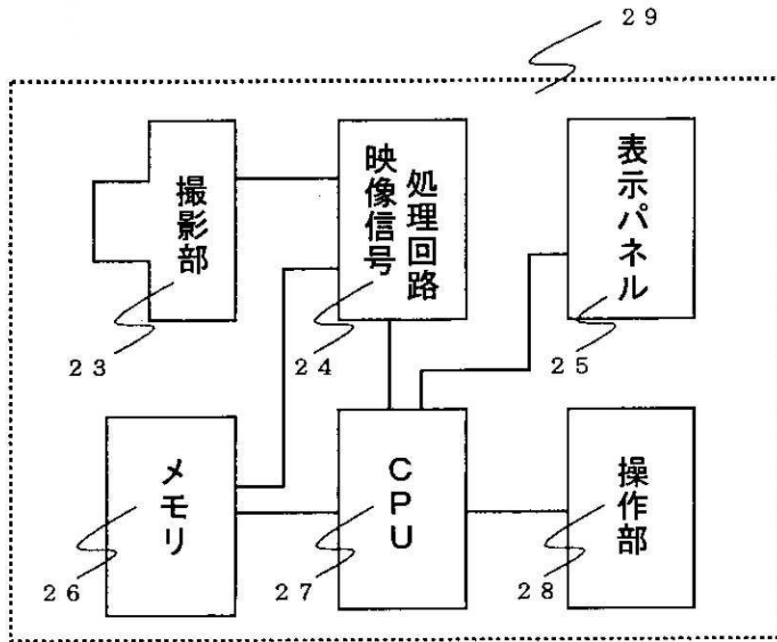
【図 7】



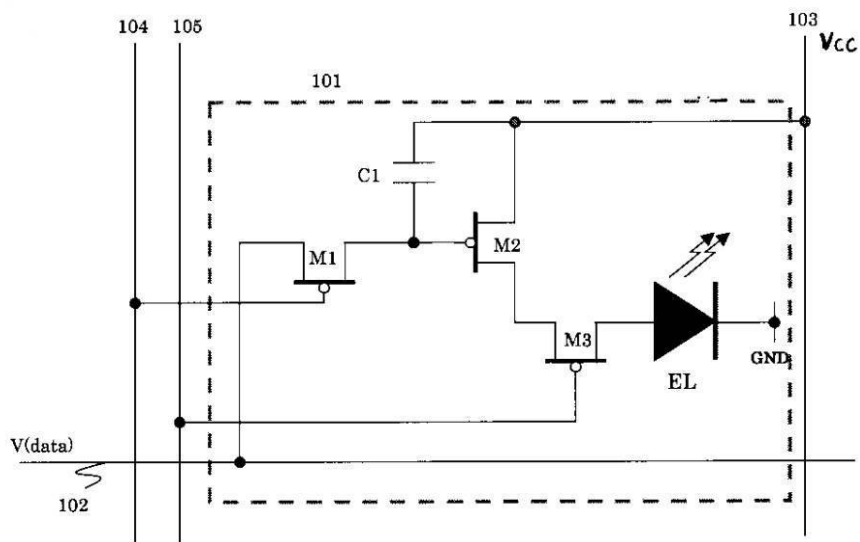
【図 8】



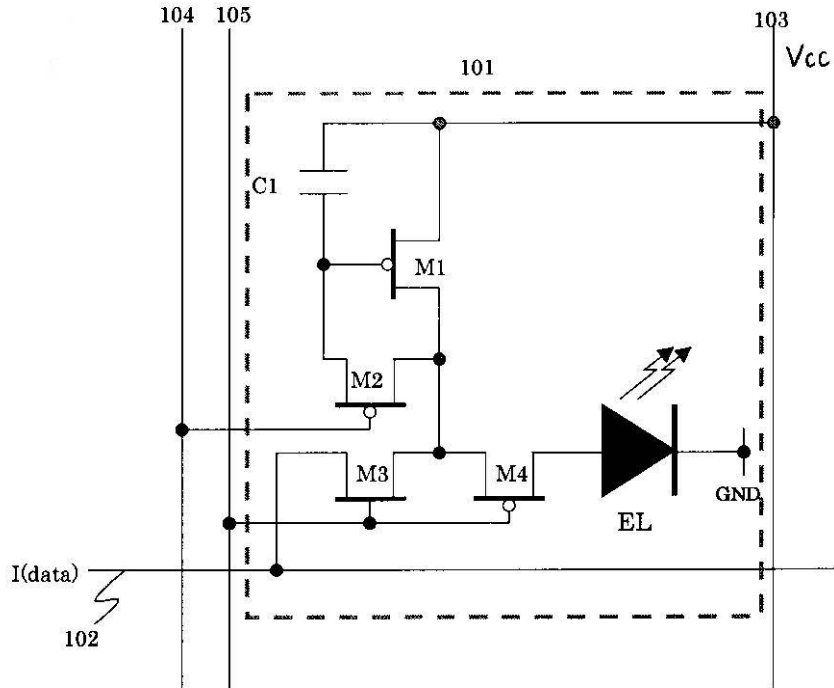
【図 9】



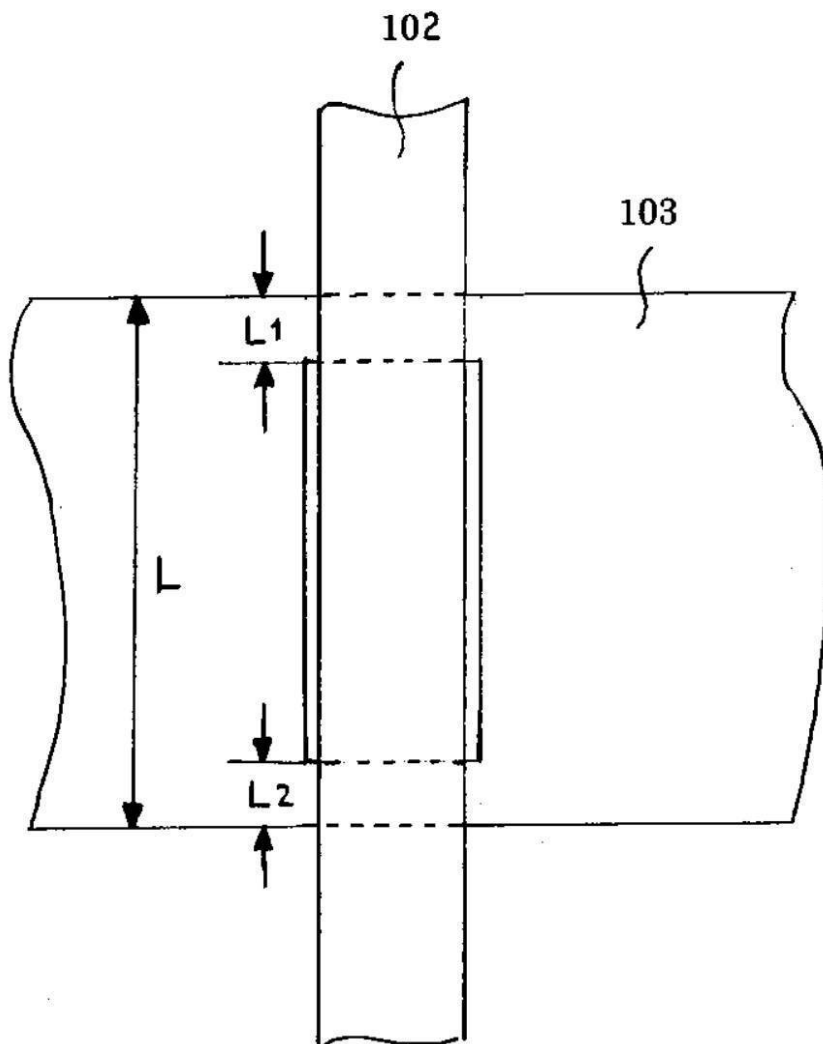
【図 10】



【図 1 1】



【図 1 2】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/30	J
	G 0 9 G 3/20	6 8 0 V
	G 0 9 G 3/20	6 1 1 J
	G 0 9 F 9/30	3 6 5 Z
	H 0 5 B 33/14	A

F ターム(参考) 3K107 AA01 BB01 CC31 DD39 EE03
5C080 AA06 BB05 DD03 DD28 EE28 FF11 JJ02 JJ03 JJ06
5C094 AA02 AA21 AA31 BA03 BA27 CA19 CA24 FB12 HA10