



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0145879
(43) 공개일자 2024년10월07일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) G02F 1/1368 (2006.01)
H01L 29/423 (2006.01) H01L 29/49 (2006.01)
H10K 59/121 (2023.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
G02F 1/1368 (2013.01)
(21) 출원번호 10-2024-0031756
(22) 출원일자 2024년03월06일
심사청구일자 2024년03월06일
(30) 우선권주장
JP-P-2023-050865 2023년03월28일 일본(JP)

(71) 출원인
가부시키가이샤 재팬 디스플레이
일본국 도쿄도 미나토쿠 니시신바시 3초메 7반 1
고
(72) 발명자
와타베 마사히로
일본 1050003 도쿄 미나토쿠 니시신바시 3-7-1 가
부시키가이샤 재팬 디스플레이 내
즈부쿠 마사시
일본 1050003 도쿄 미나토쿠 니시신바시 3-7-1 가
부시키가이샤 재팬 디스플레이 내
(뒷면에 계속)
(74) 대리인
양영준, 이중희

전체 청구항 수 : 총 11 항

(54) 발명의 명칭 반도체 장치 및 표시 장치

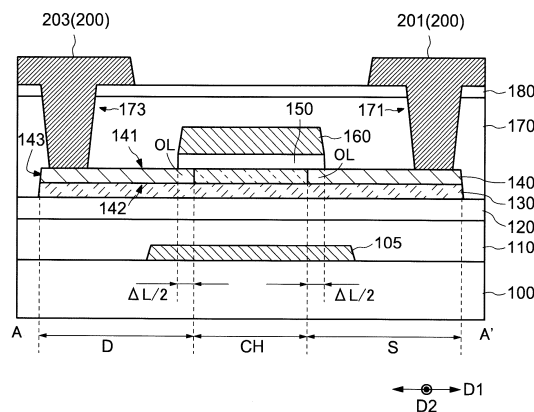
(57) 요약

산화물 반도체를 포함하는 반도체 장치의 전기 특성을 개선하는 것이다.

반도체 장치는, 제1 절연층과, 상기 제1 절연층 상의 알루미늄을 주성분으로 하는 금속 산화물층과, 상기 금속 산화물층 상의 다결정 구조를 갖는 산화물 반도체층과, 상기 산화물 반도체층 상의 게이트 절연층과, 상기 게이트 절연층 상의 게이트 전극과, 상기 게이트 전극 상의 제2 절연층을 포함하고, 상기 금속 산화물층 및 상기 산화물 반도체층은, 모두 패터닝되어 있고, 상기 산화물 반도체층은, 상기 게이트 절연층에 접하는 제1 영역과, 제1 방향에 있어서 상기 제1 영역과 연속됨과 함께 상기 게이트 절연층 및 상기 제2 절연층에 접하는 제2 영역을 갖는다.

대표도 - 도1

10



(52) CPC특허분류

H01L 29/42384 (2013.01)

H01L 29/4908 (2013.01)

H01L 29/78696 (2013.01)

H10K 59/1213 (2023.02)

H01L 2029/42388 (2013.01)

(72) 발명자

와따까베 하지메

일본 1050003 도쿄 미나토꾸 니시신바시 3-7-1 가
부시키가이샤 재팬 디스플레이 내

사사끼 도시나리

일본 1050003 도쿄 미나토꾸 니시신바시 3-7-1 가
부시키가이샤 재팬 디스플레이 내

모찌즈끼 마리나

일본 1050003 도쿄 미나토꾸 니시신바시 3-7-1 가
부시키가이샤 재팬 디스플레이 내

다마루 다카야

일본 1050003 도쿄 미나토꾸 니시신바시 3-7-1 가
부시키가이샤 재팬 디스플레이 내

오노테라 료

일본 1050003 도쿄 미나토꾸 니시신바시 3-7-1 가
부시키가이샤 재팬 디스플레이 내

명세서

청구범위

청구항 1

제1 절연층과,

상기 제1 절연층 상의 알루미늄을 주성분으로 하는 금속 산화물층과,

상기 금속 산화물층 상의 다결정 구조를 갖는 산화물 반도체층과,

상기 산화물 반도체층 상의 게이트 절연층과,

상기 게이트 절연층 상의 게이트 전극과,

상기 게이트 전극 상의 제2 절연층

을 포함하고,

상기 금속 산화물층 및 상기 산화물 반도체층은, 모두 패터닝되어 있고,

상기 산화물 반도체층은, 상기 게이트 절연층에 접하는 제1 영역과, 제1 방향에 있어서 상기 제1 영역과 연속된
과 함께 상기 게이트 절연층 및 상기 제2 절연층에 접하는 제2 영역을 갖는, 반도체 장치.

청구항 2

제1항에 있어서,

상기 제2 절연층은, 상기 게이트 전극, 상기 게이트 절연층, 및 상기 산화물 반도체층에 접하는, 반도체 장치.

청구항 3

제1항에 있어서,

상기 제2 절연층은, 질화 실리콘층 및 산화 실리콘층을 포함하는 적층 구조를 갖는, 반도체 장치.

청구항 4

제1항에 있어서,

상기 제1 영역은, 트랜지스터의 채널 영역이고,

상기 제2 영역은, 상기 채널 영역보다도 저항이 낮은 영역인, 반도체 장치.

청구항 5

제1항에 있어서,

상기 금속 산화물층과 상기 산화물 반도체층은 동일한 패턴 형상을 갖는, 반도체 장치.

청구항 6

제1항에 있어서,

상기 게이트 절연층과 상기 게이트 전극은 동일한 패턴 형상을 갖는, 반도체 장치.

청구항 7

제1항에 있어서,

상기 산화물 반도체층은, 인듐을 포함하는 2 이상의 금속을 포함하고, 상기 2 이상의 금속에 있어서의 인듐의
비율은, 50% 이상인, 반도체 장치.

청구항 8

제1항에 있어서,

상기 제2 영역 중 상기 게이트 절연층과 접하는 부분의 상기 제1 방향에 있어서의 폭은, $1\mu\text{m}$ 이하인, 반도체 장치.

청구항 9

제8항에 있어서,

상기 제1 방향에 있어서의 상기 게이트 전극의 폭은, $4\mu\text{m}$ 이하인, 반도체 장치.

청구항 10

제8항에 있어서,

상기 제1 방향에 있어서의 상기 게이트 전극의 폭은, 상기 제2 영역 중 상기 게이트 절연층과 접하는 부분의 상기 제1 방향에 있어서의 폭의 2배보다 $1\mu\text{m}$ 이상 큰, 반도체 장치.

청구항 11

제1항 내지 제10항 중 어느 한 항에 기재된 반도체 장치를 각 화소에 포함하는, 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시 형태의 하나는, 반도체 장치 및 표시 장치에 관한 것이다. 특히, 본 발명의 실시 형태의 하나는, 산화물 반도체를 포함하는 반도체 장치, 및 산화물 반도체를 포함하는 반도체 장치를 사용한 표시 장치에 관한 것이다.

배경 기술

[0002] 근년, 반도체 장치를 구성하는 재료로서, 아몰퍼스 실리콘, 폴리실리콘, 및 단결정 실리콘 대신에, 산화물 반도체가 주목받고 있다. 특히, 산화물 반도체를 포함하는 반도체 장치로서, 산화물 반도체를 채널로서 사용한 박막 트랜지스터의 개발이 진행되고 있다(예를 들어, 특허문헌 1 내지 6). 산화물 반도체를 채널로서 사용한 박막 트랜지스터는, 아몰퍼스 실리콘을 채널로서 사용한 반도체 장치와 마찬가지로, 단순한 구조이면서 저온 프로세스로 형성할 수 있다. 산화물 반도체를 채널로서 사용한 박막 트랜지스터는, 아몰퍼스 실리콘을 채널로서 사용한 박막 트랜지스터보다도 높은 전계 효과 이동도를 갖는 것이 알려져 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 특허 공개 제2021-141338호 공보
(특허문헌 0002) 일본 특허 공개 제2014-099601호 공보
(특허문헌 0003) 일본 특허 공개 제2021-153196호 공보
(특허문헌 0004) 일본 특허 공개 제2018-006730호 공보
(특허문헌 0005) 일본 특허 공개 제2016-184771호 공보
(특허문헌 0006) 일본 특허 공개 제2021-108405호 공보

발명의 내용

해결하려는 과제

[0004] 그러나, 종래의 산화물 반도체를 포함하는 박막 트랜지스터는, 채널 길이가 작아지면 스위칭 특성을 나타내는 역치 전압이 마이너스의 방향으로 시프트되거나, 역치 전압의 변동이 커지거나 하는 경우가 있었다. 그 때문에, 종래의 산화물 반도체를 포함하는 박막 트랜지스터는, 사이즈를 소형화함에 있어서 채널 길이의 설계 자유도가 낮고, 용도가 한정되는 경우가 있었다.

[0005] 본 발명의 과제의 하나는, 산화물 반도체를 포함하는 반도체 장치의 전기 특성을 개선하는 데 있다.

과제의 해결 수단

[0006] 본 발명의 일 실시 형태에 관한 반도체 장치는, 제1 절연층과, 상기 제1 절연층 상의 알루미늄을 주성분으로 하는 금속 산화물층과, 상기 금속 산화물층 상의 다결정 구조를 갖는 산화물 반도체층과, 상기 산화물 반도체층 상의 게이트 절연층과, 상기 게이트 절연층 상의 게이트 전극과, 상기 게이트 전극 상의 제2 절연층을 포함하고, 상기 금속 산화물층 및 상기 산화물 반도체층은, 모두 패터닝되어 있고, 상기 산화물 반도체층은, 상기 게이트 절연층에 접하는 제1 영역과, 제1 방향에 있어서 상기 제1 영역과 연속됨과 함께 상기 게이트 절연층 및 상기 제2 절연층에 접하는 제2 영역을 갖는다.

도면의 간단한 설명

[0007] 도 1은 본 발명의 일 실시 형태에 있어서의 반도체 장치의 구성을 도시하는 모식적인 단면도이다.
 도 2는 본 발명의 일 실시 형태에 있어서의 반도체 장치의 구성을 도시하는 모식적인 평면도이다.
 도 3은 본 발명의 일 실시 형태에 있어서의 반도체 장치의 제조 방법을 도시하는 시퀀스도이다.
 도 4는 본 발명의 일 실시 형태에 있어서의 반도체 장치의 제조 방법을 도시하는 단면도이다.
 도 5는 본 발명의 일 실시 형태에 있어서의 반도체 장치의 제조 방법을 도시하는 단면도이다.
 도 6은 본 발명의 일 실시 형태에 있어서의 반도체 장치의 제조 방법을 도시하는 단면도이다.
 도 7은 본 발명의 일 실시 형태에 있어서의 반도체 장치의 제조 방법을 도시하는 단면도이다.
 도 8은 본 발명의 일 실시 형태에 있어서의 반도체 장치의 제조 방법을 도시하는 단면도이다.
 도 9는 본 발명의 일 실시 형태에 있어서의 반도체 장치의 제조 방법을 도시하는 단면도이다.
 도 10은 본 발명의 일 실시 형태에 있어서의 반도체 장치의 제조 방법을 도시하는 단면도이다.
 도 11은 본 발명의 일 실시 형태에 있어서의 반도체 장치의 제조 방법을 도시하는 단면도이다.
 도 12는 본 발명의 일 실시 형태에 있어서의 반도체 장치의 제조 방법을 도시하는 단면도이다.
 도 13은 본 발명의 일 실시 형태에 있어서의 반도체 장치의 제조 방법을 도시하는 시퀀스도이다.
 도 14는 본 발명의 일 실시 형태에 있어서의 표시 장치의 개요를 도시하는 평면도이다.
 도 15는 본 발명의 일 실시 형태에 있어서의 표시 장치의 회로 구성을 도시하는 블록도이다.
 도 16은 본 발명의 일 실시 형태에 관한 표시 장치의 화소 회로를 도시하는 회로도이다.
 도 17은 본 발명의 일 실시 형태에 관한 표시 장치의 개요를 도시하는 단면도이다.
 도 18은 본 발명의 일 실시 형태에 있어서의 표시 장치의 화소 전극 및 공통 전극의 평면도이다.
 도 19는 본 발명의 일 실시 형태에 있어서의 표시 장치의 화소 회로를 도시하는 회로도이다.
 도 20은 본 발명의 일 실시 형태에 있어서의 표시 장치의 개요를 도시하는 단면도이다.
 도 21a는 본 발명의 일 실시 형태에 있어서의 반도체 장치의 전기 특성을 도시하는 도면이다.
 도 21b는 비교예에 있어서의 반도체 장치의 전기 특성을 도시하는 도면이다.
 도 22는 상이한 게이트 전압(V_g)에 대해서, 트랜지스터의 설계 채널 길이(레이아웃 상의 채널 길이)(L_g)에 대한 채널 저항(R)의 관계를 예시한 도면이다.
 도 23a는 본 발명의 일 실시 형태의 반도체 장치에 있어서의 역치 전압의 채널 길이에 대한 의존성을 도시하는

도면이다.

도 23b는 비교예의 반도체 장치에 있어서의 역치 전압의 채널 길이에 대한 의존성을 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0008] 이하에, 본 발명의 각 실시 형태에 대해서, 도면을 참조하면서 설명한다. 이하의 개시는 어디까지나 일례에 지나지 않는다. 당업자가, 발명의 주지를 유지하면서, 실시 형태의 구성을 적절히 변경함으로써 용이하게 상도할 수 있는 구성은, 당연히 본 발명의 범위에 함유된다. 도면은 설명을 보다 명확히 하기 위해, 실제의 양태에 비해, 각 부의 폭, 두께, 형상 등에 대하여 모식적으로 표시되는 경우가 있다. 그러나, 도시된 형상은 어디까지나 일례이며, 본 발명의 해석을 한정하는 것은 아니다. 본 명세서와 각 도면에 있어서, 기출된 도면에 관해서 전술한 것과 마찬가지로의 요소에는, 동일한 부호를 붙여, 상세한 설명을 적절히 생략하는 경우가 있다.
- [0009] 본 발명의 각 실시 형태에 있어서, 기관으로부터 산화물 반도체층을 향하는 방향을 상 또는 상방이라고 한다. 반대로, 산화물 반도체층으로부터 기관을 향하는 방향을 하 또는 하방이라고 한다. 이와 같이, 설명의 편의상, 상방 또는 하방이라는 어구를 사용하여 설명하지만, 예를 들어 기관과 산화물 반도체층의 상하 관계가 도시한 것과 반대가 되도록 배치되어도 된다. 이하의 설명에서, 예를 들어 기관 상의 산화물 반도체층이라는 표현은, 상기와 같이 기관과 산화물 반도체층의 상하 관계를 설명하고 있는 것에 불과하고, 기관과 산화물 반도체층 사이에 다른 부재가 배치되어 있어도 된다. 상방 또는 하방은, 복수의 층이 적층된 구조에 있어서의 적층순을 의미하는 것이며, 「트랜지스터의 상방의 화소 전극」이라고 표현하는 경우, 평면으로 보아, 트랜지스터와 화소 전극이 겹치지 않는 위치 관계여도 된다. 한편, 「트랜지스터의 연직 상방의 화소 전극」이라고 표현하는 경우는, 평면으로 보아, 트랜지스터와 화소 전극이 겹치는 위치 관계를 의미한다.
- [0010] 「표시 장치」란, 전기 광학층을 사용하여 영상을 표시하는 구조체를 가리킨다. 예를 들어, 표시 장치라는 용어는, 전기 광학층을 포함하는 표시 패널을 가리키는 경우도 있고, 또는 표시 셀에 대하여 다른 광학 부재(예를 들어, 편광 부재, 백라이트, 터치 패널 등)를 장착한 구조체를 가리키는 경우도 있다. 「전기 광학층」에는, 기술적인 모순이 발생하지 않는 한, 액정층, 일렉트로루미네센스(EL)층, 일렉트로크로믹(EC)층, 전기 영동층이 포함될 수 있다. 따라서, 후술하는 실시 형태에 대해서, 표시 장치로서, 액정층을 포함하는 액정 표시 장치, 및 유기 EL층을 포함하는 유기 EL 표시 장치를 예시하여 설명하지만, 본 실시 형태에 있어서의 구조는, 상술한 다른 전기 광학층을 포함하는 표시 장치로 적용할 수 있다.
- [0011] 본 명세서에 있어서 「a는 A, B 또는 C를 포함한다」, 「a는 A, B 및 C 중 어느 것을 포함한다」, 「a는 A, B 및 C로 이루어지는 군에서 선택되는 하나를 포함한다」 등의 표현은, 특별히 명시하는 한, a가 A 내지 C의 복수의 조합을 포함하는 경우를 배제하지 않는다. 또한, 이들 표현은 a가 다른 요소를 포함하는 경우도 배제하지 않는다.
- [0012] 본 명세서에 있어서, 「동일」이란, 완전히 동일한 경우에 더하여, 실질적으로 동일한 경우도 포함한다. 「실질적으로 동일」이란, 완전히 동일하지는 않지만 동일하다고 간주할 수 있는 정도의 미소한 차이의 범위 내에 수렴되는 경우를 가리킨다. 예를 들어, 「실질적으로 동일」이란, 2개의 값의 차이가, $\pm 5\%$ (바람직하게는 $\pm 3\%$)의 오차의 범위 내에 수렴되는 경우를 가리킨다.
- [0013] <제1 실시 형태>
- [0014] 도 1 내지 도 12를 사용하여, 본 발명의 일 실시 형태의 반도체 장치에 대해서, 박막 트랜지스터를 예시하여 설명한다. 이하에 나타내는 실시 형태의 반도체 장치는, 표시 장치에 사용되는 박막 트랜지스터 외에, 예를 들어 마이크로프로세서(Micro-Processing Unit: MPU) 등의 집적 회로(Integrated Circuit: IC), 또는 메모리 회로에 사용되는 박막 트랜지스터여도 된다.
- [0015] [반도체 장치의 구성]
- [0016] 도 1 및 도 2를 사용하여, 본 발명의 일 실시 형태에 있어서의 반도체 장치(10)의 구성에 대해서 설명한다. 도 1은, 본 발명의 일 실시 형태에 있어서의 반도체 장치(10)의 구성을 도시하는 모식적인 단면도이다. 도 2는, 본 발명의 일 실시 형태에 있어서의 반도체 장치(10)의 구성을 도시하는 모식적인 평면도이다. 구체적으로는, 도 1은, 도 2에 도시한 A-A'로 나타내어지는 일점쇄선을 따라서 절단된 단면도에 대응한다.
- [0017] 도 1에 도시하는 바와 같이, 반도체 장치(10)는 기관(100)의 상방에 마련되어 있다. 반도체 장치(10)는 도전층(105), 절연층(110 및 120), 금속 산화물층(130), 산화물 반도체층(140), 게이트 절연층(150), 게이트 전극

(160), 절연층(170 및 180), 소스 전극(201), 및 드레인 전극(203)을 포함한다. 소스 전극(201) 및 드레인 전극(203)을 특별히 구별하지 않는 경우, 이들을 아울러 소스·드레인 전극(200)이라는 경우가 있다.

- [0018] 도전층(105)은 기판(100) 상에 마련되어 있다. 도전층(105)은 산화물 반도체층(140)에 대한 차광막으로서의 기능을 구비한다.
- [0019] 절연층(110 및 120)은 기판(100) 및 도전층(105) 상에 마련되어 있다. 절연층(110)은 기판(100)으로부터 산화물 반도체층(140)을 향하여 확산되는 불순물을 차폐하는 배리어막으로서의 기능을 구비한다.
- [0020] 금속 산화물층(130)은 절연층(120) 상에 마련되어 있다. 금속 산화물층(130)은 절연층(120)에 접하고 있다. 금속 산화물층(130)은 알루미늄을 주성분으로 하는 산화 금속을 포함하는 층이고, 산소나 수소 등의 가스를 차폐하는 가스 배리어막으로서의 기능을 구비한다.
- [0021] 산화물 반도체층(140)은 금속 산화물층(130) 상에 마련되어 있다. 산화물 반도체층(140)은 금속 산화물층(130)에 접하고 있다. 산화물 반도체층(140)의 주면 중, 금속 산화물층(130)에 접하는 면을 하면(142)이라고 한다. 산화물 반도체층(140)은 패턴화되어 있다. 본 실시 형태에 있어서, 금속 산화물층(130)과 산화물 반도체층(140)은, 동일한 패턴 형상(예를 들어, 섬 형상의 패턴 형상)을 갖는다. 즉, 단면으로 보아, 금속 산화물층(130)의 단부와 산화물 반도체층(140)의 단부는, 대략 일치하고 있다. 본 실시 형태에서는, 금속 산화물층(130)이 절연층(120)에 접하고, 산화물 반도체층(140)이 금속 산화물층(130)에 접하고 있는 구성이 예시되어 있지만, 이 구성에 한정되지는 않는다. 금속 산화물층(130)과 산화물 반도체층(140) 사이에는, 다른 층이 마련되어 있어도 된다.
- [0022] 또한, 도 1에서는 금속 산화물층(130)의 측면과 산화물 반도체층(140)의 측면이 거의 직선상으로 배열되어 있지만, 이 구성에 한정되지는 않는다. 기판(100)의 주면에 대한 금속 산화물층(130)의 측면의 각도가 산화물 반도체층(140)의 측면(143)의 각도와 달라도 된다. 금속 산화물층(130) 및 산화물 반도체층(140) 중 적어도 어느 한쪽의 측면의 단면 형상이 만곡되어 있어도 된다.
- [0023] 게이트 절연층(150)은 산화물 반도체층(140) 상에 마련되어 있다. 게이트 절연층(150)은 게이트 전극(160)과 동일한 형상으로 패턴화되어 있다. 즉, 게이트 절연층(150)과 게이트 전극(160)은, 동일한 패턴 형상을 갖는다. 그 때문에, 산화물 반도체층(140)의 일부(게이트 전극(160)과 중첩되지 않는 영역)는 게이트 절연층(150)에 덮여 있지 않다. 환언하면, 산화물 반도체층(140)의 일부는, 게이트 절연층(150)으로부터 노출되어 있다. 게이트 절연층(150)은 튜 게이트(게이트 전극(160))에 대한 게이트 절연층으로서의 기능을 구비한다. 게이트 절연층(150)은 제조 프로세스에 있어서의 열처리에 의해 산소를 방출하는 기능을 구비한다.
- [0024] 게이트 전극(160)은 게이트 절연층(150)을 개재하여 산화물 반도체층(140)에 대향하고 있다. 게이트 절연층(150)은 산화물 반도체층(140)과 게이트 전극(160) 사이에 마련되어 있다. 게이트 절연층(150)은 산화물 반도체층(140)에 접하고 있다. 산화물 반도체층(140)의 주면 중, 게이트 절연층(150)에 접하는 면을 상면(141)이라고 한다. 상면(141)과 하면(142) 사이의 면을 측면(143)이라고 한다. 게이트 전극(160)은 반도체 장치(10)의 튜 게이트 및 산화물 반도체층(140)에 대한 차광막으로서의 기능을 구비한다.
- [0025] 절연층(170 및 180)은 게이트 절연층(150) 및 게이트 전극(160) 상에 마련되어 있다. 본 실시 형태에서는, 절연층(170 및 180)으로 구성되는 적층 구조를 패시베이션층이라고 칭하는 경우가 있다. 절연층(170 및 180)은 게이트 전극(160)과 소스·드레인 전극(200)을 절연한다. 절연층(170 및 180)을 마련함으로써, 게이트 전극(160)과 소스·드레인 전극(200) 사이의 기생 용량을 저감할 수 있다.
- [0026] 본 실시 형태에서는, 절연층(170)으로서 산화 실리콘층을 사용하고, 절연층(180)으로서 질화 실리콘층을 사용한다. 절연층(170 및 180)을 구성하는 재료는, 이 예에 한정되지는 않지만, 후술하는 바와 같이, 적어도 1층의 수소를 포함하는 절연층을 갖는 것이 바람직하다. 도 1에 도시하는 바와 같이, 패시베이션층의 일부를 구성하는 절연층(170)은 게이트 전극(160), 게이트 절연층(150)(구체적으로는, 게이트 절연층(150)의 측면), 및 산화물 반도체층(140)에 접한다. 절연층(170 및 180)에는, 산화물 반도체층(140)에 도달하는 개구(171, 173)가 마련되어 있다.
- [0027] 소스 전극(201)은 절연층(170 및 180)에 마련된 개구(171)의 내부에 마련되어 있다. 소스 전극(201)은 개구(171)의 저부에서 산화물 반도체층(140)에 접하고 있다. 드레인 전극(203)은 절연층(170 및 180)에 마련된 개구(173)의 내부에 마련되어 있다. 드레인 전극(203)은 개구(173)의 저부에서 산화물 반도체층(140)에 접하고 있다.

- [0028] 반도체 장치(10)의 동작은, 주로 게이트 전극(160)에 공급되는 게이트 전압에 의해 제어된다. 도전층(105)에는, 보조적인 전압이 공급되어도 된다. 즉, 도전층(105)은 보조적인 전압을 공급함으로써 게이트 전극으로서 기능시켜도 된다. 그러나, 이 예에 한정되지는 않고, 도전층(105)은 단순한 차광막으로서 사용해도 된다. 도전층(105)을 단순히 차광막으로서 사용하는 경우, 도전층(105)은 특정한 전압을 공급하지 않고 플로팅 상태로 해도 된다.
- [0029] 본 실시 형태에서는, 반도체 장치(10)로서, 산화물 반도체층(140)의 상부에 게이트 전극(160)이 마련된 톱 게이트형 트랜지스터를 예시하지만, 이 구성에 한정되지는 않는다. 예를 들어, 반도체 장치(10)로서, 게이트 전극(160)에 더하여, 도전층(105)을 게이트 전극으로서 사용하는 듀얼 게이트형 트랜지스터어도 된다. 도전층(105)을 게이트 전극으로서 사용하는 경우, 절연층(110 및 120)이 게이트 절연층으로서 기능한다. 단, 상기의 구성은 어디까지나 일 실시 형태에 지나지 않고, 본 발명은 상기의 구성에 한정되지는 않는다.
- [0030] 도 2에 도시하는 바와 같이, 평면으로 보아, 금속 산화물층(130)의 패턴 형상은 산화물 반도체층(140)의 패턴 형상과 동일하다. 도 1 및 도 2를 참조하면, 산화물 반도체층(140)의 하면(142)은 금속 산화물층(130)에 의해 덮여 있다. 특히, 본 실시 형태에서는 산화물 반도체층(140)의 하면(142)의 모두가, 금속 산화물층(130)에 의해 덮여 있다. D1 방향에 있어서, 도전층(105)의 폭은 게이트 전극(160)의 폭보다 크다. D1 방향은 소스 전극(201)과 드레인 전극(203)을 연결하는 방향이고, 캐리어가 이동하는 방향에 대응한다. 산화물 반도체층(140) 중 채널 영역 CH의 D1 방향의 길이가 채널 길이(L)이고, 당해 채널 영역 CH의 D2 방향의 폭이 채널 폭(W)이다.
- [0031] 본 실시 형태에서는, 산화물 반도체층(140)의 하면(142)의 모두가 금속 산화물층(130)에 의해 덮인 구성을 예시하였지만, 이 구성에 한정되지는 않는다. 예를 들어, 산화물 반도체층(140)의 하면(142)의 일부가 금속 산화물층(130)과 접하고 있지 않아도 된다. 예를 들어, 채널 영역 CH에 있어서의 산화물 반도체층(140)의 하면(142)의 모두가 금속 산화물층(130)에 의해 덮이고, 소스 영역 S 및 드레인 영역 D에 있어서의 산화물 반도체층(140)의 하면(142)의 모두 또는 일부가 금속 산화물층(130)에 의해 덮여 있지 않아도 된다. 즉, 소스 영역 S 및 드레인 영역 D에 있어서의 산화물 반도체층(140)의 하면(142)의 모두 또는 일부가 금속 산화물층(130)과 접하고 있지 않아도 된다. 단, 상기의 구성에 있어서, 채널 영역 CH에 있어서의 산화물 반도체층(140)의 하면(142)의 일부가 금속 산화물층(130)에 의해 덮여 있지 않고, 당해 하면(142)의 그 다른 부분이 금속 산화물층(130)과 접하고 있어도 된다.
- [0032] 도 2에서는, 평면으로 보아, 소스·드레인 전극(200)이 도전층(105) 및 게이트 전극(160)과 겹치지 않는 구성이 예시되어 있지만, 이 구성에 한정되지는 않는다. 예를 들어, 평면으로 보아, 소스·드레인 전극(200)이 도전층(105) 및 게이트 전극(160) 중 적어도 어느 한쪽과 겹쳐 있어도 된다. 상기의 구성은 어디까지나 일 실시 형태에 지나지 않고, 본 발명은 상기의 구성에 한정되지는 않는다.
- [0033] [반도체 장치의 각 층의 재질]
- [0034] 기판(100)은 반도체 장치(10)를 구성하는 각 층을 지지할 수 있다. 기판(100)으로서, 예를 들어 유리 기판, 석영 기판, 또는 사파이어 기판 등의 투광성을 갖는 강성 기판을 사용할 수 있다. 또한, 기판으로서, 실리콘 기판 등의 투광성을 갖지 않는 강성 기판을 사용할 수도 있다. 또한, 기판으로서, 폴리이미드 수지 기판, 아크릴 수지 기판, 실록산 수지 기판, 또는 불소 수지 기판 등의 투광성을 갖는 가요성 기판을 사용할 수 있다. 기판(100)의 내열성을 향상시키기 위해, 상기의 수지 기판에 불순물을 도입해도 된다. 상술한 강성 기판 또는 가요성 기판 상에 산화 실리콘막 또는 질화 실리콘막이 성막된 기판을, 기판(100)으로서 사용할 수도 있다.
- [0035] 도전층(105)은 외광을 반사 또는 흡수할 수 있다. 상술한 바와 같이, 도전층(105)은 산화물 반도체층(140)의 채널 영역 CH보다도 큰 면적을 갖기 때문에, 채널 영역 CH에 입사하는 외광을 차광할 수 있다. 도전층(105)으로서, 예를 들어 알루미늄(Al), 구리(Cu), 티타늄(Ti), 몰리브덴(Mo), 혹은 텅스텐(W), 또는 이들 합금 혹은 화합물 등을 사용할 수 있다. 또한, 도전성이 불필요한 경우에는 도전층(105) 대신에, 흑색 수지 등으로 구성되는 수지층을 사용할 수도 있다. 도전층(105)은 단층 구조여도 되고, 적층 구조여도 된다.
- [0036] 절연층(110, 120, 170 및 180)은 산화물 반도체층(140)에 대한 불순물의 확산을 방지하는 역할을 갖는다. 절연층(110, 120, 170 및 180)은 단층 구조여도 적층 구조여도 된다. 절연층(110, 120, 170 및 180)으로서, 예를 들어 산화 실리콘(SiO_x), 산화 질화 실리콘(SiO_xNy), 질화 실리콘(SiNx), 질화 산화 실리콘(SiNxO_y), 산화 알루미늄(AlO_x), 산화 질화 알루미늄(AlO_xNy), 질화 산화 알루미늄(AlNxO_y), 질화 알루미늄(AlNx) 등을 사용할 수 있다. 여기서, 산화 질화 실리콘(SiO_xNy) 및 산화 질화 알루미늄(AlO_xNy)은, 각각, 산소(O)보다도 적은 비율($x > y$)의 질소(N)를 함유하는 실리콘 화합물 및 알루미늄 화합물이다. 또한, 질화 산화 실리콘(SiNxO_y) 및 질

화 산화 알루미늄(AlN_xO_y)은 질소보다도 적은 비율($x > y$)의 산소를 함유하는 실리콘 화합물 및 알루미늄 화합물이다. 본 실시 형태에서는, 절연층(110 및 180)으로서 질화 실리콘(SiN_x)을 사용하고, 절연층(120 및 170)으로서, 산화 실리콘(SiO_x)을 사용한다.

[0037] 금속 산화물층(130)으로서, 알루미늄을 주성분으로 하는 산화 금속이 사용된다. 예를 들어, 금속 산화물층(130)으로서, 산화 알루미늄(AlO_x), 산화 질화 알루미늄(AlO_xN_y), 질화 산화 알루미늄(AlN_xO_y), 질화 알루미늄(AlN_x) 등의 무기 절연층이 사용된다. 「알루미늄을 주성분으로 하는 금속 산화물층」이란, 금속 산화물층(130)에 포함되는 알루미늄의 비율이, 금속 산화물층(130) 전체의 1% 이상인 것을 의미한다. 금속 산화물층(130)에 포함되는 알루미늄의 비율은, 금속 산화물층(130) 전체의 5% 이상 70% 이하, 10% 이상 60% 이하, 또는 30% 이상 50% 이하여도 된다. 상기의 비율은 질량비여도 되고, 중량비여도 된다.

[0038] 본 실시 형태에 있어서, 산화물 반도체층(140)은 다결정 구조를 갖는다. 즉, 본 실시 형태의 산화물 반도체층(140)은 Poly-OS 기술을 사용하여 형성된 산화물 반도체로 구성된다. Poly-OS 기술이란, 다결정 구조를 갖는 산화물 반도체층을 형성하는 기술을 가리킨다. 산화물 반도체층(140)으로서, 반도체의 특성을 갖는 금속 산화물을 사용할 수 있다. 예를 들어, 산화물 반도체층(140)으로서, 인듐(In)을 포함하는 2 이상의 금속을 포함하는 산화물 반도체가 사용된다. 산화물 반도체층(140)의 전체에 대한 인듐의 비율은 50% 이상이다. 산화물 반도체층(140)으로서, 인듐에 더하여, 갈륨(Ga), 아연(Zn), 알루미늄(Al), 하프늄(Hf), 이트륨(Y), 지르코니아(Zr), 란타노이드가 사용된다. 산화물 반도체층(140)으로서, 상기 이외의 원소가 사용되어도 된다.

[0039] 본 실시 형태의 산화물 반도체층(140)은 인듐의 비율이 50% 이상이기 때문에, 산소 결손이 형성되기 쉽다. 한편, 결정성을 갖는 산화물 반도체는, 아몰퍼스 산화물 반도체에 비해 산소 결손이 형성되기 어렵다. 따라서, 산화물 반도체층(140)은 인듐의 비율이 50% 이상임에도 불구하고, 산소 결손이 형성되기 어렵다는 이점을 갖는다.

[0040] 게이트 절연층(150)은 절연성을 갖는 산화물을 포함한다. 구체적으로는, 게이트 절연층(150)으로서, 산화 실리콘(SiO_x), 산화 질화 실리콘(SiO_xN_y), 산화 알루미늄(AlO_x), 산화 질화 알루미늄(AlO_xN_y) 등을 사용할 수 있다. 게이트 절연층(150)은 화학 양론비에 가까운 조성을 갖는 것이 바람직하다. 또한, 게이트 절연층(150)은 결함이 적은 것이 바람직하다. 예를 들어, 게이트 절연층(150)으로서, 전자 스핀 공명법(ESR)으로 평가했을 때에 결함이 관측되지 않는 산화물이 사용되어도 된다.

[0041] 게이트 전극(160), 소스 전극(201) 및 드레인 전극(203)은 도전성을 갖는다. 게이트 전극(160), 소스 전극(201) 및 드레인 전극(203)의 각각으로서, 예를 들어 구리(Cu), 알루미늄(Al), 티타늄(Ti), 크롬(Cr), 코발트(Co), 니켈(Ni), 몰리브덴(Mo), 하프늄(Hf), 탄탈(Ta), 텅스텐(W), 혹은 이들 합금 혹은 화합물을 사용할 수 있다. 게이트 전극(160), 소스 전극(201) 및 드레인 전극(203)의 각각은, 단층 구조여도 되고, 적층 구조여도 된다.

[0042] (산화물 반도체층의 구성)

[0043] 산화물 반도체층(140)은 소스 영역 S, 드레인 영역 D, 및 채널 영역 CH로 구분된다. 채널 영역 CH는 산화물 반도체층(140) 중 게이트 전극(160)의 연직 하방에 위치하고, 게이트 절연층(150)에 접하는 영역이다. 소스 영역 S는 산화물 반도체층(140) 중 절연층(170)에 접하는 영역이며, 채널 영역 CH보다도 소스 전극(201)에 가까운 측의 영역이다. 드레인 영역 D는 산화물 반도체층(140) 중 절연층(170)에 접하는 영역이며, 채널 영역 CH보다도 드레인 전극(203)에 가까운 측의 영역이다. 소스 영역 S 및 드레인 영역 D는 산화물 반도체층으로 구성된 패턴의 일부를 저저항화합으로써 형성된다. 즉, 도 2에 도시하는 제1 방향(D1 방향)에 있어서, 채널 영역 CH와 소스 영역 S 및 드레인 영역 D는 서로 연속되어 있다.

[0044] 채널 영역 CH에 있어서의 산화물 반도체층(140)은 반도체로서의 물성을 구비하고 있다. 소스 영역 S 및 드레인 영역 D에 있어서의 산화물 반도체층(140)은 도전체로서의 물성을 구비하고 있다. 즉, 소스 영역 S 및 드레인 영역 D는 채널 영역 CH보다도 저항이 낮은 영역이라고도 할 수 있다. 환언하면, 소스 영역 S 및 드레인 영역 D의 전기 전도도는, 채널 영역 CH의 전기 전도도보다도 크다. 소스 전극(201) 및 드레인 전극(203)은, 각각 소스 영역 S 및 드레인 영역 D와 접하고 있고, 산화물 반도체층(140)과 전기적으로 접속되어 있다. 산화물 반도체층(140)은 단층 구조여도 되고, 적층 구조여도 된다.

[0045] 도 1에 도시하는 바와 같이, 본 실시 형태의 반도체 장치(10)는 소스 영역 S 및 드레인 영역 D의 일부가 게이트 전극(160)과 중첩된다. 구체적으로는, 소스 영역 S 중 채널 영역 CH에 가까운 측의 단부와, 드레인 영역 D 중 채널 영역 CH에 가까운 측의 단부가 게이트 전극(160)과 중첩된다. 환언하면, 소스 영역 S 중 채널 영역 CH에

가까운 측의 단부와, 드레인 영역 D 중 채널 영역 CH에 가까운 측의 단부는, 각각 게이트 절연층(150)에 접한다. 즉, 소스 영역 S 및 드레인 영역 D는, 게이트 절연층(150)과 절연층(170)의 양쪽에 접한다. 여기서, 소스 영역 S(또는 드레인 영역 D)와 게이트 전극(160)이 중첩된 영역을 「중첩 영역 OL」이라고 칭한다. 도 1에 도시하는 바와 같이, 제1 방향에 있어서의 중첩 영역 OL의 폭을 $\Delta L/2$ 로 나타낸다.

[0046] 본 실시 형태의 반도체 장치(10)는, 제1 방향(D1 방향)에 있어서 대칭인 구조를 갖고, 소스 영역 S 및 드레인 영역 D의 양쪽이 게이트 배선(160)의 하방에 침입한 구조로 되어 있다. 그 때문에, 제1 방향에 있어서의 채널 영역 CH의 단부는, 게이트 전극(160)의 단부와 일치하지는 않는다. 구체적으로는, 소스 영역 S와 접하는 채널 영역 CH의 단부와, 드레인 영역 D와 접하는 채널 영역 CH의 단부는, 각각 게이트 전극(160)의 바로 아래에 위치한다. 즉, 제1 방향에 있어서, 채널 영역 CH의 폭은, 게이트 전극(160)의 폭보다도 좁아져 있다. 이것은, 설계상의 채널 길이(이하 「설계 채널 길이」라고 함)가, 설계값보다도 중첩 영역 OL이 존재하는 분만큼 좁아져 있는 것을 의미한다.

[0047] 일반적으로, 톱 게이트형 트랜지스터에 있어서의 설계 채널 길이는, 반도체층과 중첩되는 게이트 전극의 폭으로 결정된다. 즉, 본 실시 형태의 반도체 장치(10)의 경우, 제1 방향에 있어서의 게이트 전극(160)의 폭이, 설계 채널 길이에 상당한다. 그러나, 도 1에 도시하는 바와 같이, 채널 영역 CH의 폭은, 게이트 전극(160)의 폭보다도 좁다. 즉, 채널 영역 CH의 폭에 상당하는 실효적인 채널 길이(이하 「실효 채널 길이」라고 함)는 게이트 전극(160)의 폭에 상당하는 설계 채널 길이보다도 짧다. 구체적으로는, 설계 채널 길이(L_g)와 실효 채널 길이(L_{eff}) 사이에는, $L_{eff}=L_g-\Delta L$ 의 관계가 성립된다.

[0048] 본 실시 형태에서는, 소스 영역 S 및 드레인 영역 D를 형성함에 있어서, 절연층(170 및 180)으로부터 산화물 반도체층(140)에 대한 수소의 확산을 이용한다. 이 경우, 구조상, 수소가 게이트 전극(160)의 바로 아래의 산화물 반도체층(140)으로도 확산되기 때문에, 중첩 영역 OL이 형성된다. 중첩 영역 OL은, 게이트 전극(160)의 바로 아래에 위치하는 산화물 반도체층(140)에 대하여 수소가 침입함으로써 형성되는 영역이다. 그러나, 본 실시 형태에서는, 게이트 전극(160)의 바로 아래로 확산되는 수소의 양을 저감함으로써 중첩 영역 OL이 형성되는 범위를 억제할 수 있다. 구체적으로는, 본 실시 형태의 반도체 장치(10)는 중첩 영역 OL의 폭($\Delta L/2$)이 $1\mu m$ 이하가 되도록 제어되어 있다.

[0049] 중첩 영역 OL의 폭이 $1\mu m$ 이하라고 하는 것은, 예를 들어 설계 채널 길이가 $4\mu m$ 여도, 적어도 $2\mu m$ 의 실효 채널 길이를 확보할 수 있는 것을 의미한다. 본 실시 형태에 따르면, 반도체 장치(10)의 설계 채널 길이(제1 방향에 있어서의 게이트 전극의 폭)를 $4\mu m$ 이하(바람직하게는 $3\mu m$ 이하)로 하는 것이 가능하다. 단, 적어도 $1\mu m$ 이상의 실효 채널 길이를 확보하기 위해서는, 반도체 장치(10)의 설계 채널 길이는, 중첩 영역 OL의 폭의 2배($2 \times \Delta L/2 = \Delta L$)보다 $1\mu m$ 이상 크게 하는 것이 바람직하다.

[0050] 이상과 같이, 본 실시 형태의 반도체 장치(10)는 게이트 절연층(150)이 게이트 전극(160)과 동일한 패턴 형상을 갖고 있기 때문에, 산화물 반도체층(140)의 일부가 절연층(170)에 접하고 있다. 그 때문에, 반도체 장치(10)는 절연층(170 및 180)으로부터 확산된 수소의 영향에 의해, 소스 영역 S 및 드레인 영역 D의 일부가 게이트 전극(160)의 하방으로 연장된 구조가 된다. 그러나, 본 실시 형태에 따르면, 소스 영역 S 및 드레인 영역 D와 게이트 전극(160)이 중첩되는 중첩 영역 OL의 폭을 $1\mu m$ 이하로 억제할 수 있으므로, 설계 채널 길이와 실효 채널 길이의 괴리를 억제할 수 있다.

[0051] [반도체 장치의 제조 방법]

[0052] 도 3 내지 도 12를 사용하여, 본 발명의 일 실시 형태에 있어서의 반도체 장치(10)의 제조 방법에 대해서 설명한다. 도 3은, 본 발명의 일 실시 형태에 있어서의 반도체 장치(10)의 제조 방법을 도시하는 시퀀스도이다. 도 4 내지 도 12는, 본 발명의 일 실시 형태에 있어서의 반도체 장치(10)의 제조 방법을 도시하는 단면도이다.

[0053] 도 3 및 도 4에 도시하는 바와 같이, 기판(100) 상에 차광층으로서 도전층(105)이 형성되고, 도전층(105) 상에 절연층(110 및 120)이 형성된다(도 3의 스텝 S1001). 절연층(110)으로서, 예를 들어 질화 실리콘이 형성된다. 절연층(120)으로서, 예를 들어 산화 실리콘이 형성된다. 절연층(110 및 120)은 CVD(Chemical Vapor Deposition)법에 의해 형성된다. 본 명세서에서는, 기판 상에 스퍼터링법이나 CVD법 등의 방법에 의해 성막을 행하는 것을 「박막을 형성한다」라고 표현하고 있지만, 「박막을 성막한다」라는 표현과 동일한 의미로 사용하고 있다.

[0054] 절연층(110)으로서 질화 실리콘이 사용됨으로써, 절연층(110)은, 예를 들어 기판(100)측으로부터 산화물 반도체층(140)을 향하여 확산되는 불순물을 블록할 수 있다. 절연층(120)으로서 사용되는 산화 실리콘은, 열처리에

의해 산소를 방출하는 물성을 갖는 산화 실리콘이다.

- [0055] 본 실시 형태에서는, 절연층(110 및 120)을 형성함에 있어서 성막 온도를 350℃로 설정하고 있다. 특히, 절연층(120)(즉 산화 실리콘층)은 성막 온도를 비교적 조금 낮게 설정함으로써, 함유 산소량을 증가시킬 수 있다. 후술하는 바와 같이, 절연층(120)에 포함되는 산소량을 증가시킴으로써, 산화물 반도체층(140)으로 확산되는 수소의 양을 저감할 수 있다. 절연층(110 및 120)의 성막 온도는, 250℃ 이상 500℃ 이하(바람직하게는 300℃ 이상 450℃ 이하, 더욱 바람직하게는 325℃ 이상 400℃ 이하)로 설정하면 된다.
- [0056] 다음에, 도 3 및 도 5에 도시하는 바와 같이, 절연층(120) 상에 금속 산화물층(130) 및 산화물 반도체층(140)을 형성한다(도 3의 스텝 S1002). 본 실시 형태에 있어서, 금속 산화물층(130) 및 산화물 반도체층(140)은 스퍼터링법에 의해 형성된다. 특히, 산화물 반도체층(140)은 결정성을 갖는 산화물 반도체로 형성된 타깃을 사용한 스퍼터링에 의해 형성된다.
- [0057] 금속 산화물층(130)의 두께는, 예를 들어 1nm 이상 10nm 이하, 1nm 이상 4nm 이하, 또는 1nm 이상 3nm 이하이다. 본 실시 형태에서는, 금속 산화물층(130)의 두께를 3nm로 한다. 본 실시 형태에서는, 금속 산화물층(130)으로서, 알루미늄을 주성분으로 하는 산화물(구체적으로는, 산화 알루미늄)을 사용한다. 산화 알루미늄은 가스에 대한 높은 배리어성을 구비하고 있다.
- [0058] 본 실시 형태에 있어서, 금속 산화물층(130)으로서 사용된 산화 알루미늄은, 절연층(120)으로부터 방출된 수소 및 산소를 블록하고, 방출된 수소 및 산소가 산화물 반도체층(140)에 도달하는 것을 억제한다.
- [0059] 본 실시 형태의 산화물 반도체층(140)은, 상기와 같이 인듐의 비율이 50% 이상이기 때문에, 고이동도의 반도체 장치(10)를 실현할 수 있는 반면, 산소가 환원되기 쉽고, 층 중에 산소 결손이 형성되기 쉽다. 그 때문에, 금속 산화물층(130)에 의해 절연층(120)으로부터 방출된 수소를 블록하는 것은, 산화물 반도체층(140)의 환원을 억제하는 데 있어서 바람직하다.
- [0060] 또한, 산화물 반도체층(140)을 형성한 후, 다양한 제조 프로세스(패터닝 공정 또는 에칭 공정)를 거치는 과정에 있어서, 산화물 반도체층(140)의 상층측에는, 하층측보다도 많은 산소 결손이 형성된다. 즉, 산화물 반도체층(140) 중의 산소 결손은 두께 방향으로 불균일한 분포로 존재하고 있다. 이 경우, 산화물 반도체층(140)의 상층측에 형성된 산소 결손을 수복하기 위해 충분한 양의 산소를 공급하면, 산화물 반도체층(140)의 하층측에는 과잉으로 산소가 공급되어 버린다. 그 결과, 과잉으로 공급된 산소에 의해 산소 결손과는 다른 결함 준위가 형성되고, 신뢰성 시험에 있어서의 특성 변동 또는 전계 효과 이동도의 저하 등의 현상을 초래하는 경우가 있다. 따라서, 금속 산화물층(130)에 의해 절연층(120)으로부터 방출된 산소를 블록하는 것도, 산화물 반도체층(140)의 하층측으로의 과잉의 산소 공급을 억제하는 데 있어서 바람직하다고 할 수 있다.
- [0061] 산화물 반도체층(140)의 두께는, 예를 들어 10nm 이상 100nm 이하, 15nm 이상 70nm 이하, 또는 15nm 이상 40nm 이하이다. 후술하는 가열 처리(OS 어닐) 전의 산화물 반도체층(140)은 아몰퍼스이다.
- [0062] 후술하는 OS 어닐에 의해, 산화물 반도체층(140)을 결정화할 때, 스퍼터링법에 의한 형성으로부터 OS 어닐의 실시 전에 있어서의 산화물 반도체층(140)은 아몰퍼스(산화물 반도체의 결정 성분이 적은 상태)인 것이 바람직하다. 즉, 산화물 반도체층(140)의 형성 조건은, 형성 직후의 산화물 반도체층(140)이 가능한 한 결정화되지 않는 조건인 것이 바람직하다. 예를 들어, 스퍼터링법에 의해 산화물 반도체층(140)을 형성하는 경우, 피형성 대상물(기판(100) 및 그 위에 형성된 구조물을 포함함)의 온도를 제어하면서 산화물 반도체층(140)을 형성하는 것이 바람직하다. 실제로 온도 제어가 이루어지는 대상은 피형성 대상물이지만, 기판(100) 상에 형성된 구조물은 매우 얇기 때문에, 실질적으로 기판(100)의 온도를 제어하고 있다고 간주해도 된다. 따라서, 이하의 설명에서는, 피형성 대상물을 단순히 「기판」이라고 칭하는 경우가 있다.
- [0063] 스퍼터링법에 의해 기판에 대하여 박막 형성(성막)을 행하면, 플라스마 중에서 발생한 이온 및 스퍼터링 타깃에 의해 리바운드된 원자가 피형성 대상물(구체적으로는, 기판(100) 상에 형성된 구조물)에 충돌하기 때문에, 박막의 형성 과정에 있어서 기판의 온도가 상승한다. 박막의 형성 과정에 있어서 기판의 온도가 상승하면, 형성 직후의 상태에서 산화물 반도체층(140)에 미결정이 포함되고, 그 후의 OS 어닐에 의한 결정화가 저해된다.
- [0064] 산화물 반도체층(140)을 형성할 때의 기판의 온도(즉, 성막 온도)를 제어하기 위해서는, 예를 들어 기판을 냉각하면서 박막 형성을 행해도 된다. 예를 들어, 성막 온도가 100℃ 이하, 70℃ 이하, 50℃ 이하, 또는 30℃ 이하가 되도록, 기판을 피형성면의 반대측의 면으로부터 냉각할 수 있다. 특히, 본 실시 형태의 산화물 반도체층(140)의 성막 온도는, 50℃ 이하인 것이 바람직하다. 본 실시 형태에서는, 산화물 반도체층(140)의 형성을 50℃ 이하의 성막 온도로 행하고, 후술하는 OS 어닐을 400℃ 이상의 가열 온도로 행한다. 이와 같이, 본 실시 형

태에서는, 산화물 반도체층(140)을 형성할 때의 온도와 산화물 반도체층(140)에 대하여 OS 어닐을 행할 때의 온도의 차분이 350℃ 이상인 것이 바람직하다. 기판을 냉각하면서 산화물 반도체층(140)의 형성을 행함으로써, 형성 직후의 상태에서 결정 성분이 적은 산화물 반도체층(140)을 얻을 수 있다.

[0065] 다음에, 도 3 및 도 6에 도시하는 바와 같이, 산화물 반도체층(140)으로 구성되는 패턴(OS 패턴)을 형성한다(도 3의 스텝 S1003). 도시는 생략하지만, 산화물 반도체층(140) 상에 레지스트 마스크를 형성하고, 포토리소그래피에 의해 패터닝한 레지스트 마스크를 사용하여, 산화물 반도체층(140)을 에칭한다. 산화물 반도체층(140)의 에칭은, 습식 에칭을 사용해도 되고, 건식 에칭을 사용해도 된다. 습식 에칭에서는, 예를 들어 산성의 에천트를 사용할 수 있다. 구체적으로는, 에천트로서, 옥살산 또는 불산을 사용할 수 있다.

[0066] 산화물 반도체층(140)의 패턴 형성 후에 산화물 반도체층(140)에 대하여 가열 처리(OS 어닐)가 행해진다(도 3의 스텝 S1004). OS 어닐에서는 산화물 반도체층(140)에 대하여, 대기 분위기 중에 있어서 250℃ 이상 500℃ 이하(바람직하게는 300℃ 이상 500℃ 이하, 더욱 바람직하게는 350℃ 이상 450℃ 이하)의 온도로 가열 처리를 행함으로써, 아몰퍼스 상태의 산화물 반도체층(140)을 결정화시킨다. 가열 분위기는 대기 분위기에 한정되는 것은 아니지만, 산화성 분위기(산소를 포함하는 분위기)인 것이 바람직하다. 또한, 산화성 분위기는 습윤한 분위기(구체적으로는, 습윤한 대기 분위기)인 것이 보다 바람직하다. 또한, 가열 처리의 처리 시간은 소정 온도 도달 후, 15분 이상 120분 이하, 또는 30분 이상 60분 이하여도 된다. 본 실시 형태에서는, OS 어닐의 온도를 350℃로 설정한다.

[0067] 본 실시 형태에서는, 미리 설정 온도(250℃ 이상 500℃ 이하, 본 실시 형태에서는, 350℃)로 유지된 가열 매체(예를 들어, 지지 플레이트)를 갖는 가열로 중에, 패턴 형성된 산화물 반도체층(140)이 형성된 기판을 투입한다. 가열 매체로서의 지지 플레이트는, 기판을 지지하는 역할과, 기판 및 당해 기판 상에 형성된 피막(산화물 반도체층(140)을 포함함)을 가열하는 역할을 갖는다. 지지 플레이트 상에 산화물 반도체층(140)이 형성된 기판을 설치하면, 산화물 반도체층(140)은 급속하게 가열된다. 기판을 가열로 중에 설치할 때, 지지 플레이트의 온도 저하를 설정 온도의 15% 이내, 10% 이내, 또는 5% 이내에 억제하는 것이 바람직하다. 즉, 산화물 반도체층(140)이 최대한 단시간에 설정 온도에 도달하도록 지지 플레이트의 온도 제어를 행하는 것이 바람직하다.

[0068] 본 실시 형태에서는, OS 패턴을 형성한 후에 OS 어닐을 행하는 예를 나타냈지만, 이 예에 한정되지는 않고, OS 패턴을 형성하기 전의 산화물 반도체층(140)에 대하여 OS 어닐을 행해도 된다. 이 경우, 결정화된 산화물 반도체층(140)을 에칭하여 OS 패턴을 형성하는 것으로 되므로, 에칭 처리는 건식 에칭을 사용하는 것이 바람직하다.

[0069] 다음에, 도 3 및 도 7에 도시하는 바와 같이, 금속 산화물층(130)으로 구성되는 패턴(A10x 패턴)을 형성한다(도 3의 스텝 S1005). 결정화된 산화물 반도체층(140)은 불산에 대한 에칭 내성을 갖는다. 그 때문에, 본 실시 형태의 금속 산화물층(130)은, 상기의 공정에서 패터닝된 산화물 반도체층(140)을 마스크로 하여 에칭된다. 금속 산화물층(130)의 에칭은 습식 에칭을 사용해도 되고, 건식 에칭을 사용해도 된다. 습식 에칭에서는, 예를 들어 희석 불산(DHF)이 사용된다. 산화물 반도체층(140)을 마스크로 하여 금속 산화물층(130)을 에칭함으로써, 포토리소그래피 공정을 생략할 수 있다. 산화물 반도체층(140)을 마스크로 하여 금속 산화물층(130)을 에칭하기 위해, 금속 산화물층(130)과 산화물 반도체층(140)은 동일한 패턴 형상이 된다.

[0070] 본 실시 형태에서는, OS 패턴을 형성한 후, OS 패턴을 마스크로 하여 A10x 패턴을 형성하는 예를 나타냈지만, OS 패턴 및 A10x 패턴을 일괄적으로 형성하는 것도 가능하다. 이 경우, 도 3의 스텝 S1003에 있어서 동일한 레지스트 마스크를 사용하여 산화물 반도체층(140) 및 금속 산화물층(130)을 일괄적으로 에칭하면 된다.

[0071] 다음에, 도 3 및 도 8에 도시하는 바와 같이, 게이트 절연층(150)을 형성한다(도 3의 스텝 S1006). 게이트 절연층(150)으로서, 예를 들어 산화 실리콘층이 형성된다. 게이트 절연층(150)은 CVD법에 의해 형성된다. 게이트 절연층(150)으로서, 가능한 한 결함이 적은 절연층을 형성하는 것이 바람직하다. 본 실시 형태에서는, 게이트 절연층(150)의 성막 온도를 350℃로 한다. 게이트 절연층(150)의 두께는, 예를 들어 50nm 이상 300nm 이하, 60nm 이상 200nm 이하, 또는 70nm 이상 150nm 이하이다.

[0072] 다음에, 본 실시 형태에서는 게이트 절연층(150)을 형성한 후, 게이트 절연층(150) 상에 금속 산화물층(190)을 형성한다(도 3의 스텝 S1007). 금속 산화물층(190)은 스퍼터링법에 의해 형성된다. 금속 산화물층(190)의 성막에 스퍼터링법을 사용함으로써, 금속 산화물층(190)을 형성할 때에 게이트 절연층(150)에 대하여 산소가 주입된다. 그 때문에, 금속 산화물층(190)을 형성한 후의 게이트 절연층(150)에는 많은 산소가 포함되어 있다.

[0073] 금속 산화물층(190)의 두께는, 예를 들어 5nm 이상 100nm 이하, 5nm 이상 50nm 이하, 5nm 이상 30nm 이하, 또는

7nm 이상 15nm 이하이다. 본 실시 형태에서는, 금속 산화물층(190)으로서 산화 알루미늄이 사용된다. 전술한 바와 같이, 산화 알루미늄은 가스에 대한 높은 배리어성을 구비하고 있기 때문에, 후술하는 가열 처리 시, 게이트 절연층(150)에 주입된 산소가 상방으로 확산되는 것을 억제할 수 있다.

[0074] 금속 산화물층(190)을 스퍼터링법으로 형성한 경우, 금속 산화물층(190)의 막 중에는 스퍼터링에서 사용된 프로세스 가스가 잔존한다. 예를 들어, 스퍼터링의 프로세스 가스로서 Ar이 사용된 경우, 금속 산화물층(190)의 막 중에는 Ar이 잔존하는 경우가 있다. 잔존한 Ar은 금속 산화물층(190)에 대한 SIMS(Secondary Ion Mass Spectrometry) 분석 등으로 검출할 수 있다.

[0075] 다음에, 게이트 절연층(150) 상에 금속 산화물층(190)이 형성된 상태에서, 산화물 반도체층(140)으로 산소를 공급하기 위한 가열 처리(산화 어닐)가 행해진다(도 3의 스텝 S1008). 환언하면, 패터닝된 금속 산화물층(130) 및 산화물 반도체층(140)에 대하여 가열 처리(산화 어닐)가 행해진다. 산화물 반도체층(140)이 형성되고 나서 산화물 반도체층(140) 상에 게이트 절연층(150)이 형성될 때까지의 사이의 공정에서, 산화물 반도체층(140)의 상면(141) 및 측면(143)에는 산소 결손이 발생할 수 있다. 산화 어닐에 의해, 절연층(120) 및 게이트 절연층(150)으로부터 방출된 산소가 산화물 반도체층(140)에 공급되어, 산소 결손이 수복된다. 산화 어닐은 250℃ 이상 500℃ 이하(바람직하게는 300℃ 이상 500℃ 이하, 더욱 바람직하게는 350℃ 이상 450℃ 이하)의 온도로 행하면 된다. 본 실시 형태에서는, 산화 어닐을 350℃의 온도로 행한다.

[0076] 산화 어닐에 의해, 절연층(120)으로부터 방출된 산소는 금속 산화물층(130)에 의해 블록되기 때문에, 산화물 반도체층(140)의 하면(142)에는 산소가 공급되기 어렵다. 절연층(120)으로부터 방출된 산소는, 금속 산화물층(130)이 형성되어 있지 않은 영역으로부터 게이트 절연층(150)으로 확산되고, 게이트 절연층(150)을 개재하여 산화물 반도체층(140)에 도달한다. 그 결과, 절연층(120)으로부터 방출된 산소는, 산화물 반도체층(140)의 하면(142)에는 공급되기 어렵고, 주로 산화물 반도체층(140)의 측면(143) 및 상면(141)에 공급된다. 또한, 산화 어닐에 의해, 게이트 절연층(150)으로부터 방출된 산소가 산화물 반도체층(140)의 상면(141) 및 측면(143)에 공급된다. 상기의 산화 어닐에 의해, 절연층(110)으로부터 수소가 방출되는 경우가 있다. 그러나, 당해 수소는 산화물 반도체층(140)에 도달하기 전에, 절연층(120)에 포함되는 산소에 포획되거나 금속 산화물층(130)에 의해 블록된다.

[0077] 상기한 바와 같이 산화 어닐에 의해, 산소 결손의 양이 적은 산화물 반도체층(140)의 하면(142)으로의 산소의 공급을 억제하면서, 상대적으로 산소 결손의 양이 많은 산화물 반도체층(140)의 상면(141) 및 측면(143)으로의 산소 공급을 행할 수 있다. 마찬가지로, 산화 어닐 시, 게이트 절연층(150)에 주입된 산소의 상방으로의 확산은, 금속 산화물층(190)에 의해 블록되기 때문에, 대기 중에 방출되는 것이 억제된다. 따라서, 산화 어닐 시, 산소를 효율적으로 산화물 반도체층(140)에 공급할 수 있다.

[0078] 다음에, 도 3 및 도 9에 도시하는 바와 같이, 산화 어닐 후에, 금속 산화물층(190)을 에칭하여 제거한다(도 3의 스텝 S1009). 금속 산화물층(190)의 에칭은 습식 에칭이어도 되고, 건식 에칭이어도 된다. 습식 에칭에서는, 예를 들어 희석 불산(DHF)이 사용된다. 스텝 S1009의 에칭 처리에 의해, 금속 산화물층(190)의 전체가 제거된다.

[0079] 다음에, 도 3 및 도 10에 도시하는 바와 같이, 게이트 절연층(150) 상에 게이트 전극(160)을 형성한 후, 게이트 절연층(150)을 에칭한다(도 3의 스텝 S1010). 게이트 전극(160)은 스퍼터링법 또는 원자층 퇴적법에 의해 형성된 금속층에 대하여 패터닝을 실시한 후, 건식 에칭을 행함으로써 형성된다. 게이트 절연층(150)은 게이트 전극(160)을 형성한 후, 또한 건식 에칭을 계속함으로써 에칭된다. 즉, 게이트 절연층(150)은 게이트 전극(160)을 마스크로 하여 에칭된다. 이와 같이, 본 실시 형태에서는, 금속층과 게이트 절연층(150)을 일괄적으로 에칭함으로써, 패터닝된 게이트 절연층(150) 및 게이트 전극(160)을 형성한다.

[0080] 본 실시 형태에서는, 게이트 전극(160)을 마스크로 하여 게이트 절연층(150)을 에칭함으로써, 산화물 반도체층(140)의 일부(후술하는 소스 영역 S 및 드레인 영역 D가 되는 영역)가 노출된다. 또한, 게이트 전극(160)을 마스크로 하여 에칭 처리를 행하기 위해, 게이트 절연층(150)과 게이트 전극(160)은 동일한 패턴 형상이 된다.

[0081] 도 10에 도시하는 바와 같이, 산화물 반도체층(140)이 노출될 때까지 게이트 절연층(150)을 에칭하면, 산화물 반도체층(140)의 상면(141)뿐만 아니라, 산화물 반도체층(140)의 측면(143)도 노출된다. 또한, 금속 산화물층(130)의 측면 및 절연층(120)의 상면도 노출된다. 이때, 절연층(120)은 게이트 절연층(150)과 마찬가지로 산화 실리콘층으로 구성되어 있으므로, 과도하게 에칭 시간을 길게 하지 않고, 산화물 반도체층(140)의 상면이 노출된 시점에서 빠르게 에칭 처리를 멈추는 것이 바람직하다.

- [0082] 과도하게 에칭 시간을 길게 하면, 절연층(120)이 깊게 에칭되고, 금속 산화물층(130)의 단부와 절연층(120)의 상면 사이에 큰 단차가 발생할 우려가 있다. 이와 같은 단차는 반도체 장치(10)의 전기 특성에 악영향(예를 들어, 누설 전류의 증대 등)을 미치게 하는 경우가 있다. 반대로, 에칭 시간이 부족하면, 산화물 반도체층(140) 상에 게이트 절연층(150)이 잔존한 상태가 되고, 반도체 장치(10)의 전기 특성에 악영향(예를 들어, 역치 전압의 마이너스 방향에 대한 시프트 등)을 미치게 하는 경우가 있다. 따라서, 본 실시 형태에서는 산화물 반도체층(140)의 상면이 노출될 때까지에 요하는 에칭 시간에 대해, 약간의 오버 에칭을 실시함(예를 들어, 전술한 에칭 시간을 10% 연장시킴)으로써 전기 특성의 열화를 방지하고 있다.
- [0083] 다음에, 도 3 및 도 11에 도시하는 바와 같이, 게이트 절연층(150) 및 게이트 전극(160) 상에 패시베이션층으로서 절연층(170 및 180)을 형성한다(도 3의 스텝 S1011). 절연층(170 및 180)은 CVD법에 의해 형성된다. 본 실시 형태에서는, 절연층(170)으로서 산화 실리콘층이 형성되고, 절연층(180)으로서 질화 실리콘층이 형성된다. 절연층(170 및 180)의 성막 온도는, 250℃ 이상 500℃ 이하(바람직하게는 300℃ 이상 450℃ 이하, 더욱 바람직하게는 325℃ 이상 400℃ 이하)로 설정하는 것이 바람직하다. 본 실시 형태에서는, 절연층(170 및 180)의 성막 온도를 350℃로 설정한다. 절연층(170 및 180)의 두께는, 50nm 이상 500nm 이하로 하면 된다. 본 실시 형태에서는, 절연층(170)의 두께를 100nm로 하고, 절연층(180)의 두께를 300nm로 하고 있다.
- [0084] 절연층(170 및 180)은 외부로부터 가스나 수분이 침입하지 않도록 하기 위한 패시베이션층(보호층)으로서 기능한다. 상술한 바와 같이, 게이트 전극(160)과 소스·드레인 전극(200)을 절연 분리하는 역할도 갖는다. 또한, 본 실시 형태에서는, 절연층(170 및 180)(특히, 절연층(180))이 형성됨으로써, 산화물 반도체층(140)에 소스 영역 S 및 드레인 영역 D가 형성된다.
- [0085] 본 실시 형태의 절연층(180)은 질화 실리콘으로 구성된다. CVD법에 의해 절연층(180)을 형성할 때, 원료 가스로서 암모니아를 사용하기 때문에, 절연층(180)은 많은 수소를 포함한다. 그 때문에, 절연층(180)을 형성할 때 및 절연층(180)을 형성한 후, 절연층(180)이 가열됨으로써, 절연층(180)으로부터 수소가 확산된다. 확산된 수소는, 절연층(170)을 개재하여 산화물 반도체층(140)에 도달한다. 이때, 산화물 반도체층(140) 중, 절연층(170)에 접하는 영역에 포함되는 산소가 환원되어, 산소 결손이 형성된다. 형성된 산소 결손에는 수소가 트랩되어, 도너 준위를 형성한다. 이에 의해, 수소가 공급된 산화물 반도체층(140)의 일부는 저저항화되어, 소스 영역 S 및 드레인 영역 D로서 기능한다. 이에 반해, 게이트 전극(160)의 바로 아래에 위치하는 산화물 반도체층(140)은 수소가 도달하지 않으므로 저저항화되지 않고, 채널 영역 CH로서 기능한다.
- [0086] 본 실시 형태의 반도체 장치(10)는 게이트 절연층(150)이 게이트 전극(160)과 동일한 패턴 형상으로 되어 있으므로, 게이트 절연층(150)으로부터 노출된 산화물 반도체층(140)은 절연층(170)과 직접적으로 접한다. 따라서, 게이트 절연층(150)에 의해 산화물 반도체층(140)이 덮인 구조에 비해, 게이트 전극(160)의 하방에도 수소가 확산되기 쉬운 구조가 되어 있다. 그 때문에, 도 11에 도시하는 바와 같이, 게이트 전극(160)의 하방으로 확산된 수소에 의해, 원래 채널 영역 CH여야 할 영역의 일부도 저저항화된다. 즉, 소스 영역 S 및 드레인 영역 D가 채널 영역 CH를 향하여 연장되어, 중첩 영역 OL이 형성된다.
- [0087] 전술한 바와 같이, 본 실시 형태에서는, 제1 방향(채널 길이 방향)에 있어서의 중첩 영역 OL의 폭(ΔL)을 1 μ m 이하로 억제할 수 있다. 중첩 영역 OL의 폭을 1 μ m 이하로 억제함으로써, 설계 채널 길이와 실효 채널 길이의 괴리를 억제할 수 있다. 그 결과, 본 실시 형태의 반도체 장치(10)는 채널 길이가 4 μ m 이하여도 안정된 전기 특성을 얻을 수 있다.
- [0088] 중첩 영역 OL의 폭(ΔL)을 1 μ m 이하로 억제할 수 있는 이유로서, 산화물 반도체층(140)의 하방에 마련된 절연층(120)(본 실시 형태에서는, 산화 실리콘층)에 많은 산소가 포함되어 있는 것을 들 수 있다.
- [0089] 평면으로 보아, 산화물 반도체층(140)의 주위에서는, 산소를 많이 포함한 절연층(120)과 절연층(170)이 직접적으로 접하고 있다. 그 때문에, 절연층(170 및 180)으로부터 확산된 수소의 대부분은 절연층(120)에 포획되어, 산화물 반도체층(140)을 향하여 확산되는 수소량이 억제된다. 이때, 산화물 반도체층(140)의 소스 영역 S 및 드레인 영역 D는 절연층(170)에 직접적으로 접하고 있기 때문에, 확산되는 수소량이 적어도 충분히 저저항화되지만, 게이트 전극(160)의 하방을 향하여 확산되는 수소의 양은 적어진다. 그 결과로서, 본 실시 형태에서는 중첩 영역 OL의 폭(즉, 수소의 확산 길이)이 짧아진다고 생각된다.
- [0090] 절연층(120)의 함유 산소량을 증가시키기 위해서는, 예를 들어 절연층(120)의 성막 온도를 비교적 조금 낮게 설정하는 것이 바람직하다. 본 실시 형태에서는 350℃로 설정하고 있지만, 250℃ 이상 500℃ 이하(바람직하게는 300℃ 이상 450℃ 이하, 더욱 바람직하게는 325℃ 이상 400℃ 이하)의 범위 내이면 된다.

- [0091] 또한, 본 실시 형태에서는 절연층(120) 상에, 금속 산화물층(130)을 형성하는 프로세스를 포함하지만, 이 프로세스도 절연층(120)의 함유 산소량을 증가시키는 것에 기여하고 있다. 구체적으로는, 금속 산화물층(130)으로서 산화 알루미늄을 스퍼터링법에 의해 형성할 때, 절연층(120)에 산소가 주입된다. 이에 의해, 상술한 성막 온도에서 함유 산소량이 많아져 있는 절연층(120)에 대하여, 산소가 더욱 주입되기 때문에, 절연층(120) 중의 산소의 총량을 많게 할 수 있다.
- [0092] 이상과 같이, 본 실시 형태의 반도체 장치(10)는 게이트 절연층(150)이 게이트 전극(160)과 동일한 패턴 형상으로 가공됨으로써, 산화물 반도체층(140)과 절연층(170)이 직접적으로 접한 구조로 되어 있다. 이에 의해, 절연층(170 및 180)으로부터 확산되는 수소를 사용하여 산화물 반도체층(140)의 일부를 저저항화하고, 소스 영역 S 및 드레인 영역 D를 형성할 수 있다. 또한, 그 때, 산화물 반도체층(140)의 하지가 되어 있는 절연층(120)에 많은 산소가 포함되어 있으므로, 산화물 반도체층(140)의 저저항화에 이용되는 수소량을 저감할 수 있다. 그 결과, 게이트 전극(160)의 바로 아래로의 수소 확산을 억제하여, 중첩 영역 OL의 폭을 짧게 할 수 있다.
- [0093] 다음에, 도 3 및 도 12에 도시하는 바와 같이, 게이트 절연층(150) 및 절연층(170 및 180)에 개구(171, 173)를 형성한다(도 3의 스텝 S1012). 개구(171)는 소스 영역 S의 산화물 반도체층(140)을 노출시킨다. 개구(173)는 드레인 영역 D의 산화물 반도체층(140)을 노출시킨다. 개구(171, 173)에 의해 노출된 산화물 반도체층(140) 상 및 절연층(180) 상에 소스·드레인 전극(200)을 형성함으로써(도 3의 스텝 S1013), 도 1에 도시하는 반도체 장치(10)가 완성된다.
- [0094] 본 실시 형태의 제조 방법으로 제작한 반도체 장치(10)에서는, 채널 영역 CH의 채널 길이 L이 $2\mu\text{m}$ 이상 $4\mu\text{m}$ 이하, 또한 채널 영역 CH의 채널 폭이 $2\mu\text{m}$ 이상 $25\mu\text{m}$ 이하의 범위에 있어서, 전계 효과 이동도가 $30\text{cm}^2/\text{Vs}$ 이상, $35\text{cm}^2/\text{Vs}$ 이상, 또는 $40\text{cm}^2/\text{Vs}$ 이상의 전기 특성을 얻을 수 있다. 본 실시 형태에 있어서의 「전계 효과 이동도」란, 반도체 장치(10)의 포화 영역에 있어서의 전계 효과 이동도이며, 소스 전극과 드레인 전극 사이의 전위차(Vd)가, 게이트 전극에 공급되는 전압(Vg)으로부터 반도체 장치(10)의 역치 전압(Vth)을 뺀 값(Vg-Vth)보다 큰 영역에 있어서의 전계 효과 이동도의 최댓값을 의미한다.
- [0095] <제2 실시 형태>
- [0096] 본 실시 형태에서는, 제1 실시 형태와는 다른 방법으로 제조된 반도체 장치에 대해서 설명한다. 본 실시 형태의 반도체 장치(10)의 구조는, 외관으로서는 제1 실시 형태에서 설명한 반도체 장치(10)와 동일하다. 본 실시 형태에서는, 제1 실시 형태와 상이한 점에 착안하여 설명한다.
- [0097] 도 13은, 본 발명의 일 실시 형태에 있어서의 반도체 장치(10)의 제조 방법을 도시하는 시퀀스도이다. 도 13에 도시하는 바와 같이, 본 실시 형태에서는, 도 3에 도시한 스텝 S1007(A10x 형성) 및 S1009(A10x 제거)의 2개의 공정이 생략되어 있다. 즉, 본 실시 형태에서는, 게이트 절연층(150)을 형성한 후, 그대로의 상태로 산화 어닐을 행한다. 이 산화 어닐에 의해, 게이트 절연층(150)으로부터 방출된 산소가 산화물 반도체층(140)으로 공급되고, 산화물 반도체층(140)에 포함되는 산소 결손이 수복된다. 그 때에 있어서의 금속 산화물층(130)의 역할은, 제1 실시 형태와 마찬가지로이므로, 여기서의 설명은 생략한다.
- [0098] 본 실시 형태의 제조 방법으로 제작한 반도체 장치(10)에서는, 채널 영역 CH의 채널 길이 L이 $2\mu\text{m}$ 이상 $4\mu\text{m}$ 이하, 또한 채널 영역 CH의 채널 폭 W가 $2\mu\text{m}$ 이상 $25\mu\text{m}$ 이하의 범위에 있어서, 이동도가 $30\text{cm}^2/\text{Vs}$ 이상, $35\text{cm}^2/\text{Vs}$ 이상, 또는 $40\text{cm}^2/\text{Vs}$ 이상의 전기 특성을 얻을 수 있다. 본 실시 형태에 있어서의 전계 효과 이동도의 정의는, 제1 실시 형태와 마찬가지로이다.
- [0099] <제3 실시 형태>
- [0100] 도 14 내지 도 18을 사용하여, 본 발명의 일 실시 형태의 반도체 장치를 사용한 표시 장치에 대해서 설명한다. 이하에 나타내는 실시 형태에서는, 제1 실시 형태 및 제2 실시 형태에서 설명한 각 반도체 장치가 액정 표시 장치의 회로에 적용된 구성에 대해서 설명한다.
- [0101] [표시 장치의 개요]
- [0102] 도 14는, 본 발명의 일 실시 형태에 있어서의 표시 장치(20)의 개요를 도시하는 평면도이다. 도 14에 도시하는 바와 같이, 표시 장치(20)는 어레이 기관(300), 시일부(310), 대향 기관(320), 플렉시블 프린트 회로 기관(330)(FPC(330)), 및 IC칩(340)을 갖는다. 어레이 기관(300) 및 대향 기관(320)은 시일부(310)에 의해 접합되어 있다. 시일부(310)에 둘러싸인 액정 영역(22)에는, 복수의 화소 회로(301)가 매트릭스 형상으로 배치되어 있다. 액정 영역(22)은, 후술하는 액정 소자(311)와 평면으로 보아 겹치는 영역이다.

- [0103] 시일부(310)가 마련된 시일 영역(24)은 액정 영역(22)의 주위의 영역이다. FPC(330)는 단자 영역(26)에 마련되어 있다. 단자 영역(26)은 어레이 기관(300) 중 대향 기관(320)으로부터 노출된 영역이고, 시일 영역(24)의 외측에 마련되어 있다. 시일 영역(24)의 외측이란, 시일부(310)가 마련된 영역 및 시일부(310)에 의해 둘러싸인 영역의 외측을 의미한다. IC칩(340)은 FPC(330) 상에 마련되어 있다. IC칩(340)은, 각 화소 회로(301)를 구동시키기 위한 신호를 공급한다.
- [0104] [표시 장치의 회로 구성]
- [0105] 도 15는, 본 발명의 일 실시 형태에 있어서의 표시 장치(20)의 회로 구성을 도시하는 블록도이다. 도 15에 도시하는 바와 같이, 화소 회로(301)가 배치된 액정 영역(22)에 대하여 Y 방향(열방향)에 인접하는 위치에는 소스 드라이버 회로(302)가 마련되어 있다. 또한, 액정 영역(22)에 대하여 X 방향(행방향)에 인접하는 위치에는 게이트 드라이버 회로(303)가 마련되어 있다. 소스 드라이버 회로(302) 및 게이트 드라이버 회로(303)는, 상기의 시일 영역(24)에 마련되어 있다. 단, 소스 드라이버 회로(302) 및 게이트 드라이버 회로(303)가 마련되는 영역은, 시일 영역(24)에 한정되지는 않고, 화소 회로(301)가 마련된 영역의 외측이면, 어느 영역이어도 된다.
- [0106] 소스 드라이버 회로(302)로부터 소스 배선(304)이 Y 방향으로 연장되어 있고, Y 방향으로 배열된 복수의 화소 회로(301)에 접속되어 있다. 게이트 드라이버 회로(303)로부터 게이트 배선(305)이 X 방향으로 연장되어 있고, X 방향으로 배열된 복수의 화소 회로(301)에 접속되어 있다.
- [0107] 단자 영역(26)에는 단자부(306)가 마련되어 있다. 단자부(306)와 소스 드라이버 회로(302)는 접속 배선(307)으로 접속되어 있다. 마찬가지로, 단자부(306)와 게이트 드라이버 회로(303)는 접속 배선(308)으로 접속되어 있다. FPC(330)가 단자부(306)에 접속됨으로써, FPC(330)를 통해 외부 기기와 표시 장치(20)가 접속된다. 표시 장치(20)에 마련된 각 화소 회로(301)는 FPC(330)를 통해 입력된 외부 기기로부터의 신호에 의해 구동된다.
- [0108] 제1 실시 형태 및 제2 실시 형태에 나타난 반도체 장치(10)는 화소 회로(301), 소스 드라이버 회로(302), 및 게이트 드라이버 회로(303)에 포함되는 트랜지스터로서 사용된다.
- [0109] [표시 장치의 화소 회로]
- [0110] 도 16은, 본 발명의 일 실시 형태에 있어서의 표시 장치(20)의 화소 회로(301)를 도시하는 회로도이다. 도 16에 도시하는 바와 같이, 화소 회로(301)는 반도체 장치(10), 보유 지지 용량(350), 및 액정 소자(311) 등의 소자를 포함한다.
- [0111] 반도체 장치(10)는 게이트 전극(160), 소스 전극(201), 및 드레인 전극(203)을 갖는다. 게이트 전극(160)은 게이트 배선(305)에 접속되어 있다. 소스 전극(201)은 소스 배선(304)에 접속되어 있다. 드레인 전극(203)은 보유 지지 용량(350) 및 액정 소자(311)에 접속되어 있다. 소스 전극(201) 및 드레인 전극(203)은 소스 배선(304)에 공급되어 있는 전압과 보유 지지 용량(350)에 축적되어 있는 전압의 관계에 의해 역할이 교체되는 경우가 있다. 즉, 소스 전극(201)이 드레인 전극으로서 기능하고, 드레인 전극(203)이 소스 전극으로서 기능하는 경우가 있다.
- [0112] [표시 장치의 단면 구조]
- [0113] 도 17은, 본 발명의 일 실시 형태에 있어서의 표시 장치(20)의 개요를 도시하는 단면도이다. 도 17에 도시하는 바와 같이, 표시 장치(20)는 반도체 장치(10)가 사용된 표시 장치이다. 본 실시 형태에서는, 반도체 장치(10)가 화소 회로(301)에 사용된 구성을 예시하지만, 반도체 장치(10)가 소스 드라이버 회로(302) 및 게이트 드라이버 회로(303)를 포함하는 주변 회로에 사용되어도 된다. 이하의 설명에 있어서, 반도체 장치(10)의 구성은, 도 1에 도시한 반도체 장치(10)와 마찬가지로이므로, 상세한 설명을 생략한다.
- [0114] 소스 전극(201) 및 드레인 전극(203) 상에 절연층(360)이 마련되어 있다. 절연층(360) 상에 복수의 화소에 공통적으로 마련되는 공통 전극(370)이 마련되어 있다. 공통 전극(370) 상에 절연층(380)이 마련되어 있다. 절연층(360 및 380)에는 개구(381)가 마련되어 있다. 절연층(380) 상 및 개구(381)의 내부에는 화소 전극(390)이 마련되어 있다. 화소 전극(390)은 드레인 전극(203)에 접속되어 있다.
- [0115] 도 18은, 본 발명의 일 실시 형태에 있어서의 표시 장치(20)의 화소 전극(390) 및 공통 전극(370)의 평면도이다. 도 18에 도시하는 바와 같이, 공통 전극(370)은 평판 형상의 도전층으로 구성되어 있다. 화소 전극(390)은 X 방향으로 연장되는 부분과, Y 방향으로 연장되는 부분이 조합된 빗살 형상의 도전층으로 구성되어 있다. Y 방향으로 연장되는 부분은, 복수개의 선 형상 전극으로 구성되고, 각각 X 방향으로 연장되는 부분에

접속되어 있다.

[0116] 공통 전극(370)은, 평면으로 보아 화소 전극(390)과 겹치는 중첩 영역과, 화소 전극(390)과 겹치지 않는 비중첩 영역을 갖는다. 화소 전극(390)과 공통 전극(370) 사이에 전압을 공급하면, 중첩 영역의 화소 전극(390)으로부터 비중첩 영역의 공통 전극(370)을 향하여 횡방향의 전계가 형성된다. 이 횡방향의 전계에 의해 액정 소자(311)에 포함되는 액정 분자가 동작함으로써, 화소의 제조가 결정된다.

[0117] <제4 실시 형태>

[0118] 도 19 및 도 20을 사용하여, 본 발명의 일 실시 형태에 있어서의 반도체 장치를 사용한 표시 장치에 대해서 설명한다. 이하에 나타내는 실시 형태에서는, 상기의 제1 실시 형태 및 제2 실시 형태에서 설명한 각 반도체 장치가 유기 EL 표시 장치의 회로에 적용된 구성에 대해서 설명한다. 표시 장치(20a)의 개요 및 회로 구성은, 도 14 및 도 15에 도시한 것과 마찬가지로이므로, 여기서의 설명을 생략한다.

[0119] [표시 장치의 화소 회로]

[0120] 도 19는, 본 발명의 일 실시 형태에 있어서의 표시 장치(20a)의 화소 회로(301a)를 도시하는 회로도이다. 도 19에 도시하는 바와 같이, 화소 회로(301a)는 구동 트랜지스터(11), 선택 트랜지스터(12), 보유 지지 용량(210), 및 발광 소자 D0 등의 소자를 포함한다.

[0121] 구동 트랜지스터(11) 및 선택 트랜지스터(12)는 반도체 장치(10)와 마찬가지로의 구성을 구비하고 있다. 선택 트랜지스터(12)의 소스 전극은 신호선(211)에 접속되고, 선택 트랜지스터(12)의 게이트 전극은 게이트선(212)에 접속되어 있다. 구동 트랜지스터(11)의 소스 전극은 애노드 전원선(213)에 접속되고, 구동 트랜지스터(11)의 드레인 전극은 발광 소자 D0의 일단부에 접속되어 있다. 발광 소자 D0의 타단부는 캐소드 전원선(214)에 접속되어 있다. 구동 트랜지스터(11)의 게이트 전극은 선택 트랜지스터(12)의 드레인 전극에 접속되어 있다. 보유 지지 용량(210)은 구동 트랜지스터(11)의 게이트 전극 및 드레인 전극에 접속되어 있다. 신호선(211)에는 발광 소자 D0의 발광 강도를 정하는 계조 신호가 공급된다. 게이트선(212)에는, 상기의 계조 신호를 기입하는 화소행을 선택하는 신호가 공급된다.

[0122] [표시 장치의 단면 구조]

[0123] 도 20은, 본 발명의 일 실시 형태에 있어서의 표시 장치(20a)의 개요를 도시하는 단면도이다. 도 20에 도시하는 표시 장치(20a)의 구성은, 도 17에 도시한 표시 장치(20)와 유사하지만, 표시 장치(20)와 표시 장치(20a)에서는, 절연층(360)보다도 상방의 구조가 상이하다. 이하, 도 20에 도시하는 표시 장치(20a)의 구성 중, 도 17에 도시한 표시 장치(20)와 마찬가지로의 구성에 대해서는 설명을 생략하고, 양자의 상이점에 대해서 설명한다.

[0124] 도 20에 도시하는 바와 같이, 표시 장치(20a)는 절연층(360)의 상방에 화소 전극(390), 발광층(392) 및 공통 전극(394)을 갖는다. 발광 소자 D0는 화소 전극(390), 발광층(392) 및 공통 전극(394)에 의해 구성된다. 화소 전극(390)은 절연층(360) 상 및 개구(381)의 내부에 마련되어 있다. 여기서, 절연층(362)은 뱅크, 리브 등이라고 불리고, 발광 영역을 정의하는 역할을 갖는다. 절연층(362)은 화소 전극(390) 상에 마련되어 있다. 절연층(362)에는 개구(363)가 마련되어 있다. 개구(363)는 발광 영역에 대응한다. 개구(363)에 의해 노출된 화소 전극(390) 상에 발광층(392) 및 공통 전극(394)이 마련되어 있다. 화소 전극(390) 및 발광층(392)은, 각 화소에 대하여 개별로 마련되어 있다. 한편, 공통 전극(394)은, 복수의 화소에 공통적으로 마련되어 있다. 발광층(392)은 화소의 표시색에 따라서 다른 재료가 사용된다.

[0125] 제3 실시 형태 및 제4 실시 형태에서는, 제1 실시 형태 및 제2 실시 형태에서 설명한 반도체 장치를, 각각 액정 표시 장치 및 유기 EL 표시 장치에 적용한 구성에 대해서 예시하였다. 그러나, 제1 실시 형태 및 제2 실시 형태에서 설명한 반도체 장치는, 이들 표시 장치 이외의 표시 장치(예를 들어, 유기 EL 표시 장치 이외의 자발광형 표시 장치 또는 전자 페이퍼형 표시 장치)에 적용해도 된다. 또한, 중소형의 표시 장치로부터 대형의 표시 장치까지, 특별히 한정되지는 않고 상기 각 반도체 장치의 적용이 가능하다.

[0126] <실시예>

[0127] [반도체 장치의 전기 특성]

[0128] 도 21a는, 본 발명의 일 실시 형태에 있어서의 반도체 장치(10)의 전기 특성을 도시하는 도면이다. 도 21b는, 비교예에 있어서의 반도체 장치의 전기 특성을 도시하는 도면이다. 구체적으로는, 도 21b는, 도 1에 도시한 반도체 장치(10)에 있어서, 금속 산화물층(130)을 생략한 구조를 갖는 반도체 장치의 전기 특성에 대응한다. 또

한, 도 21a 및 도 21b는, 각각 복수개의 반도체 장치를 측정하여 얻은 복수의 전기 특성을 도시하고 있다.

[0129] 도 21a 및 도 21b에 도시하는 전기 특성의 측정 조건은 이하와 같다.

[0130] · 채널 영역 CH의 사이즈: $W/L=4.5\mu\text{m}/3.0\mu\text{m}$

[0131] · 소스·드레인간 전압: 0.1V, 10V

[0132] · 게이트 전압: -15V 내지 +15V

[0133] · 측정 환경: 실온, 암실

[0134] 도 21a 및 도 21b에서는, 반도체 장치의 전기 특성으로서, Id-Vg 특성, 및 포화 영역에 있어서의 전계 효과 이동도(μ_{sat})가 도시되어 있다. 도 21a 및 도 21b의 그래프 중에 화살표로 도시되어 있는 바와 같이, 드레인 전류(Id)를 도시하는 종축은, 그래프의 좌측에 도시되어 있다. 또한, 드레인 전류로부터 계산된 전계 효과 이동도를 도시하는 종축은, 그래프의 우측에 도시되어 있다. 횡축은, 각 반도체 장치에 공급한 게이트 전압이다.

[0135] 도 21a에 도시하는 바와 같이, 제1 실시 형태의 반도체 장치(10)에 있어서의 Id-Vg 특성은, 게이트 전압 Vg가 거의 0V일 때 드레인 전류 Id가 흐르기 시작하는, 소위 노멀리 오프의 특성을 나타내고 있다. 드레인 전류는, 소스·드레인간 전압이 0.1V여도 10V여도 변동이 적고, 매우 안정되어 있다. 복수의 Id-Vg 특성으로부터 얻은 역치 전압(V_{th})의 평균값은, 0.30V였다. 또한, 복수의 Id-Vg 특성으로부터 얻은 진성 이동도의 평균값은, 23.7 cm^2/Vs 이고, 전계 효과 이동도의 평균값은, 37.6 cm^2/Vs 였다.

[0136] 이에 반해, 도 21b에 도시하는 바와 같이, 비교예의 반도체 장치의 Id-Vg 특성은, 역치 전압이 마이너스 방향으로 시프트되어 있고, 게이트 전압 Vg가 0V 이하일 때 드레인 전류 Id가 흐르기 시작하는, 소위 노멀리 온의 특성을 나타내고 있었다. 복수의 Id-Vg 특성으로부터 얻은 역치 전압의 평균값은, -3.59V였다. 또한, 드레인 전류는, 약간의 변동이 보이지만 평균적으로 높은 값을 나타내고 있고, 스위칭 특성에 큰 문제는 보이지 않았다. 복수의 Id-Vg 특성으로부터 얻은 진성 이동도의 평균값은, 19.5 cm^2/Vs 이고, 전계 효과 이동도의 평균값은, 30.8 cm^2/Vs 였다.

[0137] 여기서, 제1 실시 형태의 반도체 장치(10)에 있어서의 중첩 영역 OL의 폭($\Delta L/2$)의 평균값은, 0.82 μm 이고, 비교예의 반도체 장치에 있어서의 중첩 영역 OL의 폭의 평균값은, 1.50 μm 였다. 즉, 도 1에 도시한 금속 산화물층(130)의 유무에 의해, 중첩 영역 OL의 폭에 2배 가까이 차이가 발생하는 것을 알 수 있었다. 즉, 중첩 영역 OL의 폭을 저감하는 데 있어서, 금속 산화물층(130)을 마련하는 것이 매우 유효한 것을 알 수 있었다.

[0138] 또한, 비교예의 반도체 장치는 설계 채널 길이가 3.0 μm 이고, 중첩 영역 OL의 폭이 1.5 μm 이므로, 계산상은 채널 영역 CH가 존재하지 않는 것처럼 보인다. 그러나, 실제로는, 설계 채널 길이에는 오차가 있고, 상술한 중첩 영역 OL의 폭은, 어디까지나 평균값이므로, 실제로는, 채널 영역 CH가 완전히 소실되어 있는 것은 아니다.

[0139] 중첩 영역 OL의 폭은, 다양한 방법으로 구할 수 있다. 본 실시 형태에서는, 상이한 게이트 전압을 인가했을 때에 있어서의 트랜지스터의 설계 채널 길이와 채널 저항 R의 관계로부터 중첩 영역 OL을 구하는 예를 나타낸다.

[0140] 도 22는, 상이한 게이트 전압(Vg)에 대해서, 트랜지스터의 설계 채널 길이(레이아웃상의 채널 길이)(Lg)에 대한 채널 저항(R)의 관계를 예시한 도면이다. 구체적으로는, 도 22에 있어서, 횡축은 설계 채널 길이(Lg)이고, 종축은 채널 저항(R)이다. 도 22에서는 설계 채널 길이(Lg)가 L1, L2, 또는 L3인 각 트랜지스터에 대해, 게이트 전압(Vg)으로서 1V, 2V, 또는 3V를 인가한 경우에 있어서의 각 채널 저항(R)을 도시하고 있다. 도 22에 도시하는 바와 같이, 각 게이트 전압(Vg)에 있어서, 설계 채널 길이(Lg)와 채널 저항(R)은 선형 관계에 있다.

[0141] 여기서, 각 선형 관계를 나타내는 직선을 Lg가 작아지는 방향으로 외삽한 경우, 각 외삽선이 교차하는 점이 나타난다. 이 교차점은 측정한 트랜지스터의 계에 있어서, 실효 채널 길이(L_{eff})가 제로가 되는 점이다. 이때, 교차점의 X 좌표를 ΔL , Y 좌표를 R0으로 하면, ΔL 은 중첩 영역 OL의 폭에 상당하고, R0은 중첩 영역 OL에 의해 발생하는 직렬 저항에 상당한다. 실효 채널 길이(L_{eff})와 설계 채널 길이(Lg) 사이에는, $L_{\text{eff}}=Lg-\Delta L$ 의 관계가 성립된다. 도 1에 도시한 바와 같이, 트랜지스터가 제1 방향(D1 방향)에 대칭인 경우, 소스측의 중첩 영역 OLS와 드레인측의 중첩 영역 OLD의 합계가 ΔL 이 된다. 즉, 소스측의 중첩 영역 OLS와 드레인측의 중첩 영역 OLD 사이에는, $OLS=OLD=\Delta L/2$ 의 관계가 성립된다.

[0142] 다음에, 도 23a는, 본 발명의 일 실시 형태의 반도체 장치(10)에 있어서의 역치 전압의 채널 길이에 대한 의존성을 도시하는 도면이다. 도 23b는, 상술한 비교예의 반도체 장치에 있어서의 역치 전압의 채널 길이에 대한 의존성을 도시하는 도면이다. 여기서, 각 반도체 장치의 채널 폭(W)은 4.5 μm 로 하였다.

- [0143] 도 23a에 도시하는 바와 같이, 본 실시 형태의 반도체 장치(10)는 채널 길이가 $4\mu\text{m}$ 이상 $20\mu\text{m}$ 이하의 범위에서 역치 전압이 거의 변화하지 않고, 안정된 스위칭 특성을 나타내는 것을 알 수 있었다. 또한, 채널 길이가 $4\mu\text{m}$ 이하(예를 들어 $2.5\mu\text{m}$ 이상 $4\mu\text{m}$ 이하)의 범위여도, -0.4V 이상의 역치 전압을 확보할 수 있는 것을 알 수 있었다. 즉, 본 실시 형태의 반도체 장치(10)는 채널 길이에 의존하지 않고 안정된 역치 전압이 얻어짐과 함께, 채널 길이가 $4\mu\text{m}$ 이하가 되어도, 역치 전압이 크고 마이너스 방향으로 시프트되는 일은 없었다. 이에 반해, 도 23b에 도시하는 바와 같이, 비교예의 반도체 장치는, 채널 길이가 $10\mu\text{m}$ 이하의 범위에서는 역치 전압의 마이너스 방향으로의 시프트가 보였다.
- [0144] 도 23a 및 도 23b에 보이는 전기 특성의 차이는, 중첩 영역 OL의 폭($\Delta L/2$)에 기인하는 것으로 생각된다. 즉, 본 실시 형태의 반도체 장치(10)는 중첩 영역 OL의 폭을 $1\mu\text{m}$ 이하로 억제할 수 있으므로, 설계 채널 길이(L_g)와 실효 채널(L_{eff})의 괴리가 작다. 그 때문에, 역치 전압의 채널 길이로 의존성은, 역치 전압의 설계 채널 길이로 의존성에 가까운 경향을 나타낸다. 한편, 비교예의 반도체 장치는 중첩 영역 OL의 폭이 본 실시 형태에 비해 길기 때문에, 설계 채널 길이가 짧아질수록 중첩 영역 OL의 폭에 의한 영향이 현재화된다.
- [0145] 이상과 같이, 중첩 영역 OL의 폭을 $1\mu\text{m}$ 이하로 하는 것은, 반도체 장치의 전기 특성의 열화, 특히 역치 전압의 마이너스 방향으로의 시프트를 억제하는 데 있어서 중요하다고 할 수 있다. 그리고, 중첩 영역 OL의 폭을 $1\mu\text{m}$ 이하로 억제하기 위해서는, 산화물 반도체층(140)의 하지가 되는 층, 즉 절연층(120)의 함유 산소량을 증가시키는 것이 유효하다. 또한, 절연층(120)의 함유 산소량을 증가시키는 것에 더하여, 또한 절연층(120)과 산화물 반도체층(140) 사이에 금속 산화물층(130)을 마련하는 것이 바람직하다.
- [0146] 본 발명의 실시 형태로서 상술한 각 실시 형태는, 서로 모순되지 않는 한, 적절히 조합하여 실시할 수 있다. 또한, 각 실시 형태를 기초로 하여, 당업자가 적절히 구성 요소의 추가, 삭제 혹은 설계 변경을 행한 것, 또는 공정의 추가, 생략 혹은 조건 변경을 행한 것도, 본 발명의 요지를 구비하고 있는 한, 본 발명의 범위에 포함된다.
- [0147] 상술한 각 실시 형태의 양태에 의해 초래되는 작용 효과와는 상이한 다른 작용 효과여도, 본 명세서의 기재로부터 명확한 것, 또는 당업자에 있어서 용이하게 예측할 수 있는 것에 대해서는, 당연히 본 발명에 의해 초래되는 것이라고 해석된다.

부호의 설명

- [0148] 10, 10a: 반도체 장치
 11: 구동 트랜지스터
 12: 선택 트랜지스터
 20, 20a: 표시 장치
 22: 액정 영역
 24: 시일 영역
 26: 단자 영역
 100: 기관
 105: 도전층
 110: 절연층
 120: 절연층
 130: 금속 산화물층
 140: 산화물 반도체층
 141: 상면
 142: 하면
 143: 측면

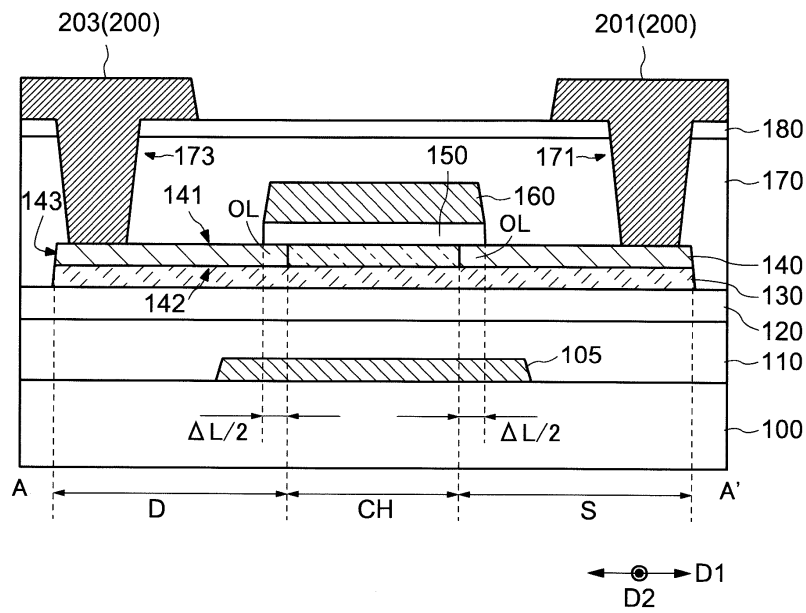
150: 게이트 절연층
160: 게이트 전극
170: 절연층
171, 173: 개구
180: 절연층
190: 금속 산화물층
200: 소스·드레인 전극
201: 소스 전극
203: 드레인 전극
210: 보유 지지 용량
211: 신호선
212: 게이트선
213: 애노드 전원선
214: 캐소드 전원선
300: 어레이 기관
301, 301a: 화소 회로
302: 소스 드라이버 회로
303: 게이트 드라이버 회로
304: 소스 배선
305: 게이트 배선
306: 단자부
307, 308: 접속 배선
310: 시일부
311: 액정 소자
320: 대향 기관
330: 연성 인쇄 회로 기관
340: 칩
350: 보유 지지 용량
360: 절연층
362: 절연층
363: 개구
370: 공통 전극
380: 절연층
381: 개구
390: 화소 전극
392: 발광층

394: 공통 전극

도면

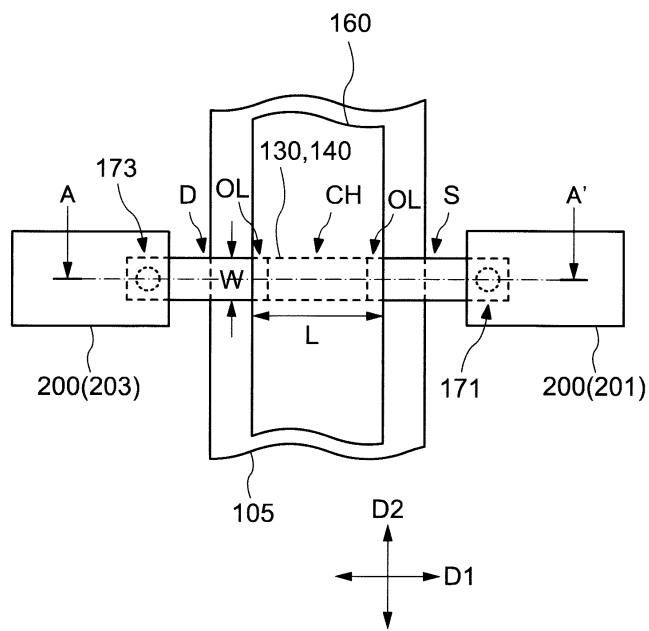
도면1

10

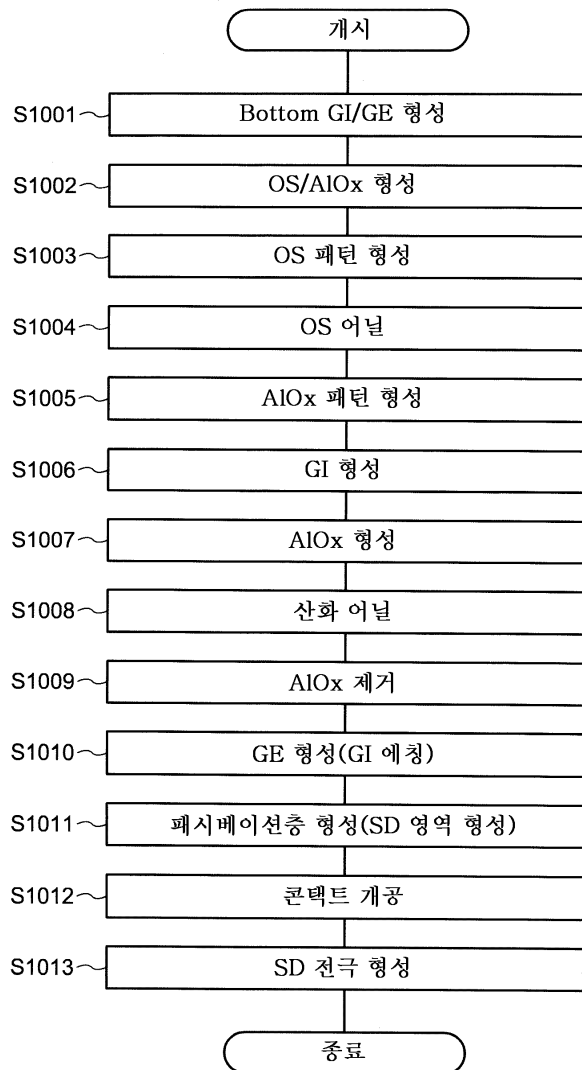


도면2

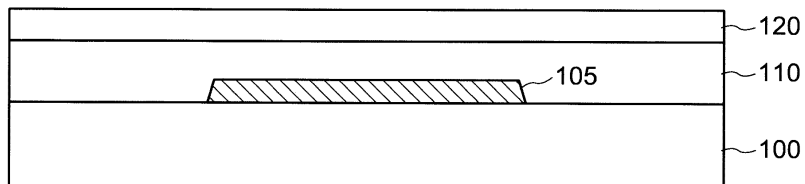
10



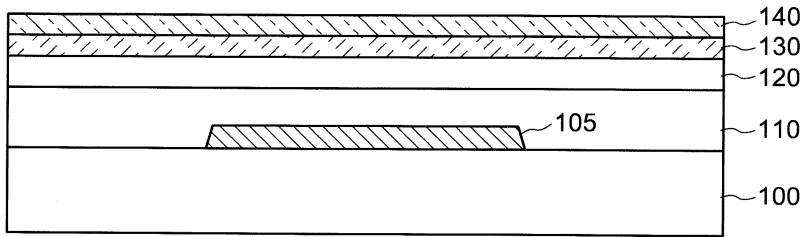
도면3



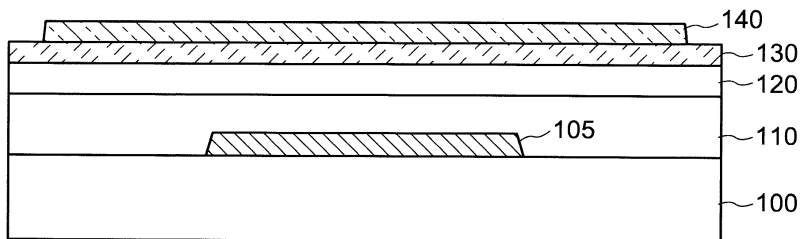
도면4



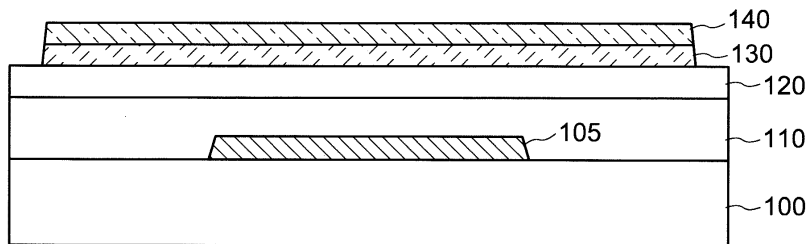
도면5



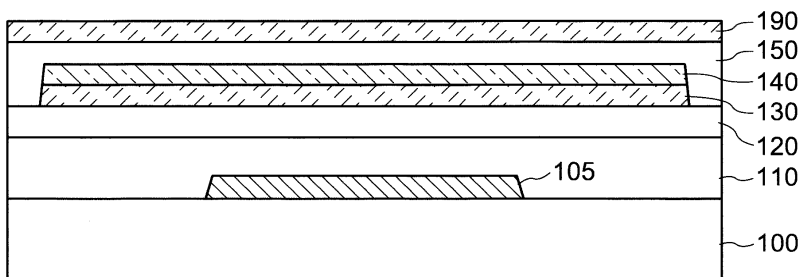
도면6



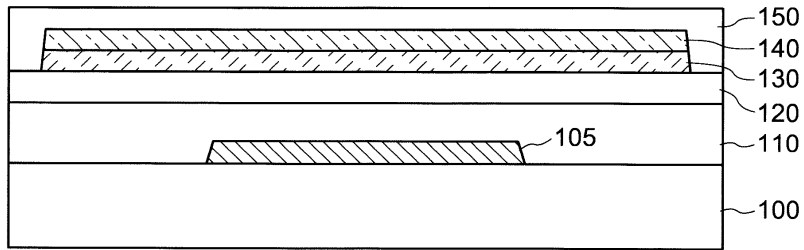
도면7



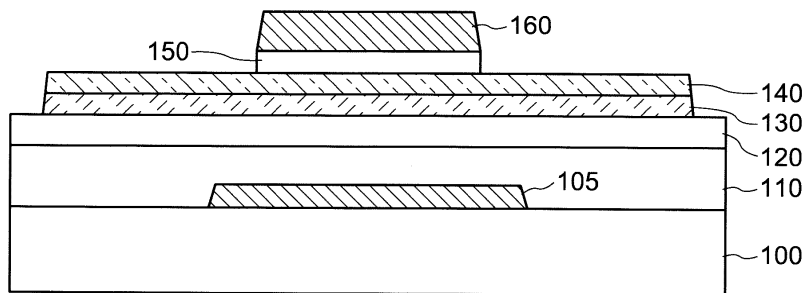
도면8



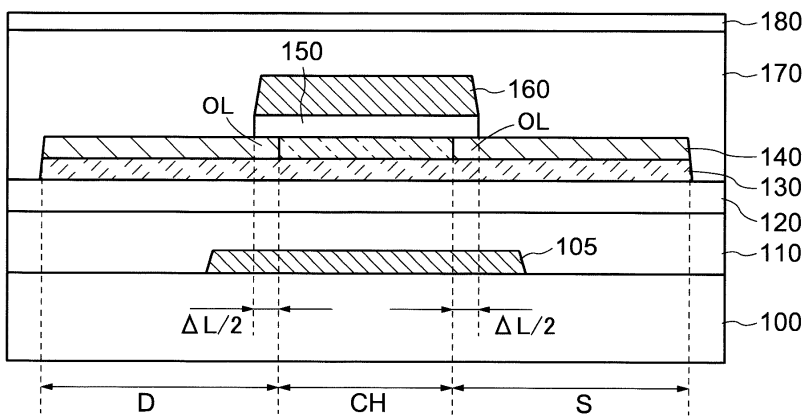
도면9



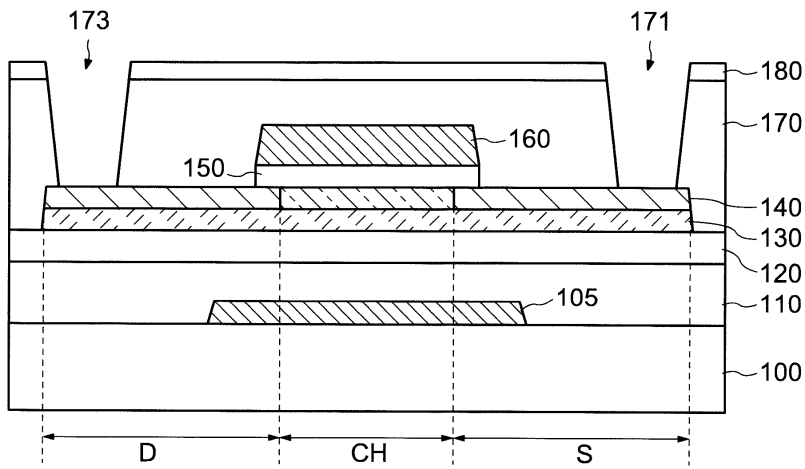
도면10



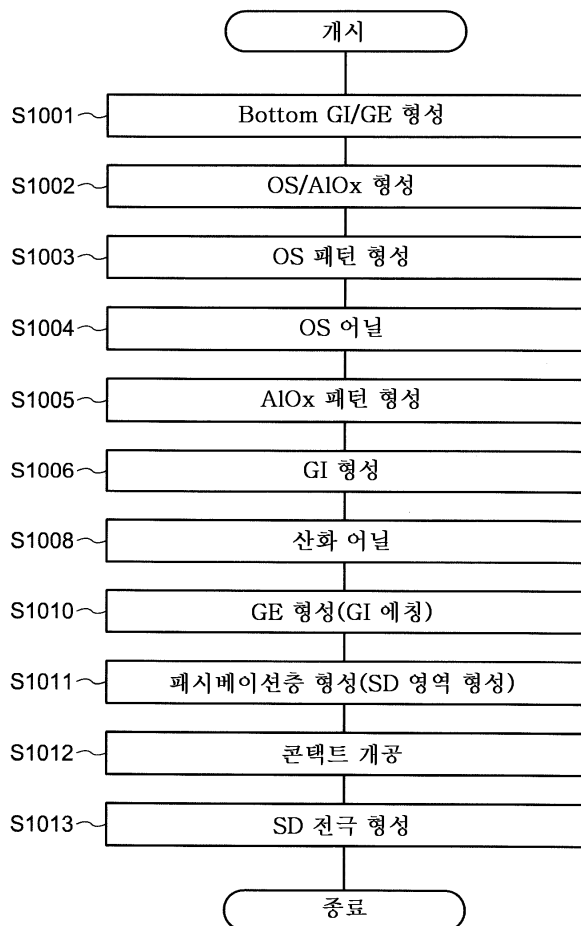
도면11



도면12

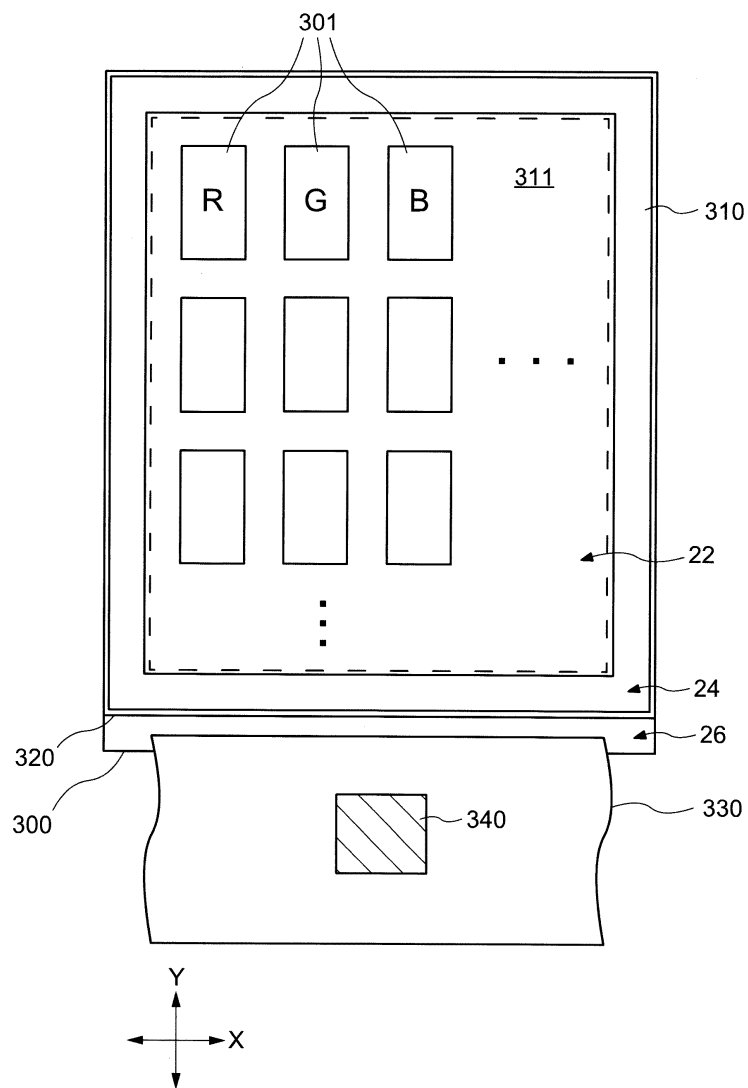


도면13

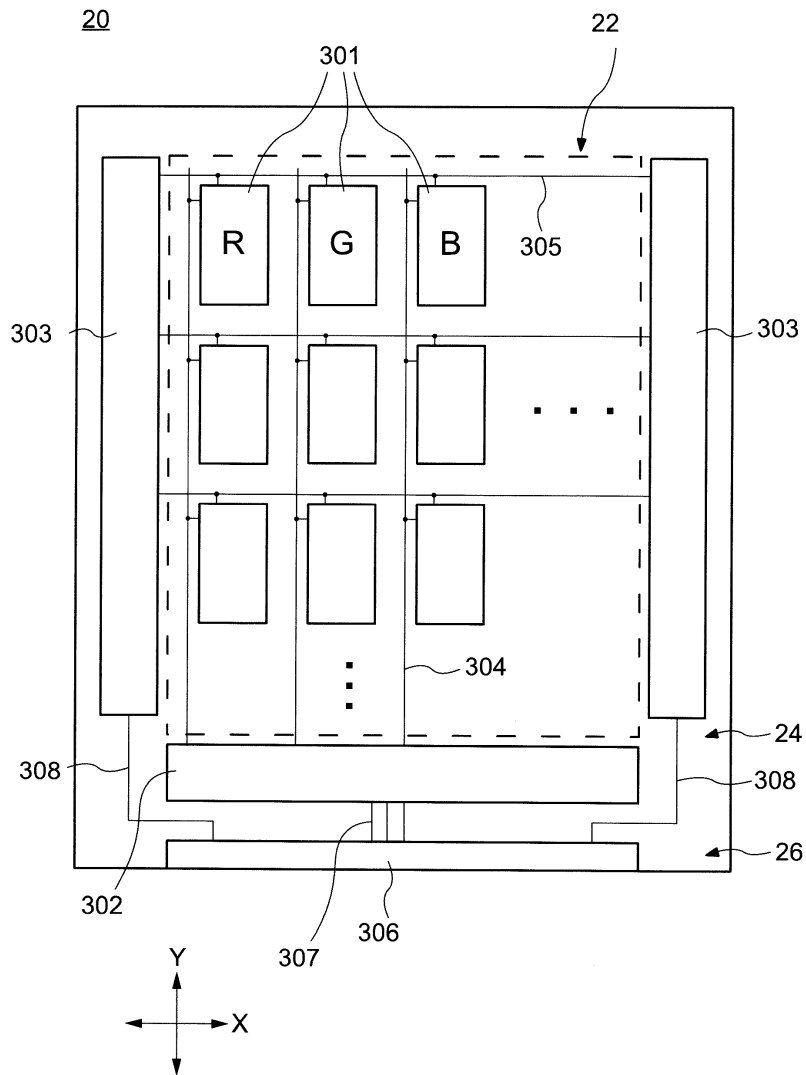


도면14

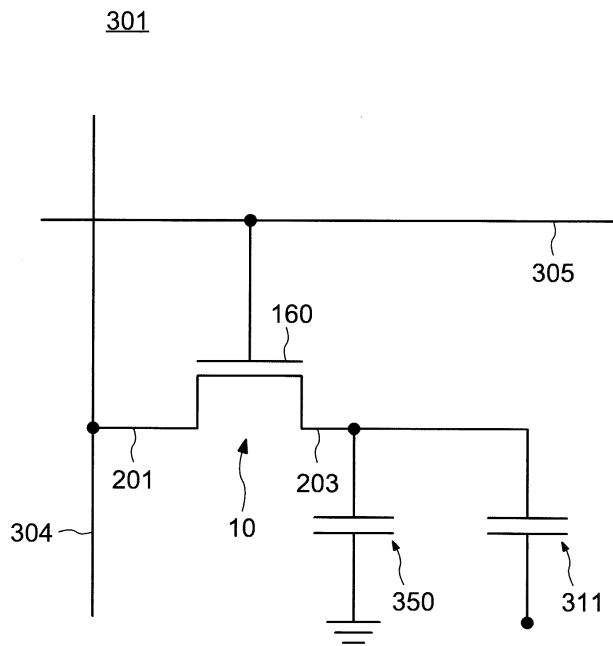
20



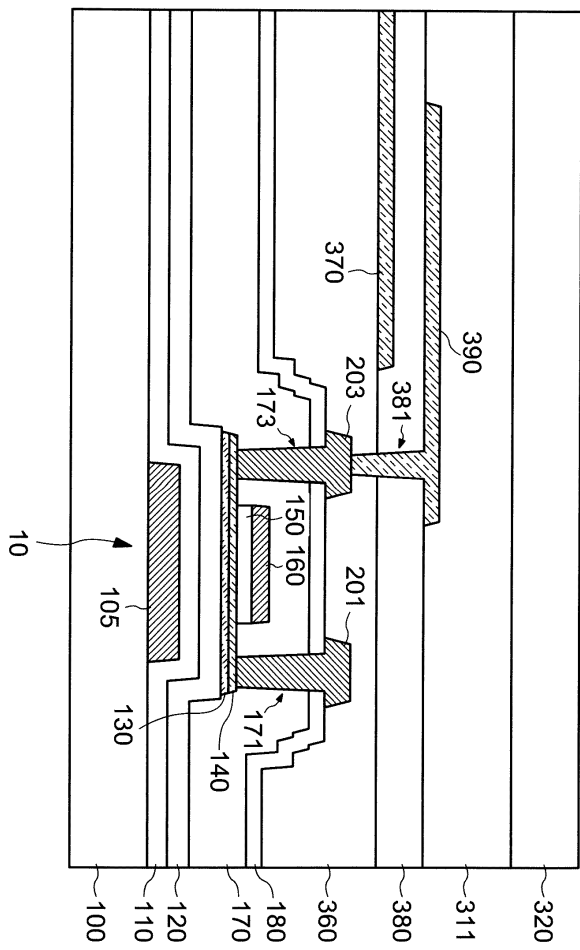
도면15



도면16

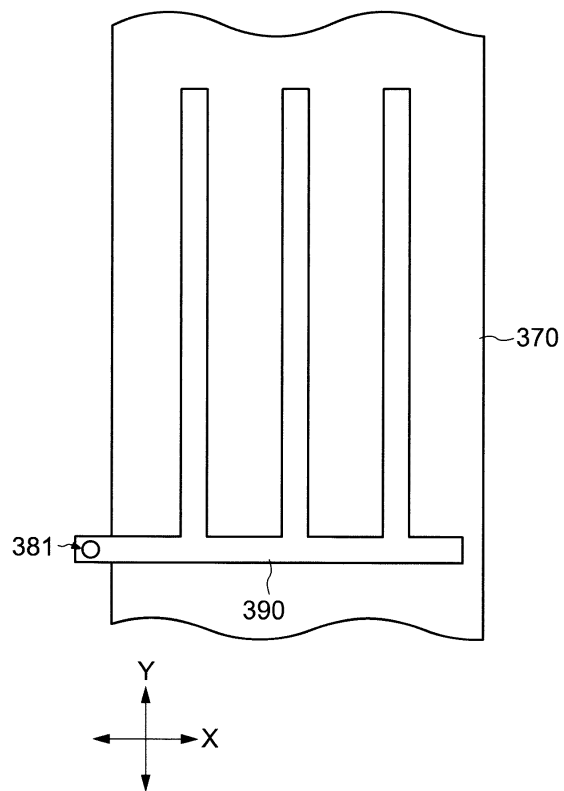


도면17

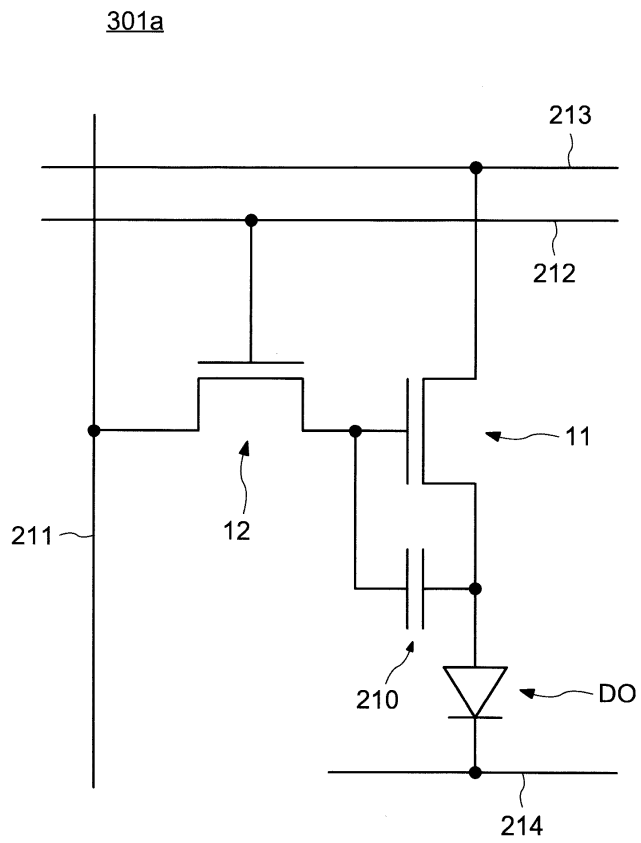


20

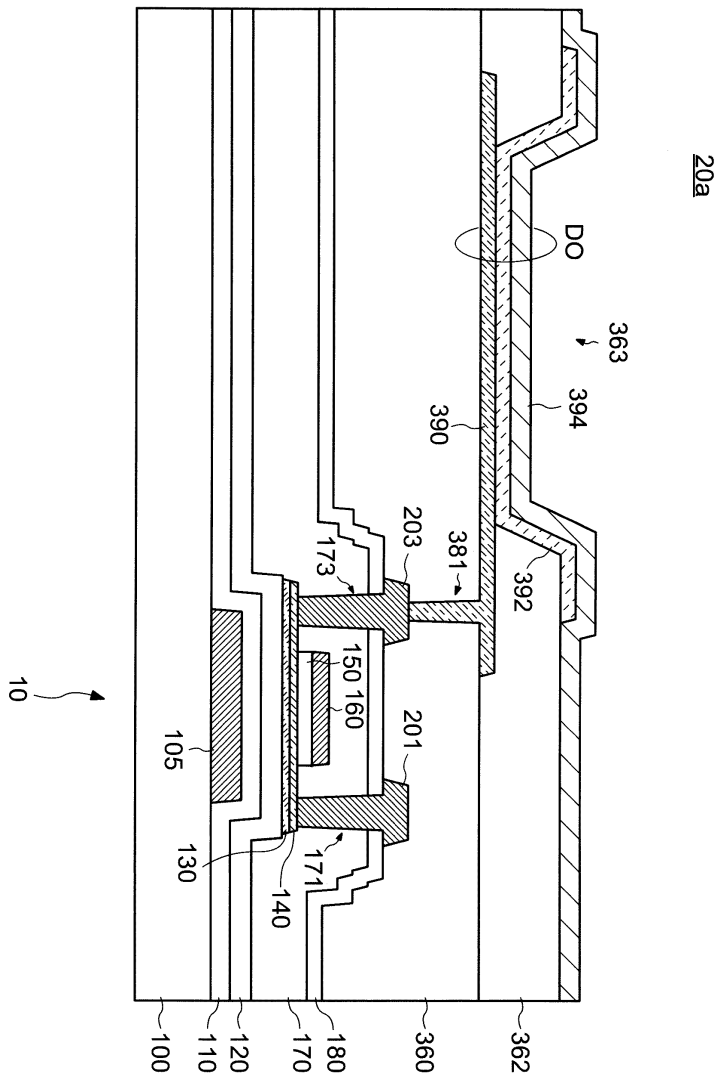
도면18



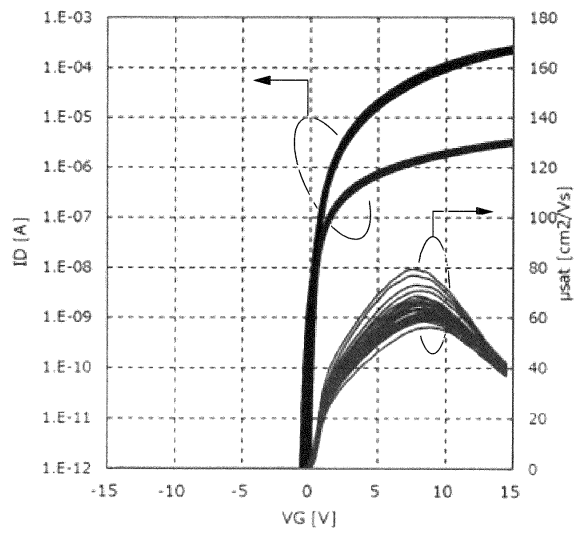
도면19



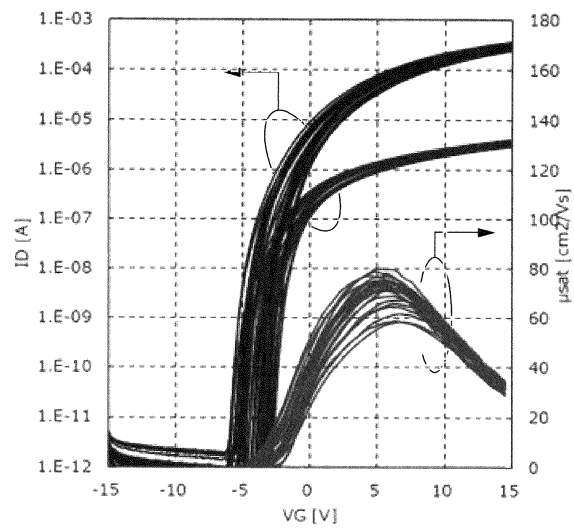
도면20



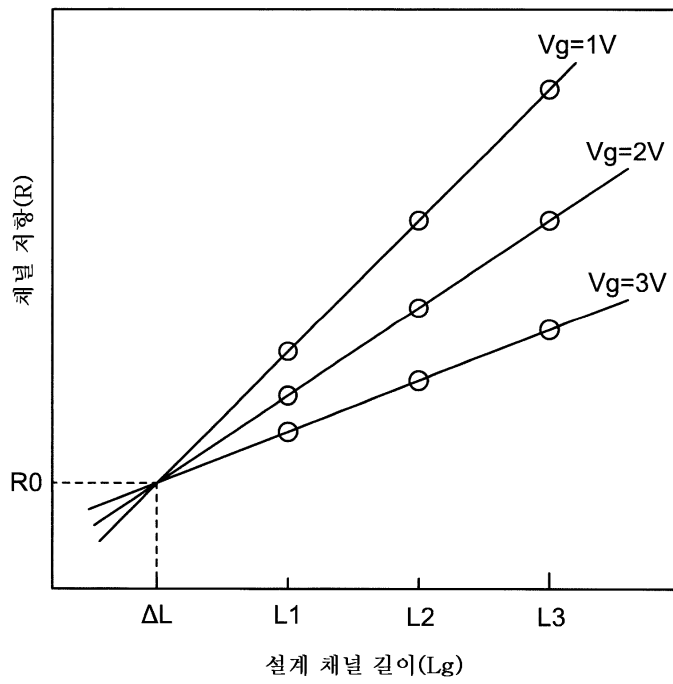
도면21a



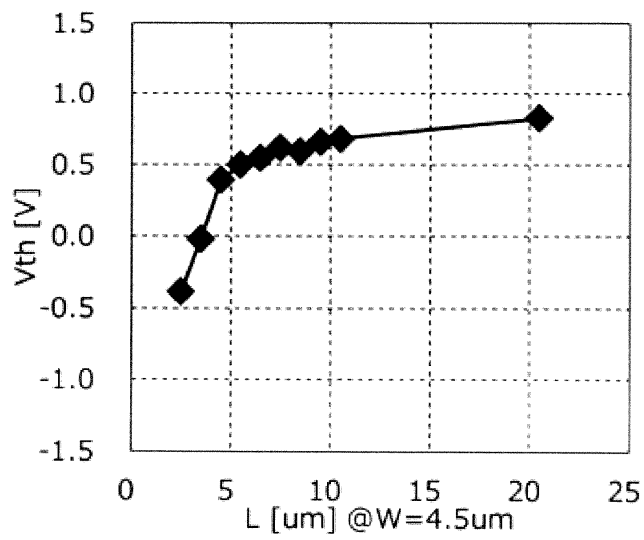
도면21b



도면22



도면23a



도면23b

