(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年6月18日(18.06.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/121717 A1

(51) 国際特許分類:
G02F 1/1343 (2006.01) *G02F 1/13357* (2006.01)
G02F 1/133 (2006.01) *G02F 1/1368* (2006.01)
G02F 1/1334 (2006.01)

(21) 国際出願番号： PCT/JP2019/044443

(22) 国際出願日： 2019年11月12日(12.11.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2018-231556 2018年12月11日(11.12.2018) JP

(71) 出願人:株式会社ジャパンディスプレイ(**JAPAN DISPLAY INC.**) [JP/JP]; 〒1050003 東京都港区西新橋三丁目７番１号 Tokyo (JP).

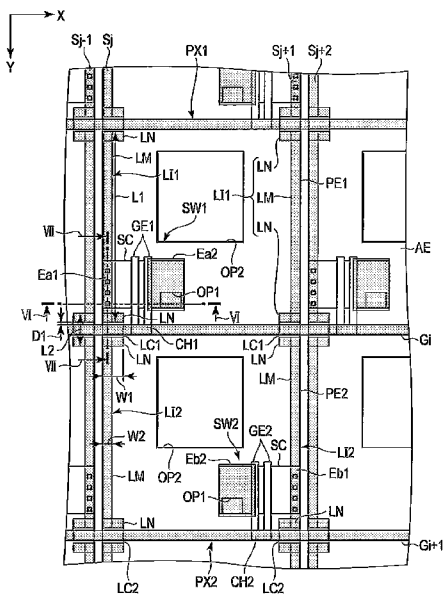
(72) 発明者: 林 宏宜 (**HAYASHI, Hirotaka**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人:特許業務法人スズエ国際特許事務所 (**S & S INTERNATIONAL PPC**); 〒1050001 東京都港区虎ノ門一丁目１２番９号 スズエ・アンド・スズエビル Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) **Title:** DISPLAY DEVICE

(54) 発明の名称： 表示装置



(57) **Abstract:** Provided is a display device whereby it is possible to satisfactorily switch between a transparent state and a scattering state. This display device is provided with a first substrate, a second substrate having a shared electrode, and a display function layer partially switched between a transparent state and a scattering state. The first substrate has a first scanning line, a first signal line, an insulation layer, a first switching element, and a first pixel electrode. The first signal line has a first joining part extending in a second direction, and a first wire part which extends in the second direction and is electrically connected to the first joining part. The first scanning line intersects with the first joining part, and is provided in the same layer as the first wire part. The insulation layer is interposed between the first joining part and the first scanning line.

(57) 要約：透明状態及び散乱状態の切り替えを良好に行うことが可能な表示装置を提供する。 表示装置は、第１基板、共通電極を有する第２基板、並びに透明状態及び散乱状態に部分的に切替えられる表示機能層と、を備える。第１基板は、第１走査線と、第１信号線と、絶縁層と、第１スイッチング素子と、第１画素電極と、を有する。上記第１信号線は、第２方向に延在した第１連結部と、上記第２方向に延在し上記第１連結部に電気的に接続された第１線部と、を有する。上記第１走査線は、上記第１連結部と交差し、上記第１線部と同層に設けられている。上記絶縁層は、上記第１連結部と上記第１走査線との間に介在している。

WO 2020/121717 A1

［続葉有］

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

明　細　書

発明の名称 ： 表示装置

技術分野

[0001] 本発明の実施形態は、表示装置に関する。

背景技術

[0002] 近年、入射した光を拡散する拡散状態と入射した光を透過させる透明状態とを切り替え可能な高分子分散液晶（Polymer Dispersed Liquid Crystal：以下、『ＰＤＬＣ』と称する場合がある）を用いた液晶表示パネルを含む表示装置が提案されている。液晶表示パネルを拡散状態に切り替えることで、表示装置は画像を表示することが可能である。一方、液晶表示パネルを透明状態に切り替えることで、ユーザは、液晶表示パネルを透かして背景を視認することが可能である。

[0003] このような表示装置においては、一フレーム期間が複数のサブフレーム期間を有し、サブフレーム期間毎に表示色を切り替えながら画像を表示することで多色表示が実現される。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１７－１５６７１８号公報

発明の概要

発明が解決しようとする課題

[0005] 本実施形態は、透明状態及び散乱状態の切り替えを良好に行うことが可能な表示装置を提供する。

課題を解決するための手段

[0006] 一実施形態に係る表示装置は、

第１方向に延在した第１走査線と、第２方向に延在し前記第１走査線と交差した第１信号線と、絶縁層と、前記第１走査線及び前記第１信号線に電気的に接続された第１スイッチング素子と、前記第１スイッチング素子に電気

的に接続された第１画素電極と、を有する第１基板と、共通電極を有し、前記第１基板に対向配置された第２基板と、前記第１基板と前記第２基板との間に保持され、前記第１画素電極と前記共通電極との間に印加される電圧がかかることにより入射される光を透過する透明状態及び入射される光を散乱する散乱状態に部分的に切替えられる表示機能層と、を備え、前記第１信号線は、前記第２方向に延在した第１連結部と、前記第２方向に延在し前記第１連結部に電気的に接続された第１線部と、を有し、前記第１走査線は、前記第１連結部と交差し、前記第１線部と同層に設けられ、前記絶縁層は、前記第１連結部と前記第１走査線との間に介在している。

[0007] また、一実施形態に係る表示装置は、

第１方向に延在した第１走査線と、第２方向に延在し前記第１走査線と交差した第１信号線と、絶縁層と、前記第１走査線及び前記第１信号線に電気的に接続された第１スイッチング素子と、前記第１スイッチング素子に電気的に接続された第１画素電極と、を有する第１基板と、共通電極を有し、前記第１基板に対向配置された第２基板と、前記第１基板と前記第２基板との間に保持され、前記第１画素電極と前記共通電極との間に印加される電圧がかかることにより入射される光を透過する透明状態及び入射される光を散乱する散乱状態に部分的に切替えられる表示機能層と、を備え、前記第１走査線は、前記第１方向に延在した第１連結部と、前記第１方向に延在し前記第１信号線と同層に設けられ前記第１連結部に電気的に接続された第１線部と、を有し、前記第１信号線は、前記第１連結部と交差し、前記絶縁層は、前記第１連結部と前記第１信号線との間に介在している。

図面の簡単な説明

[0008] [図1]図１は、第１の実施形態に係る表示装置の構成例を示す平面図である。

[図2]図２は、図１の表示装置を示す断面図である。

[図3]図３は、図１の表示装置の主要な構成要素を示す図である。

[図4]図４は、図３に示した複数の画素のうち２個の画素を示す等価回路図である。

[図5]図５は、上記表示装置の表示パネルの一部を示す平面図であり、上記２個の画素を示す図である。

[図6]図６は、図５の表示パネルを線ＶＩ－ＶＩに沿って示す断面図である。

[図7]図７は、図５の表示パネルを線ＶＩＩ－ＶＩＩに沿って示す断面図である。

[図8A]図８Ａは、透明状態の液晶層を模式的に示す図である。

[図8B]図８Ｂは、散乱状態の液晶層を模式的に示す図である。

[図9A]図９Ａは、液晶層が透明状態である場合の表示パネルを示す断面図である。

[図9B]図９Ｂは、液晶層が散乱状態である場合の表示パネルを示す断面図である。

[図10]図１０は、液晶層の散乱特性を示すグラフである。

[図11]図１１は、フレーム反転駆動の概要を表す図である。

[図12]図１２は、表示駆動におけるコモン電圧と信号線電圧の一例を示す図である。

[図13]図１３は、透明駆動におけるコモン電圧と信号線電圧の一例を示す図である。

[図14]図１４は、透明駆動におけるコモン電圧と信号線電圧の他の例を示す図である。

[図15]図１５は、図３に示したタイミングコントローラの一構成例を示す図である。

[図16]図１６は、上記表示装置の使用例を示す図であり、単個の書換え領域内に画像を表示している状態を示す表示パネルの平面図である。

[図17]図１７は、図１６の表示パネルを線ＸＶＩＩ－ＸＶＩＩに沿って示す断面図である。

[図18]図１８は、図１７に示した複数の画素を示す等価回路であり、走査線、信号線、スイッチング素子、及び画素電極の接続関係を示す図である。

[図19]図１９は、表示動作の一例を示すタイミングチャートである。

[図20]図２０は、第２の実施形態に係る表示装置の表示パネルの一部を示す平面図であり、１個の画素を示す図である。

[図21]図２１は、変形例に係る表示装置の表示パネルの一部を示す断面図である。

発明を実施するための形態

[0009] 以下に、本発明の各実施の形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保っての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0010] （第１の実施形態）

まず、第１の実施形態について説明する。本実施形態においては、表示装置の一例として、高分子分散型液晶を適用した液晶表示装置について説明する。表示装置は、例えば、スマートフォン、タブレット端末、携帯電話端末等の種々の装置に用いることができる。

[0011] 図１は、第１の実施形態における表示装置ＤＳＰの構成例を示す平面図である。

図１に示すように、第１方向Ｘ及び第２方向Ｙは互いに交差する方向であり、第３方向Ｚは第１方向Ｘ及び第２方向Ｙと交差する方向である。第１方向Ｘは、行方向に相当し、第２方向Ｙは、列方向に相当している。一例では、第１方向Ｘ、第２方向Ｙ、及び第３方向Ｚは、互いに直交しているが、互いに９０度以外の角度で交差していてもよい。本明細書において、第３方向Ｚを示す矢印の先端に向かう方向を上方（あるいは、単に上）と称し、矢印の先端から逆に向かう方向を下方（あるいは、単に下）と称する。

[0012] 表示装置ＤＳＰは、表示パネルＰＮＬ、配線基板Ｆ１，Ｆ２などを備えて

いる。表示パネルＰＮＬは、画像を表示する表示領域ＤＡ、及び表示領域ＤＡ以外の非表示領域ＮＤＡを備えている。本実施形態において、非表示領域ＮＤＡは、表示領域ＤＡを囲み、額縁状の形状を有している。

[0013] 表示パネルＰＮＬは、ｎ本の走査線Ｇｎ（Ｇ１～Ｇｎ）、２ｍ本の信号線Ｓ（Ｓ１～Ｓ２ｍ）などを備えている。なお、ｎ及びｍはいずれも正の整数であり、ｎが２ｍと等しくてもよいし、ｎが２ｍとは異なっていてもよい。複数の走査線Ｇは、表示領域ＤＡにて、それぞれ第１方向Ｘに延在し、第２方向Ｙに間隔をおいて並んでいる。言い換えると、複数の走査線Ｇは、行方向に延在している。複数の信号線Ｓは、表示領域ＤＡにて、それぞれ第２方向Ｙに延在し、第１方向Ｘに間隔をおいて並んでいる。

[0014] 表示パネルＰＮＬは、複数の第１接続配線ＣＷ１及び複数の第２接続配線ＣＷ２を備えている。複数の第１接続配線ＣＷ１は、非表示領域ＮＤＡに設けられ、走査線Ｇ及び信号線Ｓの何れか一に電気的に接続されている。複数の第２接続配線ＣＷ２は、非表示領域ＮＤＡに設けられ、複数の第１接続配線ＣＷ１に一対一で接続されている。

[0015] 図５及び図２０に後述するように、複数の第１接続配線ＣＷ１は連結部ＬＣを含まない走査線Ｇ及び信号線Ｓと同じ第２金属層により形成される遮光性の金属配線であり、複数の第２接続配線ＣＷ２は連結部ＬＣやゲート電極ＧＥと同じ第１金属層により形成される遮光性の金属配線であり、第１金属層と第２金属層とは互いに抵抗値の異なる配線である。

[0016] 表示パネルＰＮＬは、第１方向Ｘに延在する端辺Ｅｎ１，Ｅｎ２と、第２方向Ｙに延在する端辺Ｅｎ３，Ｅｎ４と、を有している。本実施形態において、端辺Ｅｎ１，Ｅｎ２はそれぞれ長辺であり、端辺Ｅｎ３，Ｅｎ４はそれぞれ短辺である。

[0017] 走査線駆動回路ＧＤ１，ＧＤ２、及び信号線駆動回路ＳＤ１，ＳＤ２，ＳＤ３は、表示パネルＰＮＬの非表示領域ＮＤＡに実装されている。本実施形態において、走査線駆動回路ＧＤ１、信号線駆動回路ＳＤ１、信号線駆動回路ＳＤ２、信号線駆動回路ＳＤ３、及び走査線駆動回路ＧＤ２は、表示領域

ＤＡと端辺Ｅｎ２との間に位置し、第１方向Ｘに順に並んでいる。走査線駆動回路ＧＤ１，ＧＤ２、及び信号線駆動回路ＳＤ１，ＳＤ２，ＳＤ３は、それぞれ複数の第２接続配線ＣＷ２と電気的に接続されている。

[0018] つまり、走査線駆動回路ＧＤ及び信号線駆動回路ＳＤからは複数の第２接続配線ＣＷ２が引き出され、引き出された複数の第２接続配線ＣＷ２は非表示領域ＮＤＡにおいて複数の第１接続配線ＣＷ１に打ち替えられ、複数の第１接続配線ＣＷ１は表示領域ＤＡに引き出されることとなる。

[0019] 配線基板Ｆ１は、表示パネルＰＮＬ及び配線基板Ｆ２に接続されている。配線基板Ｆ１は、走査線駆動回路ＧＤ１，ＧＤ２、及び信号線駆動回路ＳＤ１，ＳＤ２，ＳＤ３と電気的に接続されている。配線基板Ｆ２は、タイミングコントローラＴＣや電源回路ＰＣなどを備えている。配線基板Ｆ１は、配線基板Ｆ２のコネクタＣＴに接続されている。なお、配線基板Ｆ１，Ｆ２は、単一の配線基板に置換されてもよい。上述した走査線駆動回路ＧＤ１，ＧＤ２、信号線駆動回路ＳＤ１，ＳＤ２，ＳＤ３、及びタイミングコントローラＴＣは、本実施形態の駆動部ＤＲを構成している。駆動部ＤＲは、走査線Ｇ、信号線Ｓ、後述する補助電極、及び後述する共通電極のそれぞれの駆動を制御するように構成されている。一例では配線基板Ｆ１は例えば可撓性のフレキシブル配線基板（ＦＰＣ）であり、配線基板Ｆ２は硬質のフレキシブル配線基板（ＰＣＢ）である。

[0020] また、走査線駆動回路ＧＤ１，ＧＤ２、及び信号線駆動回路ＳＤ１，ＳＤ２，ＳＤ３は例えばドライバＩＣであり、ドライバＩＣの走査線駆動回路ＧＤ１，ＧＤ２，及び信号線駆動回路ＳＤ１，ＳＤ２，ＳＤ３は表示パネルＰＮＬに実装される例に限らず、配線基板Ｆ１もしくは配線基板Ｆ２に実装される構造であってもよい。

[0021] 図示した例では、端辺Ｅｎ１の側から奇数番目の走査線Ｇ１，…Ｇ（ｎ－１）が走査線駆動回路ＧＤ１に接続され、偶数番目の走査線Ｇ２，…Ｇｎが走査線駆動回路ＧＤ２に接続されている。但し、走査線Ｇと、走査線駆動回路ＧＤ１，ＧＤ２との接続関係は図示した例に限定されるものではない。例

えば、走査線駆動回路ＧＤ１，ＧＤ２を単一の走査線駆動回路に置換し、全ての走査線Ｇを単一の走査線駆動回路に接続してもよい。信号線Ｓと、信号線駆動回路ＳＤ１，ＳＤ２，ＳＤ３との接続関係も図示した例に限定されるものではない。信号線駆動回路ＳＤ１，ＳＤ２，ＳＤ３を単一の信号線駆動回路に置換し、全ての信号線Ｓを単一の信号線駆動回路に接続してもよい。

[0022] 図２は、図１の表示装置ＤＳＰを示す断面図である。ここでは、第２方向Ｙ及び第３方向Ｚによって規定されるＹ－Ｚ平面における表示装置ＤＳＰの断面において、主要部のみを説明する。

[0023] 図２に示すように、表示パネルＰＮＬは、第１基板ＳＵＢ１、第２基板ＳＵＢ２、表示機能層としての液晶層３０などを備えている。第１基板ＳＵＢ１は、透明基板１０、画素電極ＰＥ、配向膜ＡＦ１などを備えている。第２基板ＳＵＢ２は、透明基板２０、共通電極ＣＥ、配向膜ＡＦ２などを備えている。画素電極ＰＥ及び共通電極ＣＥは、例えばインジウム錫酸化物（ＩＴＯ）やインジウム亜鉛酸化物（ＩＺＯ）などの透明な導電材料によって形成されている。

[0024] 液晶層３０は、少なくとも表示領域ＤＡに位置している。液晶層３０は、高分子分散液晶を含み、配向膜ＡＦ１と配向膜ＡＦ２との間に位置している。本実施形態の液晶層３０は、リバース型高分子分散液晶（R-PDLC：reverse mode polymer dispersed liquid crystal）を利用している。上記の液晶層３０は、印加される電圧が低い場合に入射される光の平行度を維持し、印加される電圧が高い場合に入射される光を散乱させる。第１基板ＳＵＢ１及び第２基板ＳＵＢ２は、シール材４０によって接合されている。第１基板ＳＵＢ１は、透明基板２０の端部２０Ｅよりも第２方向Ｙに延出した延出部ＥＸを有している。

[0025] 配線基板Ｆ１は、第１基板ＳＵＢ１の延出部ＥＸに実装され、延出部ＥＸに物理的に固定されている。また、配線基板Ｆ１は、延出部ＥＸの図示しないパッドに電気的に接続されている。なお、上記パッドは、上述した走査線駆動回路ＧＤ１，ＧＤ２、及び信号線駆動回路ＳＤ１，ＳＤ２，ＳＤ３と電

気的に接続されている。

光源ユニットＬＵは、表示領域ＤＡの外側の非表示領域ＮＤＡに位置している。光源ユニットＬＵは、発光素子ＬＳ、配線基板Ｆ３などを備えている。発光素子ＬＳは、配線基板Ｆ３に接続され、延出部ＥＸの上に位置している。発光素子ＬＳは、端部２０Ｅと対向する発光部（発光面）ＥＭを有している。発光部ＥＭから出射された照明光は、後述するように、端部２０Ｅに入射し、表示パネルＰＮＬを伝播する。

[0026] 図３は、図１の表示装置ＤＳＰの主要な構成要素を示す図である。

図３に示すように、表示装置ＤＳＰは、図中に破線で示すコントローラＣＮＴを備えている。コントローラＣＮＴは、タイミングコントローラＴＣ、走査線駆動回路ＧＤ１，ＧＤ２、信号線駆動回路ＳＤ１，ＳＤ２，ＳＤ３、Ｖｃｏｍ回路ＶＣ、光源ドライバＬＳＤなどを含んでいる。

[0027] タイミングコントローラＴＣは、外部から入力された画像データや同期信号などに基づいて各種信号を生成する。一例では、タイミングコントローラＴＣは、画像データに基づき、所定の信号処理を行って生成した画像信号（例えば、映像信号）を信号線駆動回路ＳＤ１，ＳＤ２，ＳＤ３に出力する。また、タイミングコントローラＴＣは、同期信号に基づいて生成した制御信号を、走査線駆動回路ＧＤ１，ＧＤ２、信号線駆動回路ＳＤ１，ＳＤ２，ＳＤ３、Ｖｃｏｍ回路ＶＣ、光源ドライバＬＳＤにそれぞれ出力する。タイミングコントローラＴＣの詳細については後述する。

[0028] 図中に二点鎖線で示す表示領域ＤＡは、複数の画素ＰＸを備えている。複数の画素ＰＸは、第１方向Ｘ及び第２方向Ｙにマトリクス状に設けられている。複数の画素ＰＸの個数はｎ×ｍ個である。各画素ＰＸは、走査線Ｇ及び信号線Ｓと電気的に接続されている。奇数行目の画素ＰＸは、奇数番目の信号線Ｓ１，Ｓ３，・・・と電気的に接続され、偶数行目の画素ＰＸは、偶数番目の信号線Ｓ２，Ｓ４，・・・と電気的に接続されている。

[0029] 共通電極ＣＥは表示領域ＤＡに位置している。共通電極ＣＥは、複数の画素ＰＸで共用されている。共通電極ＣＥは、画素ＰＸの一部を構成している

。走査線Ｇの各々には、走査線駆動回路ＧＤ１又はＧＤ２から制御信号が与えられる。信号線Ｓの各々には、信号線駆動回路ＳＤ１、ＳＤ２又はＳＤ３から画像信号（映像信号）が与えられる。共通電極ＣＥには、Ｖｃｏｍ回路ＶＣからコモン電圧Ｖｃｏｍが与えられる。

[0030] 本実施形態において、複数の信号線Ｓは、セレクタ回路を介すること無しに信号線駆動回路ＳＤと接続されている。そのため、信号線駆動回路ＳＤは、全ての信号線Ｓに画像信号を同時に与えることができる。但し、本実施形態と異なり、複数の信号線Ｓは、セレクタ回路を介して信号線駆動回路ＳＤと接続されていてもよい。この場合、複数の信号線Ｓは時分割的に駆動され、複数の信号線Ｓには、時分割的に画像信号が与えられる。

[0031] また、走査線駆動回路ＧＤ１，ＧＤ２はドライバＩＣの例に限らず、第１基板ＳＵＢ１上に形成されたゲート内蔵回路であってもよく、信号線駆動回路ＳＤに接続されるセレクタ回路も第１基板ＳＵＢ１上に形成された内蔵回路であってもよい。

[0032] 光源ユニットＬＵは、液晶層３０に光を照射するように構成されている。本実施形態において、光源ユニットＬＵは、液晶層３０に無彩色以外の色の光を照射するように構成されている。光源ユニットＬＵは、複数色の発光素子ＬＳを備えている。例えば、光源ユニットＬＵは、液晶層３０に第１色の光を照射する発光素子（第１発光素子）ＬＳＲと、液晶層３０に第２色の光を照射する発光素子（第２発光素子）ＬＳＧと、液晶層３０に第３色の光を照射する発光素子（第３発光素子）ＬＳＢと、を備えている。上記の第１色、第２色、及び第３色が、互いに異なる色であることは言うまでもない。

[0033] 本実施形態において、第１色は赤色、第２色は緑色、第３色は青色である。光源ドライバＬＳＤは、これらの発光素子ＬＳＲ、ＬＳＧ、ＬＳＢの点灯期間を制御する。後に詳述するが、一フレーム期間が複数のサブフレーム期間を有する駆動方式においては、各サブフレームにおいて３つの発光素子ＬＳＲ、ＬＳＧ、ＬＳＢのうちの少なくとも１つが点灯し、サブフレーム毎に照明光の色が切り替えられる。

[0034] また、光源ユニットＬＵは、上述のように第１色、第２色、及び第３色の発光素子ＬＳを備えたカラー表示用に限らず、白色の発光素子のみを備え、モノクロ表示に用いるものであってもよい。

[0035] 次に、上記複数の画素ＰＸを代表し、第２方向Ｙに隣り合う２個の画素ＰＸについて説明する。図４は、図３に示した複数の画素ＰＸのうちの任意の２個の画素ＰＸを示す等価回路図である。ここでは、第２方向Ｙに隣り合う第１画素ＰＸ１及び第２画素ＰＸ２について説明する。

[0036] 図４に示すように、第１画素ＰＸ１は、第１スイッチング素子ＳＷ１、第１スイッチング素子ＳＷ１に電気的に接続された第１画素電極ＰＥ１、補助電極ＡＥ、及び共通電極ＣＥを有している。第２画素ＰＸ２は、第２スイッチング素子ＳＷ２、第２スイッチング素子ＳＷ２に電気的に接続された第２画素電極ＰＥ２、補助電極ＡＥ、及び共通電極ＣＥを有している。以下、第１画素ＰＸ１に電気的に接続された走査線Ｇ及び信号線Ｓをそれぞれ第１走査線Ｇｉ及び第１信号線Ｓｊと称する。また、第２画素ＰＸ２に電気的に接続された走査線Ｇ及び信号線Ｓをそれぞれ第２走査線Ｇｉ＋１及び第２信号線Ｓｊ＋１と称する。

[0037] 第１スイッチング素子ＳＷ１は、第１走査線Ｇｉ及び第１信号線Ｓｊに電気的に接続されている。第２スイッチング素子ＳＷ２は、第２走査線Ｇｉ＋１及び第２信号線Ｓｊ＋１に電気的に接続されている。本実施形態において、第１スイッチング素子ＳＷ１及び第２スイッチング素子ＳＷ２は、薄膜トランジスタ（ＴＦＴ）で構成されている。また、第１スイッチング素子ＳＷ１及び第２スイッチング素子ＳＷ２は、それぞれＮチャネル型かつダブルゲート型のＴＦＴである。

[0038] 第１スイッチング素子ＳＷ１は、ゲート電極ＧＥ１、第１電極Ｅａ１、及び第２電極Ｅａ２を有している。ゲート電極ＧＥ１は、第１走査線Ｇｉに電気的に接続されている。第１電極Ｅａ１は、信号線Ｓｊに接続されている。第２電極Ｅａ２は、第１画素電極ＰＥ１に電気的に接続されている。

[0039] 第１スイッチング素子ＳＷ１のオンオフは、第１走査線Ｇｉを介して上述

した走査線駆動回路ＧＤより与えられる制御信号Ｃａに基づいて切り替えられる。第１スイッチング素子ＳＷ１がオンした状態、すなわち第１スイッチング素子ＳＷ１を構成するＴＦＴが導通状態に切り替わった状態にて、上述した信号線駆動回路ＳＤが第１信号線Ｓｊに画像信号Ｖｓｉｇを出力すると、画像信号Ｖｓｉｇは、信号線Ｓｊ及び第１スイッチング素子ＳＷ１を介して第１画素電極ＰＥ１に与えられる。

[0040] 第２スイッチング素子ＳＷ２は、ゲート電極ＧＥ２、第１電極Ｅｂ１、及び第２電極Ｅｂ２を有している。ゲート電極ＧＥ２は、第２走査線Ｇｉ＋１に電気的に接続されている。第１電極Ｅｂ１は、信号線Ｓｊ＋１に接続されている。第２電極Ｅｂ２は、第２画素電極ＰＥ２に電気的に接続されている。

[0041] 第２スイッチング素子ＳＷ２のオンオフは、第２走査線Ｇｉ＋１を介して上記走査線駆動回路ＧＤより与えられる制御信号Ｃａに基づいて切り替えられる。第２スイッチング素子ＳＷ２がオンした状態、すなわち第２スイッチング素子ＳＷ２を構成するＴＦＴが導通状態に切り替わった状態にて、上記信号線駆動回路ＳＤが第２信号線Ｓｊ＋１に画像信号Ｖｓｉｇを出力すると、画像信号Ｖｓｉｇは、信号線Ｓｊ＋１及び第２スイッチング素子ＳＷ２を介して第２画素電極ＰＥ２に与えられる。

[0042] なお、図示しないが、第１画素ＰＸ１及び第２画素ＰＸ２を含む一列の複数の画素ＰＸにおいて、奇数行目の画素ＰＸのスイッチング素子ＳＷは第１信号線Ｓｊに接続され、偶数行目の画素ＰＸのスイッチング素子ＳＷは第２信号線Ｓｊ＋１に接続されている。

[0043] 共通電極ＣＥは、第１画素ＰＸ１及び第２画素ＰＸ２を含む複数の画素ＰＸで共用されている。共通電極ＣＥには、駆動部ＤＲからコモン電圧Ｖｃｏｍが与えられる。液晶層３０には、第１画素電極ＰＥ１と共通電極ＣＥとの間に印加される電圧や、第２画素電極ＰＥ２と共通電極ＣＥとの間に印加される電圧がかかる。

[0044] 補助電極ＡＥは、第１画素ＰＸ１及び第２画素ＰＸ２を含む複数の画素Ｐ

Ｘで共用されている。補助電極ＡＥには、駆動部ＤＲから補助信号ＡＳが与えられる。本実施形態において、補助信号ＡＳの電圧値は、コモン電圧Ｖｃｏｍの値と同一である。補助電極ＡＥは、各々の画素電極ＰＥと静電容量結合している。例えば、補助電極ＡＥ及び各々の画素電極ＰＥは、コンデンサＣＯを形成している。

[0045] 第１画素ＰＸ１に接続されている第１信号線Ｓｊと、第２画素ＰＸ２に接続されている第２信号線Ｓｊ＋１とは、異なっている。そのため、第１走査線Ｇｉ及び第２走査線Ｇｉ＋１に与える制御信号Ｃａのレベルを同時にオンレベルに切り替えることにより、第１スイッチング素子ＳＷ１及び第２スイッチング素子ＳＷ２を含む２行の複数の画素ＰＸの複数のスイッチング素子ＳＷをオンすることができ、２行の複数の画素ＰＸの複数の画素電極ＰＥに画像信号Ｖｓｉｇを、同時に、独立して与えることができる。

[0046] 図５は、表示装置ＤＳＰの表示パネルＰＮＬの一部を示す平面図であり、図４に示した２個の第１画素ＰＸ１及び第２画素ＰＸ２を示す図である。なお、図５において、後述する遮光層ＢＭの図示は省略している。

図５に示すように、第１走査線Ｇｉは、第１方向Ｘに延在している。第１信号線Ｓｊは、第２方向Ｙに延在し、第１走査線Ｇｉと交差している。第２走査線Ｇi+1は、第１方向Ｘに延在し、第１信号線Ｓｊと交差し、第２方向Ｙに第１走査線Ｇｉに間隔を置いて位置している。第２信号線Ｓｊ＋１は、第２方向Ｙに延在し、第１走査線Ｇｉ及び第２走査線Ｇｉ＋１と交差し、第１方向Ｘに第１信号線Ｓｊに間隔を置いて位置している。

[0047] 第１信号線Ｓｊは、複数の連結部ＬＣ及び複数の線部ＬＩを有している。各々の線部ＬＩは、走査線Ｇの間に位置している。例えば、第１信号線Ｓｊは、第１連結部ＬＣ１、第１線部ＬＩ１、第２連結部ＬＣ２、及び第２線部ＬＩ２を有している。第１連結部ＬＣ１は、第２方向Ｙに延在している。第１線部ＬＩ１は、第２方向Ｙに延在し、第１連結部ＬＣ１に電気的に接続されている。第２連結部ＬＣ２は、第２方向Ｙに延在している。第２線部ＬＩ２は、第２方向Ｙに延在し、第１走査線Ｇｉと第２走査線Ｇｉ＋１との間に

位置し、第１連結部ＬＣ１及び第２連結部ＬＣ２に電気的に接続されている。

[0048] 第１線部ＬＩ１及び第２線部ＬＩ２は、それぞれ、単個の本線部ＬＭ及び２個の接続部ＬＮを含んでいる。本線部ＬＭは、第２方向Ｙに延在している。接続部ＬＮは、本線部ＬＭから連続的に設けられ、連結部ＬＣに重ねられ、連結部ＬＣに電気的に接続されている。

[0049] 第２信号線Ｓｊ＋１は、第１信号線Ｓｊと同様に構成され、複数の連結部ＬＣ及び複数の線部ＬＩを有している。例えば、第２信号線Ｓｊ＋１は、第１連結部ＬＣ１、第１線部ＬＩ１、第２連結部ＬＣ２、及び第２線部ＬＩ２を有している。なお、残りの信号線Ｓも、第１信号線Ｓｊ及び第２信号線Ｓｊ＋１と同様に構成されている。

[0050] 複数の走査線Ｇ及び複数の線部ＬＩは、同一の材料で形成され、かつ、複数の連結部ＬＣを形成する材料と異なる材料で形成されている。複数の走査線Ｇ及び複数の線部ＬＩのそれぞれの電気抵抗値は、複数の連結部ＬＣのそれぞれの電気抵抗値より低い。走査線Ｇ、線部ＬＩ、及び連結部ＬＣは、ＡＩ（アルミニウム）、Ｔｉ（チタン）、銀（Ａｇ）、モリブデン（Ｍｏ）、タングステン（Ｗ）、銅（Ｃｕ）、クロム（Ｃｒ）などの金属材料や、これらの金属材料を組み合わせた合金などによって形成され、単層構造であってもよいし、多層構造であってもよい。また、同一の材料で同じ絶縁膜上に形成される複数の走査線Ｇ及び複数の線部Ｌ１を含む金属部分を第２導電層という事も出来る。

[0051] 本実施形態において、連結部ＬＣは、ＭｏＷ（モリブデン・タングステン）で形成されている。但し、上述したように、連結部ＬＣは、Ｍｏなどの他の金属で形成されていてもよい。

ここで連結部ＬＣと同一の材料で同じ絶縁膜上に形成される金属部分を第１導電層という事も出来る。

[0052] また、本実施形態において、走査線Ｇ及び線部ＬＩは、それぞれＴＡＴで形成されていてもよい。上記ＴＡＴとは、三層積層構造（Ｔｉ系／ＡＩ系／

Ｔｉ系）を有し、Ｔｉ、Ｔｉを含む合金などＴｉを主成分とする金属材料からなる下層と、ＡＩ、ＡＩを含む合金などＡＩを主成分とする金属材料からなる中間層と、Ｔｉ、Ｔｉを含む合金などＴｉを主成分とする金属材料からなる上層と、を有している。但し、上述したように、走査線Ｇ及び線部ＬＩは、ＭＡＭなどのＴＡＴ以外の金属で形成されていてもよい。上記ＭＡＭとは、三層積層構造（Ｍｏ系／ＡＩ系／Ｍｏ系）を有し、Ｍｏ、Ｍｏを含む合金などＭｏを主成分とする金属材料からなる下層と、ＡＩ、ＡＩを含む合金などＡＩを主成分とする金属材料からなる中間層と、Ｍｏ、Ｍｏを含む合金などＭｏを主成分とする金属材料からなる上層と、を有している。

[0053] そこで、第２方向Ｙにおいて、線部ＬＩの長さＬ１を、連結部ＬＣの長さＬ２より大きくしている。ここで、第２方向Ｙにおいて、第１線部Ｌ１１（線部ＬＩ）と第１走査線Ｇｉ（走査線Ｇ）との間の間隔をＤＩとする。線部ＬＩの長さＬ１は大きい方が望ましいため、間隔ＤＩは、０．５乃至１０μｍ範囲内である、より好ましくは１．０乃至２．０μｍである方が望ましい。そのため、信号線Ｓの電気抵抗値（配線抵抗）の低減に寄与することができる。なお、間隔ＤＩの数値は、一例であり、間隔ＤＩは１０μｍを超える値であってもよい。

[0054] また、第１方向Ｘにおいて、連結部ＬＣの幅Ｗ１を、本線部ＬＭの幅Ｗ２より大きくしている。これにより、信号線Ｓの電気抵抗値（配線抵抗）の低減にさらに寄与することができる。

[0055] 本実施形態において、図１に示した第１接続配線ＣＷ１は、走査線Ｇ及び線部ＬＩと同一の材料で形成されている。本実施形態において、第２接続配線ＣＷ２は、連結部ＬＣと同一の材料で形成されている。また、これに限らず複数の第１接続配線ＣＷ１は、連結部ＬＣと同一の材料で形成されてもよい。

[0056] 第１走査線Ｇｉは、第１信号線Ｓｊ及び第２信号線Ｓｊ＋１などの複数の信号線Ｓの第１連結部ＬＣ１と交差している。第２走査線Ｇｉ＋１は、第１信号線Ｓｊ及び第２信号線Ｓｊ＋１などの複数の信号線Ｓの第２連結部ＬＣ

２と交差している。

[0057] 第１スイッチング素子ＳＷ１は、ゲート電極ＧＥ１、第１電極Ｅａ１、及び第２電極Ｅａ２の他、半導体層ＳＣを有している。第１スイッチング素子ＳＷ１において、半導体層ＳＣは、第１信号線Ｓｊの第１線部ＬＩ１に電気的に接続されている。ゲート電極ＧＥ１は、半導体層ＳＣに対向し、第１走査線Ｇｉに電気的に接続されている。第１電極Ｅａ１は、半導体層ＳＣと対向し、半導体層ＳＣに接続されている。本実施形態において、第１電極Ｅａ１は、第１信号線Ｓｊの第１線部ＬＩ１と一体に形成されている。第２電極Ｅａ２は、半導体層ＳＣと対向し、半導体層ＳＣに接続されている。第１方向Ｘにおいて、ゲート電極ＧＥ１は、実質的に第１電極Ｅａ１と第２電極Ｅａ２との間に位置している。

[0058] 第２スイッチング素子ＳＷ２は、ゲート電極ＧＥ２、第１電極Ｅｂ１、及び第２電極Ｅｂ２の他、半導体層ＳＣを有している。第２スイッチング素子ＳＷ２において、半導体層ＳＣは、第２信号線Ｓｊ＋１の第２線部ＬＩ２に電気的に接続されている。ゲート電極ＧＥ２は、半導体層ＳＣに対向し、第２走査線Ｇｉ＋１に電気的に接続されている。第１電極Ｅｂ１は、半導体層ＳＣと対向し、半導体層ＳＣに接続されている。本実施形態において、第１電極Ｅｂ１は、第２信号線Ｓｊ＋１の第２線部ＬＩ１と一体に形成されている。第２電極Ｅｂ２は、半導体層ＳＣと対向し、半導体層ＳＣに接続されている。第１方向Ｘにおいて、ゲート電極ＧＥ２は、実質的に第１電極Ｅｂ１と第２電極Ｅｂ２との間に位置している。

[0059] 各々のスイッチング素子ＳＷにおいて、ゲート電極ＧＥは、第２方向Ｙに延在している。ゲート電極ＧＥ及び連結部ＬＣは、同一の材料で形成されている。本実施形態において、ゲート電極ＧＥは、ＭｏＷで形成されている。第２方向Ｙにおいて、第１信号線Ｓｊの第１連結部ＬＣ１は、第１スイッチング素子ＳＷ１の半導体層ＳＣより第１走査線Ｇｉ側の領域に位置している。第２方向Ｙにおいて、第２信号線Ｓｊ＋１の第２連結部ＬＣ２は、第２スイッチング素子ＳＷ２の半導体層ＳＣより第２走査線Ｇｉ＋１側の領域に位

置している。

各々のスイッチング素子ＳＷにおいて、第２電極（Ｅａ２，Ｅｂ２）は、走査線Ｇ及び複数の線部ＬＩと同一の材料で形成されている。

[0060] 補助電極ＡＥは、少なくとも表示領域ＤＡの全域に設けられ、複数の画素ＰＸで共用されている。補助電極ＡＥは、複数のスイッチング素子ＳＷ、複数の走査線Ｇ、及び複数の信号線Ｓと対向している。補助電極ＡＥは、複数の第１開口ＯＰ１及び複数の第２開口ＯＰ２を有している。第１開口ＯＰ１は、スイッチング素子ＳＷの第２電極（Ｅａ２，Ｅｂ２）と対向している。

[0061] 第１開口ＯＰ１は、スイッチング素子ＳＷと画素電極ＰＥとの接続に利用される。第２開口ＯＰ２は、隣り合う２本の走査線Ｇ及び隣り合う２本の信号線Ｓで囲まれた領域に設けられている。第２開口ＯＰ２は、補助電極ＡＥと画素電極ＰＥとの間に形成される容量の値を調整するために設けられている。第２開口ＯＰ２無しに補助電極ＡＥを形成したり、第２開口ＯＰ２のサイズを小さくしたりして、上記容量を増やしてもよい。又は、第２開口ＯＰ２のサイズを大きくし、上記容量を減らしてもよい。但し、第２開口ＯＰ２のサイズを大きくする場合であっても、補助電極ＡＥは、複数のスイッチング素子ＳＷ、複数の走査線Ｇ、及び複数の信号線Ｓと対向している方が望ましい。これにより、走査線Ｇ及び信号線Ｓの電位が画素電極ＰＥに影響を与えないよう補助電極ＡＥでシールドすることができる。

[0062] 第１画素電極ＰＥ１及び第２画素電極ＰＥ２は、第１信号線Ｓｊと第２信号線Ｓｊ＋１との間に位置している。第１走査線Ｇｉは、第１画素電極ＰＥ１と第２画素電極ＰＥ２との間に位置している。本実施形態において、画素電極ＰＥは、四角形の形状を有し、実質的に、隣り合う２本の走査線Ｇ及び隣り合う２本の信号線Ｓで囲まれた領域に設けられている。各々の画素電極ＰＥは、単個の第１開口ＯＰ１及び単個の第２開口ＯＰ２と対向している。

[0063] 次に、表示パネルＰＮＬの断面構造について説明する。図６は、図５の表示パネルＰＮＬを線ＶＩ－ＶＩに沿って示す断面図である。

図６に示すように、第１基板ＳＵＢ１は、透明基板１０、絶縁層１１，１

２，１３，１４，１５、第１スイッチング素子ＳＷ１、信号線Ｓ、補助電極ＡＥ、金属層ＭＥ１、画素電極ＰＥ、及び配向膜ＡＦ１を備えている。透明基板１０は、絶縁性を有する透明基板としてガラス基板を利用することができる。但し、透明基板１０にガラス基板以外の基板を利用してもよい。例えば、透明基板１０は樹脂基板であってもよい。

[0064] 透明基板１０の上に、絶縁層１１、１２、１３、１４、及び１５が順に配置されている。絶縁層１１、１２、１３、及び１５は、シリコン酸化物やシリコン窒化物などの無機絶縁層、又はそれらの積層体で形成されている。絶縁層１４は、有機絶縁層で形成されている。

[0065] 半導体層ＳＣは、絶縁層１１の上に位置し、絶縁層１２で覆われている。ゲート電極ＧＥ１は、絶縁層１２の上に位置し、半導体層ＳＣと対向し、絶縁層１３で覆われている。信号線Ｓ及び第２電極Ｅａ２は、絶縁層１３の上に位置し、絶縁層１４で覆われている。第１電極Ｅａ１（第１信号線Ｓｊ）は、絶縁層１２及び絶縁層１３に形成されたコンタクトホールを通り半導体層ＳＣにコンタクトしている。第２電極Ｅａ２は、絶縁層１２及び絶縁層１３に形成された他のコンタクトホールを通り半導体層ＳＣの他の領域にコンタクトしている。

[0066] 絶縁層１４は、信号線Ｓ及びスイッチング素子ＳＷが配置される領域を覆い、信号線Ｓ及びスイッチング素子ＳＷが配置されていない領域を覆っていない。言い換えると、絶縁層１４は、画素ＰＸのうち、光を透過しない領域に配置され、光を透過する領域に配置されていない。そのため、絶縁層１４による光の吸収を防止することができる。また、絶縁膜１４は平面視おいて走査線Ｇ及び信号線Ｓに重なった部分に形成され、走査線Ｇ及び信号線Ｓで囲われた領域の大部分において形成されていないため、平面視において格子形状で形成されている、という事も出来る。

[0067] 補助電極ＡＥは、絶縁層１３及び絶縁層１４の上に位置している。補助電極ＡＥの第１開口ＯＰ１は、第２電極Ｅａ２と対向している。補助電極ＡＥは、ＩＴＯなどの透明な導電材料によって形成されている。金属層ＭＥ１は

、補助電極ＡＥの上に位置し、補助電極ＡＥに接している。金属層ＭＥ１は、第１方向Ｘに隣り合う画素電極ＰＥの間に位置している。また、金属層ＭＥ１は、第１方向Ｘに隣り合う２本の信号線Ｓと対向し、これらの信号線Ｓに沿って延在している。例えば、金属層ＭＥ１は、ストライプ状の形状を有し、第２方向Ｙに延在している。金属層ＭＥ１は、補助電極ＡＥ及び金属層ＭＥ１の接合体の低抵抗化に寄与している。

[0068] 補助電極ＡＥ及び金属層ＭＥ１は、絶縁層１５で覆われている。画素電極ＰＥは、絶縁層１５の上に位置し、配向膜ＡＦ１で覆われている。第１画素電極ＰＥ１は、第１開口ＯＰ１の内側に位置し絶縁層１４及び絶縁層１５に形成されたコンタクトホールを通り、第２電極Ｅａ２にコンタクトしている。補助電極ＡＥ、絶縁層１５、及び画素電極ＰＥは、コンデンサＣＯを形成している。

[0069] 図５及び図６に示すように、第１走査線Ｇｉは、絶縁層１３に形成されたコンタクトホールＣＨ１を通りゲート電極ＧＥ１にコンタクトしている。第２走査線Ｇｉ＋１は、絶縁層１３に形成されたコンタクトホールＣＨ２を通りゲート電極ＧＥ２にコンタクトしている。

また、第２開口ＯＰ２の内側において、絶縁層１５は絶縁層１４に接している。

[0070] 補助電極ＡＥ及び画素電極ＰＥは、ＩＴＯなどの光透過性の導電材料によって形成されている。

[0071] 第２基板ＳＵＢ２は、透明基板２０、遮光層ＢＭ、オーバーコート層ＯＣ、共通電極ＣＥ、及び配向膜ＡＦ２を備えている。透明基板２０は、絶縁性を有する透明基板としてガラス基板を利用することができる。但し、透明基板２０にガラス基板以外の基板を利用してもよい。例えば、透明基板２０は樹脂基板であってもよい。

[0072] 遮光層ＢＭ及びオーバーコート層ＯＣは、透明基板２０の第１基板ＳＵＢ１と対向する側に位置している。遮光層ＢＭは、透明基板２０とオーバーコート層ＯＣとの間に位置している。遮光層ＢＭは、第１遮光部ＢＭ１と、第

３遮光部ＢＭ３と、を有している。第１遮光部ＢＭ１は、上記隣り合う２本の信号線Ｓ及び金属層ＭＥ１と対向し、これらの信号線Ｓ及び金属層ＭＥ１に沿って延在している。第３遮光部ＢＭ３は、スイッチング素子ＳＷと対向し、第１遮光部ＢＭ１と一体に形成されている。オーバーコート層ＯＣは、透明な樹脂によって形成されている。共通電極ＣＥ及び配向膜ＡＦ２は、オーバーコート層ＯＣの第１基板ＳＵＢ１と対向する側に順に配置されている。

[0073] 遮光層ＢＭを設けることで表示装置の透明度は若干低下する可能性がある。しかしながら、遮光層ＢＭを設けることで表示のコントラストが向上する。ただし、遮光層ＢＭについては、表示装置の透明度を向上させるために第２基板ＳＵＢ２に遮光層ＢＭを形成しない構造であってもよい。

[0074] 上述した第１基板ＳＵＢ１及び第２基板ＳＵＢ２は、第１配向膜ＡＦ１及び第２配向膜ＡＦ２が対向するように配置されている。図示しないが、スペーサは、第１基板ＳＵＢ１及び第２基板ＳＵＢ２の間に配置されている。これにより、第１配向膜ＡＦ１と第２配向膜ＡＦ２との間に所定のセルギャップが形成される。但し、スペーサとして、セルギャップを形成するメインスペーサの他に、表示パネルＰＮＬに対して外部応力が加わっていない定常状態で一方の基板に接触していないサブスペーサが含まれていてもよい。セルギャップは、例えば２乃至５μｍである。

[0075] 液晶層３０は、第１基板ＳＵＢ１及び第２基板ＳＵＢ２の間に位置し、第１配向膜ＡＦ１と第２配向膜ＡＦ２との間に保持されている。液晶層３０は、第１基板ＳＵＢ１及び第２基板ＳＵＢ２とともに複数の画素ＰＸを構成している。

[0076] 液晶層３０は、第１画素電極ＰＥ１と共通電極ＣＥとの間に印加される電圧がかかることにより入射される光を透過する透明状態及び入射される光を散乱する散乱状態に部分的に切替えられるように構成されている。また、液晶層３０は、さらに、図５に示した第２画素電極ＰＥ２と共通電極ＣＥとの間に印加される電圧がかかることにより入射される光を透過する透明状態及

び入射される光を散乱する散乱状態に部分的に切替えられるように構成されている。

[0077] 図７は、図５の表示パネルＰＮＬを線ＶＩＩ－ＶＩＩに沿って示す断面図である。

図７に示すように、第１走査線Ｇｉは、第１信号線Ｓｊの第１線部ＬＩ１及び第２線部ＬＩ２と同層に設けられている。なお、図示しないが、第１走査線Ｇｉは、第２信号線Ｓｊ＋１などの各々の信号線Ｓの第１線部ＬＩ１及び第２線部ＬＩ２と同層に設けられている。また、上記第２走査線Ｇｉ＋１などの各々の走査線Ｇも、第１信号線Ｓｊ、第２信号線Ｓｊ＋１などの各々の信号線Ｓの第１線部ＬＩ１及び第２線部ＬＩ２と同層に設けられている。

[0078] 上記第１連結部ＬＣ１、第２連結部ＬＣ２などの連結部ＬＣは、ゲート電極ＧＥと同層に設けられている。絶縁層１３は、第１連結部ＬＣ１と第１走査線Ｇｉとの間に介在している。なお、絶縁層１３は、複数個所にて、連結部ＬＣと走査線Ｇとの間に介在している。例えば、絶縁層１３は、第１信号線Ｓｊの第２連結部ＬＣ２と第２走査線Ｇｉ＋１との間、第２信号線Ｓｊ＋１の第１連結部ＬＣ１と第１走査線Ｇｉとの間、及び第２信号線Ｓｊ＋１の第２連結部ＬＣ２と第２走査線Ｇｉ＋１との間、にさらに介在している（図５及び図７）。

[0079] 第１電極Ｅａ１（第１信号線Ｓｊ）は、絶縁層１２及び絶縁層１３に形成されたコンタクトホールを通り半導体層ＳＣにコンタクトしている。線部ＬＩの接続部ＬＮは、絶縁層１３に形成されたコンタクトホールを通り連結部ＬＣにコンタクトしている。例えば、第１信号線Ｓｊの第１線部ＬＩ１の接続部ＬＮは、絶縁層１３に形成されたコンタクトホールを通り第１連結部ＬＣ１にコンタクトしている。第１信号線Ｓｊの第２線部ＬＩ２の接続部ＬＮは、絶縁層１３に形成されたコンタクトホールを通り第１連結部ＬＣ１にコンタクトしている。

[0080] 第１走査線Ｇｉ、第１線部ＬＩ１及び第２線部ＬＩ２は、絶縁層１３の第１面１３ａに接している。絶縁層１３の第１面１３ａと反対側の第２面１３

ｂは、第１連結部ＬＣ１に接している。

[0081] 図５及び図７に示すように、絶縁層１４は、信号線Ｓ及びスイッチング素子ＳＷが配置される領域だけではなく走査線Ｇが配置される領域をさらに覆っている。絶縁層１４のうち、隣り合う２本の信号線Ｓに重畳し走査線Ｇに重畳していない領域における第１方向Ｘの幅は、走査線Ｇに重畳し信号線Ｓに重畳していない領域における第２方向Ｙの幅より大きい。

[0082] 金属層ＭＥ２は、補助電極ＡＥの上に位置し、補助電極ＡＥに接している。金属層ＭＥ２は、第２方向Ｙに隣り合う画素電極ＰＥの間に位置している。また、金属層ＭＥ２は、走査線Ｇと対向し、走査線Ｇに沿って延在している。例えば、金属層ＭＥ２は、ストライプ状の形状を有し、第１方向Ｘに延在している。本実施形態において、金属層ＭＥ２の第２方向Ｙの幅は、金属層ＭＥ１の第１方向Ｘの幅より狭い。金属層ＭＥ２は、補助電極ＡＥ、金属層ＭＥ１、及び金属層ＭＥの接合体の低抵抗化に寄与している。金属層ＭＥ２は、絶縁層１５で覆われている。信号線Ｓに平行に第２方向Ｙに延出する金属層（金属配線）ＭＥ１と、走査線Ｇに平行に第１方向Ｘに延出する金属層（金属配線）ＭＥ２は互いに接続されており平面視において、絶縁層１４同様の格子形状を形成するという事も出来る。さらには絶縁層１４がスイッチング素子ＳＷを覆う部分に形成されるように、金属層ＭＥ１若しくは金属層ＭＥ２はその線幅を変更させスイッチング素子ＳＷを覆う絶縁層１４上に形成されるものであっても良い。また金属層ＭＥ１及び金属層ＭＥ２は絶縁層１４の上面（第２面１４ｂ）に形成されるに限らず、絶縁層１４の側面部に形成される構造であっても良い。

[0083] 遮光層ＢＭは、第２遮光部ＢＭ２をさらに有している。第２遮光部ＢＭ２は、走査線Ｇ及び金属層ＭＥ２と対向し、これらの走査線Ｇ及び金属層ＭＥ２に沿って延在している。第２遮光部ＢＭ２は、上記第１遮光部ＢＭ１及び第３遮光部ＢＭ３と一体に形成されている（図６及び図７）。

[0084] 以下に、高分子分散液晶層である液晶層３０を備えた表示装置の一構成例について説明する。図８Ａは、透明状態の液晶層３０を模式的に示す図であ

る。

図８Ａに示すように、液晶層３０は、液晶性ポリマー３１及び液晶性分子３２を含んでいる。液晶性ポリマー３１は、例えば、液晶性モノマーが配向膜ＡＦ１及びＡＦ２の配向規制力によって所定の方向に配向した状態で高分子化されることによって得られる。液晶性分子３２は、液晶性モノマー内に分散されており、液晶性モノマーが高分子化された際に、液晶性モノマーの配向方向に依存して所定の方向に配向される。なお、配向膜ＡＦ１及びＡＦ２は、第１方向Ｘ及び第２方向Ｙによって規定されるＸ－Ｙ平面に沿って液晶性モノマー及び液晶性分子３２を配向させる水平配向膜であってもよいし、第３方向Ｚに沿って液晶性モノマー及び液晶性分子３２を配向させる垂直配向膜であってもよい。

[0085] 液晶性分子３２は、正の誘電率異方性を有するポジ型であってもよいし、負の誘電率異方性を有するネガ型であってもよい。液晶性ポリマー３１及び液晶性分子３２は、それぞれ同等の光学異方性を有している。あるいは、液晶性ポリマー３１及び液晶性分子３２は、それぞれ略同等の屈折率異方性を有している。つまり、液晶性ポリマー３１及び液晶性分子３２の各々は、常光屈折率及び異常光屈折率が互いに略同等である。なお、常光屈折率及び異常光屈折率のいずれについても、液晶性ポリマー３１及び液晶性分子３２のそれぞれの値が完全に一致していなくてもよく、製造誤差などに起因したずれは許容される。また、液晶性ポリマー３１及び液晶性分子３２の各々の電界に対する応答性は異なる。すなわち、液晶性ポリマー３１の電界に対する応答性は、液晶性分子３２の電界に対する応答性より低い。

[0086] 図８Ａに示した例は、例えば、液晶層３０に電圧が印加されていない状態（画素電極ＰＥと共通電極ＣＥとの間の電位差がゼロである状態）、あるいは、液晶層３０に後述する第２透明電圧が印加された状態に相当する。

[0087] 図８Ａに示すように、液晶性ポリマー３１の光軸Ａｘ１及び液晶性分子３２の光軸Ａｘ２は、互いに平行となる。図示した例では、光軸Ａｘ１及び光軸Ａｘ２は、いずれも第３方向Ｚに平行である。ここでの光軸とは、偏光方

向によらず屈折率が１つの値になるような光線の進行方向と平行な線に相当する。

[0088] 上記の通り、液晶性ポリマー３１及び液晶性分子３２は略同等の屈折率異方性を有しており、しかも、光軸Ａｘ１及びＡｘ２は互いに平行であるため、第１方向Ｘ、第２方向Ｙ、及び第３方向Ｚを含むあらゆる方向において、液晶性ポリマー３１と液晶性分子３２との間にほとんど屈折率差がない。このため、第３方向Ｚにて液晶層３０に入射した光Ｌ１は、液晶層３０内で実質的に散乱されることなく透過する。液晶層３０は、光Ｌ１の平行度を維持することができる。同様に、第３方向Ｚに対して傾斜した斜め方向に入射した光Ｌ２及びＬ３についても、液晶層３０内でほとんど散乱されることはない。このため、高い透明性が得られる。図８Ａに示した状態を『透明状態』と称する。

[0089] 図８Ｂは、散乱状態の液晶層３０を模式的に示す図である。

図８Ｂに示すように、上記の通り、液晶性ポリマー３１の電界に対する応答性は、液晶性分子３２の電界に対する応答性より低い。このため、液晶層３０に上記の第２透明電圧及び後述する第１透明電圧の各々より高い電圧（後述の散乱電圧）が印加された状態では、液晶性ポリマー３１の配向方向がほとんど変化しないのに対して、液晶性分子３２の配向方向は電界に応じて変化する。つまり、図示したように、光軸Ａｘ１は第３方向Ｚとほとんど平行であるのに対して、光軸Ａｘ２は第３方向Ｚに対して傾斜している。このため、光軸Ａｘ１及びＡｘ２は、互いに交差する。したがって、第１方向Ｘ、第２方向Ｙ、及び第３方向Ｚを含むあらゆる方向において、液晶性ポリマー３１と液晶性分子３２との間に大きな屈折率差が生ずる。これにより、液晶層３０に入射した光Ｌ１乃至Ｌ３は、液晶層３０内で散乱される。図８Ｂに示した状態を『散乱状態』と称する。

上記駆動部ＤＲは、液晶層３０を透明状態及び散乱状態の少なくとも一方に切替える。

[0090] 図９Ａは、液晶層３０が透明状態である場合の表示パネルＰＮＬを示す断

面図である。

[0091] 図９Ａに示すように、発光素子ＬＳから出射された照明光Ｌ１１は、端部２０Ｅから表示パネルＰＮＬに入射し、透明基板２０、液晶層３０、透明基板１０などを伝播する。液晶層３０が透明状態である場合、照明光Ｌ１１は、液晶層３０でほとんど散乱されないため、透明基板１０の下面１０Ｂ及び透明基板２０の上面２０Ｔからほとんど漏れ出すことはない。

[0092] 表示パネルＰＮＬに入射する外部光Ｌ１２は、液晶層３０でほとんど散乱されることなく透過する。つまり、下面１０Ｂから表示パネルＰＮＬに入射した外部光は上面２０Ｔに透過され、上面２０Ｔから入射した外部光は下面１０Ｂに透過される。このため、表示パネルＰＮＬを上面２０Ｔ側から観察した場合には、ユーザは、表示パネルＰＮＬを透かして下面１０Ｂ側の背景を視認することができる。同様に、表示パネルＰＮＬを下面１０Ｂ側から観察した場合には、表示パネルＰＮＬを透かして上面２０Ｔ側の背景を視認することができる。

[0093] 図９Ｂは、液晶層３０が散乱状態である場合の表示パネルＰＮＬを示す断面図である。

[0094] 図９Ｂに示すように、発光素子ＬＳから出射された照明光Ｌ２１は、端部２０Ｅから表示パネルＰＮＬに入射し、透明基板２０、液晶層３０、透明基板１０などを伝播する。図示した例では、画素電極ＰＥαと共通電極ＣＥとの間の液晶層３０（画素電極ＰＥαと共通電極ＣＥとの間に印加される電圧が印加される液晶層）は透明状態であるため、照明光Ｌ２１は、液晶層３０のうち画素電極ＰＥαと対向する領域でほとんど散乱されない。一方、画素電極ＰＥβと共通電極ＣＥとの間の液晶層３０（画素電極ＰＥβと共通電極ＣＥとの間に印加される電圧が印加される液晶層）は散乱状態であるため、照明光Ｌ２１は、液晶層３０のうち画素電極ＰＥβと対向する領域で散乱される。照明光Ｌ２１のうち、一部の散乱光Ｌ２１１は上面２０Ｔから外部に放出され、また、一部の散乱光Ｌ２１２は下面１０Ｂから外部に放出される。

[0095] 画素電極ＰＥαと重なる位置では、表示パネルＰＮＬに入射する外部光Ｌ２２は、図９Ａに示した外部光Ｌ１２と同様に、液晶層３０でほとんど散乱されることなく透過する。画素電極ＰＥβと重なる位置では、下面１０Ｂから入射した外部光Ｌ２３は、その一部の光Ｌ２３１が液晶層３０で散乱された後に上面２０Ｔから透過される。また、上面２０Ｔから入射した外部光Ｌ２４は、その一部の光Ｌ２４１が液晶層３０で散乱された後に下面１０Ｂから透過される。

[0096] このため、表示パネルＰＮＬを上面２０Ｔ側から観察した場合には、画素電極ＰＥβと重なる位置で照明光Ｌ２１の色を視認することができる。加えて、一部の外部光Ｌ２３１が表示パネルＰＮＬを透過するため、表示パネルＰＮＬを透かして下面１０Ｂ側の背景を視認することもできる。同様に、表示パネルＰＮＬを下面１０Ｂ側から観察した場合には、画素電極ＰＥβと重なる位置で照明光Ｌ２１の色を視認することができる。加えて、一部の外部光Ｌ２４１が表示パネルＰＮＬを透過するため、表示パネルＰＮＬを透かして上面２０Ｔ側の背景を視認することもできる。なお、画素電極ＰＥαと重なる位置では、液晶層３０が透明状態であるため、照明光Ｌ２１の色はほとんど視認されず、表示パネルＰＮＬを透かして背景を視認することができる。

[0097] 図１０は、液晶層３０の散乱特性を示すグラフであり、液晶層３０に印加される電圧ＶＬＣと輝度との関係を表している。ここでの輝度は、例えば図９Ｂに示したように、発光素子ＬＳから出射された照明光Ｌ２１が液晶層３０にて散乱した際に得られる散乱光Ｌ２１１の輝度に相当する。他の観点から言えば、この輝度は、液晶層３０の散乱度を表している。

[0098] 図１０に示すように、電圧ＶＬＣを０Ｖから上昇させていくと、輝度は８Ｖ程度から急峻に上昇し、２０Ｖ程度で飽和する。なお、電圧ＶＬＣが０Ｖから８Ｖの間においても、輝度は僅かに上昇する。本実施形態では、２点鎖線で囲った領域、すなわち８Ｖから１６Ｖの範囲の電圧を各画素ＰＸの階調表現（例えば２５６階調）に用いる。以下、８Ｖ＜ＶＬＣ≦１６Ｖの電圧を

『散乱電圧』と呼ぶ。また、本実施形態では、一点鎖線で囲った領域、すなわち０Ｖ≦ＶＬＣ≦８Ｖの電圧を『透明電圧』と呼ぶ。透明電圧ＶＡは、上述した第１透明電圧ＶＡ１及び第２透明電圧ＶＡ２を含んでいる。

[0099] なお、本明細書に記載した電圧値などの数値は例示である。よって、電圧値が本明細書に記載した範囲外となることを否定するものではない。例えば、散乱電圧ＶＢ及び透明電圧ＶＡの下限値及び上限値はこの例に限られず、液晶層３０の散乱特性に応じて適宜に定め得る。本実施形態と異なるが、例えば、０Ｖ≦ＶＬＣ≦１０Ｖの電圧を『透明電圧』と呼び、１０Ｖ＜ＶＬＣ≦２０Ｖの電圧を『散乱電圧』と呼ぶ場合もあり得る。

[0100] ここで、液晶層３０に散乱電圧ＶＢを印加した際に液晶層３０に入射される光の散乱度が最も高くなる場合の散乱度を１００％とする。ここでは、１６Ｖの散乱電圧ＶＢを液晶層３０に印加した際の散乱度を１００％としている。例えば、透明電圧ＶＡは、散乱度（輝度）が１０％未満となる電圧ＶＬＣの範囲と定義することができる。あるいは、透明電圧ＶＡは、最低階調に対応する電圧（図１０の例では８Ｖ）以下の電圧ＶＬＣと定義することもできる。

また、透明電圧ＶＡ（第１透明電圧ＶＡ１及び第２透明電圧ＶＡ２）は、図１０に示した例と異なっていてもよい。例えば、上記第１透明電圧ＶＡ１は、散乱度が１０％以上５０％以下の範囲となる電圧であってもよい。また、上記第２透明電圧ＶＡ２は、散乱度が１０％未満の範囲となる電圧であってもよい。

[0101] なお、図１０に示したグラフは、液晶層３０に印加する電圧の極性が正極性（＋）の場合と、負極性（－）の場合とに適用可能である。後者の場合、電圧ＶＬＣは、負極性の電圧の絶対値である。

[0102] 表示装置ＤＳＰには、液晶層３０に印加する電圧の極性を反転する極性反転駆動を適用することができる。図１１は、極性反転駆動の概要を示す図である。ここでは、一フレーム期間が複数のサブフレーム期間（複数のフィールド期間）を有する駆動方式を表示装置ＤＳＰに適用する。このような駆動

方式は、例えばフィールドシーケンシャル方式と呼ばれる。

[0103] 図１１に示すように、サブフレーム反転駆動方法においては、例えば、一サブフレーム期間ごとに、コモン電圧の極性と、映像信号の極性とが正極性（＋）と負極性（－）とで反転される。同じサブフレーム期間において、コモン電圧の極性と映像信号の極性は、例えば逆である。

[0104] 図４及び図１１に示すように、このような駆動方法においては、例えば、走査線駆動回路ＧＤ１，ＧＤ２が、走査線Ｇに制御信号Ｃａを与える一サブフレーム期間ごとに、共通電極ＣＥに供給されるコモン電圧Ｖｃｏｍの極性と、信号線駆動回路ＳＤ１，ＳＤ２，ＳＤ３から信号線Ｓに供給される画像信号Ｖｓｉｇの極性とが反転される。同じ一サブフレーム期間において、コモン電圧Ｖｃｏｍの極性と画像信号Ｖｓｉｇの極性は、例えば逆である。

[0105] なお、駆動部ＤＲは、サブフレーム反転駆動に限らず、他の極性反転駆動を行ってもよい。例えば、駆動部ＤＲは、フレーム反転駆動を行ってもよい。フレーム反転駆動は、１つの画像データに応じた画像を表示するフレーム期間ごとに液晶層３０に印加する電圧を正極性（＋）と負極性（－）とで反転する駆動である。又は、駆動部ＤＲは、例えば、２ライン（２行）ごとに液晶層３０に印加する電圧を正極性と負極性とで反転する２ライン反転駆動を行ってもよい。

[0106] 次に、画像信号Ｖｓｉｇと、コモン電圧Ｖｃｏｍとの関係について説明する。

[0107] 図１２は、図１１に示したサブフレーム反転駆動を適用した表示駆動において、共通電極ＣＥに供給されるコモン電圧Ｖｃｏｍと、信号線Ｓ（あるいは画素電極ＰＥ）に供給される画像信号Ｖｓｉｇとの一例を示す図である。

[0108] 図１２に示すように、画像信号Ｖｓｉｇに関しては、階調の最大値（ｍａｘ）に相当する波形と、階調の最小値（ｍｉｎ）に相当する波形とを示している。ここでは、画像信号Ｖｓｉｇ（ｍｉｎ）の波形を実線で示し、コモン電圧Ｖｃｏｍの波形を二点鎖線で示し、画像信号Ｖｓｉｇ（ｍａｘ）の波形を破線で示している。この図の例において、コモン電圧Ｖｃｏｍ及び画像信

号Ｖｓｉｇ（最大値の波形を参照）は、一サブフレーム期間Ｐｓｆごとに極性反転している。基準電圧Ｖｓｉｇ－ｃは、例えば８Ｖである。コモン電圧Ｖｃｏｍ及び画像信号Ｖｓｉｇの各々において、下限値は０Ｖであり、上限値は１６Ｖである。

但し、フレーム反転駆動の場合、コモン電圧Ｖｃｏｍの極性と、画像信号Ｖｓｉｇの極性とは、一フレーム期間毎に反転される。

[0109] 図１２に示す例に限らず、後述する図１３の例を含めた極性反転駆動に注目すると、液晶層３０に印加する駆動電圧（画素ＰＸに書き込む電圧）が正極性である場合、画像信号Ｖｓｉｇとコモン電圧Ｖｃｏｍとの差（Ｖｓｉｇ－Ｖｃｏｍ）は０Ｖ又は正の電圧値となる。一方、液晶層３０に印加する駆動電圧（画素ＰＸに書き込む電圧）が負極性である場合、画像信号Ｖｓｉｇとコモン電圧Ｖｃｏｍとの差（Ｖｓｉｇ－Ｖｃｏｍ）は０Ｖ又は負の電圧値となる。

[0110] 図１２に示す極性反転駆動に注目すると、画素ＰＸに正極性の電圧を書き込む期間において、コモン電圧Ｖｃｏｍは０Ｖとなり、画像信号Ｖｓｉｇは８Ｖ以上かつ１６Ｖ以下の範囲で画像データが示す階調に応じた電圧値となる。一方、画素ＰＸに負極性の電圧を書き込む期間において、コモン電圧Ｖｃｏｍは１６Ｖとなり、画像信号Ｖｓｉｇは０Ｖ以上かつ８Ｖ以下の範囲で画像データが示す階調に応じた電圧値となる。すなわち、いずれの場合でも、共通電極ＣＥと画素電極ＰＥとの間には、８Ｖ以上かつ１６Ｖ以下の電圧が印加される。

[0111] 図１０に示したように、液晶層３０に印加される電圧ＶＬＣが８Ｖであっても、言い換えると液晶層３０に第１透明電圧ＶＡ１が印加されても、液晶層３０は０～１０％程度の散乱度を有している。したがって、画像信号Ｖｓｉｇを階調の最小値とした場合であっても、表示パネルＰＮＬに入射する外部光は僅かに散乱され、表示パネルＰＮＬの背景の視認性が低下し得る場合がある。

このため、後述するが、画素電極ＰＥと共通電極ＣＥとの間の電圧を例え

ば階調の下限値よりも小さくする透明駆動（後述するリセット期間における駆動）を画像表示のシーケンスに取り入れることで、表示パネルＰＮＬの背景の視認性を向上させることができる。

[0112] ここで、信号線駆動回路ＳＤ１、ＳＤ２，ＳＤ３の出力と、コモン電圧Ｖｃｏｍとの関係について説明する。

信号線駆動回路ＳＤ１、ＳＤ２，ＳＤ３の耐電圧が低い場合、液晶印加電圧を高くするためにコモン電圧Ｖｃｏｍを反転駆動させる。この時信号線駆動回路ＳＤ１、ＳＤ２，ＳＤ３は、同時に、正極性の画像信号Ｖｓｉｇ（例えば基準電圧Ｖｓｉｇ－ｃ～１６Ｖ）、及び負極性の画像信号Ｖｓｉｇ（例えば０Ｖ～基準電圧Ｖｓｉｇ－ｃ）の何れか一方しか、出力することができない。また、コモン電圧Ｖｃｏｍの極性は、信号線駆動回路ＳＤの出力と反対の極性である。

[0113] 但し、高耐電圧の信号線駆動回路ＳＤ１、ＳＤ２，ＳＤ３を使用する場合、画像信号Ｖｓｉｇとコモン電圧Ｖｃｏｍとの関係は、上述した関係であってもよいが、次の関係であってもよい。すなわち、コモン電圧Ｖｃｏｍは０Ｖに固定され、信号線駆動回路ＳＤ１、ＳＤ２，ＳＤ３が出力する画像信号Ｖｓｉｇは、正極性時に０～＋１６Ｖとなり、負極性時に－１６～０Ｖとなる。

[0114] 図１３は、透明駆動におけるコモン電圧Ｖｃｏｍと画像信号Ｖｓｉｇの一例を示す図である。ここでは、画像信号Ｖｓｉｇの波形を実線で示し、コモン電圧Ｖｃｏｍの波形を二点鎖線で示している。

図１３に示すように、図１２の例と同じく、コモン電圧Ｖｃｏｍは、一サブフレーム期間Ｐｓｆごとに０Ｖと１６Ｖとに交互に切替っている。透明駆動においては、サブフレーム期間Ｐｓｆごとに、画像信号Ｖｓｉｇの電圧値は、コモン電圧Ｖｃｏｍと一致している（Ｖｓｉｇ＝Ｖｃｏｍ＝０Ｖ又はＶｓｉｇ＝Ｖｃｏｍ＝１６Ｖ）。なお、図１３においては、画像信号Ｖｓｉｇとコモン電圧Ｖｃｏｍの図示の関係上、両者を僅かにずらして表している。このため、液晶層３０には０Ｖが印加される。言い換えると、液晶層３０に

は第２透明電圧ＶＡ２が印加される。

[0115] 但し、透明駆動における画像信号Ｖｓｉｇは、図１３に示した例に限定されるものではない。例えば、コモン電圧Ｖｃｏｍが０Ｖとなる期間、画像信号Ｖｓｉｇは０Ｖを超え８Ｖ未満となってもよい（０Ｖ＜Ｖｓｉｇ＜８Ｖ）。コモン電圧Ｖｃｏｍが１６Ｖとなる期間、画像信号Ｖｓｉｇは８Ｖを超え１６Ｖ未満となってもよい（８Ｖ＜Ｖｓｉｇ＜１６Ｖ）。何れにおいても、透明駆動によれば、画像信号Ｖｓｉｇとコモン電圧Ｖｃｏｍとの差の絶対値が８Ｖ未満となり、液晶層３０を透過する光の平行度が増す。言い換えると、第２透明電圧ＶＡ２は０Ｖに限らず、第２透明電圧ＶＡ２の絶対値は８Ｖ未満であってもよい。

[0116] なお、透明駆動では、液晶層３０に印加される電圧が階調の下限値（例えば８Ｖ）未満となればよく、画像信号Ｖｓｉｇはコモン電圧Ｖｃｏｍと完全に一致しなくてもよい。上記のように、液晶層３０に散乱電圧ＶＢを印加した際に液晶層３０に入射される光の散乱度が最も高くなる場合の散乱度を１００％とする。例えば、第２透明電圧ＶＡ２は、散乱度が１０％未満となる電圧である方が望ましい。

[0117] 図１４は、透明駆動におけるコモン電圧Ｖｃｏｍと画像信号Ｖｓｉｇの他の例を示す図である。ここでは、画像信号Ｖｓｉｇの波形を実線で示し、コモン電圧Ｖｃｏｍの波形を二点鎖線で示している。

図１４に示すように、この例では、透明駆動において、コモン電圧Ｖｃｏｍ及び画像信号Ｖｓｉｇの極性反転が停止されている。さらに、コモン電圧Ｖｃｏｍ及び画像信号Ｖｓｉｇが８Ｖ（上述の基準電圧Ｖｓｉｇ－ｃ）で一致している。なお、コモン電圧Ｖｃｏｍ及び画像信号Ｖｓｉｇは、０Ｖなど、基準電圧Ｖｓｉｇ－ｃ以外の電圧で一致してもよい。また、図１３に示した場合と同様に、第２透明電圧ＶＡ２は、散乱度が１０％未満となる電圧である方が望ましい。

以上、サブフレーム反転駆動を例に透明駆動を説明したが、他の極性反転駆動にも同様の透明駆動を適用できる。

[0118] 続いて、透明走査を取り入れた表示装置ＤＳＰの制御例につき、図１５乃至図１９を参照して説明する。なお、ここでは、駆動方式としてフィールドシーケンシャル方式を表示装置ＤＳＰに適用する。各サブフレーム期間においては、赤色、緑色、及び青色の画像がそれぞれ表示される。このように時分割で表示された各色の画像が合わさって、多色表示の画像としてユーザに視認される。

[0119] 図１５は、図３に示したタイミングコントローラＴＣの一構成例を示す図である。

図１５に示すように、タイミングコントローラＴＣは、タイミング生成部５０、フレームメモリ５１、ラインメモリ５２Ｒ、５２Ｇ、５２Ｂ、データ変換部５３、光源制御部５４、アドレス検出部である検出部５５などを備えている。

[0120] フレームメモリ５１は、外部から入力される一フレーム分の画像データを記憶する。ラインメモリ５２Ｒ、５２Ｇ、５２Ｂは、それぞれ赤色、緑色、及び青色のサブフレームデータを記憶する。各サブフレームデータは、各画素ＰＸに時分割で表示させる赤色、緑色、青色の画像（例えば各画素ＰＸの階調値）を表す。ラインメモリ５２Ｒ、５２Ｇ、５２Ｂが記憶する各色のサブフレームデータは、フレームメモリ５１が記憶する画像データの１つ先のフレームに相当する。データ変換部５３は、ラインメモリ５２Ｒ、５２Ｇ、５２Ｂが記憶する各色のサブフレームデータに対してガンマ補正などの各種のデータ変換処理を施して画像信号を生成し、上述の信号線駆動回路ＳＤに出力する。なお、フレームメモリ５１にてＲＧＢのデータに振り分けてデータ変換部５３にＲＧＢのデータを送るようにタイミングコントローラＴＣが構成されていてもよい。この場合、ラインメモリ５２Ｒ、５２Ｇ、５２Ｂ無しに、タイミングコントローラＴＣを構成することも可能である。

[0121] 光源制御部５４は、光源制御信号を上述の光源ドライバＬＳＤに出力する。光源ドライバＬＳＤは、光源制御信号に基づいて、発光素子ＬＳＲ、ＬＳＧ、ＬＳＢを駆動する。発光素子ＬＳＲ、ＬＳＧ、ＬＳＢは、例えばＰＷＭ

（Pulse Width Modulation）制御により駆動することができる。すなわち、光源ドライバＬＳＤは、発光素子ＬＳＲ、ＬＳＧ、ＬＳＢに出力する信号のデューティ比によって、発光素子ＬＳＲ、ＬＳＧ、ＬＳＢの各々の輝度を調整することができる。

[0122] タイミング生成部５０は、外部から入力される垂直同期信号Ｖｓｙｎｃ及び水平同期信号Ｈｓｙｎｃに同期して、フレームメモリ５１、ラインメモリ５２Ｒ、５２Ｇ、５２Ｂ、データ変換部５３、及び光源制御部５４の動作タイミングを制御する。また、タイミング生成部５０は、ＳＤ制御信号を出力するにより信号線駆動回路ＳＤを制御し、ＧＤ制御信号を出力することにより走査線駆動回路ＧＤを制御し、Ｖｃｏｍ制御信号を出力することによりＶｃｏｍ回路ＶＣを制御する。

[0123] 検出部５５は、外部から入力される一フレーム分の画像データに画像のデータが含まれている場合、画像のデータのアドレスを検出するように構成されている。上記画像としては、表示領域ＤＡの一部に表示されるキャラクタである。上記キャラクタとしては、文字を含む記号、図、アイコンなどが挙げられる。また、画像データにキャラクタのデータが含まれている場合とは、ディジタルデータの全てのビットの少なくとも１個所に０以外のデータを含んでいる場合である。画像のデータのアドレス情報は、データ変換部５３に与えられる。

[0124] このため、タイミングコントローラＴＣは、外部から入力される画像データに画像のデータが含まれている場合、画像を表示する領域以外の領域の散乱度（透明度）を調整するため、加工した画像信号を生成し、信号線駆動回路ＳＤに出力することができる。加工した画像信号を生成する際は、データ変換部５３による演算にて行ったり、タイミングコントローラＴＣのテーブル５６に格納されたデータを利用して行ったり、することができる。

[0125] ここで、画像（キャラクタ）を表示する領域以外の領域の散乱度（透明度）を調整する例について説明する。

図１６に示すように、ユーザは、背景のうちＦ山を表示装置ＤＳＰ越しに

みているものとする。この場合、表示領域ＤＡに「Mount F」の文字列の画像ＣＲを単に表示した場合、画像ＣＲが背景のＦ山に重なり、ユーザは画像ＣＲを視認（識別）し難くなる恐れがある。そこで、本実施形態では、画像ＣＲが背景のＦ山に重なる場合においても、ユーザが画像ＣＲを視認し易くなる技術を提供するものである。又は、背景の影響をユーザが受け難くなる技術を提供するものである。

[0126] ここで、表示領域ＤＡのうち、画像ＣＲを表示する領域を対象領域ＯＡとする。本実施形態において、画像ＣＲは間隔を置いて並んだ６文字であるため、対象領域ＯＡは不連続な領域である。表示領域ＤＡのうち、少なくとも対象領域ＯＡが位置する行の全域を含む領域を書換え領域ＲＡとする。本実施形態において、書換え領域ＲＡは、対象領域ＯＡの位置する行の全域だけではなく、対象領域ＯＡより端辺Ｅｎ１側のいくつかの行の全域と、対象領域ＯＡより端辺Ｅｎ２側のいくつかの行の全域と、を含んでいる。また、書換え領域ＲＡは、この例では表示領域ＤＡの第２方向Ｙの中央の領域である。書換え領域ＲＡのうち対象領域ＯＡ以外の領域を非対象領域ＮＯＡとする。

[0127] 対象領域ＯＡは、階調電圧の所定の電圧以上である散乱電圧ＶＢが与えられている画素に対応する領域である。非対象領域ＮＯＡは、第１透明電圧ＶＡ１が与えられている画素に対応する領域である。なお、上記第１透明電圧ＶＡ１は、階調電圧の階調表現が可能になる付近の所定の範囲の電圧である。表示領域ＤＡのうち書換え領域ＲＡ以外の領域を非書換え領域ＮＲＡとする。

[0128] この例では、表示領域ＤＡは、書換え領域ＲＡより端辺Ｅｎ１側の非書換え領域ＮＲＡ１と、書換え領域ＲＡより端辺Ｅｎ２側の非書換え領域ＮＲＡ２と、を有している。上記のように、書換え領域ＲＡの画素には散乱電圧ＶＢ又は第１透明電圧ＶＡ１が与えられ、非書換え領域ＮＲＡ１，ＮＲＡ２の画素には第２透明電圧ＶＡ２が与えられる。

[0129] 図１７には、表示パネルＰＮＬのうち説明に必要な部分のみを示している

。また、図１７には、光路を示し、光が液晶層３０で拡散される様子や、光の平行度が液晶層３０で維持される様子も示している。図１８には、図１７に示した複数の画素の等価回路を示しており、走査線Ｇａ，Ｇｂ、信号線Ｓ、スイッチング素子ＳＷＡ，ＳＷＢ，ＳＷＣ、及び画素電極ＰＥＡ，ＰＥＢ，ＰＥＣの接続関係を示している。なお、図１８において、液晶層３０及び共通電極ＣＥの図示を省略している。

[0130] 図１７及び図１８に示すように、複数の画素電極ＰＥは、上記対象領域ＯＡに位置する画素電極ＰＥＡと、上記非対象領域ＮＯＡに位置する画素電極ＰＥＢと、上記非書換え領域ＮＲＡ２（ＮＲＡ）に位置する画素電極ＰＥＣと、を含んでいる。ここで、書換え領域ＲＡに位置する画素ＰＸのための走査線Ｇを走査線Ｇａとする。また、非書換え領域ＮＲＡに位置する画素ＰＸのための走査線Ｇを走査線Ｇｂとする。

[0131] 画素電極ＰＥＡ及び画素電極ＰＥＢの各々は、複数の走査線Ｇａのうち対応する１本の走査線Ｇａに電気的に接続されている。例えば、画素電極ＰＥＡと画素電極ＰＥＢとは、同一の１本の走査線Ｇａに電気的に接続されている。画素電極ＰＥＣは、複数の走査線Ｇｂのうち対応する１本の走査線Ｇｂに電気的に接続されている。各々のスイッチング素子ＳＷにおいて、ゲート電極は対応する１本の走査線Ｇに接続され、ソース電極及びドレイン電極の一方は対応する１本の信号線Ｓに接続され、それらの他方は対応する画素電極ＰＥに接続されている。

[0132] 液晶層３０（表示機能層）は、画素電極ＰＥＡと共通電極ＣＥとの間に印加される電圧がかかる液晶層３０Ａと、画素電極ＰＥＢと共通電極ＣＥとの間に印加される電圧がかかる液晶層３０Ｂと、画素電極ＰＥＣと共通電極ＣＥとの間に印加される電圧がかかる液晶層３０Ｃと、を含んでいる。本実施形態において、液晶層３０Ａは画素電極ＰＥＡと共通電極ＣＥとに挟まれ、液晶層３０Ｂは画素電極ＰＥＢと共通電極ＣＥとに挟まれ、液晶層３０Ｃは画素電極ＰＥＣと共通電極ＣＥとに挟まれている。

[0133] 複数の画素ＰＸは、画素ＰＸＡ、画素ＰＸＢ、及び画素ＰＸＣを含んでい

る。画素ＰＸＡは、スイッチング素子ＳＷＡ、スイッチング素子ＳＷＡに接続された画素電極ＰＥＡ、液晶層３０Ａなどを含んでいる。画素ＰＸＢは、スイッチング素子ＳＷＢ、スイッチング素子ＳＷＢに接続された画素電極ＰＥＢ、液晶層３０Ｂなどを含んでいる。画素ＰＸＣは、スイッチング素子ＳＷＣ、スイッチング素子ＳＷＣに接続された画素電極ＰＥＣ、液晶層３０Ｃなどを含んでいる。

[0134] 液晶層３０（液晶層３０Ａ、液晶層３０Ｂ、及び液晶層３０Ｃ）は、上記散乱電圧ＶＢが印加された場合に入射される光を散乱させ、第１透明電圧ＶＡ１が印加された場合に入射される光の平行度を維持し、第２透明電圧ＶＡ２が印加された場合に入射される光の平行度を維持する。

[0135] 上記第２透明電圧ＶＡ２が印加された場合に液晶層３０を透過する光の平行度は、上記第１透明電圧ＶＡ１が印加された場合に液晶層３０を透過する光の平行度より高い。上記第１透明電圧ＶＡ１が印加された場合に液晶層３０を透過する光の平行度は、上記散乱電圧ＶＢが印加された場合に液晶層３０を透過する光の平行度より高い。

また、上記散乱電圧ＶＢが印加された場合に液晶層３０を透過する光の散乱度は、上記第１透明電圧ＶＡ１が印加された場合に液晶層３０を透過する光の散乱度より高い。上記第１透明電圧ＶＡ１が印加された場合に液晶層３０を透過する光の散乱度は、上記第２透明電圧ＶＡ２が印加された場合に液晶層３０を透過する光の散乱度より高い。

[0136] 図１６乃至図１８に示すように、表示領域ＤＡの対象領域ＯＡに画像ＣＲを表示する際、本実施形態の上記駆動部ＤＲは、対象領域ＯＡに画像ＣＲを表示し、非対象領域ＮＯＡを透明にし、非書換え領域ＮＲＡを透明にする。非書換え領域ＮＲＡの透明度は、非対象領域ＮＯＡの透明度より高い。本実施形態において、液晶層３０はリバース型高分子分散液晶を利用しているため、第１透明電圧ＶＡ１は第２透明電圧ＶＡ２より高くなり、散乱電圧ＶＢは第１透明電圧ＶＡ１より高くなる。但し、本実施形態と異なり、液晶層３０がノーマル型高分子分散液晶を利用している場合、第１透明電圧ＶＡ１は

散乱電圧ＶＢより高くなり、第２透明電圧ＶＡ２は第１透明電圧ＶＡ１より高くなる。

[0137] このため、上記制御部は、液晶層３０Ａに散乱電圧ＶＢを印加し、液晶層３０Ｂに第１透明電圧ＶＡ１を印加し、液晶層３０Ｃに第２透明電圧ＶＡ２を印加する。対象領域ＯＡに画像ＣＲを表示する期間のうちの一フレーム期間に注目すると、上記駆動部ＤＲは、光源ユニットＬＵを駆動して液晶層３０に光を照射させ、液晶層３０に光が照射される期間に、液晶層３０Ａに散乱電圧ＶＢを印加し、液晶層３０Ｂに第１透明電圧ＶＡ１を印加し、液晶層３０Ｃに第２透明電圧ＶＡ２を印加する。

[0138] 画像ＣＲの色（対象領域ＯＡに表示する色）は、光源ユニットＬＵが発する色に基づくこととなる。このため、上記駆動部ＤＲは、画像ＣＲの色を、光源ユニットＬＵが発する単色としたり、光源ユニットＬＵが発する複数色の混色としたり、することができる。また、画像ＣＲを全て単色で表示したり、画像ＣＲを部分毎に色を異ならせて表示したり、することも可能である。

[0139] 液晶層３０Ａの光の散乱度は、液晶層３０Ｂ及び液晶層３０Ｃのそれぞれの光の散乱度より高い。液晶層３０Ａは散乱状態となる。このため、表示パネルＰＮＬ越しに背景をみた場合、対象領域ＯＡにおいて、背景の視認性を最も低下させることができる。

一方、液晶層３０Ｃを通る光の平行度は、液晶層３０Ａ及び液晶層３０Ｂのそれぞれを通る光の平行度より高い。液晶層３０Ｃは第２透明状態となる。このため、表示パネルＰＮＬ越しに背景をみた場合、非書換え領域ＮＲＡにおける背景の視認性が最も良好となる。

[0140] また、液晶層３０Ｂも第１透明状態となる。但し、液晶層３０Ｂを透過する光の散乱度は、液晶層３０Ｃを透過する光の散乱度より高い。表示パネルＰＮＬ越しに背景をみた場合、非対象領域ＮＯＡにおいては背景をぼかすことができ、非対象領域ＮＯＡにおける背景の視認性を低下させることができるため、ユーザは画像ＣＲを視認し易くなる。

[0141] 図１９は、本実施形態の表示装置ＤＳＰの表示動作の一例を示すタイミングチャートである。

図１９に示すように、一フレームの開始時に、垂直同期信号Ｖｓｙｎｃが立ち下がる。すなわち、この例では、垂直同期信号Ｖｓｙｎｃが立ち下がってから、再び立ち下がるまでの時間がフレーム期間（一フレーム期間）Ｐｆに相当する。例えば６０Ｈｚで表示装置ＤＳＰを駆動する場合、フレーム期間Ｐｆは約１６．７ｍｓである。

[0142] フレーム期間Ｐｆは、上述の透明駆動を実行するリセット期間Ｐｒと、第１サブフレーム期間ＰｓｆＲと、第２サブフレーム期間ＰｓｆＧと、第３サブフレーム期間ＰｓｆＢと、を含んでいる。各サブフレーム期間Ｐｓｆは、上述の表示駆動を実行する期間に相当する。この例では、リセット期間Ｐｒがフレーム期間Ｐｆの先頭の期間である。リセット期間Ｐｒ、第１サブフレーム期間ＰｓｆＲ、第２サブフレーム期間ＰｓｆＧ、及び第３サブフレーム期間ＰｓｆＢは、この順に続いている。但し、この例とは異なり、リセット期間Ｐｒがフレーム期間Ｐｆの先頭の期間ではなく、フレーム期間Ｐｆの最後尾の期間であってもよい。

[0143] リセット期間Ｐｒにおいては、タイミングコントローラＴＣの制御の下で透明駆動が実行される。すなわち、走査線駆動回路ＧＤは、全ての走査線ＧにＨレベルの制御信号Ｃａを同時に与える。または、走査線駆動回路ＧＤは、Ｈレベルの制御信号Ｃａを走査線Ｇ１から走査線Ｇｎまで順に与えてもよい。

[0144] さらに、リセット期間Ｐｒにおいて、信号線駆動回路ＳＤは、全ての信号線Ｓに、例えばコモン電圧Ｖｃｏｍと同じ値の画像信号Ｖｓｉｇを与える。このような動作により、全ての画素ＰＸの画素電極ＰＥと共通電極ＣＥとの間に第２透明電圧ＶＡ２が書き込まれる。その後、各画素ＰＸの画素電極ＰＥは、次に画像信号Ｖｓｉｇが与えられるまで電気的にフローティング状態となる。したがって、第２透明電圧ＶＡ２が書き込まれた画素ＰＸにおいては、次の画像信号Ｖｓｉｇが供給されるまで、第２透明電圧ＶＡ２が保持さ

れる。

[0145] 第２透明電圧ＶＡ２が書き込まれた画素ＰＸにおいては、液晶層３０が良好な第２透明状態にあるので、表示パネルＰＮＬの背景の視認性が高まる。本実施形態において、リセット期間Ｐｒにおいては、発光素子ＬＳＲ，ＬＳＧ，ＬＳＢはいずれも消灯している。なお、発光素子ＬＳＲ，ＬＳＧ，ＬＳＢは、リセット期間Ｐｒに消灯している方が望ましいが、リセット期間Ｐｒに点灯していてもよい。

リセット期間Ｐｒにおいて各信号線Ｓ１～Ｓ２ｍに与える画像信号Ｖｓｉｇは、各画素ＰＸに書き込まれる電圧が第２透明電圧ＶＡ２となる値であれば、コモン電圧Ｖｃｏｍと同じである必要はない。透明駆動におけるコモン電圧Ｖｃｏｍと画像信号Ｖｓｉｇについては、図１３及び図１４を用いて説明した種々の態様を適用し得る。

[0146] リセット期間Ｐｒにおいて全ての走査線ＧにＨレベルの制御信号Ｃａを一括して与える期間は、駆動期間Ｐｄである。例えば、駆動期間Ｐｄの長さは、５乃至１０水平走査期間である。上記のように駆動期間Ｐｄを一定期間確保することにより、画素電極ＰＥの電位及び共通電極ＣＥの電位をそれぞれ所望の値に遷移させることができる。また、図示した例では、駆動期間Ｐｄの直後に第１サブフレーム期間ＰｓｆＲが到来するため、時間期間に関して、Ｐｒ＝Ｐｄである。リセット期間Ｐｒは、駆動期間Ｐｄの後に、第２透明電圧ＶＡ２をさらに保持するための保持期間を含んでもよい。

[0147] 第１サブフレーム期間ＰｓｆＲ、第２サブフレーム期間ＰｓｆＧ、及び第３サブフレーム期間ＰｓｆＢはこの順に続いているが、この例と異なり、これらのサブフレーム期間Ｐｓｆの順番は異なっていてもよい。各サブフレーム期間Ｐｓｆにおいては、タイミング生成部５０がフレームメモリ５１、ラインメモリ５２Ｒ、５２Ｇ、５２Ｂ、データ変換部５３をデータ同期信号により制御したり、検出部５５及びテーブル５６を利用したりして、各色の表示駆動を実行させる。

[0148] 第１サブフレーム期間ＰｓｆＲは、駆動期間ＰｄＲと、保持期間ＰｈＲと

を含んでいる。駆動期間ＰｄＲにおいては、走査線駆動回路ＧＤが、Ｈレベルの制御信号Ｃａを走査線Ｇ１～Ｇｎに２本単位で順に与える。

[0149] さらに、駆動期間ＰｄＲに、信号線駆動回路ＳＤがラインメモリ５２Ｒに記憶された赤色のサブフレームデータ（Ｒ＿ＤＡＴＡ）に応じた画像信号Ｖｓｉｇを各信号線Ｓ１～Ｓ２ｍに与える。より具体的には、Ｈレベルの制御信号Ｃａが供給された２行の各画素ＰＸに対応する階調の画像信号Ｖｓｉｇを一斉に各信号線Ｓ１～Ｓ２ｍに与える動作が繰り返される。

[0150] 画像信号Ｖｓｉｇは、選択された画素ＰＸの画素電極ＰＥにスイッチング素子ＳＷを介して与えられ、その後スイッチング素子ＳＷがオフすることで、画素電極ＰＥの電位が保持される。その後、次の２行の複数の画素ＰＸが選択され、同様の駆動が順次行われる。

[0151] このような動作により、各画素ＰＸの画素電極ＰＥと共通電極ＣＥとの間に、赤色のサブフレームデータに応じた電圧が書き込まれる。

[0152] 保持期間ＰｈＲは、全ての画素ＰＸへの書き込みが完了してから、第２サブフレーム期間ＰｓｆＧが到来するまでの期間である。この保持期間ＰｈＲにおいて、発光素子ＬＳＲが赤色の光を照射する。発光素子ＬＳＲを点灯させる際、書換え領域ＲＡの全ての画素ＰＸへの書き込みが完了してからマージン期間Ｐｍをはさんで点灯させている。発光素子ＬＳＲを点灯させる際、上記マージン期間Ｐｍをはさまなくともよいが、上記マージン期間Ｐｍをはさんだ方が望ましい。なぜなら、液晶の応答期間を確保したりすることができるためである。これにより、赤色の画像が表示領域ＤＡに表示される。

[0153] 第２サブフレーム期間ＰｓｆＧ及び第３サブフレーム期間ＰｓｆＢにおける動作は、第１サブフレーム期間ＰｓｆＲと同様である。複数の画素ＰＸは、２行単位で駆動される。

[0154] 第２サブフレーム期間ＰｓｆＧは駆動期間ＰｄＧと保持期間ＰｈＧを含み、駆動期間ＰｄＧにおいて書換え領域ＲＡの画素ＰＸにラインメモリ５２Ｇが記憶する緑色のサブフレームデータ（Ｇ＿ＤＡＴＡ）に応じた電圧が書き込まれる。その際、非書換え領域ＮＲＡの画素ＰＸに第２透明電圧ＶＡ２が

印加されている状態に保持し、対象領域ＯＡの画素ＰＸに散乱電圧ＶＢを印加し、非対象領域ＮＯＡの画素に第１透明電圧ＶＡ１を印加する。保持期間ＰｈＧにおいて発光素子ＬＳＧが緑色の光を照射する。これにより、緑色の画像が表示領域ＤＡに表示される。

[0155] また、第３サブフレーム期間ＰｓｆＢは駆動期間ＰｄＢと保持期間ＰｈＢを含み、駆動期間ＰｄＢにおいて書換え領域ＲＡの画素ＰＸにラインメモリ５２Ｂが記憶する青色のサブフレームデータ（Ｂ＿ＤＡＴＡ）に応じた電圧が書き込まれ、保持期間ＰｈＢにおいて発光素子ＬＳＢが青色の光を照射する。これにより、青色の画像が表示領域ＤＡに表示される。

[0156] あるフレーム期間Ｐｆにおいて、次のフレーム期間Ｐｆで表示する画像データがフレームメモリ５１に書き込まれる。さらに、画素ＰＸへの書き込みが完了したラインメモリ５２Ｒ、５２Ｇ、５２Ｂのサブフレームデータが、フレームメモリ５１に書き込まれた画像データに対応するサブフレームデータにそれぞれ書き換えられる。

[0157] 第１サブフレーム期間ＰｓｆＲ、第２サブフレーム期間ＰｓｆＧ、及び第３サブフレーム期間ＰｓｆＢにおいて時分割で表示された赤色、緑色、及び青色の画像が混合されることで、多色表示の画像ＣＲとしてユーザに視認される。また、リセット期間Ｐｒにおいては、各画素ＰＸの画素電極ＰＥと共通電極ＣＥとの間に、第２透明電圧ＶＡ２が印加される。このようなリセット期間Ｐｒを一フレーム期間Ｐｆ毎に１回設けることで、表示領域ＤＡの透明性が高まり、表示領域ＤＡの背景の視認性が向上する。なお、リセット期間Ｐｒを、上述したように、複数のフレーム期間Ｐｆ毎に１回設けてもよい。又は、リセット期間Ｐｒと一サブフレーム期間Ｐｓｆとをを交互に設けてもよい。又は、リセット期間Ｐｒと複数のサブフレーム期間Ｐｓｆとを交互に設けてもよい。画像の焼き付きなどの表示不良を抑制する観点からは、リセットの頻度は高い方がよい。

[0158] リセット期間Ｐｒを調整する際、上述したように画素電極ＰＥの電位及び共通電極ＣＥの電位が所望の値に遷移するまでの期間だけではなく、表示領

域ＤＡの透明性を考慮してもよい。

[0159] フレーム期間Ｐｆにおいてリセット期間Ｐｒが占める割合が大きいほど表示領域ＤＡの透明性が高まるが、画像の視認性が低下し得る。これらを考慮し、リセット期間Ｐｒの長さは、例えば一フレーム期間Ｐｆの長さの１／２以下とすることが好ましい。但し、透明性を重視する場合などには、フレーム期間Ｐｆに占めるリセット期間Ｐｒの割合をより大きくしてもよい。第１サブフレーム期間ＰｓｆＲ、第２サブフレーム期間ＰｓｆＧ、及び第３サブフレーム期間ＰｓｆＢは、例えば同じ長さとすることができる。第１サブフレーム期間ＰｓｆＲ、第２サブフレーム期間ＰｓｆＧ、及び第３サブフレーム期間ＰｓｆＢの比率を異ならせることで、表示画像の色度を調整してもよい。

[0160] 次に、図１９の表示動作を利用して図１６のように画像ＣＲを表示する際の一フレーム期間の表示動作について説明する。

図１６乃至図１９に示すように、上記駆動部ＤＲは、リセット期間Ｐｒに、第１液晶層３０Ａ、第２液晶層３０Ｂ、及び第３液晶層３０Ｃにそれぞれ第２透明電圧ＶＡ２を印加し、光源ユニットＬＵを液晶層３０に光を照射しない消灯状態に切替える。上記駆動部ＤＲは、第１サブフレーム期間ＰｓｆＲ、第２サブフレーム期間ＰｓｆＧ、及び第３サブフレーム期間ＰｓｆＢの全ての期間に、第２液晶層３０Ｂに第１透明電圧ＶＡ１を印加し、第３液晶層３０Ｃに第２透明電圧ＶＡ２が印加されている状態に保持する。上記駆動部ＤＲは、第１サブフレーム期間ＰｓｆＲ、第２サブフレーム期間ＰｓｆＧ、及び第３サブフレーム期間ＰｓｆＢの一以上のサブフレーム期間に、液晶層３０Ａに散乱電圧ＶＢを印加する。

[0161] ここで、上記表示動作に極性反転駆動を適用した場合について説明する。

図１６乃至図１９に示すように、散乱電圧ＶＢは、正極性の散乱電圧と、負極性の散乱電圧と、を有している（図１２）。正極性の散乱電圧とは、例えば８～１６Ｖであり、負極性の散乱電圧とは例えば－１６～－８Ｖである

。対象領域ＯＡに画像ＣＲを表示する際、上記駆動部ＤＲは、一サブフレーム期間Ｐｓｆ毎に、正極性の散乱電圧ＶＢと負極性の散乱電圧ＶＢとを液晶層３０Ａに交互に印加する。この際、上記駆動部ＤＲは、一サブフレーム期間Ｐｓｆ毎に、正極性の第１透明電圧ＶＡ１と負極性の第１透明電圧ＶＡ１とを液晶層３０Ｂに交互に印加する。

[0162] 正極性の第１透明電圧ＶＡ１及び負極性の第１透明電圧ＶＡ１の絶対値は、それぞれ、正極性の散乱電圧ＶＢの最大値の半分であり、負極性の散乱電圧ＶＢの絶対値の最大値の半分である。例えば図１２に示す例では、正極性の第１透明電圧ＶＡ１及び負極性の第１透明電圧ＶＡ１の絶対値はそれぞれ８Ｖであり、正極性の散乱電圧ＶＢの最大値及び負極性の散乱電圧ＶＢの絶対値の最大値は、それぞれ１６Ｖである。例えば、第１透明電圧ＶＡ１及び散乱電圧ＶＢが何れの極性であっても、第１透明電圧ＶＡ１の絶対値は、散乱電圧ＶＢの絶対値の最大値の半分である。但し、上記の例に限定されるものではなく、正極性及び負極性の第１透明電圧ＶＡ１は、散乱度が５０％以下の範囲となる電圧であればよい。

[0163] 上記のように構成された第１の実施形態に係る表示装置ＤＳＰによれば、表示装置ＤＳＰの駆動方式は、フィールドシーケンシャル方式である。上記駆動方式において、一フレーム期間Ｐｆあたり赤色、緑色、及び青色の３色の画像信号Ｖｓｉｇなどを画素ＰＸに高速で書き込む必要がある。

[0164] そこで、本実施形態において、走査線Ｇは、連結部ＬＣと同層に設けられていない。走査線Ｇは、信号線Ｓの線部ＬＩと同層に設けられ、線部ＬＩと同一の材料で低抵抗に形成されている。信号線Ｓは、低抵抗な線部ＬＩを基本とし、走査線Ｇと交差する個所のみ連結部ＬＣを使用している。これにより、信号線Ｓの抵抗の低減を図っている。

[0165] 走査線Ｇを連結部ＬＣと同一の材料で形成する場合と比較して、走査線Ｇの負荷を低減することができる。線部ＬＩを信号線Ｓの基本とすることで、信号線Ｓの負荷が大きくなる事態を回避することができる。これにより、高速で画素ＰＸに書き込みを行うことができる。画素電極ＰＥへの画像信号Ｖ

ｓｉｇの書き込み不足を抑制することができるため、表示ムラの発生、コントラストの低下、フリッカの発生などの表示品位の低下を抑制することができる。

[0166] スイッチング素子ＳＷのゲート電極ＧＥは、連結部ＬＣと同層に設けられ、連結部ＬＣと同一の材料で形成されている。走査線Ｇ及び信号線Ｓを上記のように構成しても、スイッチング素子ＳＷの構成を変更しなくともよい。例えば、半導体層ＳＣ及びゲート電極ＧＥの材料を変更しなくともよい。そのため、スイッチング素子ＳＷの電気的特性が変わる事態を回避することができる。また、従前と同様の製造工程にて、スイッチング素子ＳＷ、走査線Ｇ、及び信号線Ｓを形成することができる。例えば、走査線Ｇ及び信号線Ｓの形成に第３の配線を新たに使用する必要はない。このため、製造コストの高騰を抑制することができる。

上記のことから、透明状態及び散乱状態の切り替えを良好に行うことが可能な表示装置を得ることができる。

[0167] （第２の実施形態）

次に、第２の実施形態について説明する。図２０は、本実施形態に係る表示装置ＤＳＰの表示パネルＰＮＬの一部を示す平面図であり、１個の画素ＰＸを示す図である。

図２０に示すように、本実施形態において、信号線Ｓの替わりに、走査線Ｇが複数の連結部ＬＣ及び複数の線部ＬＩを有している点で上記第１の実施形態と相違している。また、本実施形態において、補助電極ＡＥは、第１開口ＯＰ１を有しているが、第２開口ＯＰ２を有していない。ただし、図５に示すように補助電極ＡＥは第２開口部ＯＰ２を有するものであっても良い。

[0168] 第１走査線Ｇｉなどの走査線Ｇは、複数の連結部ＬＣ及び複数の線部ＬＩを有している。各々の線部ＬＩは、信号線Ｓの間に位置している。以下、複数の走査線Ｇを代表して第１走査線Ｇｉについて説明する。なお、残りの走査線Ｇも、第１走査線Ｇｉと同様に構成されている。

[0169] 例えば、第１走査線Ｇｉは、第１連結部ＬＣ１、第１線部ＬＩ１、第２連

結部ＬＣ２、第２線部ＬＩ２などを有している。第１連結部ＬＣ１は、第１方向Ｘに延在している。第１線部ＬＩ１は、第１方向Ｘに延在し、第１連結部ＬＣ１に電気的に接続されている。第２連結部ＬＣ２は、第１方向Ｘに延在している。第２線部ＬＩ２は、第１方向Ｘに延在し、第１信号線Ｓｊと第２信号線Ｓｊ＋１との間に位置し、第１連結部ＬＣ１及び第２連結部ＬＣ２に電気的に接続されている。

線部ＬＩは、それぞれ、単個の本線部ＬＭ及び２個の接続部ＬＮを含んでいる。本線部ＬＭは、第１方向Ｘに延在している。接続部ＬＮは、本線部ＬＭから連続的に設けられ、連結部ＬＣに重ねられ、連結部ＬＣに電気的に接続されている。信号線Ｓは、連結部ＬＣと交差している。例えば、第１信号線Ｓｊは、第１走査線Ｇｉの第１連結部ＬＣ１と交差している。連結部ＬＣに注目すると、連結部ＬＣは２本の信号線Ｓと交差している。

[0170] 複数の信号線Ｓ及び複数の線部ＬＩは、同一の材料で形成され、かつ、複数の連結部ＬＣを形成する材料と異なる材料で形成されている。複数の信号線Ｓ及び複数の線部ＬＩのそれぞれの電気抵抗値は、複数の連結部ＬＣのそれぞれの電気抵抗値より低い。

本実施形態において、連結部ＬＣは、ＭｏＷ（モリブデン・タングステン）で形成されている。但し、上述したように、連結部ＬＣは、Ｍｏなどの他の金属で形成されていてもよい。また、本実施形態において、信号線Ｓ及び線部ＬＩは、それぞれＴＡＴで形成されている。但し、信号線Ｓ及び線部ＬＩは、ＭＡＭなどのＴＡＴ以外の金属で形成されていてもよい。

[0171] 第１方向Ｘにおいて、線部ＬＩの長さＬ１は、連結部ＬＣの長さＬ２より大きい。ここで、第１方向Ｘにおいて、第１線部ＬＩ１（線部ＬＩ）と第１信号線Ｓｊ（信号線Ｓ）との間の間隔をＤＩとする。線部ＬＩの長さＬ１は大きい方が望ましいため、間隔ＤＩは、０．５乃至１０μｍ範囲内、より好ましくは１．０μｍ乃至２．０μｍである方が望ましい。そのため、走査線Ｇの電気抵抗値（配線抵抗）の低減に寄与することができる。また、第２方向Ｙにおいて、連結部ＬＣの幅Ｗ１は、本線部ＬＭの幅Ｗ２より大きい。

[0172] ゲート電極ＧＥ及び連結部ＬＣは、同一の材料で形成され、同層に設けられている。本実施形態において、ゲート電極ＧＥ及び連結部ＬＣは、絶縁層１２の上に設けられ、絶縁層１３で覆われている（図６）。また、単個のゲート電極ＧＥと、単個の連結部ＬＣとは、一体に形成されている。例えば、第１スイッチング素子ＳＷ１のゲート電極ＧＥ１と第１走査線Ｇｉの第１連結部ＬＣ１とは、一体に形成されている。

[0173] また、信号線Ｓ及び線部ＬＩは、同層に設けられている。本実施形態において、信号線Ｓ及び線部ＬＩは、絶縁層１３の上に設けられ、絶縁層１４で覆われている（図６）。絶縁層１３は、連結部ＬＣと信号線Ｓとの間に介在している。

[0174] 図示しないが、本実施形態においても、上記第１の実施形態（図５）と同様、第１基板ＳＵＢ１は、第２走査線Ｇｉ＋１及び第２信号線Ｓｊ＋１に電気的に接続された第２スイッチング素子ＳＷ２、第２スイッチング素子ＳＷ２に電気的に接続された第２画素電極ＰＥ２などを有している。

[0175] また、図２０及び図６に示すように、第１方向Ｘにおいて、絶縁層（有機絶縁膜）１４は、第１信号線Ｓｊ、第２信号線Ｓｊ＋１などの複数の信号線Ｓに接している。図２０及び図７に示すように、第２方向Ｙにおいて、絶縁層１４は、第１走査線Ｇｉ（線部ＬＩ）、第２走査線Ｇｉ＋１（線部ＬＩ）などの複数の走査線Ｇ（線部ＬＩ）に接している。第１信号線Ｓｊ、第２信号線Ｓｊ＋１、第１走査線Ｇｉ及び第２走査線Ｇｉ＋１に囲われる領域において、絶縁層１４は、第１スイッチング素子ＳＷ１と重ならない領域に絶縁層（有機絶縁膜）除去部を有している。

[0176] さらに、上記第１の実施形態（図６）と同様、絶縁層（有機絶縁膜）１４は、第１信号線Ｓｊ、第２信号線などの複数の信号線Ｓに接する第１面１４ａと、第１面１４ａと反対側の第２面１４ｂと、を有している。金属層（金属配線）ＭＥ１は、第２面１４ｂに形成されていてもよい。

[0177] 上記のように構成された第２の実施形態に係る表示装置ＤＳＰによれば、走査線Ｇの線部ＬＩは、信号線Ｓと同層に設けられ、信号線Ｓと同一の材料

で低抵抗に形成されている。本実施形態において、走査線Ｇの負荷を低減することができる。信号線Ｓの負荷が大きくなることはない。そのため、本実施形態においても、上記第１の実施形態と同様の効果を得ることができる。

上記のことから、透明状態及び散乱状態の切り替えを良好に行うことが可能な表示装置を得ることができる。

[0178] （変形例）

次に、上記第１及び第２の実施形態の変形例について説明する。図２１は、本変形例に係る表示装置ＤＳＰの表示パネルＰＮＬの一部を示す断面図である。

図２１に示すように、スイッチング素子ＳＷがトップゲート型のＴＦＴではなくボトムゲート型のＴＦＴで構成されている点で、上述した実施形態と異なっている。ゲート電極ＧＥは、絶縁層１１の上に設けられ、絶縁層１２で覆われている。半導体層ＳＣは、絶縁層１２の上に設けられ、絶縁層１３で覆われている。半導体層ＳＣは、ゲート電極ＧＥと画素電極ＰＥとの間の層に位置している。

[0179] この場合、図５に示す信号線Ｓの線部ＬＩと連結部ＬＣとの接続は、絶縁膜１２及び絶縁膜１３に形成されたコンタクトホールを介して接続される。同様に図２０に示すゲート配線Ｇの線部ＬＩと連結部ＬＣとの接続は絶縁膜１２及び絶縁膜１３に形成されたコンタクトホールを介して接続されることとなる。

[0180] 金属層（金属配線）ＭＥ１は、第１信号線Ｓｊに重畳する第１端部ＭＥ１ａと、信号線Ｓｊ－１に重畳する第２端部ＭＥ１ｂと、を有している。金属層ＭＥ１は、第１信号線Ｓｊと信号線Ｓｊ－１との間隔を覆っている。第１画素電極ＰＥ１は、第１信号線Ｓｊ及び第１端部ＭＥ１ａに重なっている。

[0181] 本変形例においても、上記実施形態と同様の効果を得ることができる。

[0182] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これ

ら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。必要に応じて、複数の実施形態を組合せることも可能である。

[0183] 例えば、上述した実施形態では、液晶層３０がＰＤＬＣを利用している液晶表示装置を及びその駆動方法を例に開示した。しかし、上述した実施形態は、液晶層３０がＰＤＬＣを利用していない各種の液晶表示装置を及びその駆動方法に適用することも可能である。また、表示装置ＤＳＰ及びその駆動方法としては、液晶表示装置及びその駆動方法に限定されるものではなく、あらゆる表示装置及びその駆動方法に適用可能である。液晶表示装置以外の表示装置としては、例えば電気泳動装置を挙げることができる。

請求の範囲

[請求項1] 第１方向に延在した第１走査線と、第２方向に延在し前記第１走査線と交差した第１信号線と、絶縁層と、前記第１走査線及び前記第１信号線に電気的に接続された第１スイッチング素子と、前記第１スイッチング素子に電気的に接続された第１画素電極と、を有する第１基板と、

共通電極を有し、前記第１基板に対向配置された第２基板と、

前記第１基板と前記第２基板との間に保持され、前記第１画素電極と前記共通電極との間に印加される電圧がかかることにより入射される光を透過する透明状態及び入射される光を散乱する散乱状態に部分的に切替えられる表示機能層と、を備え、

前記第１信号線は、前記第２方向に延在した第１連結部と、前記第２方向に延在し前記第１連結部に電気的に接続された第１線部と、を有し、

前記第１走査線は、前記第１連結部と交差し、前記第１線部と同層に設けられ、

前記絶縁層は、前記第１連結部と前記第１走査線との間に介在している、表示装置。

[請求項2] 前記第１走査線及び前記第１線部は、同一の材料で形成され、前記絶縁層の第１面に接し、

前記絶縁層の前記第１面と反対側の第２面は、前記第１連結部に接し、

前記第１走査線及び前記第１線部は前記第１連結部を形成する材料と異なる材料で形成されている、請求項１に記載の表示装置。

[請求項3] 前記第１走査線及び前記第１線部のそれぞれの電気抵抗値は、前記第１連結部の電気抵抗値より低い、請求項１に記載の表示装置。

[請求項4] 前記第２方向において、前記第１線部の長さは、前記第１連結部の長さより大きい、請求項１に記載の表示装置。

[請求項5] 前記第２方向において、前記第１線部と前記第１走査線との間の間隔は、０．５乃至１０μｍ範囲内である、請求項１に記載の表示装置。

[請求項6] 前記第１線部は、

前記第２方向に延在した本線部と、

前記本線部から連続的に設けられ前記第１連結部に重ねられ前記第１連結部に電気的に接続された接続部と、を含み、

前記第１方向において、前記第１連結部の幅は、前記本線部の幅より大きい、請求項１に記載の表示装置。

[請求項7] 前記第１スイッチング素子は、

前記第１線部に電気的に接続された半導体層と、

前記半導体層に対向し前記第１走査線に電気的に接続され前記第１連結部と同層に設けられたゲート電極と、を有している、請求項１に記載の表示装置。

[請求項8] 前記ゲート電極は、前記第２方向に延在している、請求項７に記載の表示装置。

[請求項9] 前記ゲート電極及び前記第１連結部は、同一の材料で形成されている、請求項７に記載の表示装置。

[請求項10] 前記第２方向において、前記第１連結部は、前記半導体層より前記第１走査線側の領域に位置している、請求項７に記載の表示装置。

[請求項11] 前記第１基板は、

前記第１方向に延在し前記第１信号線と交差し前記第２方向に前記第１走査線に間隔を置いて位置した第２走査線と、

前記第２方向に延在し前記第１走査線及び前記第２走査線と交差し前記第１方向に前記第１信号線に間隔を置いて位置した第２信号線と、

前記第２走査線及び前記第２信号線に電気的に接続された第２スイッチング素子と、

前記第２スイッチング素子に電気的に接続された第２画素電極と、をさらに有し、

前記表示機能層は、さらに、前記第２画素電極と前記共通電極との間に印加される電圧がかかることにより入射される光を透過する透明状態及び入射される光を散乱する散乱状態に部分的に切替えられ、

前記第１画素電極及び前記第２画素電極は、前記第１信号線と前記第２信号線との間に位置し、

前記第１走査線は、前記第１画素電極と前記第２画素電極との間に位置し、

前記第１信号線は、前記第２方向に延在した第２連結部と、前記第２方向に延在し前記第１走査線と前記第２走査線との間に位置し前記第１連結部及び前記第２連結部に電気的に接続された第２線部と、をさらに有し、

前記第２信号線は、前記第１連結部、前記第１線部、前記第２連結部、及び前記第２線部を有し、前記第１信号線と同様に構成され、

前記第１走査線は、前記第２信号線の前記第１連結部と交差し、前記第２信号線の前記第１線部と同層に設けられ、

前記第２走査線は、前記第１信号線の前記第２連結部及び前記第２信号線の前記第２連結部と交差し、前記第１信号線及び前記第２信号線の各々の前記第１線部及び前記第２線部と同層に設けられ、

前記絶縁層は、

前記第１信号線の前記第２連結部と前記第２走査線との間、

前記第２信号線の前記第１連結部と前記第１走査線との間、及び

前記第２信号線の前記第２連結部と前記第２走査線との間、にさらに介在している、請求項１に記載の表示装置。

[請求項12] 前記表示機能層は、高分子分散液晶を利用した液晶層である、請求項１に記載の表示装置。

[請求項13] 第１方向に延在した第１走査線と、第２方向に延在し前記第１走査

線と交差した第１信号線と、絶縁層と、前記第１走査線及び前記第１信号線に電気的に接続された第１スイッチング素子と、前記第１スイッチング素子に電気的に接続された第１画素電極と、を有する第１基板と、

共通電極を有し、前記第１基板に対向配置された第２基板と、

前記第１基板と前記第２基板との間に保持され、前記第１画素電極と前記共通電極との間に印加される電圧がかかることにより入射される光を透過する透明状態及び入射される光を散乱する散乱状態に部分的に切替えられる表示機能層と、を備え、

前記第１走査線は、前記第１方向に延在した第１連結部と、前記第１方向に延在し前記第１信号線と同層に設けられ前記第１連結部に電気的に接続された第１線部と、を有し、

前記第１信号線は、前記第１連結部と交差し、

前記絶縁層は、前記第１連結部と前記第１信号線との間に介在している、表示装置。

[請求項14] 前記第１スイッチング素子は、

前記第１信号線に電気的に接続された半導体層と、

前記半導体層に対向し前記第１走査線に電気的に接続され前記第１連結部と同層に設けられたゲート電極と、を有し、

前記ゲート電極は、前記第１連結部と一体的に形成されている、請求項１３に記載の表示装置。

[請求項15] 前記第１基板は、

前記第１方向に延在し前記第１信号線と交差し前記第２方向に前記第１走査線に間隔を置いて位置した第２走査線と、

前記第２方向に延在し前記第１走査線及び前記第２走査線と交差し前記第１方向に前記第１信号線に間隔を置いて位置した第２信号線と、

前記第２走査線及び前記第２信号線に電気的に接続された第２ス

イッチング素子と、

前記第２スイッチング素子に電気的に接続された第２画素電極と、をさらに有し、

前記表示機能層は、さらに、前記第２画素電極と前記共通電極との間に印加される電圧がかかることにより入射される光を透過する透明状態及び入射される光を散乱する散乱状態に部分的に切替えられ、

前記第１画素電極及び前記第２画素電極は、前記第１信号線と前記第２信号線との間に位置し、

前記第１走査線は、前記第１画素電極と前記第２画素電極との間に位置し、

前記第１スイッチング素子は、前記第１信号線近傍に位置し、

前記第２スイッチング素子は、前記第２信号線近傍に位置する、

請求項１４に記載の表示装置。

[請求項16] 前記第１基板は、

前記第１信号線に隣合う第３信号線と、

前記第１信号線及び前記第３信号線に重畳し前記第２方向に延在する金属配線と、を有し、

前記第３信号線及び前記金属配線は、前記第１連結部に交差する、

請求項１５に記載の表示装置。

[請求項17] 前記金属配線は前記第１信号線に重畳する第１端部と、前記第３信号線に重畳する第２端部と、を有し、

前記金属配線は、前記第１信号線と前記第３信号線との間隔を覆っている、

請求項１６に記載の表示装置。

[請求項18] 前記第１画素電極は、前記第１信号線及び前記金属配線の前記第１端部に重なる、

請求項１７に記載の表示装置。

[請求項19] 前記第１基板は、平面視において格子形状の有機絶縁膜を有し、

前記第１方向において、前記有機絶縁膜は、前記第１信号線及び前記第２信号線に接し、

前記第２方向において、前記有機絶縁膜は、前記第１走査線及び前記第２走査線に接し、

前記第１信号線、前記第２信号線、前記第１走査線及び前記第２走査線に囲われる領域において、前記有機絶縁膜は前記第１スイッチング素子と重ならない領域に有機絶縁膜除去部を有する、

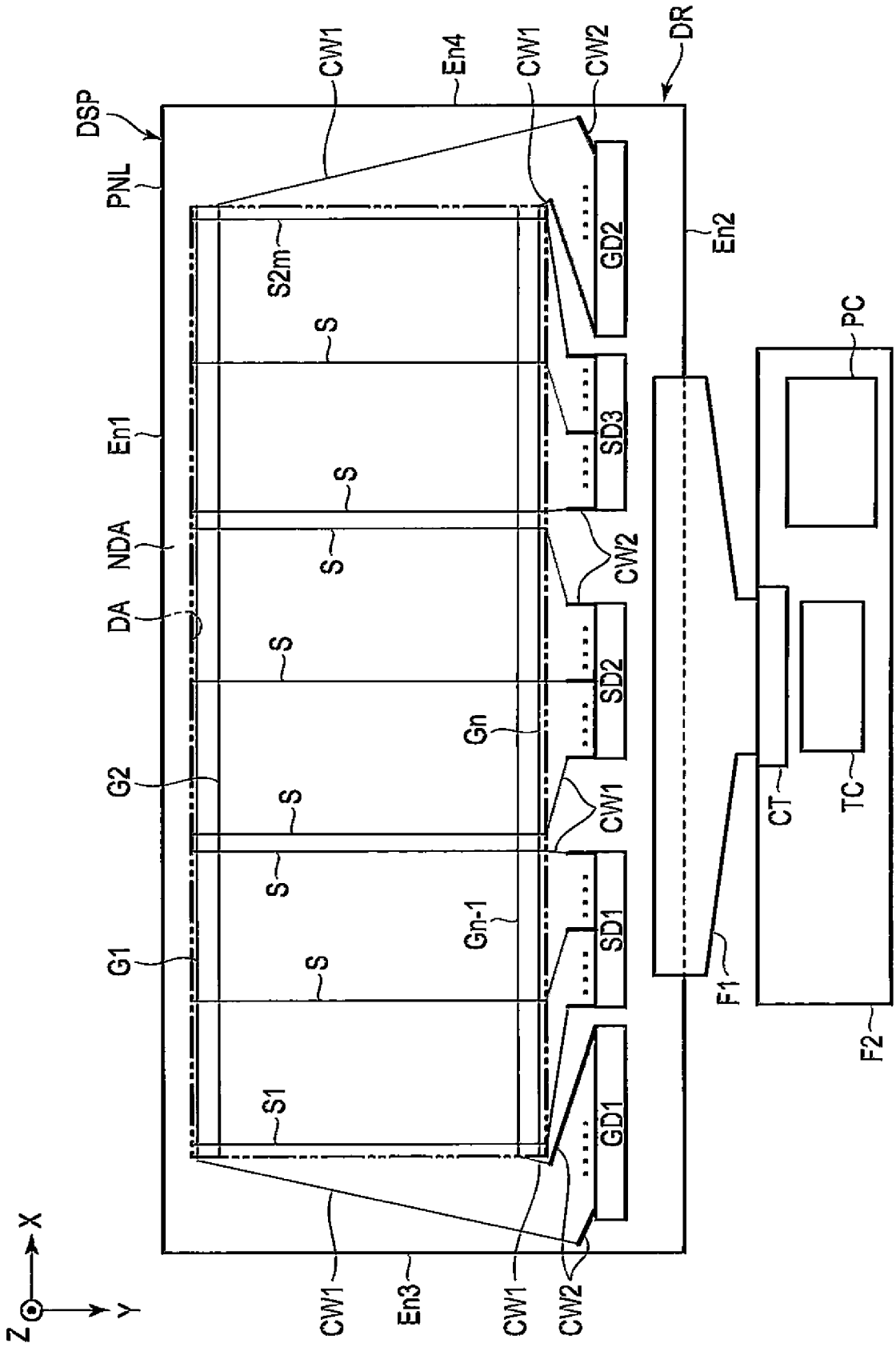
請求項１８に記載の表示装置。

[請求項20] 前記有機絶縁膜は、前記第１信号線及び前記第２信号線に接する第１面と、前記第１面と反対側の第２面と、を有し、

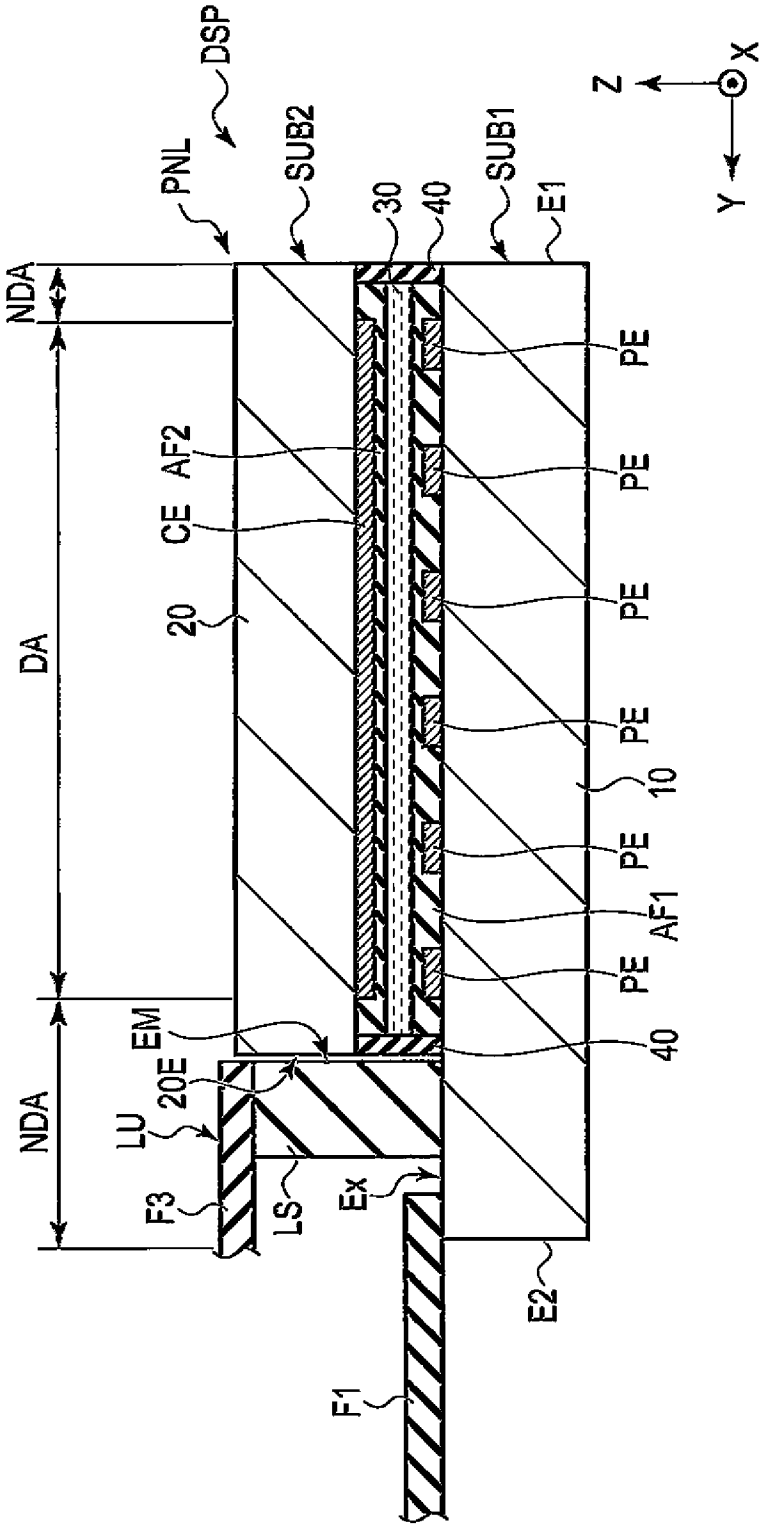
前記金属配線は、前記第２面に形成される、

請求項１９に記載の表示装置。

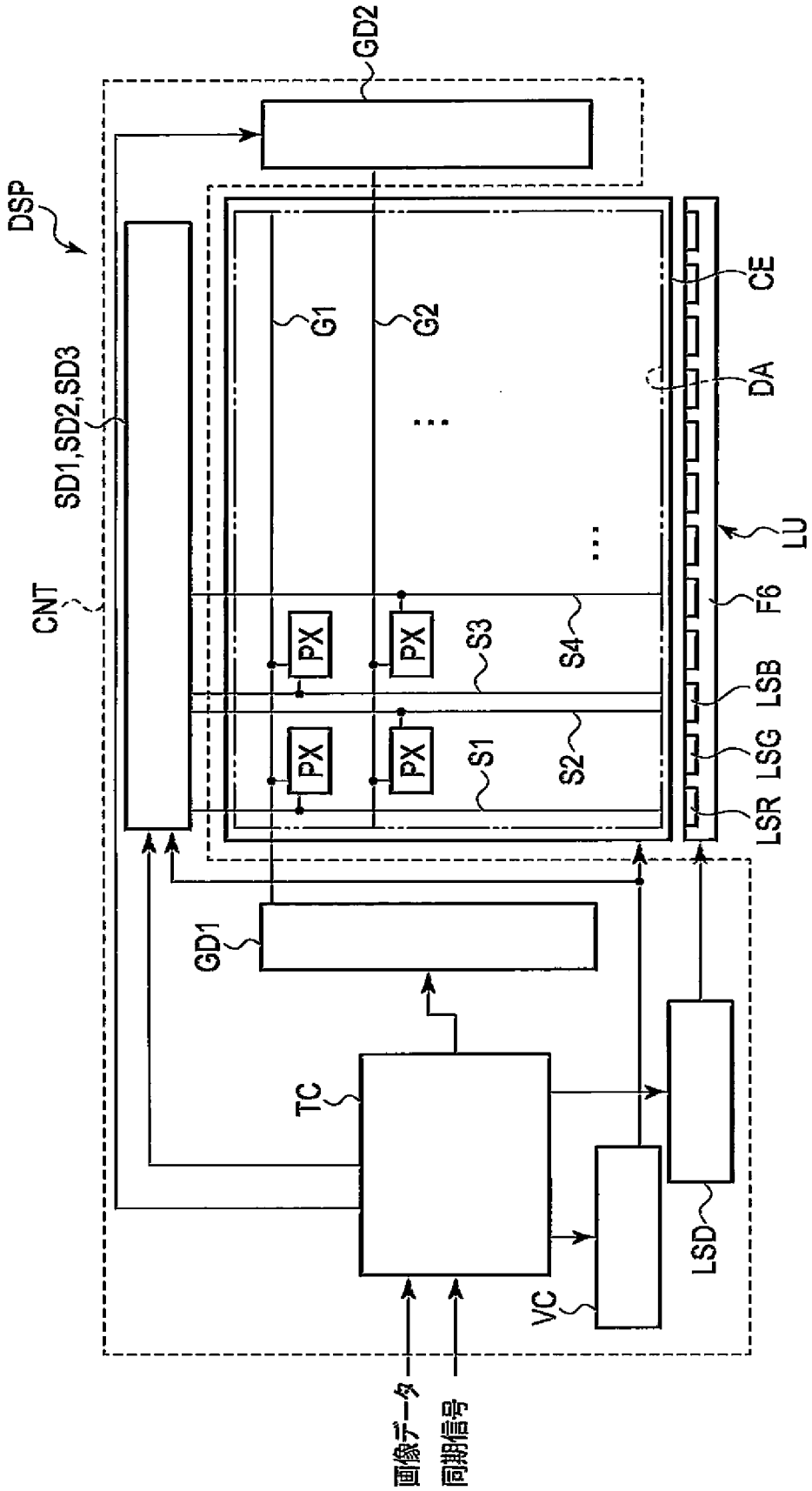
[図1]


DSP
PNL
DA
NDA
DR
PC
CT
TC
F1
F2
En1
En2
En3
En4
CW1
CW2
S1
S2m
S
G1
G2
Gn
Gn-1
GD1
GD2
SD1
SD2
SD3
X
Y
Z

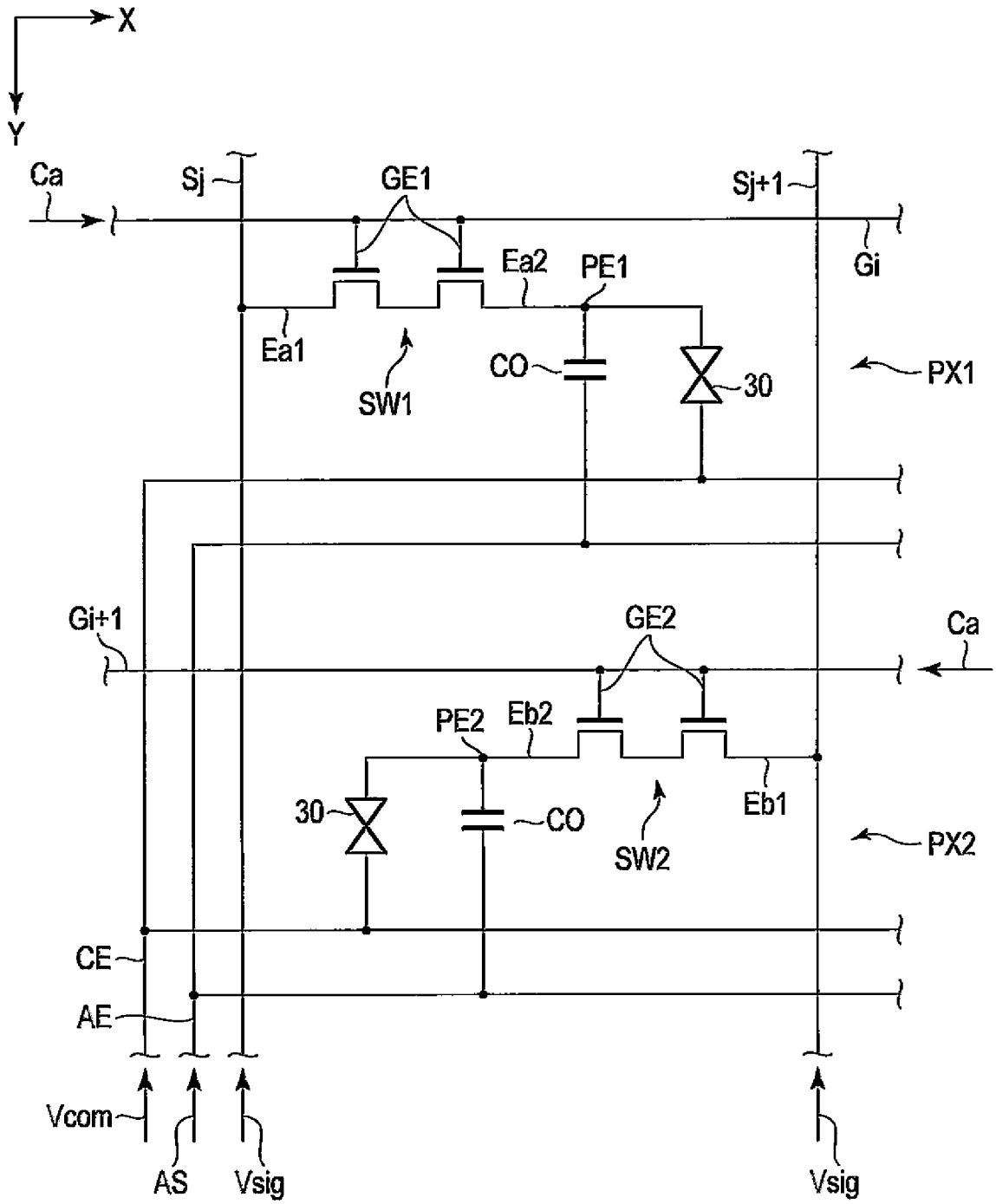
[図2]


DSP
PNL
SUB2
30
40
SUB1
E1
Z
X
Y
NDA
DA
NDA
AF2
CE
20
PE
10
AF1
EM
20E
LU
F3
LS
Ex
E2
F1

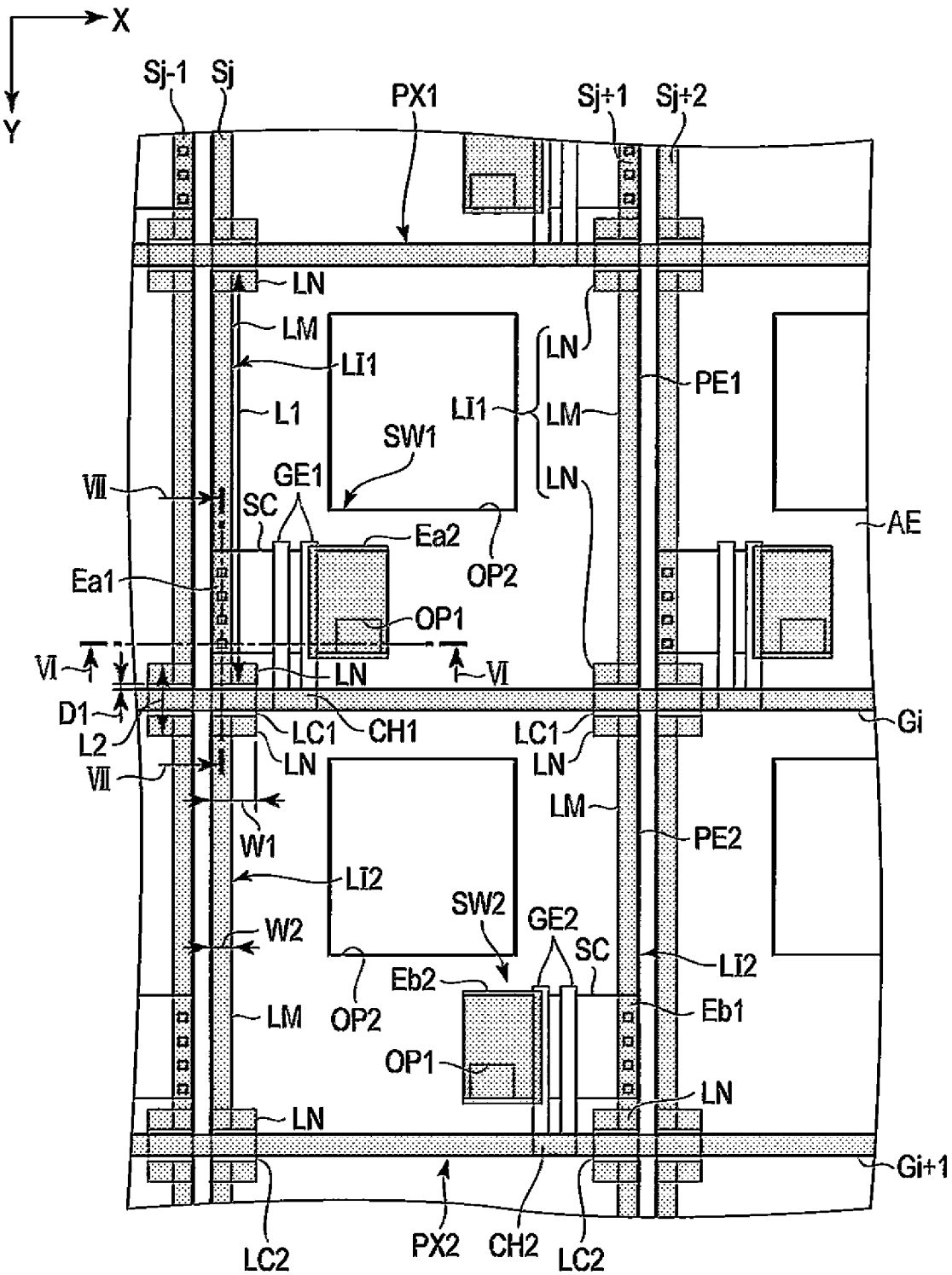
[図3]


GD2
DSP
SD1,SD2,SD3
CNT
G1
G2
CE
DA
LU
F6
LSB
LSG
LSR
PX
S3
S4
S1
S2
GD1
TC
VC
LSD
画像データ
同期信号

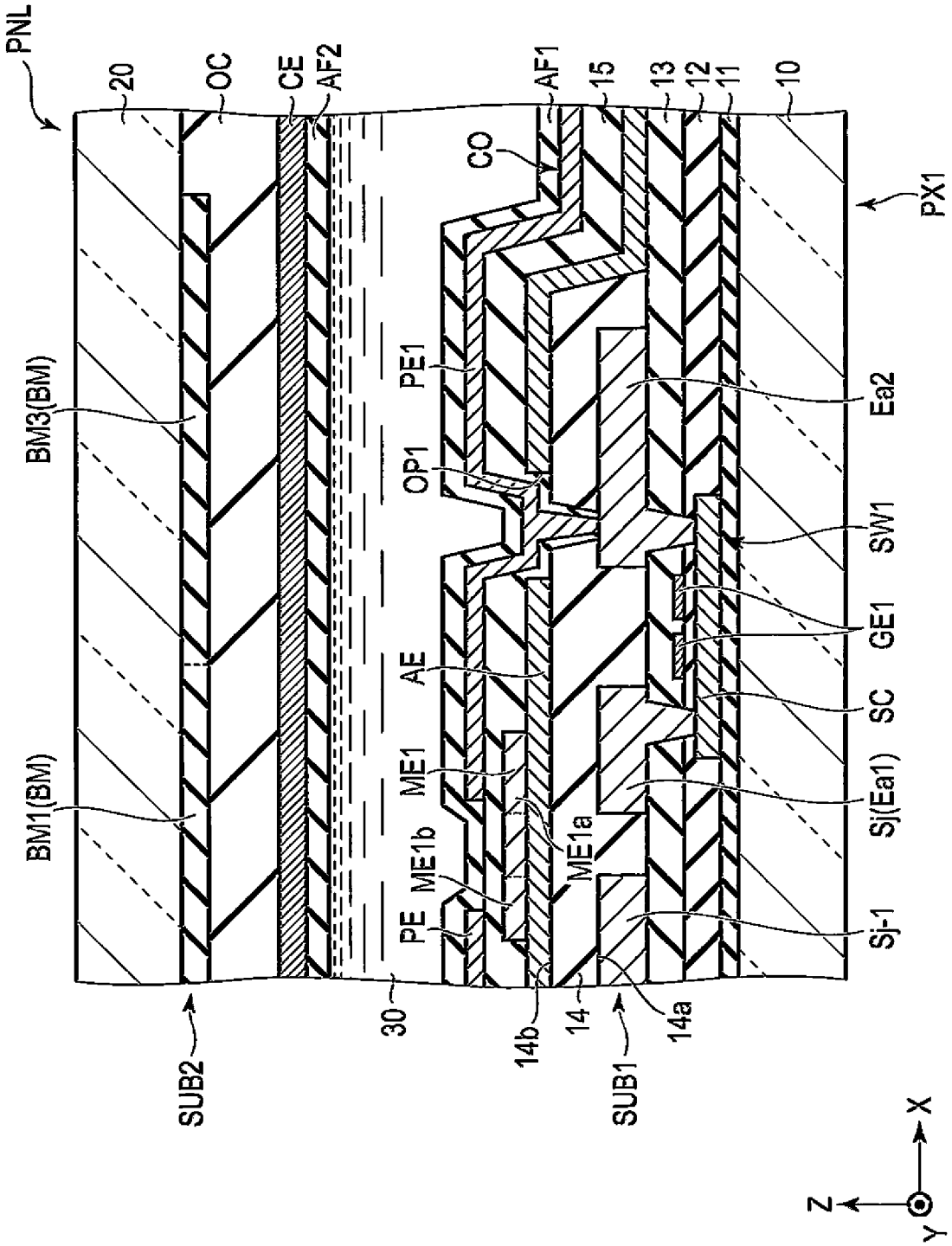
[図4]


X
Y
Ca
Sj
GE1
Sj+1
Gi
Ea2
PE1
Ea1
SW1
CO
30
PX1
Gi+1
GE2
Ca
PE2
Eb2
Eb1
30
CO
SW2
PX2
CE
AE
Vcom
AS
Vsig
Vsig

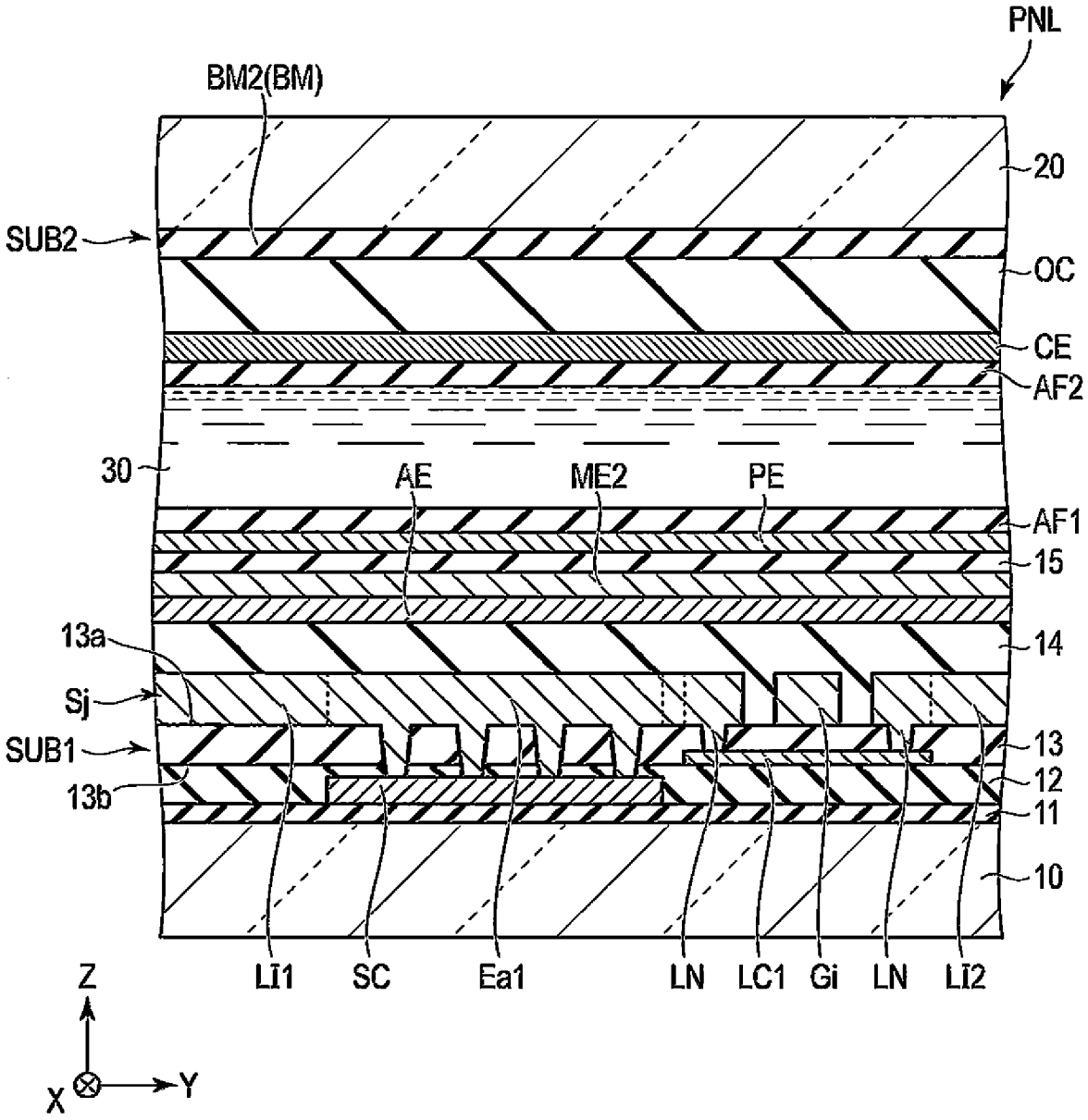
[図5]


X
Y
Sj-1
Sj
PX1
Sj+1
Sj+2
LN
LM
LI1
L1
SW1
GE1
SC
Ea2
OP2
Ea1
OP1
PE1
AE
VII
VI
D1
L2
LC1
CH1
Gi
W1
LI2
SW2
GE2
W2
Eb2
Eb1
LC2
PX2
CH2
Gi+1

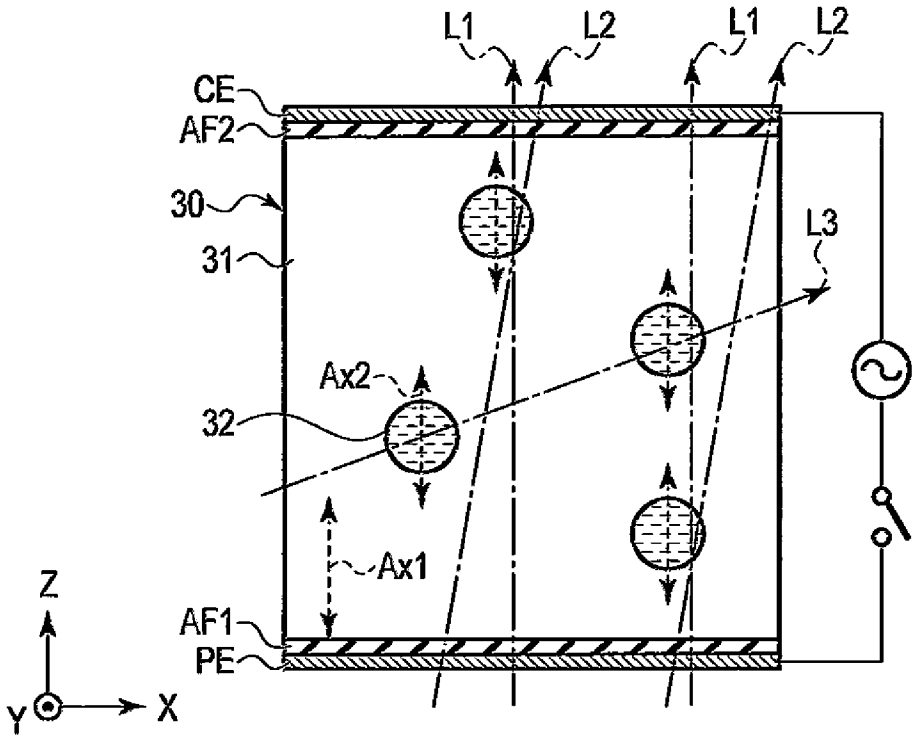
[図6]


PNL
20
OC
CE
AF2
AF1
15
13
12
11
10
CO
PX1
BM3(BM)
PE1
Ea2
OP1
SW1
GE1
AE
SC
BM1(BM)
ME1
Sj(Ea1)
ME1b
ME1a
PE
Sj-1
30
14b
14
14a
SUB2
SUB1
X
Z
Y

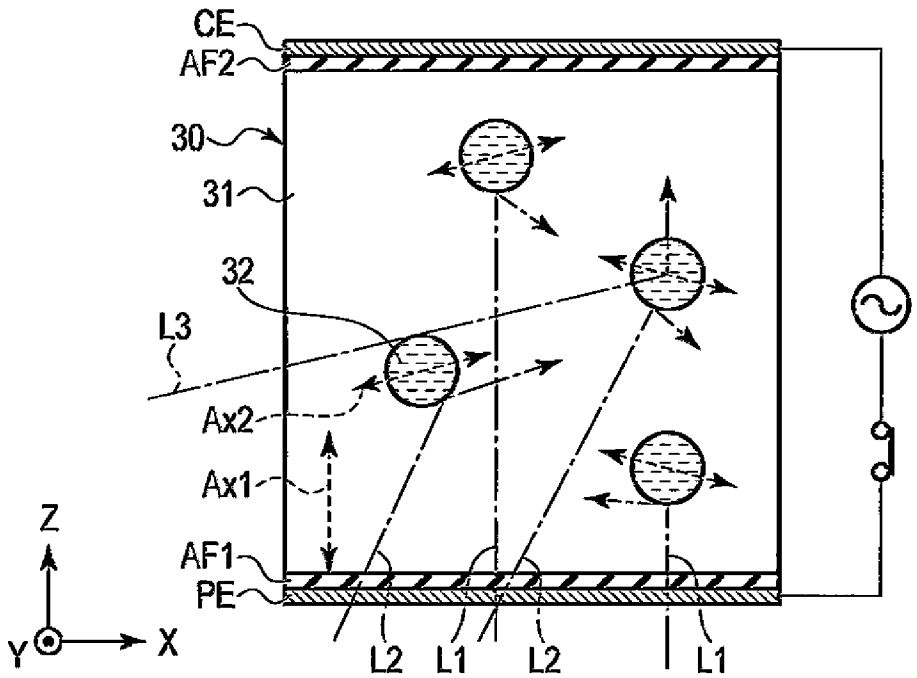
[図7]


PNL
BM2(BM)
20
SUB2
OC
CE
AF2
30
AE
ME2
PE
AF1
15
13a
14
Sj
SUB1
13
13b
12
11
10
LI1
SC
Ea1
LN
LC1
Gi
LN
LI2
Z
X
Y

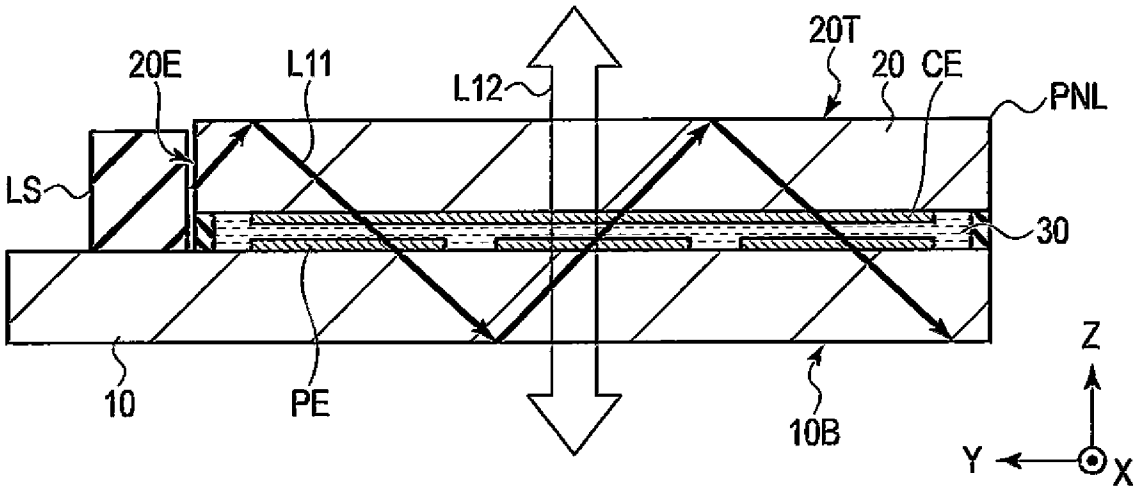
[図8A]


L1
L2
L1
L2
CE
AF2
30
31
L3
Ax2
32
Ax1
AF1
PE
Z
Y
X

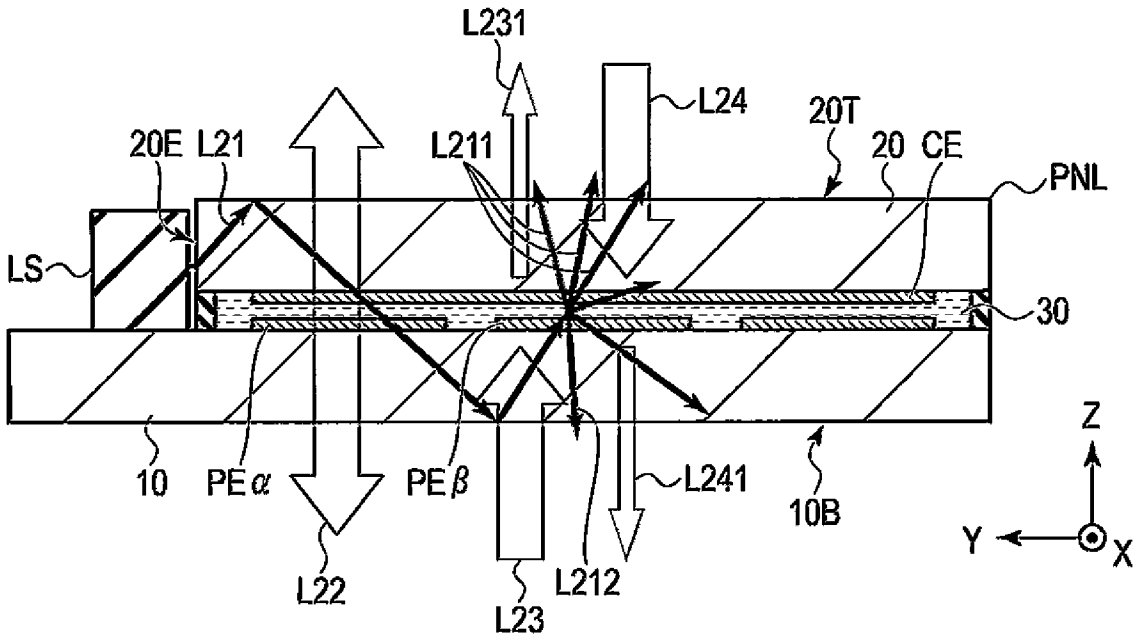
[図8B]


CE
AF2
30
31
32
L3
Ax2
Ax1
AF1
PE
Z
Y
X
L2
L1
L2
L1

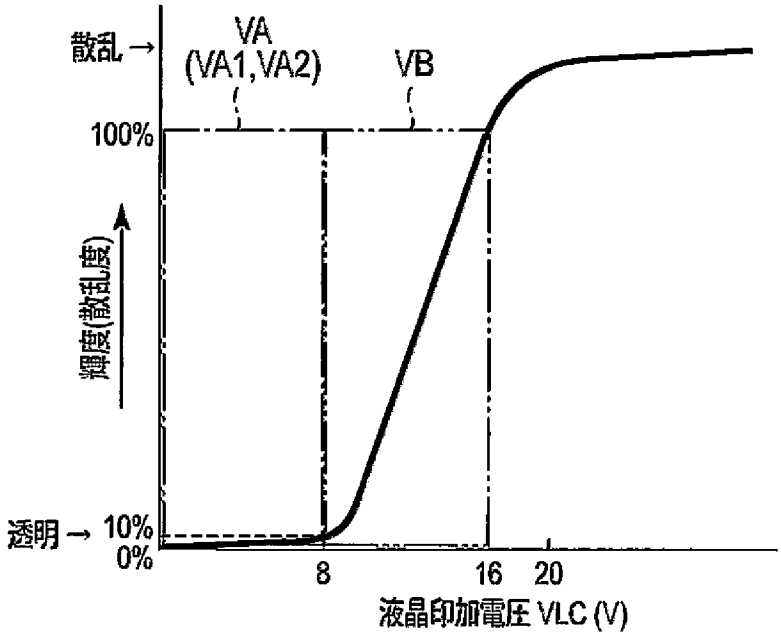
[図9A]


20E
L11
L12
20T
20
CE
PNL
LS
30
10
PE
10B
Z
Y
X

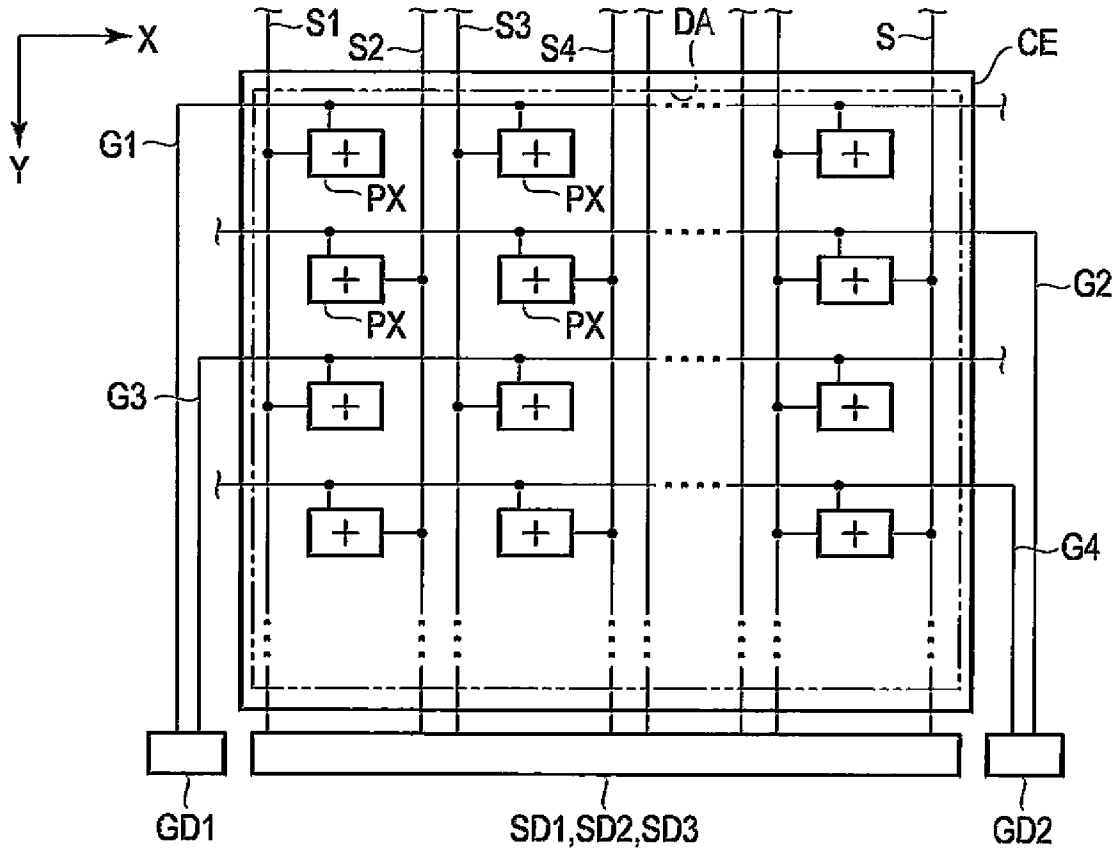
[図9B]


L231
L24
20T
20E
L21
L211
20
CE
PNL
LS
30
10
PEα
PEβ
L241
10B
Z
Y
X
L22
L23
L212

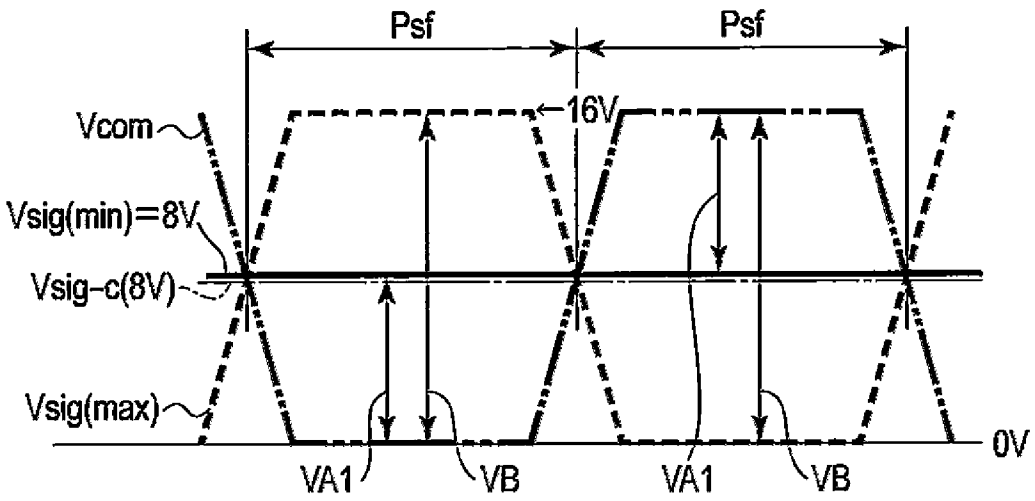
[図10]


散乱 →
VA
(VA1,VA2)
VB
100%
輝度(散乱度)
透明 →
10%
0%
8
16
20
液晶印加電圧 VLC (V)

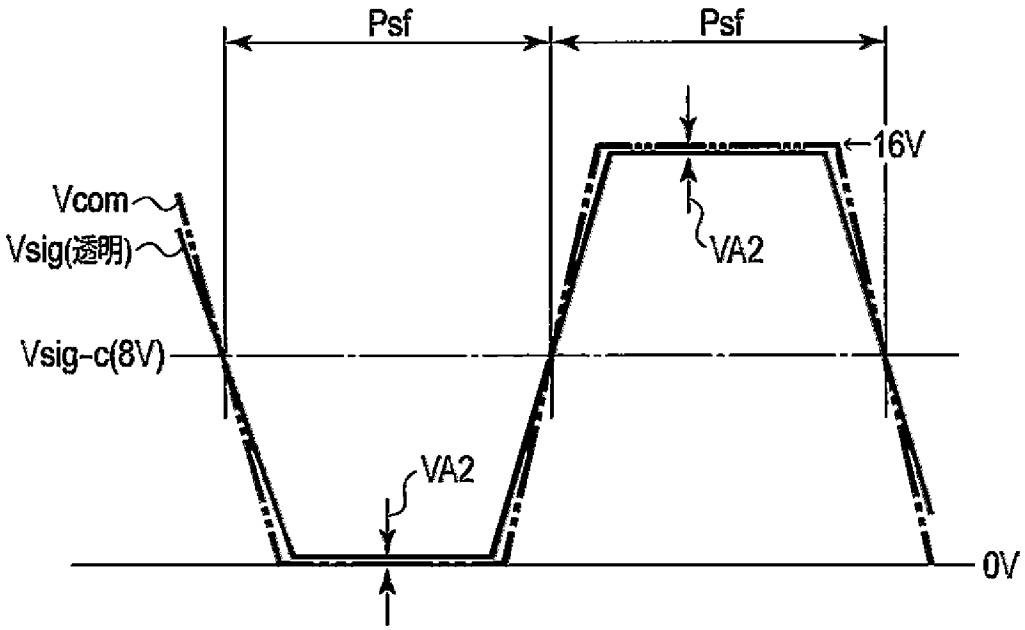
[図11]


X
Y
S1
S2
S3
S4
DA
S
CE
G1
G2
G3
G4
PX
GD1
SD1,SD2,SD3
GD2

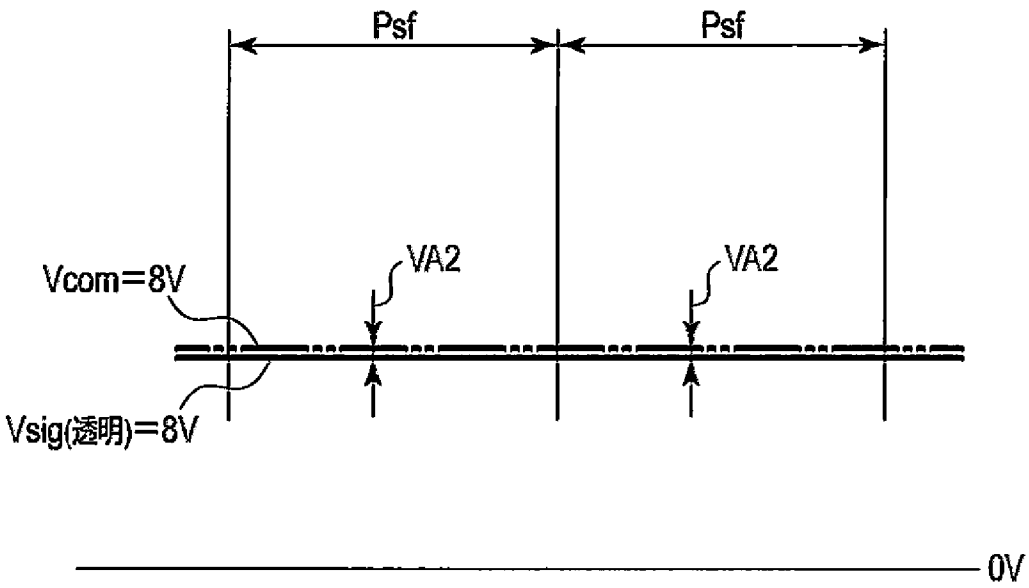
[図12]


Psf
Psf
16V
Vcom
Vsig(min)=8V
Vsig-c(8V)
Vsig(max)
0V
VA1
VB
VA1
VB

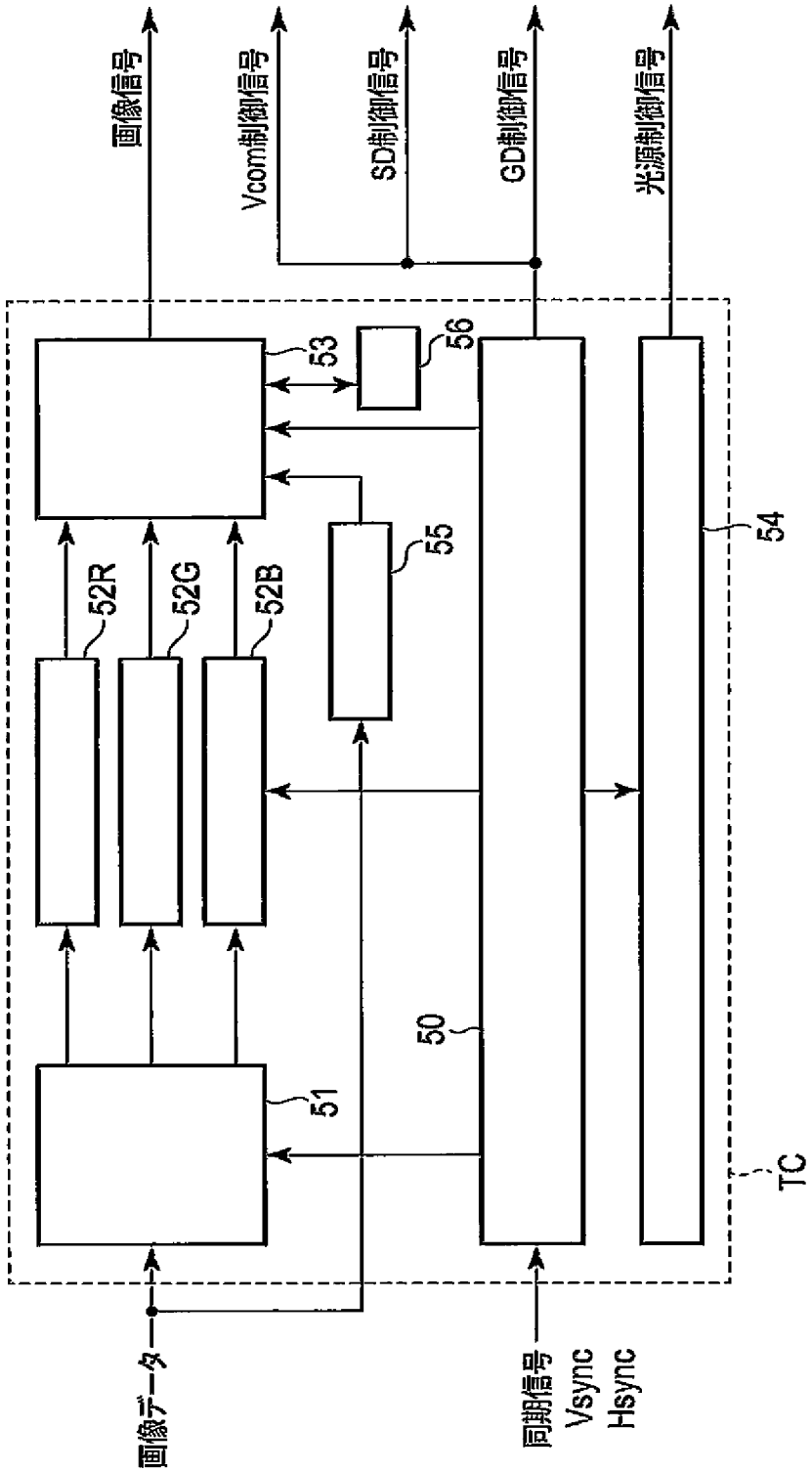
[図13]


Psf
Psf
16V
Vcom
Vsig(透明)
VA2
Vsig-c(8V)
VA2
0V

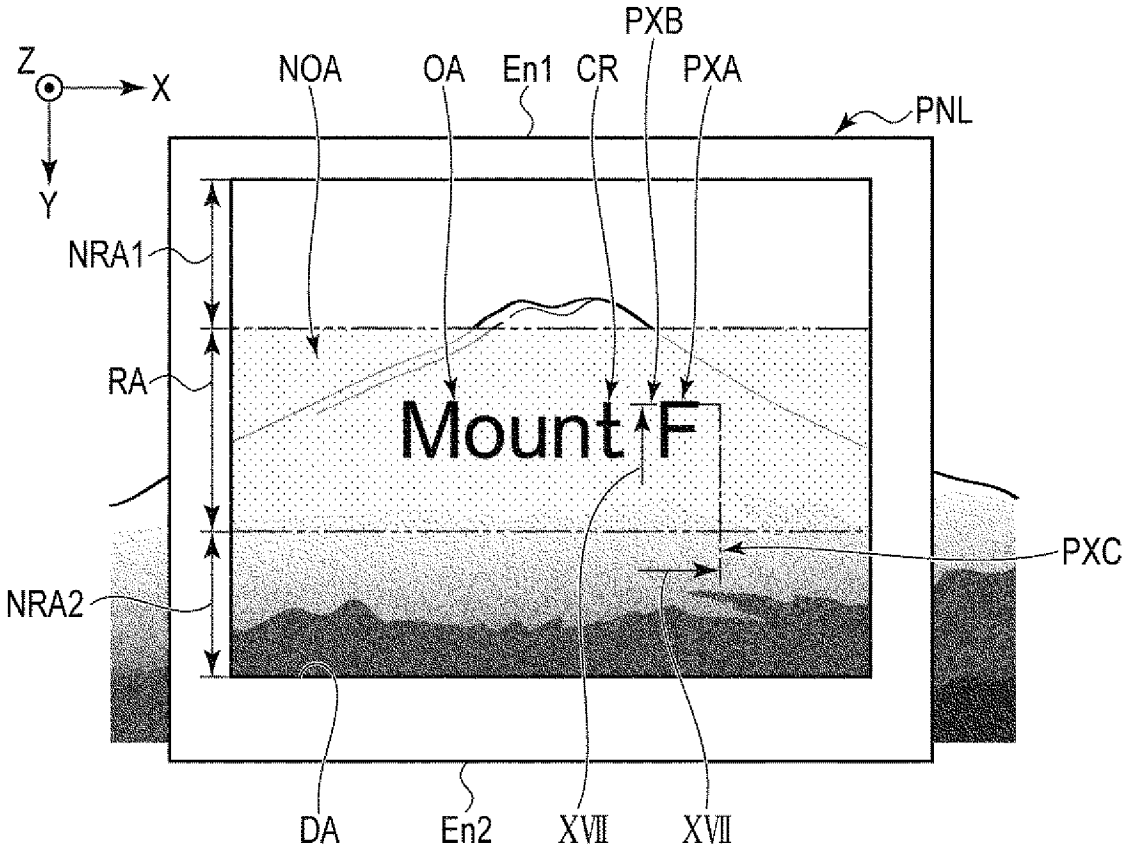
[図14]



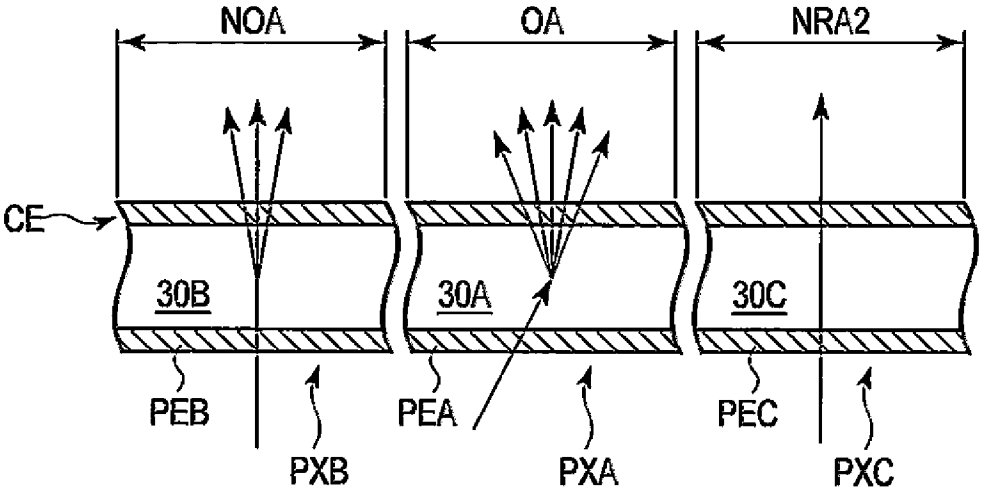
[図15]


画像信号
Vcom制御信号
SD制御信号
GD制御信号
光源制御信号
53
56
55
54
52R
52G
52B
50
51
TC
画像データ
同期信号
Vsync
Hsync

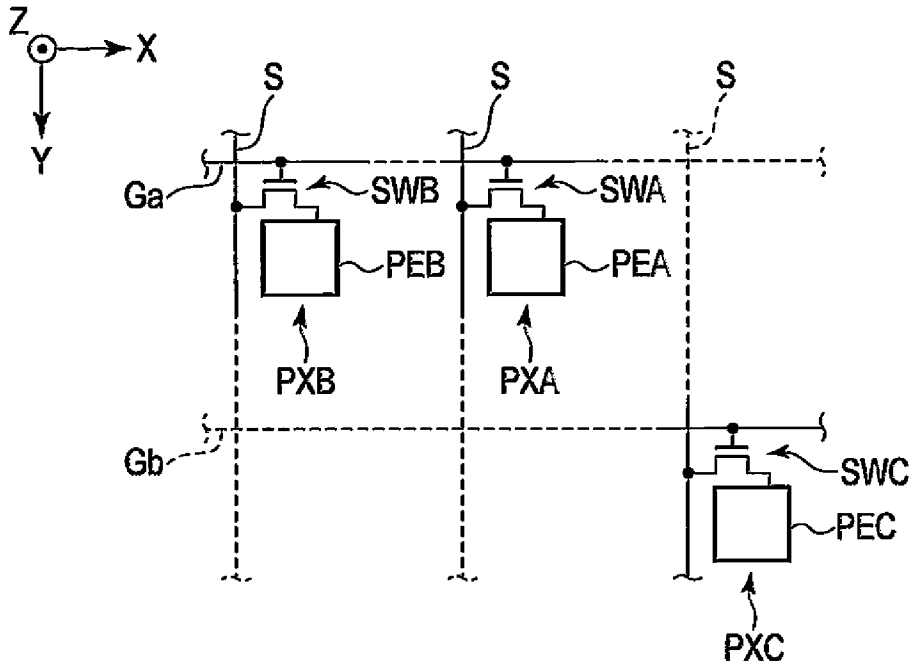
[図16]


Z
X
Y
NOA
OA
En1
CR
PXB
PXA
PNL
NRA1
RA
NRA2
Mount F
PXC
DA
En2
XVII
XVII

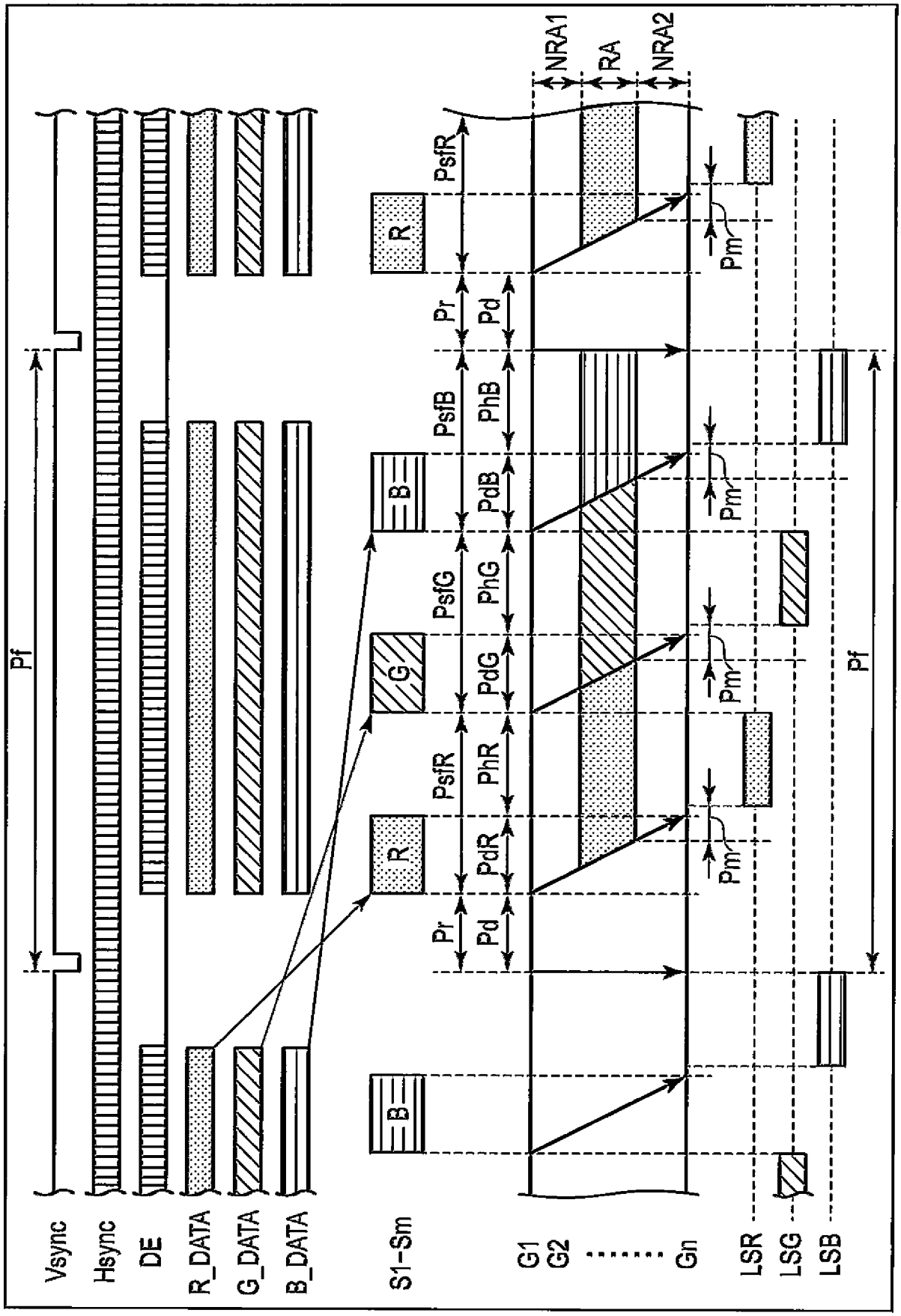
[図17]


NOA
OA
NRA2
CE
30B
30A
30C
PEB
PEA
PEC
PXB
PXA
PXC

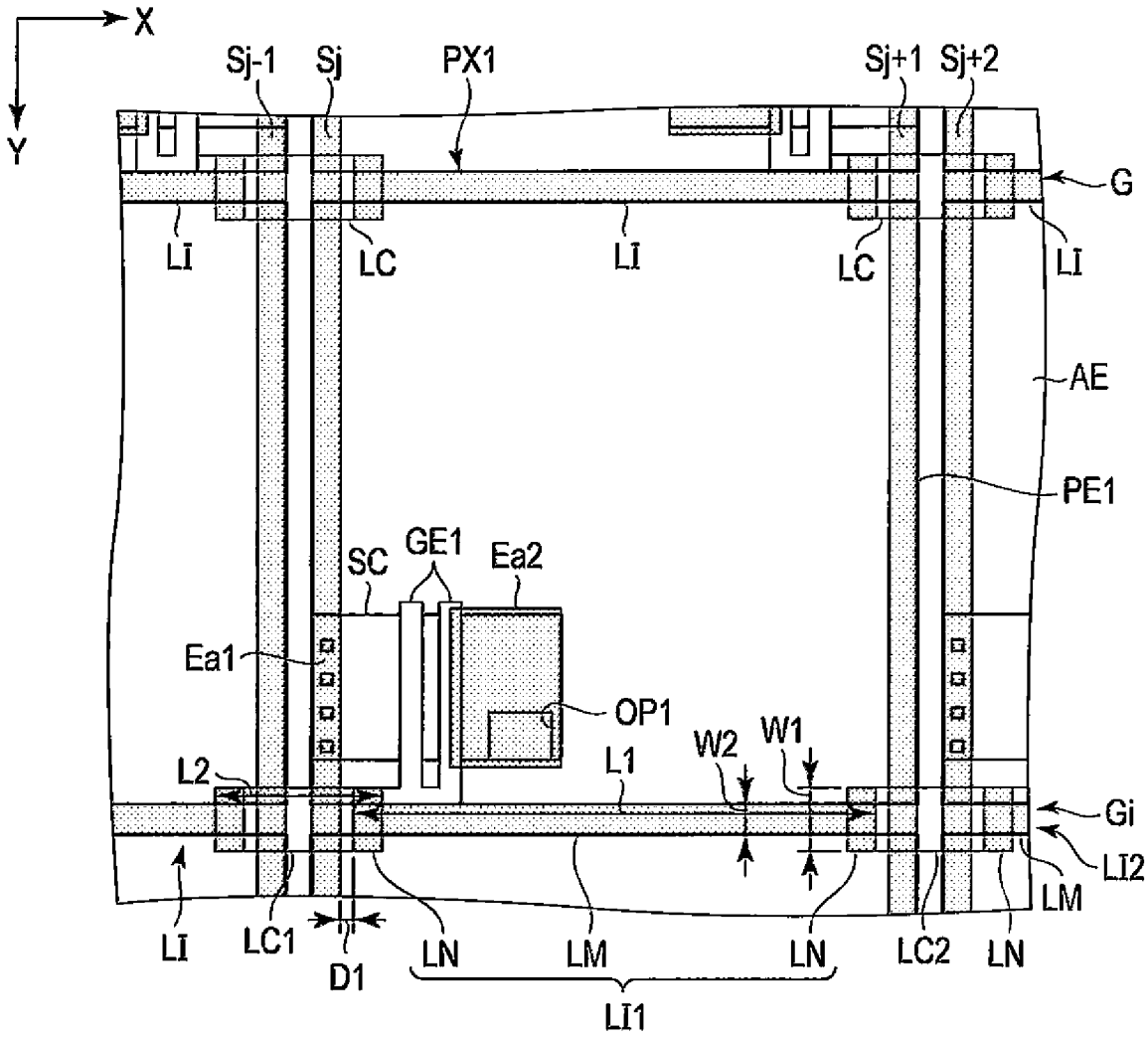
[図18]



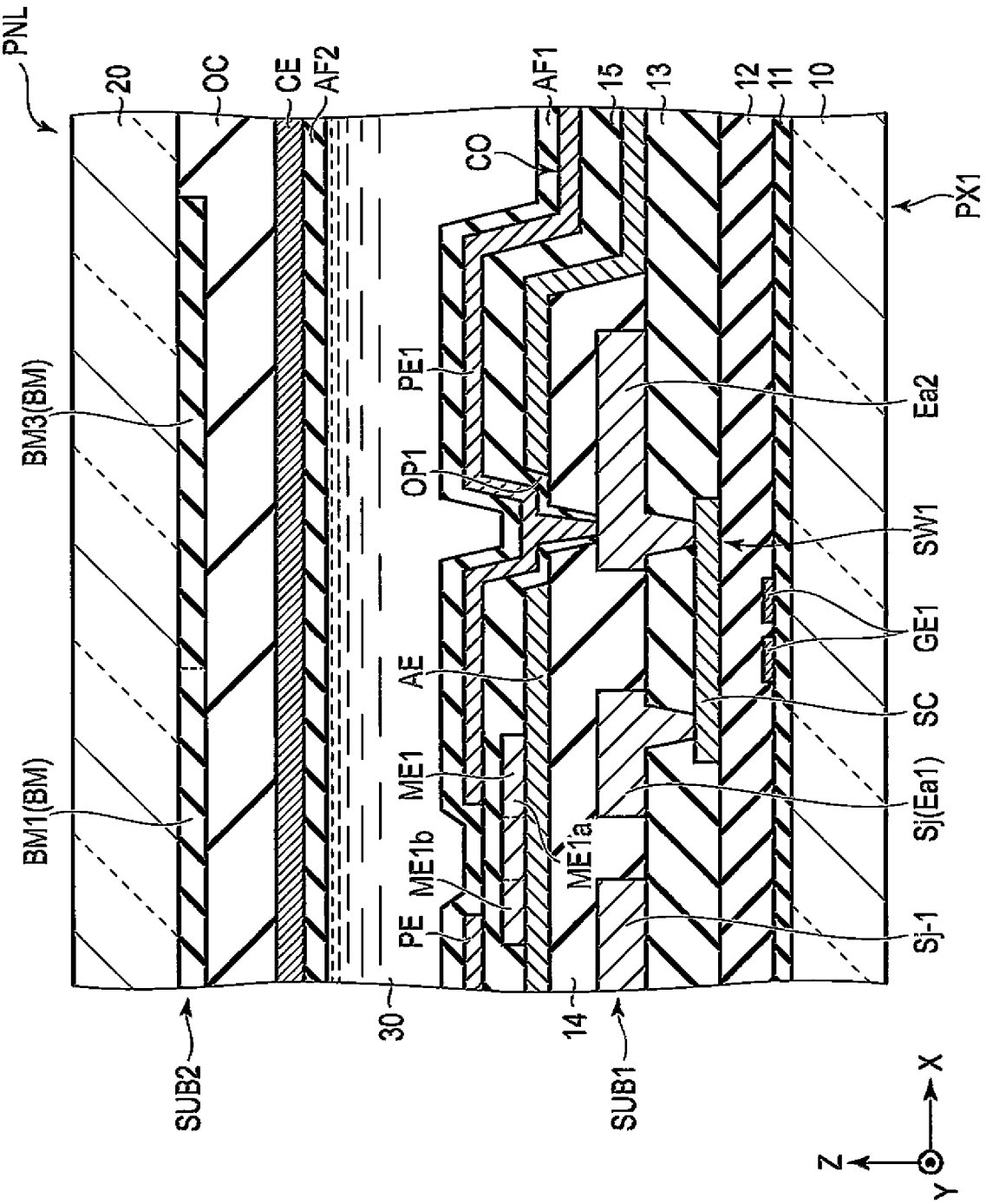
[図19]


Vsync
Hsync
DE
R_DATA
G_DATA
B_DATA
S1-Sm
G1
G2
Gn
LSR
LSG
LSB
Pf
NRA1
RA
NRA2
R
B
G
PsfR
Pr
Pd
PsfB
PhB
PdB
PsfG
PhG
PdG
PsfR
PhR
PdR
Pm

[図20]


X
Y
Sj-1
Sj
PX1
Sj+1
Sj+2
G
LI
LC
LI
LC
LI
AE
PE1
SC
GE1
Ea2
Ea1
OP1
W2
W1
L2
L1
Gi
LI2
LM
LI
LC1
D1
LN
LM
LN
LC2
LN
LI1

[図21]


PNL
20
OC
CE
AF2
AF1
15
13
12
11
10
CO
PX1
BM3(BM)
PE1
Ea2
OP1
SW1
GE1
AE
SC
BM1(BM)
ME1
Sj(Ea1)
ME1b
ME1a
PE
Sj-1
SUB2
30
14
SUB1
X
Z
Y

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/044443

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. G02F1/1343(2006.01)i, G02F1/133(2006.01)i, G02F1/1334(2006.01)i, G02F1/13357(2006.01)i, G02F1/1368(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. G02F1/1343, G02F1/133, G02F1/1334, G02F1/13357, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 58-21784 A (TOSHIBA CORPORATION) 08 February 1983, page 3, upper right column, line 13 to page 4, lower left column, line 6, fig. 4 (Family: none)	1, 2, 4-6, 12, 13
A		3, 7-11, 14-20
Y	JP 2011-81245 A (SEIKO EPSON CORPORATION) 21 April 2011, paragraph [0120] & US 2011/0085095 A1, paragraph [0148]	1, 2, 4-6, 12, 13
A		3, 7-11, 14-20

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 19.12.2019	Date of mailing of the international search report 07.01.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/044443

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-110019 A (RICOH CO., LTD.) 11 April 2003, paragraphs [0030]-[0033], fig. 3 (Family: none)	6
Y	JP 2004-519719 A (KONINKLIJKE PHILIPS ELECTRONICS N. V.) 02 July 2004, paragraphs [0012]-[0018], fig. 1-4 & US 2002/0130614 A1, paragraphs [0018]-[0024], fig. 1-4 & CN 1457450 A & ES 2587906 T	13
X A	JP 6-194690 A (HITACHI, LTD.) 15 July 1994, paragraphs [0019]-[0051], fig. 1-8 & US 2001/0033346 A1, paragraphs [0032]-[0065], fig. 1-8	13, 14 1-12, 15-20

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０４４４４３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/1343(2006.01)i, G02F1/133(2006.01)i, G02F1/1334(2006.01)i, G02F1/13357(2006.01)i, G02F1/1368(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/1343, G02F1/133, G02F1/1334, G02F1/13357, G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 58-21784 A（株式会社東芝）1983.02.08, 第３頁右上欄第１３行－第４頁左下欄第６行、第４図（ファミリーなし）	1,2,4-6,12,13
A		3,7-11,14-20
Y	JP 2011-81245 A（セイコーエプソン株式会社）2011.04.21, ［０１２０］& US 2011/0085095 A1 [0148]	1,2,4-6,12,13
A		3,7-11,14-20

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１９．１２．２０１９	０７．０１．２０２０

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｌ　３８１２
廣田　かおり
電話番号　０３－３５８１－１１０１　内線　３２９５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ｙ	JP 2003-110019 A（株式会社リコー）2003.04.11,［００３０］－［００３３］[図３]（ファミリーなし）	6
Ｙ	JP 2004-519719 A（コーニンクレッカ　フィリップス　エレクトロニクス　エヌ　ヴィ）2004.07.02,［００１２］－［００１８］[図１]－[図４] & US 2002/0130614 A1 [0018]-[0024][FIG.1]-[FIG.4] & CN 1457450 A & ES 2587906 T	13
Ｘ Ａ	JP 6-194690 A（株式会社日立製作所）1994.07.15,［００１９］－［００５１］[図１]-[図８] & US 2001/0033346 A1[0032]-[0065][FIG.1]-[FIG.8]	13,14 1-12,15-20