



[12] 发明专利申请公开说明书

[21] 申请号 02140141.1

[43] 公开日 2003 年 10 月 8 日

[11] 公开号 CN 1447600A

[22] 申请日 1995.3.15 [21] 申请号 02140141.1

[28] 分案原申请号 95193702.2

[30] 优先权

[32] 1994.4.22 [33] US [31] 232794

[71] 申请人 汤姆森消费电子有限公司

地址 美国印第安纳州

[72] 发明人 格雷戈里·G·坦莫尔

迈克尔·S·戴斯 约翰·W·钱尼

詹姆斯·E·黑利

[74] 专利代理机构 北京市柳沈律师事务所

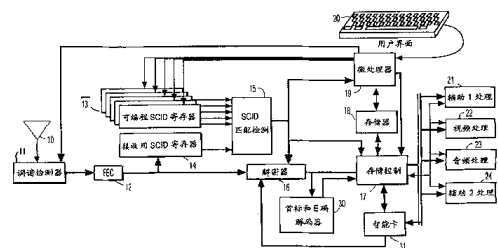
代理人 马莹 邵亚丽

权利要求书 2 页 说明书 17 页 附图 7 页

[54] 发明名称 条件访问信息的装置

[57] 摘要

一种用于处理数据包传输流的方法和设备，其判定是否以适当的顺序接收传输数据包序列，并判定在特定传输数据包中是否存在差错。该方法包括下列步骤：确定一数据包标识符，该标识符用于标识与所选节目相关的传输数据包，及分析数据包传输流，以根据该数据包标识符识别并获取所需传输数据包序列。该方法还包括下列步骤：检测计数器部分，响应计数器部分，判定是否已接收了所需传输数据包序列，检测一个一比特触发部分，响应该一比特触发部分，判定在相关传输数据包中是否存在差错。还公开了实施该方法的设备。



1、一种处理数据包传输流的方法，包括下列步骤：

接收包括多个传输数据包的数据包传输流；

- 5 确定数据包标识符，该标识符用于标识与所选节目相关的传输数据包；
 分析数据包传输流，以根据该数据包标识符识别并获取所需传输数据包序列；

 在每个传输数据包中，检测计数器部分的存在，该计数器部分提供表示相关传输数据包的序列排序的计数信息，计数器部分包括具有预定比特数的
10 字段，其随着传输数据包序列中的每个连续传输数据包按顺序递增，并在与预定比特数相关的最大值之后环绕零值；

 响应与所接收传输数据包序列相关的计数器部分的序列，判定是否已接收了所需传输数据包序列；

 在每个传输数据包中，检测一个提供表示相关传输数据包中差错的信息
15 的一比特触发部分的存在；以及

 响应所述一比特触发部分，判定在相关传输数据包中是否存在差错。

2、一种处理数据包传输流的设备，包括：

接收包括多个传输数据包的数据包传输流的信号输入端；

 寄存器，响应选择特定传输流的用户命令，接收和存储所选数据包标识
20 符；

 比较器，用于比较在信号输入端接收的传输数据包中包括的数据包标识符与所选数据包标识符，并选择传输数据包序列，其中所选序列中的每个传输数据包包括对应于所选数据包标识符的数据包标识符；

 检测器，用于在每个所选传输数据包中，检查计数器部分，该计数器部
25 分提供表示相关传输数据包的序列排序的计数信息，计数器部分包括具有预定比特数的字段，其随着传输数据包序列中的每个连续传输数据包按顺序递增，并在与预定比特数相关的最大值之后环绕零值，以及响应与所选传输数据包序列相关的计数器部分的序列，判定是否已接收了所需传输数据包序列，差错检测器还在每个所选传输数据包中，检查一个提供表示相关传输数
30 据包中差错的信息的一比特触发部分并响应所述一比特触发部分，判定在相

关传输数据包中是否存在差错；以及
信号处理器，用于处理所选传输数据包序列，以产生输出信号。

条件访问信息的装置

5 本申请是申请号为 95193702.2-3、申请日为 1995 年 3 月 15 日的发明专利申请的分案申请。

技术领域

本发明涉及处理来自一个视频信号数据包的节目组元数据包的一种装置，特别地涉及检测用户为赋权信息条件地访问数据包有效负载的电路。

10

背景技术

从例如美国专利第 5,168,356 号和美国专利第 5,289,276 号的文件中得知，以数据包的形式传输压缩的视频信号、并对各个数据包提供差错保护/校正的措施是非常有利的。前述专利中的系统传输和处理来自各个传输频道的单个电视节目，尽管是和多个节目组元一起。这些系统利用逆传送处理器
15 提取各个节目的视频信号组元，用来进一步处理以设置用于再现的视频组元。

从例如由英国快捷电视发行的一本关于卫星的书《卫星电视理论和实践大全》(The Satellite Book, A Complete Guide to Satellite TV Theory and Practice , Swift Television Publication, 17 Pittsfield, Cricklade, Wilts England)
20 获知，利用信号加扰技术能把传送电视信号的接收限制在特定的用户上。这种限制依广播者的意愿可以利用周期性地传送不同的赋权数据而改变。这种赋权数据可由一种智能卡来处理，这种智能卡放置在各个接收机上，以便产生解密或解扰的密钥。解密或解扰密钥只在那些有权重现相应节目内容的接收机的解密或解扰设备中使用。在前面提到的这种类型的数据包传输的视频
25 系统中，赋权数据可包含在特定数据包中，这种特定数据包可被识别为含有可以被智能卡电路容易访问的数据。

一个大范围的广播系统，如一个面向北美的直播卫星系统，拥有大量的用户。这个数量如此之大以致妨碍在很短时间内改变特定接收机的赋权数据。例如，考虑一下，假定运动比赛的门票卖不出去时，一个广播电台被要
30 求屏蔽运动场附近的一个区域，这个信息在赛事发生以前是不提供的。当然

在作出屏蔽本地区的决定前，广播电台希望等待到最后可能的一个分钟。本发明提供了一种方法和装置，借助对赋权数据分层以提供在短时间内拒绝给予接收节目内容的权利。

发明内容

5 本发明是一种分层赋权数据的传送或接收的系统和方法。一个接收机实施例包括一个数据包传输处理器，用来挑选具有有效负载的数据包，有效负载包括一个条件访问的有效负载的首标和一个用于赋权数据的有效负载的保留部分。每个有效负载首标包括以一种方式编码的字节组，该方式允许或不允许各个接收机处理赋权数据。一个以一个用户特定条件访问码字预编程的
10 条件访问滤波器检查条件访问首标的各个字节组是否与用户特定条件访问码字相匹配。只有当发生匹配时，处理器才允许处理赋权数据。

按照本发明的一种传输包含赋权管理和控制数据的条件访问信息的方法，包括下列步骤：形成多个 N 字节条件访问码；形成一个特定的预定逻辑状态的 N 字节码；把 M 个不同的 N 字节条件访问码连接在一起，这里 M
15 和 N 是大于 1 的整数；挑选所述的 N 字节条件访问码中的一个或一个所述特定的 N 字节码；形成一个有效负载，它包含 a)所述的 N 字节条件访问码中所述选择的一个或所述的特定的 N 字节码，b)把挑选的码与所述的 M 个不同的 N 字节条件访问码连接在一起，和 c)把已连接的码和所述的赋权管理和控制数据连接在一起；以及形成一个传送数据包，它含有 a)一个标记传
20 送数据包包含赋权数据的首标，和 b)所述的有效负载。

按照本发明的在一个数据包信号接收机中用于处理一数据包信号的装置，这个数据包信号包含包括在信号数据包中的赋权数据，这些信号数据包具有一个标记这样的数据包包含赋权数据的首标，并且具有一个含有所述的赋权数据还包括 M 个已连接的 N 字节条件访问码的有效负载，M 和 N 是大于
25 1 的整数，所述装置包括：施加所述的数据包信号的装置；一个传送处理器，根据所述的数据包信号识别包含赋权数据的信号数据包，并从识别的数据包中提取赋权数据有效负载；一个赋权数据处理器；和一个条件访问滤波器，用于在独特的 N 字节数据组内检查条件访问码的赋权数据有效负载，当对一个条件访问码检查失败时，禁止所述的赋权数据处理器接收被提取的
30 赋权数据有效负载。

附图说明

结合附图描述本发明，其中：

图 1 是复合电视信号数据包的时间分配的图形表示。

图 2 是各个信号数据包的图形表示。

图 3 是实现本发明的一个接收机的方框图，该接收机用来选择和处理复
5 合成成分信号数据包。

图 4 是一个条件访问滤波或起始码检测器的方框图。

图 5 是一个条件访问滤波器操作的流程图。

图 6 是另一个条件访问滤波器的方框图。

图 7 是一个示范的存储管理电路的方框图，这个电路可用于图 3 中的单
10 元 17。

图 8 是显示形成服务通道数据的存储地址的图形表示。

图 9 是存储地址控制操作的流程图。

具体实施方式

图 1 显示了由一串小方块表示的信号数据包流，这些方块代表包含众多
15 个不同电视或交互电视节目的组元的信号数据包。假设这些节目组元采取压
缩数据的形式并且象这样的各个图象的视频数据的数量是可变的。这些数据
包的长度是固定的。具有如标注之类字符的数据包代表单一节目的组元。例
如， V_i ， A_i ， D_i 代表视频、音频和数据包，并且指定为 V_1 、 A_1 、 D_1 的数据
20 包代表 1 号节目的视频、音频和数据组元， V_3 、 A_{31} 、 A_{32} ， D_3 代表 3 号节目
的视频、第一音频、第二音频和数据组元、数据包 D_i 可以包含例如控制数
据以初始化接收机的特定工作，或者它们可以包含执行码，它形成由位于接
收机内或者与接收机相关的一个微处理器执行的一个应用。

在该数据包串的上行内，一个特定节目各个组元成组显示。然而，没有
必要把来自同一节目的数据包组成如整个数据包串所表示的那样，对各个组
25 元的出现顺序也没有任何特定的顺序要求。

各个数据包可按包括一个前缀和一个有效负载进行排列，如图 2 所示。
这个例子的前缀包括两个 8 位的字节，它由五个区域组成，其中四个(P, BB,
CF, CS)是 1 位区域，另一个区域(SCID)是一个 12 位区域。SCID 区域是信
号组元识别区。区域 CF 包含一个标志用来指示数据包的有效负载是否被加
30 扰，区域 CS 包含一个标志用来指示两个可供选择的解扰密匙的那一个被用
来对加扰数据包进行解扰。每个数据包的前缀按数据包排列的，因此各个区

域的位置可以容易地识别出来。

每一个有效负载中包含有一个首标，这个首标包含一个连续数，CC，模数 16，和一个针对节目组元的 TOGGLE 标志位。连续数只是相同节目组元的一串列数据包的连续标号。TOGGLE 标志位是一个 1 位信号，这个信号
5 改变其逻辑电平来标明在一个 MPEG 压缩视频组元中一个图象层的起始码的出现。

图 3 以方框图形式显示一个包括一个逆传输接收处理器单元的数字电视信号接收机的一个部分。信号由天线 10 检测到，并加到调谐检测器 11 上，它从接收到的信号中提取出一个特定的频带并以二进制格式提供基带压缩
10 信号。频带由使用者利用惯常的方法通过一个微处理器 19 来挑选。常规广播数字信号已被差错编码，如采用 Reed-Solomon 前向差错校正(FEC)编码。然后基带信号被应用到一个 FEC 解码器 12 上。FEC 解码器 12 与接收到的视频信号同步并提供如图 1 所示类型的一个差错校正的信号数据包流。FEC12 可以提供常规间隔的数据包，或者根据例如存储控制器 17 的要求提供。
15 在每种情况下，一个数据包成帧信号或同步信号是由 FEC 电路提供的，它表示由 FEC12 传送的各个数据包信息的时间。

检测到的频带可以包含在数据包结构中的多个时分多路节目。实际使用时，只有来自单个节目的数据包才可以传到下一步的电路单元中，在这个例子中，假定使用者不知选择哪个数据包。这个信息包含在一个节目导引中，
20 它本身就是由通过 SCID 与节目信号组元相关联数据组成的一个节目，并且可以包括，例如与用户标识有关的信息。对于每个节目来说，节目导引是用于各个节目的音频、视频和数据等组元的 SCID 的列表。节目导引(图 1 中的数据包 D4)被指定为一个固定的 SCID。当电源加到接收机上时，微处理器 19 执行程序来将与节目导引相联系的 SCID 装载入一阵列相同的可编程
25 SCID 寄存器 13 中的一个。来自 FEC12 的各个被检测到的信号数据包前缀部分的 SCID 区域依次地被装载到一个后续 SCID 寄存器 14 中。可编程寄存器和接收 SCID 的寄存器连接到一个比较电路 15 的各个输入端，并将接收到的 SCID 与节目导引 SCID 进行比较。如果一个数据包 SCID 与节目导引 SCID 相匹配，比较器 15 使存储控制器 17 发送那个数据包到存储器 18
30 中一个预定的位置以供微处理器使用。如果接收到的 SCID 不与节目导引 SCID 相匹配，对应的数据包就被简单地抛弃掉。

微处理器等待通过界面 20 的用户的编程命令。界面 20 在图中表示为一个计算机键盘,但是它也可能是通常的摇控器,或者是接收机前面板的开关。用户可以请求观看由通道 4 提供的节目(在模拟电视系统的术语中),微处理器 19 被编程以对装载在存储器 18 中的用于通道 4 节目组元的各个 SCID 节目 5 目录表进行扫描;并把这些 SCID 装载到一阵列寄存器 13 中对应各个可编程寄存器中,这些寄存器 13 与相应的组元信号处理路径有关。

接受到的含有音频、视频和数据节目组元的数据包,为了一个所期望的节目,必须最后分别发送到相应音频 23、视频 22、或辅助数据 21、24 信号 10 处理器。数据以相对不变的速率被接收,但是信号处理器常要求以脉冲串形式输入数据(例如根据各个解压缩的类型)。图 3 的示例系统中,首先把各个数据包发送到共用存储器 18 中的预定的存储位置上,此后,各个处理器 21-24 请求处理来自存储器 18 的组元数据包。经共用存储器传送组元提供了对所期望的信号数据速率缓冲或限制的方法。

音频、视频和数据包被装载进各个预定的存储器位置上,以使得信号处 15 理器方便地以缓冲方式访问组元数据。为了使各个组元数据包的有效负载被装载在一个适当的存储器区域,各个 SCID 比较器应与这些存储器区域相联。这种联系可以在存储器控制器 17 中硬件实现,或者可以编程实现的。如果是前一种,可编程寄存器组 13 中特定几个总是分别指派给音频、视频和数据 SCID。如果是后一种,音频、视频和数据 SCID 可以被装载到可编程寄 20 存器组 13 中的任几个。当各个 SCID 被装载到可编程寄存器中时,合适的联系将在存储器控制器 17 中将通过编程实现。

在稳定的状态下,当节目 SCID 被储存在可编程寄存器组 13 内后,接收到信号数据包 SCID 与所有可编程 SCID 寄存器中的 SCID 比较。如果发现与储存的音频、视频和数据 SCID 中的任何一个相匹配,那么相应数据 25 包的有效负载将分别被储存在音频、视频或数据存储区域或数据块内。

各个信号数据包通过信号解密器 16 从 FEC12 传送到存储器控制器 17。只有信号的有效负载被加扰,并且数据包的首标部分没有变化地通过解密器。一个数据包是否被解扰由数据包的前缀中的 CF 标志来决定,这个数据包如何被解扰(两种可供选择的解扰密匙中的一种)则由 CS 标志来决定。如 30 果对各个数据包没有 SCID 匹配,解密器简单地对通过的任何数据不起作用。

解密器是根据由智能卡装置 31 提供的解密密匙进行编程的。智能卡对

包含在节目导引中的特定数据包中赋权信息响应以产生适当的解密密钥。本实例的系统采用了两级的赋权或节目访问，赋权控制信息 ECM 和赋权管理信息 EMM。节目的赋权控制和管理信息常以数据包形式传输，这些数据包可由包含在由节目导引组成数据包流中具体的 SCID 识别出来。包含在这些数据包中 ECM 信息被智能卡用来产生供解密器使用的解密密钥。包含在这些数据包中的 EMM 信息被用户指定智能卡使用来确定该用户有权访问的节目内容。在这些数据包内 EMM 赋权信息可以按地理位置指定、分组指定、或者用户指定。例如，本系统包括了一个调制解调器(未示出)，用于从智能卡到节目提供者如卫星广播电台进行帐目信息的通讯。智能卡可以依照，例如，地区码和接收机位置的电话交换码进行编程。EMM 可以包括这样的数据，即当它被智能卡处理时，它可以在特定的地区码内对特别的节目赋与或剥夺接收的权利。

节目提供者可以要求有给与某些用户非常短的导引时间的权利，如每观看一次付一次费的节目。直到特别节目被播出时的很短时间之前，可以不提供具体用户的识别信息。在如此短的导引时间内依照用户的情况来对 EMM 进行编程可能不行。一个进一步的编码层可以通过包含一个在各个数据包中的 EMM 和 ECM 数据的允许/禁止接收指定的条件访问码而即时加入赋权信息中，因而基本上允许对某些节目进行瞬时允许或禁止接收。

含有 EMM 和 ECM 赋权数据的数据包有效负载包括一个 128 位的有效负载首标，这 128 位被排列成特定编码的 4 个 32 位的组。每个组均以一个条件访问码编码，并且可以不相同地编码每个条件访问码。为每个用户指定了一个特定的条件访问码。一个匹配滤波器或 E 码解码器 30，被用于检测一个在 128 位首标内用户特定的位模式，如果发现是匹配的，解码器与存储器控制器 17 和智能卡 31 进行通讯使得赋权有效负载的剩余部分提供给智能卡(通过存储器 18)。如果没有检测到匹配，有效负载就不被特定的接收机接受，如果匹配滤波器 30 可被编程，条件访问码可以周期性地变化。这些码可以周期性地由智能卡提供，涉及收视者权利的智能卡的操作的更详尽的资料，请读者翻阅《卫星手册—卫星电视理论和实践大全》的第 25 节。

匹配过滤器或 E 码解码器用于执行第二个功能，即检测特定 MPEG 视频首标。这些首标是 32 位的起始码(正是赋权有效负载的首标被编码成 32 位的组的理由)。如果视频数据丢失了，一个 MPEG 视频解码器只能在特别

的数据入口点重新起动解压缩视频数据，这些入口点与 MPEG 起始码相一致。解码器可以用于与存储器控制器 17 进行通讯以禁止在视频数据包丢失后视频数据流入存储器，并且只有当下一个 MPEG 起始码被解码器 30 检测到后才重新开始把视频有效负载写入存储器。

5 图 4 显示了一个检测含条件访问信息或 MPEG 起始码的数据包的示例装置 (图 3 的解码器 30)。解码器 30 是否被设置以检测赋权有效负载或 MPEG 起始码是由当前接收的 SCID 决定。在图 4 中，假定由解密器 16 提供的

10 数据是 8 位字节的和按数据包排列。也就是说，一个赋权有效负载的第一个字节或一个 MPEG 起始码的第一个字节依照特殊的字节位置例如一个数据包的有效负载的开始，精确地排列起来，这样以用于检测特定的首标或起始的码字，它们在位流或字节流中的位置是精确已知的。来自解密器 16

15 的数据供应给一个 8 位寄存器 250，寄存器 250 有一个 8 位并行输出端，该输出端连接到比较器 254 的各个第一输入连续端，比较器 254 可以由例如八个一组的双输入“同”门(XNOR)电路构成，这种 XNOR 电路的各个输出连接端与一个“与”(AND)门和一个锁存器连接，锁存器是一种数据锁存器，用于

在每个字节间隔内锁存“与”门的输出。

一个 32 位 MPEG 起始码在一个 8 位寄存器阵列 265 内以四个字节方式储存。条件访问码以 8 位字节方式储存在 16 个 8 位寄存器 251 的阵列内。寄存器阵列 251 和 265 的装载由微处理器 19 和/或由智能卡控制。含起始码

20 的寄存器 265 与一个 4 出 1 的多路器 266 连接，含条件访问码的寄存器与一个 16 出 1 的多路器 257 连接，多路器 257 和 266 的输出端口与一个 2 出 1 的多路器 249 连接。多路器 249 的各个输出连接端与比较器 254 的各个对应的第二输入端口相连接。(注意多路器 249，257 和 266 的输入和输出连接端是 8 位数据总线)，如果在寄存器 250 的各个输出连接端呈现的各个数值与

25 对应的多路器 249 的各个输出连接端呈现的输出数值相同，由比较器 254 电路产生一个“真”信号与该数据字节相对应。

为检测起始码，多路器 266 由计数器 258 扫描，与首先出现的来自解密器 16 的四个有效负载的数据的字节同步，以依次地把四个不同的寄存器 256 与比较器连接。另外，为了检测条件访问码，多路器 257 由计数器 258 扫描，

30 依次地把寄存器 265 中的不同数据与比较器电路 254 连接。

比较器电路的输出供应给一个累计和测试电路 255。电路 255 确定是否

出现任何一预定数目的字节的匹配情况。如果它们出现，就产生一个用于被检测的特殊的有效负载的其余部分中的赋权数据的写使能信号。在本系统中，赋权有效负载的首标包含排列为4个32位条件访问码的128位。不同用户的条件访问滤波器30被用于寻找128位的字节不同组合。例如，一个用户装置可以被用于与条件访问码的第一个四字节相匹配。另一个用户装置可以被用于与条件访问码的第二个四字节相匹配，如此等等。在任何一种这些示例情况中，电路255将确定适当四个连续字节的一个匹配是否出现。

一个用户特定条件访问码放置在16个为一阵列的寄存器中可以稍微简化电路结构。由于每个用户有一个四字节的条件访问码，这个码在16个为一套的寄存器中可装载四次。在一个发射机上，对于四个字节的四个组，电台并不需要关心被发射的条件访问码相关的位置。另一个安排是仅采用四个寄存器的单个组来保存用户特定条件访问码，这4个一组的寄存器通过128位的赋权有效负载的首标被重复地扫描。

对于每一个功能，传输 2^{32} 个可能的赋权码的每一个是不实际的，因为这将会限制其它服务的带宽，同时也将花费大量时间。这种限制可以根据一些逻辑分组方法排列条件访问码或多或少地减轻一些。其中，分组可由各个每四字节条件访问码的三个字节来定义。在这种方法中，在一个组中的所有用户通过设置该组的各个接收机忽略掉四字节条件访问码的一个字节来寻址。这样每一个四字节访问码将代表256个用户。滤波器的设置通过发送第一个四字节位置上的全部零和安排条件访问滤波器检测这个条件来实现。如果这个条件得到满足，条件访问滤波器在电路上被重新构造以检测各个四字节组的仅三个字节的匹配。

提供的第三个方案是允许所有用户的条件访问。这通过对赋权有效负载的首标进行编码如全部置零(或全部置1)来实现。因此，条件访问滤波器被安排成还包括一个全部零的检测器(单元261-263)。

数据的各个传送的字节的位与八位“或”门(OR)263的各个终端相连接。只要有一位是逻辑“1”，“或”门(OR)263就产生一个逻辑“1”输出。“或”门263的输出与一个双输入的“或”门262的其中一个的输入连接，“或”门262的输出和另一个输入分别与D型锁存器261的数据输入和Q输出端连接。D型锁存器的时钟输入由定时电路259提供，该定时脉冲与传送来的输入数据字节同步。如果在锁存器被复位之后出现任何数据字节中的任何位为逻辑“1”，

锁存器 261 在它的 Q 输出上将显示逻辑“1”直到下一个复位脉冲为止。锁存器 261 的 Q 输出与一个“非”门连接，当锁存器显示一个 1 的输出电平时“非”门显示 0 的输出电平。因此，如果在首标的 128 位(16 字节)通过寄存器 250 之后，“非”门的输出是高电平，那么这 128 位是 0 值。锁存器在每个新的有效负载接收前被复位。响应在赋权有效负载的首标通过之后探测到来自“非”门的一个高的输出电平，电路 255 将产生一个数据的写使能信号。

图 5 是条件访问滤波器 30 操作的流程图，这个过程是从相关的 SCID 的检测开始。一旦适当的 SCID 被检测到，有效负载被加载到滤波器 30{300}。并对首标的第一个四字节与用户特定条件访问码进行比较 {302}。如果是匹配的，就产生一个赋权数据的写使能 {310}。如果是不匹配的，检查第一个四字节是否全 0 {306}。如果并没有检测到全部为 0，首标的第二个四字节与用户特定条件访问码比较 {308}。如果是匹配的 {312}，就产生一个写使能 {310}。如果不匹配，第三个四字节与用户特定条件访问码比较 {314}。如果是匹配的 {316}，产生一个写使能 {310}。如果不匹配，第四个四字节与用户特定条件访问码比较 {317}。如果是匹配的 {318}，产生一个写使能 {310}，如果不匹配，检查首标的最后 12 字节是否全为 0 {320}，如果在最后 12 字节中检测到全为 0，产生一个写使能 {310}，如果不全为 0，就不产生一个写使能，过程就等待下一个数据包的到来 {300}。在另一个方案中，在 {320} 这一步，系统可以被编程来寻找在首标中所有 16 字节的所有的 0，这样应该认识到还可使用其它一些不是全为 0 的固定模式，例如全部为 1 或 0 和 1 交替变化的模式。

在步骤 {306} 中，如果第一个四字节全为 0，首标的第二个四字节的三个字节与用户特定条件访问码比较 {354}。在图 4 的装置中，这可以由安排单元 255 来完成为独特的四字节组寻找三个匹配。如果四个字节的三个是匹配的 {326}，就产生一个写使能 {322}，如果不匹配，首标的第三个四字节组的三个与用户特定条件访问码比较 {330}，如果四个字节中的三个是匹配的 {332}，产生一个写使能 {322}，如果不匹配，最后四字节中的三个与用户特定条件访问码比较 {336}，如果是匹配的，产生一个写使能 {322}，如果不匹配，检查所有的零条件 {320}。

注意到可以采用类似于步骤 {324-340} 的更高级的检测，其中各个四字节组中只有二个是匹配的。这个可以通过安排例如第一个八字节全为 0

或第一个字节全为 0 来设置。这样，各个对应条件访问码的组变得比较大。

考虑把赋权有效负载储存在存储器 18 中，当接收和检查条件访问码时，系统把有效负载首标写入存储器。如果一个条件访问码被检测到，一个被检测到的写使能简单地允许存储器控制继续写有效负载。相反地，如果条件访问码在有效负载的第一个 16 字节内没有被检测到，有效负载的剩余部分就不写入存储器，一个条件访问有效负载的存储器地址被重置以重写有效负载的条件访问首标的 16 字节。

图 6 是另一个条件访问滤波器，它同时可比较多达 32 位(4 字节)，这就允许对起始码的检测而不需要预先知道起始的字节位置，起始码储存在 8 位寄存器 265 中。(使用 8 位寄存器是因为使用了一个 8 位的微处理器数据总线)。寄存器的输出端口与多路器 298 的第一组输入连接。用户特定条件访问码储存在第二个寄存器阵列 299 中，它的各自的输出端口与多路器 298 的第二组输入连接。多路器 298 的一组输出与比较器 270—273 的各自的第一个 8 位输入端口相连接。寄存器 265 或 299 的输出端口是否与比较器连接均由累计和测试电路 297 对微处理器的响应来控制。

来自解密器 16 的输入字节与并行或串行寄存器 274—277 相连接。各个寄存器 274—277 有分别与比较器 270—273 的第二个 8 位输入端口相连接的输出并口。系统被定时以使当前输入信号的四个连续字节装载进寄存器 274—277。比较器的输出端与累计和测试电路 297 通过的“或”门 278—281 连接起来。“或”门电路的第二个输入端与累计和测试电路 297 的各个的控制输出连接端相连接。

正如在图 4 的装置中，图 6 的装置包括一个全零检测器 261—263 用来检测在第一个四字节和所有的十六字节中的所有的零。

对于四字节条件访问码的检测，依次的独特的四字节组被装载进寄存器 274—277 中，并与寄存器 299 中的用户特定条件访问码对照进行测试。如果所有四个比较器检测到一个匹配，“与”门 283 产生一个逻辑“1”表示匹配。如果比较器中的任一个没有检测到一匹配，“与”门产生一个逻辑“0”。对于四个输入字节的条件访问码组中的三个的检测，累计和测试电路 297 把一个逻辑“1”值施加到与“或”门连接的控制线中的一个。这就迫使“或”门的输出是逻辑“1”，有效地迫使来自相关联的比较器的匹配。就四个字节检测来说，对依次的独特的四字节组就完成了条件访问码的检测。

对于起始码的检测，所有“或”门的控制线保持逻辑“0”。输入字节依次地施加到以级联方式连接的寄存器 274—277 上。与储存寄存器 265 中的起始码的匹配测试对每套依次的四输入字节进行。

图 7 显示了如图 3 所示的存储器控制器 17 的示范装置。每一个节目组元储存在存储器 18 的不同的相邻的数据块中。另外其它数据，象微处理器 19 或智能卡(未示出)产生的数据，也可以储存在存储器 18 中。

地址通过多路器 105 施加到存储器 18 上，输入数据通过多路器 99 施加到存储器 18 上。来自存储器管理电路的输出数据通过另一个多路器 104 提供给信号处理器。由多路器 104 提供的输出数据可以通过微处理器 19、存储器 18、或直接地从多路器 99 得到。节目数据假定具有标准的图形分辨率和质量，并以特别的数据速率出现。另一方面，高清晰度 HDTV 的电视信号，以显著高数据率出现，它也可以由这个接收机提供。实用上，由 FEC 提供的所有数据经由多路器 99 和存储器 I/O 电路 102 到达存储器 18，除了高速率的 HDTV 信号可以直接从多路器 99 到达多路器 104。来自于解密器 16、智能卡电路、微处理器 19 和媒介差错码源 100 的数据提供给多路器 99。使用在这里的术语“媒介差错码”意思是指插入数据流中的特别码字，用于限制各个信号处理器(解压缩器)暂停处理过程直到检测到一个预定的码字，如一个起始码，然后根据例如起始码恢复处理过程。

来自节目寻址电路 79—97、来自微处理器 19、来自智能卡装置 31 和来自辅助数据包地址计数器 78 的存储器地址提供给多路器 105。在任何特定的时间间隔内对特定地址的选择是由一个直接存储器访问 DMA 电路 98 来控制的。来自比较器 15 的 SCID 控制信号和来自各个信号处理器的“所需数据”信号被施加到 DMA 98，对此响应，对存储器访问的竞争进行仲裁。DMA 98 与一个服务指针控制器 93 合作为各个节目的信号组元提供适当的读或写地址。

各种信号组元的存储器数据块的每一个地址由节目组元的四个组或服务指针寄存器 83，87，88 和 92 产生。各个存储器数据块的起始指针包含在各个信号组元的寄存器 87 中，这些存储器数据块是储存各个信号组元用的。起始指针可以是一个固定值，或者它们可以通过微处理器 19 中的普通的存储器管理方法计算出来。

各个数据块最后一个地址的指针被储存在服务寄存器的阵列 88 中，每

个寄存器对应每个可能的节目组元。与起始地址相似，最终或最后的地址可以是固定值，或者它们也可以是微处理器 19 提供的计算值。对于起始指针和结束指针使用计算值是更可取的，因为这样提供了具有较小存储器的更通用的系统。

- 5 存储器写指针或首指针是通加法器 80 和服务首寄存器 83 产生的。对于每一个潜在的节目组元都有一个服务首寄存器。一个写或首指针的值储存在寄存器 83 内，并且在一个存储器写周期中提供给寻址多路器 105。首指针还与加法器 80 连接，其中首指针每次增加一个单位，增加的指针储存在相应的寄存器 83 中为下一个写周期所用。寄存器 83 被服务指针控制器 93 挑
- 10 选出来，用于当前服务的相应节目组元。

- 在这个实例中，假定起始和结束指针都是 16 位指针。寄存器 83 提供 16 位写或首指针。选择 16 位指针有利于在寄存器 87 和 88 中装载开始和结束指针使用 16 位或 8 位数据总线。另一方面，存储器 18 有 18 位的地址。18 位写地址是由两位起始指针的最高有效位和 16 位首指针连在一起形成的，起始指针的位在组合的 18 位写地址的最高有效位位置上。起始指针被
- 15 各个的寄存器 87 提供给服务指针控制器 93。服务指针控制器从储存在寄存器 87 中的起始指针中分析出起始指针的较高有效位，而且把这些位与 16 位的首指针数据总线连在一起。这种情形是通过数据总线 96 表示出来的，数据总线 96 与从多路器 85 中出来的首指针数据总线结合在一起，在图 8 中是用
- 20 黑体箭头表示。

在图 8 中，上排、中排、下排的盒子分别表示一个起始指针、一个地址和一个首或尾指针的位。数值较大的盒子表示较高有效位置的位。箭头指出从表示的起始指针或首/尾指针的位的位置得出各个地址的位，其中，黑体箭头表示稳定状态的操作。

- 25 类似地，存储器读指针或尾指针可由加法器 79 和服务尾寄存器 92 产生。对于每个潜在的节目组元有一个服务尾寄存器。一个读或尾指针的值被储存在寄存器 92 中，并且在一个存储器读周期中提供给寻址多路器 105。尾指针也与加法器 79 连接，其中，尾指针每次增加一个单位，增加的指针储存在合适的寄存器 92 中为下一个读周期所用。寄存器 92 由服务指针控制器
- 30 93 挑选，用于当前服务的相应节目组元。

寄存器 92 提供 16 位尾指针。18 位读地址是通过起始指针的两个最高

有效位和尾指针的十六个位连接在一起形成的，起始指针的位处于组合的 18 位写地址中最高有效位的位置上。服务指针控制器可以从储存在寄存器 87 中的起始指针中分析出起始指针的较高有效位，并把这些位与 16 位尾指针数据总线联在一起。这种情形是通过数据总线 94 表示出来的，数据总线 5 94 与从多路器 90 中出来的尾指针数据总线结合在一起。

数据储存在存储器 18 中计算出来的地址上。在储存了一个字节的数据后，首指针增加一个单位并与这个节目组元的结束指针比较，如果它们相等，首指针的较高有效位被起始指针的较低的 14 位所取代，而且对地址的首指针部分的较低的两位置置 0。这在图 8 中在起始指针和地址之间用虚线的 10 箭头表示出来。这个操作由从服务指针控制器 93 指向多路器 85 的首指针数据总线的箭头 97 表示。可以假定使用起始指针的较低十四位代替首指针的位。对于这一个写周期，用较低的起始指针位取代首指针的位，引起存储器跳过由上面两个起始指针位指定的内存块。因此，排除了将在每个数据包的开始处的写地址重编程到数据块中唯一的存储器位置。

15 如果首指针曾经等于尾指针(用来表示从存储器 18 的什么地方读取数据)，一个信号被送到微处理器的中断区，表示一个首尾撞击发生了。进一步地从这个节目频道写入存储器 18 失效直到微处理器重新使能这个频道。这种情形很少出现，且在正常操作中是不应该发生的。

数据在各个信号处理器的请求下，在由加法器 79 和寄存器 92 计算出的 20 地址上，从存储器 18 中取出。在读取了储存数据的一个字节后，尾指针增加一个单位，并且在服务指针控制器 93 内这个逻辑通道尾指针和结束指针作比较。如果尾指针与结束指针相等，那么尾指针的较高有效位用起始指针的较低的十四位取代，地址中尾指针部分的较低的两个位置 0。这种情形由来自控制器 93 和指向出自多路器 90 尾指针数据总线的箭头 95 表示出来。

25 如果现在尾指针等于首指针，那么各个存储器数据块被定义为空的，没有更多的字节将被送到相联的信号处理器直到从 FEC 中接收到更多这个节目频道的数据。将起始指针的较低的十四位实际取代各个写或读地址的首或尾指针部分，可以利用适当的多路转换或利用三种状态的互连来实现。

30 存储器的读或写控制是通过服务指针控制器和直接存储器访问 DMA、单元 93 和 94 来完成的。DMA 被编程用来排定读和写的周期。这种时间表的排定依赖于 FEC12 是否提供被写入存储器的数据，FEC 数据写操作优先

以便不丢失进来的信号组元数据。在图 7 显示的实例装置中，有四种类型的装置可以用来访问存储器。它们是智能卡、FEC12(更精确地是解密器 16)、微处理器 19 和应用设备例如音频和视频处理器。存储器竞争是按下面方法管理的。DMA 响应罗列在上面的各种处理单元提出的数据请求，为各个节目组元分配存储器数据块，在 95ns 的时隙内提供对存储器的访问，在这个时隙内，一个字节的数

- 5 目组元分配存储器数据块，在 95ns 的时隙内提供对存储器的访问，在这个时隙内，一个字节的数
- 10 FEC 提供数据：
- 1)FEC 数据写，
 - 2)应用设备读/微处理器读/写；
 - 3)FEC 数据写，
 - 4)微处理器读/写；
- 15 并且，对于 FEC 不提供数据：
- 1)智能卡读/写；
 - 2)应用设备读/微处理器读/写；
 - 3)智能卡读/写；
 - 4)微处理器读/写；

20 因为 FEC 数据写不能被延迟，当提供数据时，FEC(更确切地是解密器)必须保证能在每一个 200ns 间隔内访问存储器。随后的时隙被应用设备和微处理器共享。当请求的设备没有可用的数据时，就把这个请求的时隙提供给微处理器使用。

25 控制器 93 与 SCID 检测器通讯以确定各个起始、首和结束指针寄存器中的那一个写访问存储器，控制器 93 与 DMA 通讯确定各个起始、结束、和尾指针寄存器中的那一个读访问存储器操作。DMA 98 通过多路器 99、104 和 105 控制对相应的地址和数据的挑选。

30 图 9 显示了 DMA 98 存储器访问过程的实例流程图。DMA 根据 SCID 的检测判断检测到或没检测到一个接收数据包 {200}。如果一个 SCID 被检测到，表明有来自解密器 16 的数据要被写入存储器，来自解密器的一个字节的节目数据被写入缓冲区存储器 18 中 {201}。被写入的存储器数据块由

处理器 93 根据现在的 SCID 决定。下一个 DMA 确定节目组元处理器的任何一个，包括智能卡和微处理器，是否请求数据或者读/写(R/W)访问存储器 18 {202}。如果对 DMA 没有数据请求，处理过程返回到步骤 {200}。如果有数据 R/W 请求，DMA 确定请求的优先级 {203}。这个可以通过通常的中断过程，或者通过请求数据的这些节目处理器的一个随机次序的顺序一字节操作来完成。例如，假定一个访问优先级的任意的次序是视频，音频 I，音频 II，智能卡，和微处理器。也可以假定只有视频，音频 II 和微处理器正在要求存储器访问。在现在的步骤 {203} 的操作中，一字节的视频数据将从存储器中读出。在下一个步骤 {203} 的操作中，一字节的音频 II 将从存储器中读出，在下一个随后发生的步骤 {203} 中，一字节的微处理器数据被写入存储器 18 或从存储器 18 中读出，如此等等。注意智能卡和微处理器访问的地址分别由智能卡和微处理器提供，但是视频、音频和节目导引的地址从地址指针装置(80-93)中得到。

一旦访问的优先级被建立起来 {203}，必要的节目处理器处理一字节数据写入存储器 18 或从存储器 18 内读出 {204}。下一个来自解密器 16 的一字节数据被写入存储器 {205}。完成一个检验 {206} 以确定微处理器是否请求访问。如果微处理器请求访问，它就处理一字节的数据。如果微处理器没有请求访问，过程跳到步骤 {202} 来确定是否有节目处理器请求访问。在这种方式中，进入的数据总是被保证每隔一个存储器访问周期的访问，这些交错的存储器访问周期分布在整个节目处理器中。

如果当前未有来自解密器 16 的数据，也就是说，当前并没有检测到一个 SCID，过程 {208 -216} 就跟随其后，第一个智能卡被检查 {208} 以确定是否请求存储器访问，如果是，给出一个字节的存储器访问 {209}，否则完成一个检验 {210} 以确定是否有任何节目处理器请求存储器访问。如果有一个数据的 R/W 请求，DMA 确定 {211} 请求的优先级。相应的处理器处理一个一字节的存储器读或写访问。如果没有节目处理器请求一个数据的 R/W，处理过程跳到步骤 {213}，在步骤 {213} 中完成一个测试以确定智能卡是否请求存储器访问。如果是，它处理一个一字节的存储器访问，否则处理过程跳到步骤 {200}。

应该认识到，在现在优先考虑的实例中，当处于“FEC 不提供数据”的模式时，智能卡被提供一个先于所有其他节目处理器的 2 比 1 访问优先权。这

个优先级在 DMA 装置中被编程进一个可编程的状态机中，并且受微处理器控制其变化。正如早已提到的，系统可提供交互服务，微处理器 19 对交互数据作出响应以执行至少部分地可交互操作。这样，微处理器 19 将存储器 18 既作为应用储存又作为工作存储器。在这种情况下，系统操作者可以改变存储器访问优先级以将高频次的存储器访问提供给微处理器 19。存储器访问优先级的重编程可作为交互应用命令的一个子集。

当数据包丢失时，有利地把媒介差错码插入进视频组元信号流，以设置视频信号解压缩器暂停解压缩直到一个特别的信号入口点在数据流中出现。预测在哪个地方和在哪个视频数据包内下一个入口点可能出现是不实用的。为了尽快地找出下一个入口点，在检测到一个数据包丢失之后在第一个视频数据包的开始就包括一个媒介差错码是有必要的。图 7 的电路在每一个视频数据包的开始设置一个媒介差错码，然后如果一个先行的数据包没有丢失时就在各个数据包内删除媒介差错码。在来自解密器的视频有效负载到达之前，通过 M 个写周期存储器 18 的写入，将媒介差错码插入到第一 M 个存储器地址位置，这些位置是为当前的视频数据包有效负载保留的。同时地，多路器 99 被 DMA 98 控制，把来自源 100 的媒介差错码施加到存储器 18 的 I/O 口上。M 简单地是存储器位置的整数，这些位置要用来储存媒介差错码。假定存储器储存 8 位字节，且媒介差错码是 32 位，M 将等于 4。

装载媒介差错码到存储器中的地址由各自的视频组元服务寄存器 83 通过多路器 82 和多路器 85 提供。可以理解，为了装载媒介差错码到不然用于装载视频组元数据的存储器区域位置上，由指针寄存器提供的第一 M 个地址将简单地是下一 M 个后续的地址。这个地址通常是由视频首指针产生的。这些相同地址被连接进一个 M 级延迟单元 84 中，以便紧接媒介差错码的最后字节之后直接地被储存在存储器 18 内。首批 M 个地址在延迟单元 84 的输出提供。

媒介差错码被装载进存储器的时间与丢失的数据包的判定同步。数据包的差错或者丢失的检测由一个差错检测器 101 来完成，这个检测器对当前数据包的 CC 和 HD 数据响应。

如果检测到一个数据包丢失了，从下一个或第(M+1)个地址位置开始，当前数据包的视频组元被储存在存储器 18 中。这个可以通过设置多路器 85 继续让来自相应的寄存器 83 的未延迟的首指针通过来完成。另一方面，如

果没有检测到数据包的丢失，当前数据包中的视频组元的首批 M 个字节被储存在上次是存媒介差错码的存储器位置上。

数据包差错或丢失的检测由响应当前数据包的 CC 和 HD 数据的一个差错检测器 101 来完成。检测器 101 检查在当前数据包内的连续数 CC 来确定它与前一个数据包的 CC 相比是否相差一个单位。另外，检查当前数据包的 TOGGLE 位以确定它是否呈现相应视频帧的正常状态。如果 CC 值是不正确的，TOGGLE 位的状态就被检查。根据如果 CC 以及 TOGGLE 位的一个或两个是否错误，分别建立差错纠正的第一个或第二个模式。在第二种模式中，对错误的 CC 和 TOGGLE 位两者进行初始化，设置系统复位到包含一个图形层首标的一个数据包。在第一种模式中，只有 CC 有错，设置系统复位到包含一片层首标的一个数据包(一片层就是一个帧中的压缩数据的一个子集)。在第一和第二两种模式中，写入存储器的媒介差错码被保持在各自的有效负载中以指示解压缩器实施恢复操作。

已经发现，将 SCID 检测器、解密器、寻址电路、条件访问滤波器和智能卡接口集成为单一集成电路来构成该系统是 very 有效的。这样将减小可导致苛刻定时约束的外部线路的数量。

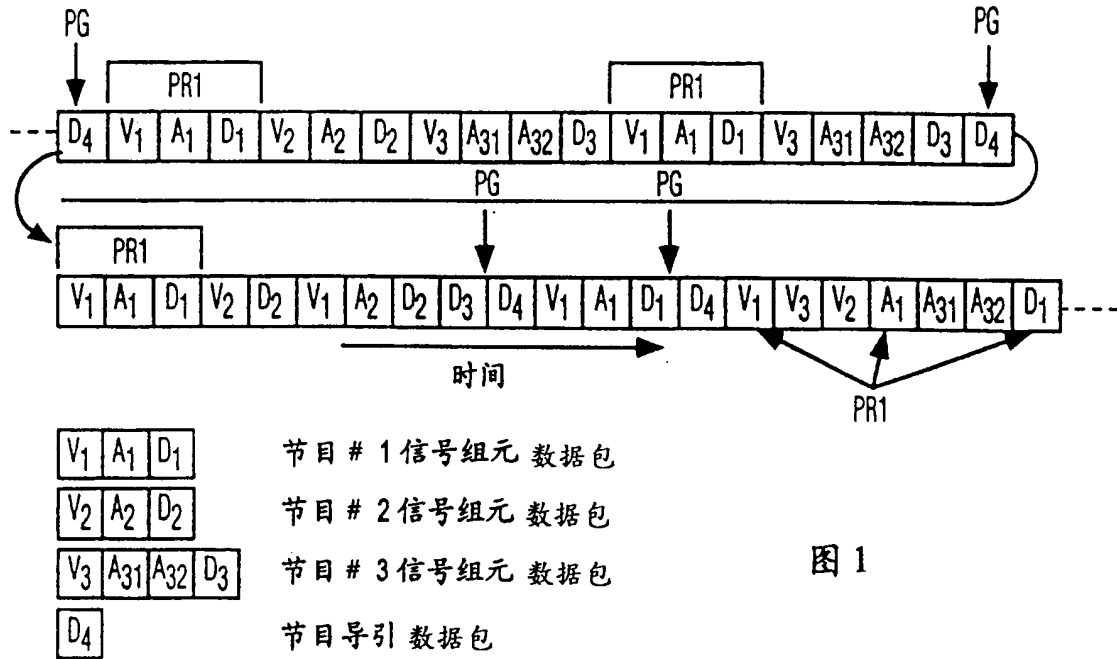


图 1

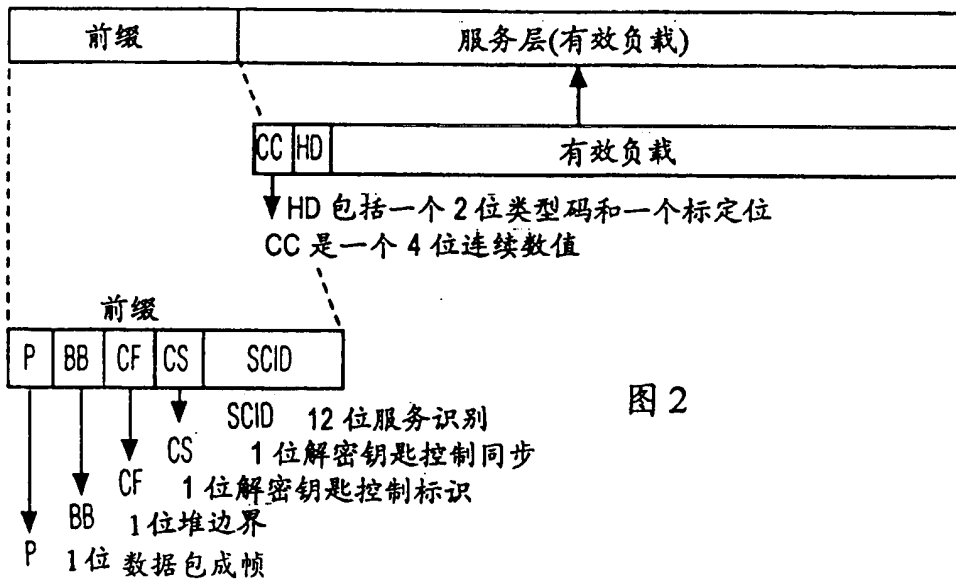


图 2

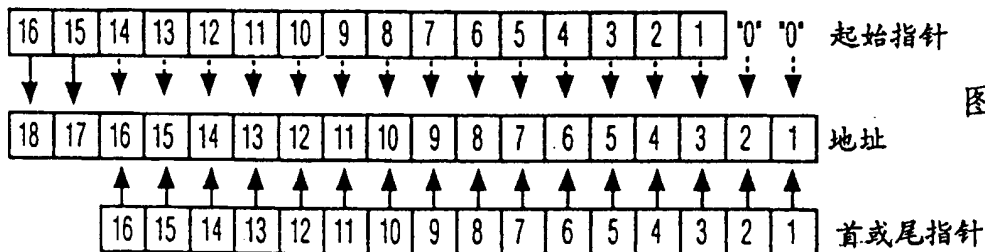


图 8

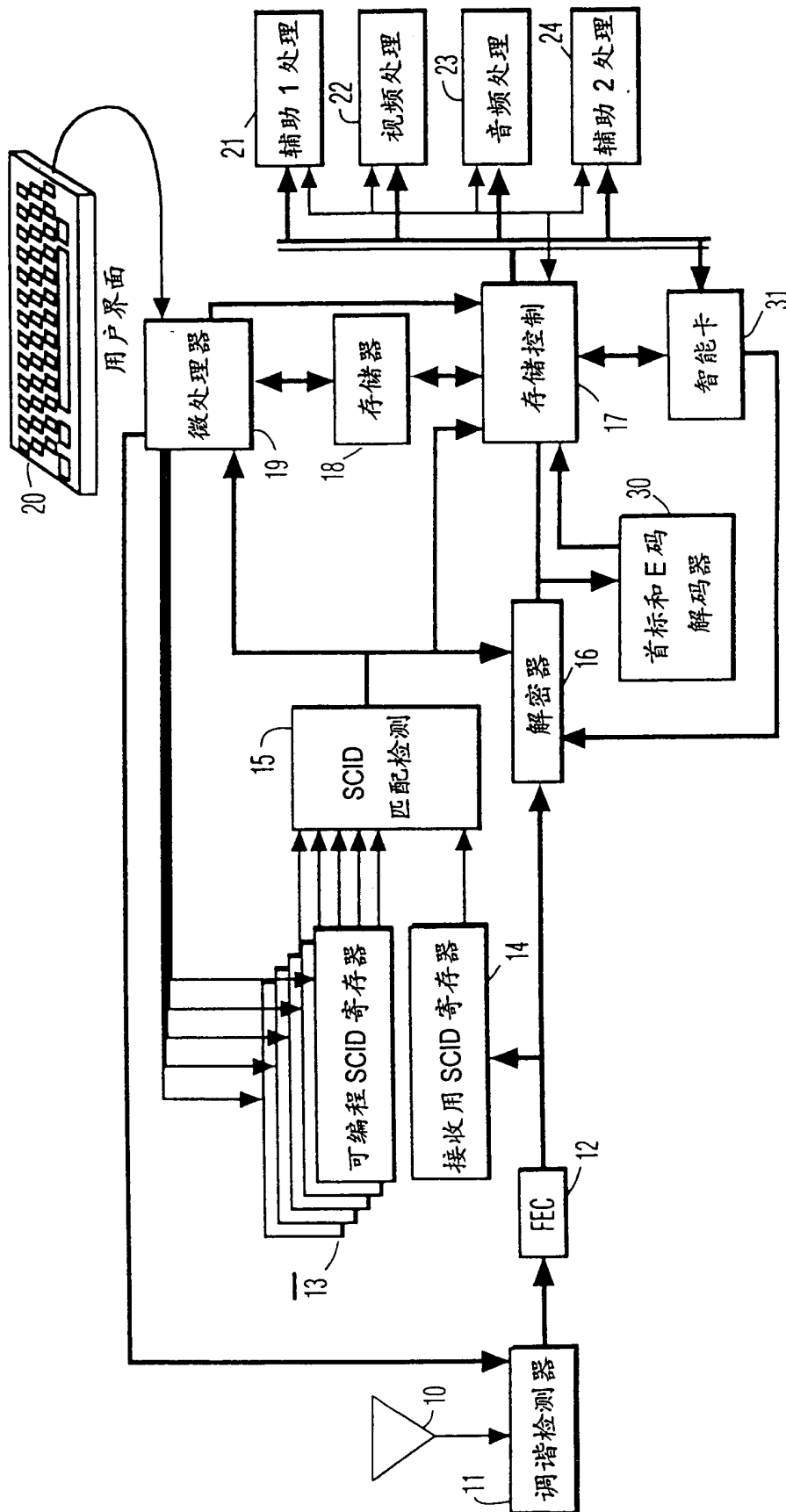


图 3

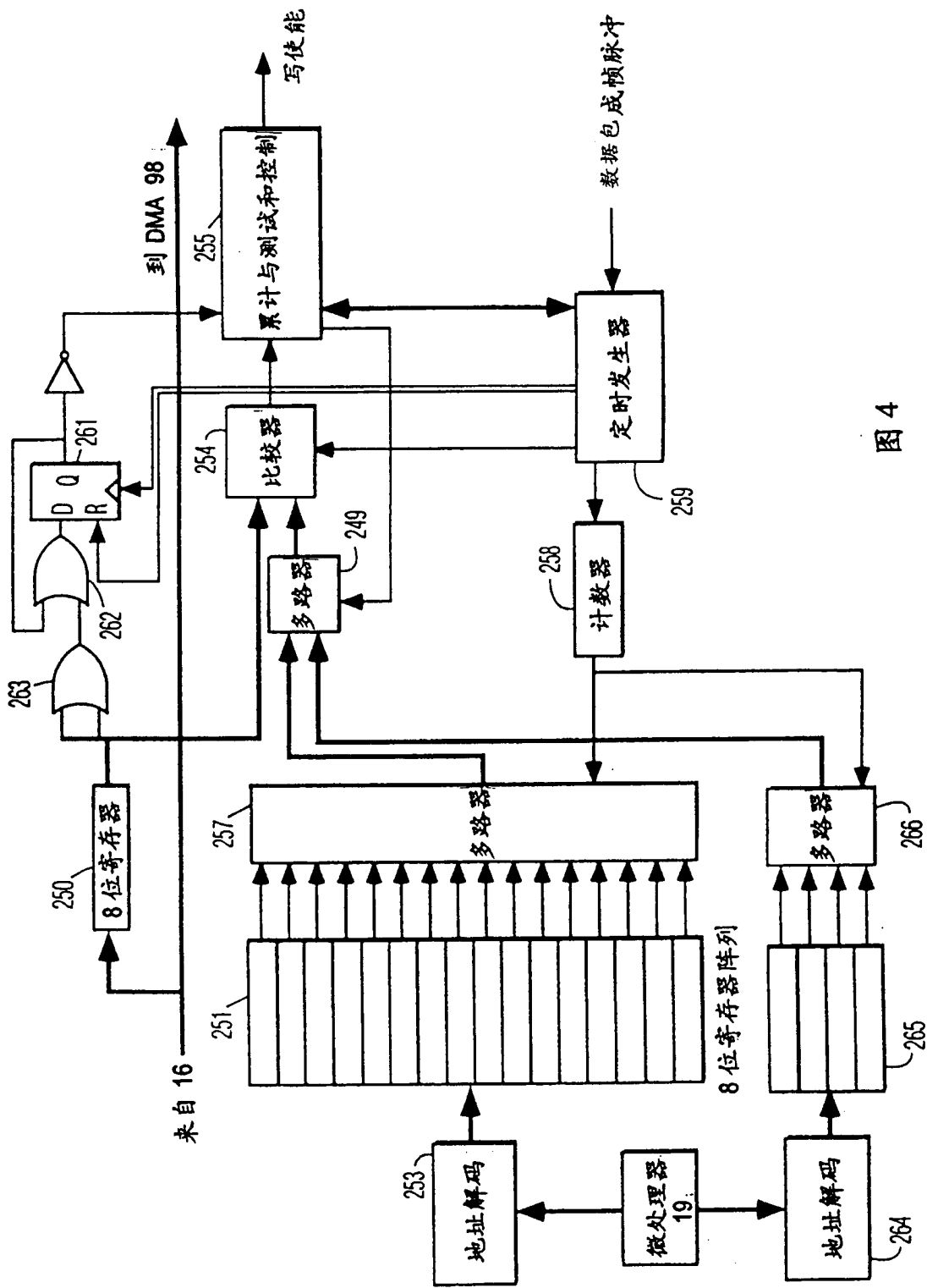


图 4

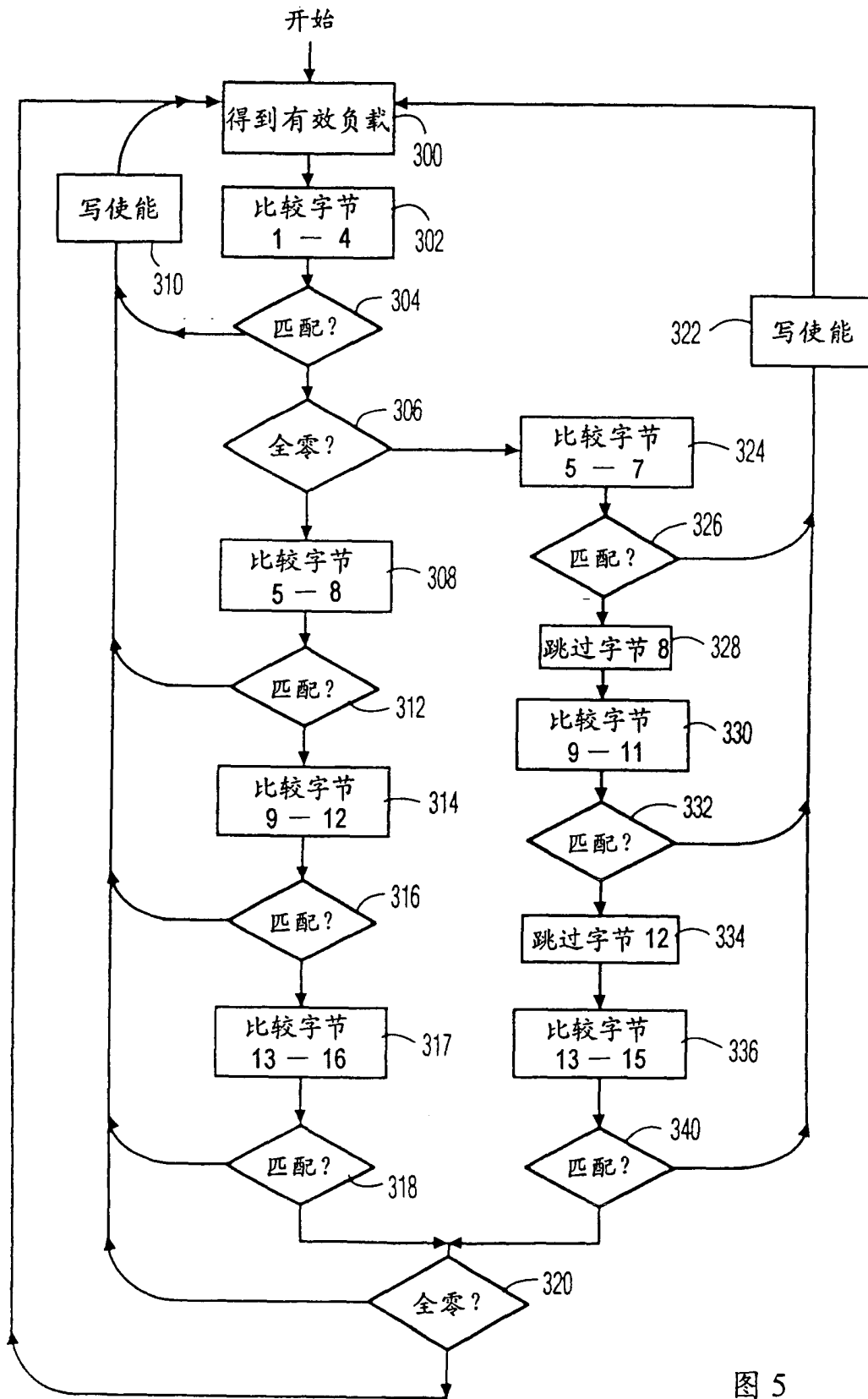


图 5

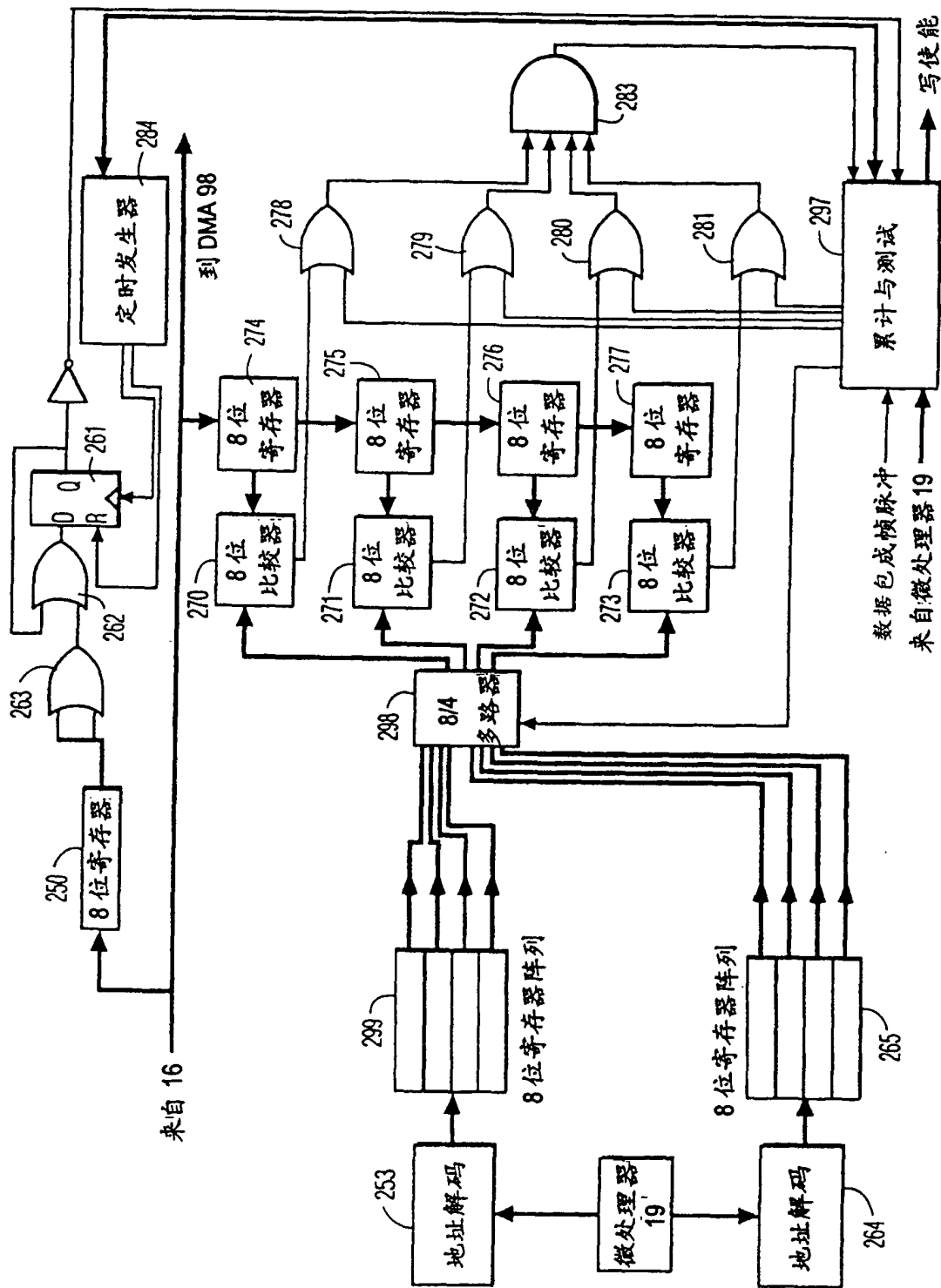


图 6

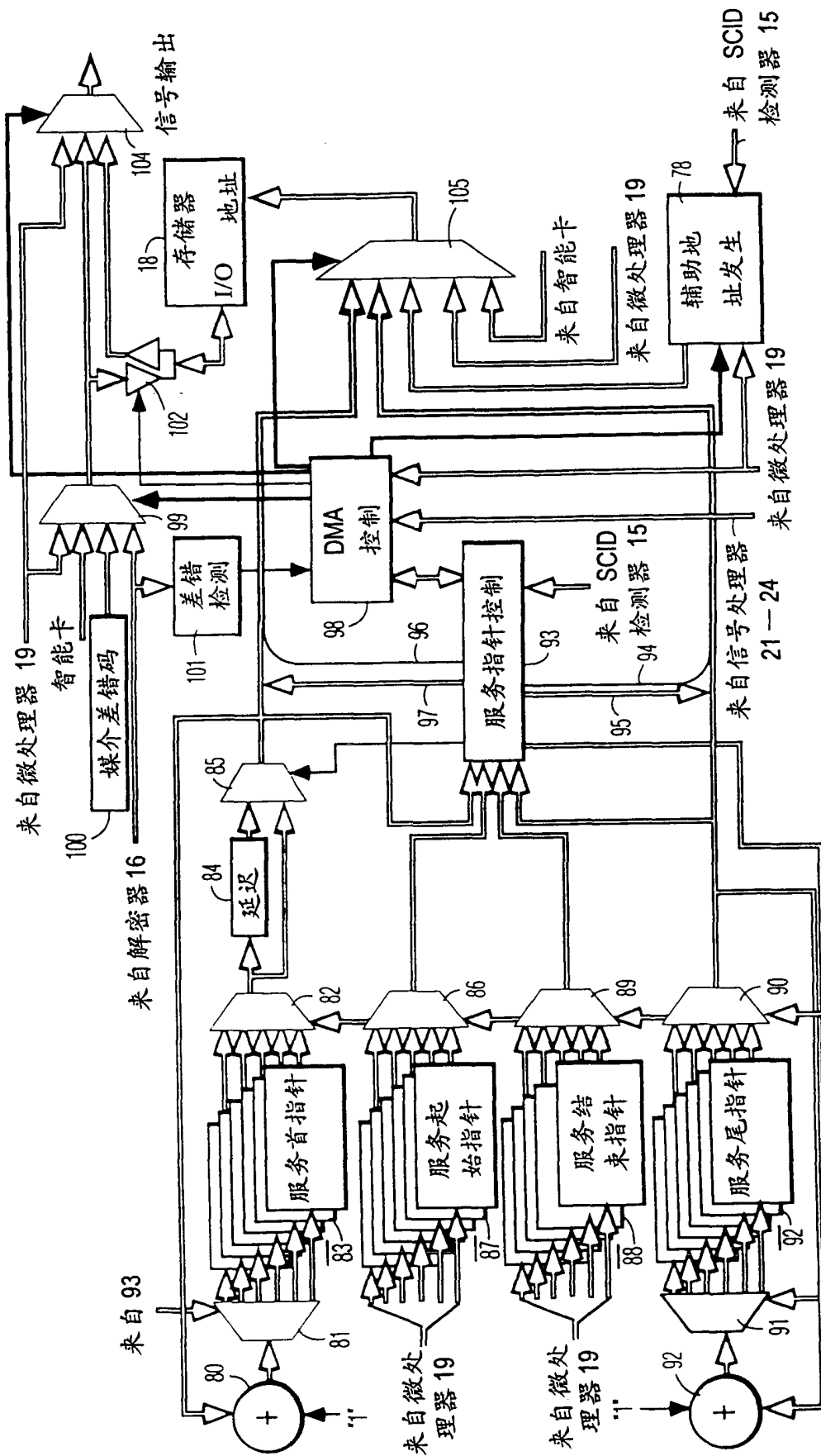


图 7

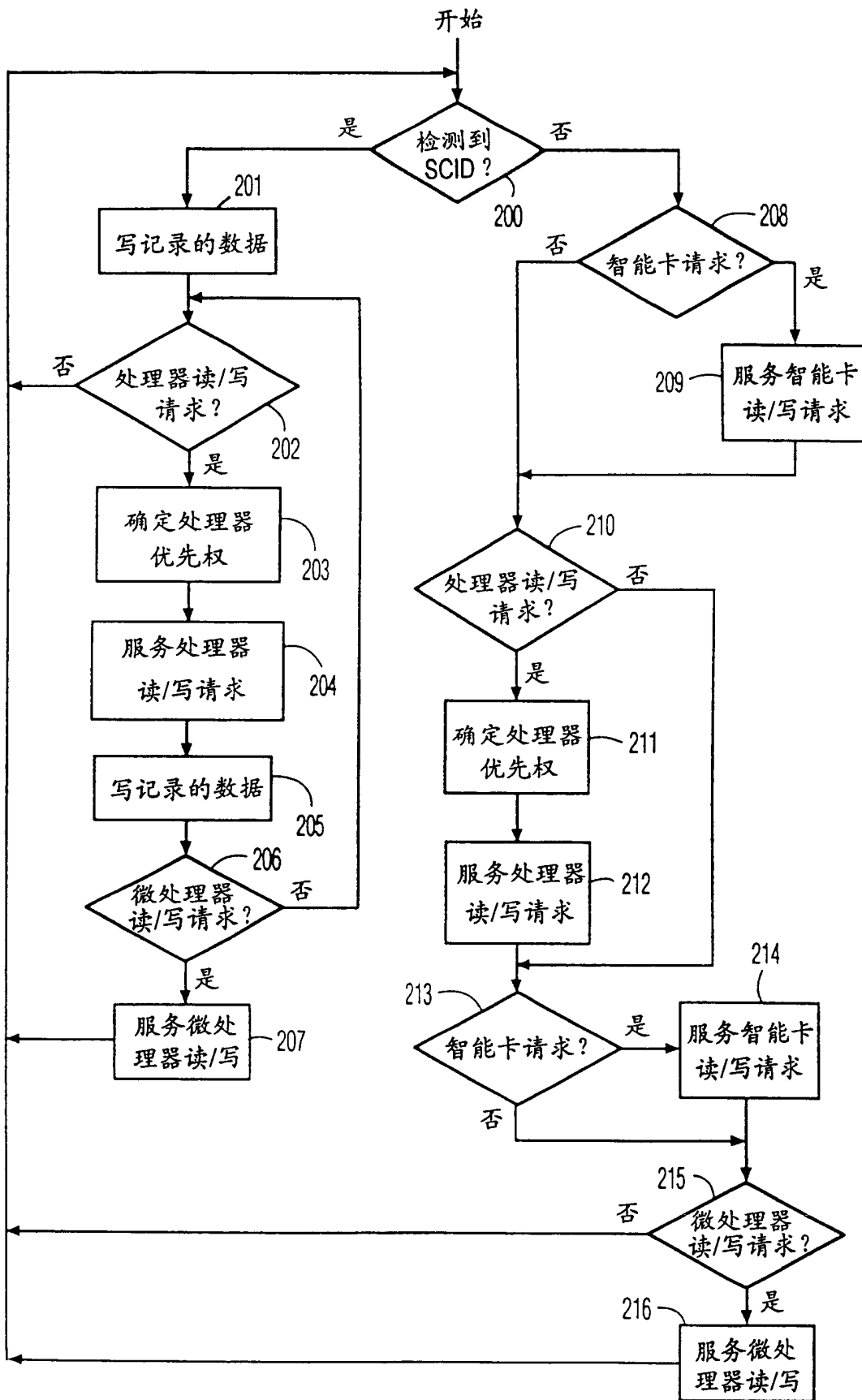


图 9