



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년03월28일
(11) 등록번호 10-1963259
(24) 등록일자 2019년03월22일

(51) 국제특허분류(Int. Cl.)
H01G 4/12 (2006.01) H01G 4/30 (2006.01)
(21) 출원번호 10-2012-0023389
(22) 출원일자 2012년03월07일
심사청구일자 2017년02월28일
(65) 공개번호 10-2013-0102277
(43) 공개일자 2013년09월17일
(56) 선행기술조사문헌
JP2007123389 A*
KR1020110065625 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
김해인
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
권상훈
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 4 항

심사관 : 전한철

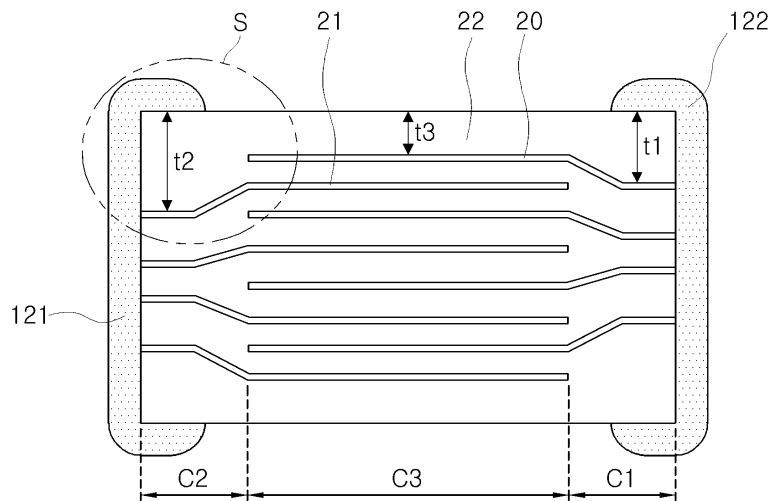
(54) 발명의 명칭 **적층 세라믹 전자부품 및 그 제조방법**

(57) 요약

본 발명은 적층 세라믹 전자부품에 관한 것으로, 본 발명은 유전체층과 제1 및 제2 내부전극이 교대로 적층된 세라믹 본체; 및 상기 제1 및 제2 내부전극과 전기적으로 연결되며 상기 세라믹 본체의 양단에 형성되는 제1 및 제2 외부전극;을 포함하며, 상기 세라믹 본체는 정전 용량 형성에 기여하는 유효층 및 상기 유효층의 상하면 중 적어도 일면에 제공되는 보호층을 포함하며, 상기 제1 및 제2 내부전극이 대향하여 형성된 영역으로 정전용량을 형성하는 용량 형성부 상의 보호층 두께가 상기 제1 또는 제2 내부전극으로만 대향하여 적층된 영역인 마진부에 대응하는 보호층 두께의 0.5 내지 0.8배인 적층 세라믹 전자부품을 제공한다.

본 발명에 따르면, 바인더의 함량에 따라 보호층의 두께를 조절하여 디라미네이션 또는 크랙 등의 발생율을 낮출 수 있다.

대표도 - 도2



(72) 발명자

최재열

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

정지훈

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

명세서

청구범위

청구항 1

유전체층과 제1 및 제2 내부전극이 교대로 적층된 세라믹 본체; 및

상기 제1 및 제2 내부전극과 전기적으로 연결되며 상기 세라믹 본체의 양단에 형성되는 제1 및 제2 외부전극;을 포함하되,

상기 세라믹 본체는,

정전 용량 형성에 기여하는 유효층; 및

상기 유효층의 상부 및 하부 중 적어도 하나에 제공되는 보호층을 포함하며,

상기 보호층은,

상기 제1 내부전극만이 대향하여 적층된 영역인 제1 마진부에 대응하도록 상기 세라믹 본체의 일 단부측에 형성되며, 상기 제1 마진부에서 상기 세라믹 본체의 표면으로부터 상기 제1 내부전극 중 이와 가장 가까운 것까지의 거리인 제1 두께(t1)를 가지는 제1 보호층;

상기 제2 내부전극만이 대향하여 적층된 영역인 제2 마진부에 대응하도록 상기 세라믹 본체의 타 단부측에 형성되며, 상기 제2 마진부에서 상기 세라믹 본체의 표면으로부터 상기 제2 내부전극 중 이와 가장 가까운 것까지의 거리인 제2 두께(t2)를 가지는 제2 보호층; 및

상기 제1 및 제2 내부전극이 교대로 적층된 영역인 용량형성부에 대응하도록 상기 제1 보호층 및 제2 보호층 사이에 형성되며, 상기 용량형성부에서 상기 세라믹 본체의 표면으로부터 상기 제1 내부전극 중 이와 가장 가까운 것까지의 거리인 제3 두께(t3)를 가지는 제3 보호층;을 포함하며,

상기 제2 두께(t2)에 대한 상기 제3 두께(t3)의 비(t3/t2)는 0.5~0.8인, 적층 세라믹 전자부품.

청구항 2

제1항에 있어서,

상기 제1 및 제2 내부전극은 구리(Cu), 니켈(Ni), 은(Ag) 및 은-팔라듐(Ag-Pd)으로 이루어진 군으로부터 선택된 하나 이상을 포함하는 적층 세라믹 전자부품.

청구항 3

세라믹 파우더와 상기 세라믹 파우더의 중량 대비 11~17wt%의 바인더를 포함하는 슬러리를 도포 및 건조하여 세라믹 그린시트를 마련하는 단계;

도전성 금속 페이스트를 이용하여 상기 세라믹 그린시트 상에 내부전극 패턴을 형성하는 단계;

상기 세라믹 그린시트를 적층하여 유전체층과 제1 및 제2 내부전극을 포함하는 세라믹 본체를 형성하는 단계;

상기 세라믹 그린시트 적층 후 700 내지 1000 kgf/cm²의 압력으로 압착하는 단계; 및

상기 제1 및 제2 내부전극과 전기적으로 연결되는 제1 및 제2 외부전극을 형성하는 단계;를 포함하며,

상기 세라믹 본체는 정전 용량 형성에 기여하는 유효층 및 상기 유효층의 상하면 중 적어도 일면에 제공되는 보호층을 포함하며,

상기 보호층은,

상기 제1 내부전극만이 대향하여 적층된 영역인 제1 마진부에 대응하도록 상기 세라믹 본체의 일 단부측에 형성되며, 상기 제1 마진부에서 상기 세라믹 본체의 표면으로부터 상기 제1 내부전극 중 이와 가장 가까운 것까지의 거리인 제1 두께(t1)를 가지는 제1 보호층;

상기 제2 내부전극만이 대향하여 적층된 영역인 제2 마진부에 대응하도록 상기 세라믹 본체의 타 단부측에 형성되며, 상기 제2 마진부에서 상기 세라믹 본체의 표면으로부터 상기 제2 내부전극 중 이와 가장 가까운 것까지의 거리인 제2 두께(t2)를 가지는 제2 보호층; 및

상기 제1 및 제2 내부전극이 교대로 적층된 영역인 용량형성부에 대응하도록 상기 제1 보호층 및 제2 보호층 사이에 형성되며, 상기 용량형성부에서 상기 세라믹 본체의 표면으로부터 상기 제1 내부전극 중 이와 가장 가까운 것까지의 거리인 제3 두께(t3)를 가지는 제3 보호층;을 포함하며,

상기 제2 두께(t2)에 대한 상기 제3 두께(t3)의 비(t3/t2)는 0.5~0.8인, 적층 세라믹 전자부품 제조방법.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

제3항에 있어서,

상기 도전성 금속 페이스트는 구리(Cu), 니켈(Ni), 은(Ag) 및 은-팔라듐(Ag-Pd)으로 이루어진 군으로부터 선택된 하나 이상을 포함하는 적층 세라믹 전자부품 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 디라미네이션(Delamination)과 크랙(Crack) 등의 결함을 개선한 적층 세라믹 전자부품에 관한 것이다.

배경 기술

[0002] 적층 세라믹 전자부품은 소형이면서도 고용량이 보장되고 실장이 용이하다는 장점으로 인하여 컴퓨터, PDA, 휴대폰 등의 이동 통신 장치의 부품으로서 널리 사용되고 있다.

[0003] 최근, 전자 제품들의 소형화 추세에 따라, 적층 세라믹 전자 부품 역시 소형화되고, 대용량화될 것이 요구되고 있다.

[0004] 이에 따라 유전체와 내부전극의 박막화, 다층화가 다양한 방법으로 시도되고 있으며, 근래에는 유전체층의 두께는 얇아지면서 적층수가 증가하는 적층 세라믹 전자 부품들이 제조되고 있다.

[0005] 유전체층의 두께가 얇을 경우, 압착 공정 시 내부전극이 존재하지 않거나 격층으로 존재하는 용량 비형성부로의 유동량이 작아지고 밀도가 낮아질 수 있다. 이에 따라, 소성 후 디라미네이션이나 크랙이 발생하여 적층 세라믹 전자부품의 신뢰성 저하가 초래된다.

[0006] 또한, 유전체층의 두께가 두꺼울 경우, 내부전극과 유전체층의 열팽창 차이로 인해 크랙이 발생할 수 있으며, 용량 구현을 위한 적절한 적층수를 구현할 수 없어 수율이 저하된다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 한국공개특허공보 2011-0068233

발명의 내용

해결하려는 과제

[0008] 본 발명은 디라미네이션 또는 크랙 등의 결함을 개선한 적층 세라믹 전자부품에 관한 것이다.

과제의 해결 수단

[0009] 본 발명의 일 실시형태는 유전체층과 제1 및 제2 내부전극이 교대로 적층된 세라믹 본체; 및 상기 제1 및 제2 내부전극과 전기적으로 연결되며 상기 세라믹 본체의 양단에 형성되는 제1 및 제2 외부전극;을 포함하며, 상기 세라믹 본체는 정전 용량 형성에 기여하는 유효층 및 상기 유효층의 상부 및 하부 중 적어도 하나에 제공되는 보호층을 포함하며, 상기 보호층은, 상기 제1 내부전극만이 대향하여 적층된 영역인 제1 마진부에 대응하도록 상기 세라믹 본체의 일 단부측에 형성되며, 상기 제1 마진부에서 상기 세라믹 본체의 표면으로부터 상기 제1 내부전극 중 이와 가장 가까운 것까지의 거리인 제1 두께(t1)를 가지는 제1 보호층; 상기 제2 내부전극만이 대향하여 적층된 영역인 제2 마진부에 대응하도록 상기 세라믹 본체의 타 단부측에 형성되며, 상기 제2 마진부에서 상기 세라믹 본체의 표면으로부터 상기 제2 내부전극 중 이와 가장 가까운 것까지의 거리인 제2 두께(t2)를 가지는 제2 보호층; 및 상기 제1 및 제2 내부전극이 교대로 적층된 영역인 용량형성부에 대응하도록 상기 제1 보호층 및 제2 보호층 사이에 형성되며, 상기 용량형성부에서 상기 세라믹 본체의 표면으로부터 상기 제1 내부전극 중 이와 가장 가까운 것까지의 거리인 제3 두께(t3)를 가지는 제3 보호층;을 포함하며, 상기 제2 두께(t2)에 대한 상기 제3 두께(t3)의 비(t3/t2)는 0.5~0.8인 적층 세라믹 전자부품을 제공할 수 있다.

[0010] 상기 제1 및 제2 내부전극은 구리(Cu), 니켈(Ni), 은(Ag) 및 은-팔라듐(Ag-Pd)으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있다.

[0011] 본 발명의 다른 실시형태는 세라믹 파우더와 상기 세라믹 파우더의 중량 대비 11~17wt%의 바인더를 포함하는 슬러리를 도포 및 건조하여 세라믹 그린시트를 마련하는 단계; 도전성 금속 페이스트를 이용하여 상기 세라믹 그린시트 상에 내부전극 패턴을 형성하는 단계; 상기 세라믹 그린시트를 적층하여 유전체층과 제1 및 제2 내부전극을 포함하는 세라믹 본체를 형성하는 단계; 상기 세라믹 그린시트 적층 후 700 내지 1000 kgf/cm²의 압력으로 압착하는 단계; 및 상기 제1 및 제2 내부전극과 전기적으로 연결되는 제1 및 제2 외부전극을 형성하는 단계;를 포함하며, 상기 세라믹 본체는 정전 용량 형성에 기여하는 유효층 및 상기 유효층의 상하면 중 적어도 일면에 제공되는 보호층을 포함하며, 상기 보호층은, 상기 제1 내부전극만이 대향하여 적층된 영역인 제1 마진부에 대응하도록 상기 세라믹 본체의 일 단부측에 형성되며, 상기 제1 마진부에서 상기 세라믹 본체의 표면으로부터 상기 제1 내부전극 중 이와 가장 가까운 것까지의 거리인 제1 두께(t1)를 가지는 제1 보호층; 상기 제2 내부전극만이 대향하여 적층된 영역인 제2 마진부에 대응하도록 상기 세라믹 본체의 타 단부측에 형성되며, 상기 제2 마진부에서 상기 세라믹 본체의 표면으로부터 상기 제2 내부전극 중 이와 가장 가까운 것까지의 거리인 제2 두께(t2)를 가지는 제2 보호층; 및 상기 제1 및 제2 내부전극이 교대로 적층된 영역인 용량형성부에 대응하도록 상기 제1 보호층 및 제2 보호층 사이에 형성되며, 상기 용량형성부에서 상기 세라믹 본체의 표면으로부터 상기 제1 내부전극 중 이와 가장 가까운 것까지의 거리인 제3 두께(t3)를 가지는 제3 보호층;을 포함하며, 상기 제2 두께(t2)에 대한 상기 제3 두께(t3)의 비(t3/t2)는 0.5~0.8인 적층 세라믹 전자부품 제조방법을 제공할 수 있다.

[0012] 삭제

[0013] 삭제

[0014] 삭제

[0015] 상기 도전성 금속 페이스트는 구리(Cu), 니켈(Ni), 은(Ag) 및 은-팔라듐(Ag-Pd)으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있다.

발명의 효과

[0016] 본 발명은 바인더 함량으로 용량 형성부에 대응하는 보호층 두께와 마진부에 대응하는 보호층 두께를 조절하여 디라미네이션 및 크랙의 발생율이 낮은 적층 세라믹 전자부품을 구현할 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 개략적으로 나타내는 사시도이다.
 도 2는 도 1의 A-A' 단면도이다.
 도 3은 도 2의 S 영역의 확대도이다.
 도 4는 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터의 제조 방법을 나타내는 공정도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 형태로 한정되는 것은 아니다. 또한, 본 발명의 실시 형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상 동일한 도면 부호로 표시되는 요소는 동일한 요소이다.

[0019] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 설명한다.

[0020] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 개략적으로 나타내는 사시도이다.

[0021] 도 2는 본 발명의 일 실시형태를 설명하기 위한 도 1의 A-A' 단면도이다.

[0022] 도 3은 본 발명의 일 실시형태를 설명하기 위한 도2의 S의 확대도이다.

[0023] 도 1 내지 3을 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품은 유전체층(22)과 제1 및 제2 내부전극(20,21)이 교대로 적층된 세라믹 본체(110); 및 상기 제1 및 제2 내부전극(20,21)과 전기적으로 연결되며 상기 세라믹 본체(110)의 양단에 형성되는 제1 및 제2 외부전극(121,122);을 포함하며, 상기 세라믹 본체(110)는 정전 용량 형성에 기여하는 유효층 및 상기 유효층의 상하면 중 적어도 일면에 제공되는 보호층을 포함하며, 상기 제1 및 제2 내부전극이 대향하여 교대로 적층된 영역으로써 정전용량을 형성하는 용량 형성부에 대응하는 보호층 두께가 상기 제1 또는 제2 내부전극으로만 대향하여 적층된 영역인 마진부에 대응하는 보호층 두께의 0.5 내지 0.8배일 수 있다.

[0024] 이하에서는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 이에 제한되는 것은 아니다.

[0025] 본 실시 형태의 적층 세라믹 커패시터에 있어서, '길이'는 도 1의 L 방향, 두께는 도 1의 T 방향, 폭 방향은 도 1의 W 방향으로 정의한다.

- [0026] 상기 보호층의 두께(t_1, t_2, t_3)는 상기 세라믹 본체(110)의 폭 방향의 중앙부에서 절단한 길이-두께(L-T) 방향 단면에서의 유전체층(22)의 두께일 수 있다.
- [0027] 상기 용량 형성부(C3)는 상기 세라믹 본체(110)에 있어서 제1 및 제2 내부전극(20,21)이 대향하여 교대로 적층된 영역일 수 있으며, 마진부(C1, C2)는 길이-두께 단면에서 양 측면에 해당하며 제1 또는 제2 내부전극만이 적층된 영역일 수 있다.
- [0028] 상기 제1 내부전극(20) 및 제2 내부전극(21)은 특별히 제한되지 않으며, 팔라듐(Pd), 팔라듐-은(Pd-Ag) 합금 등의 귀금속 재료 및 니켈(Ni), 구리(Cu) 중 하나 이상의 물질로 이루어진 도전성 페이스트를 사용하여 형성될 수 있다.
- [0029] 정전 용량 형성을 위해 제1 외부전극(121) 및 제2 외부전극(122)이 상기 세라믹 본체(110)의 외측에 형성될 수 있으며, 상기 제1 내부전극(20) 및 제2 내부전극(21)과 전기적으로 연결될 수 있다.
- [0030] 상기 제1 외부전극(121) 및 제2 외부전극(121)은 내부전극과 동일한 재질의 도전성 물질로 형성될 수 있으나 이에 제한되지는 않으며, 니켈(Ni), 구리(Cu), 은(Ag) 등으로 형성될 수 있다.
- [0031] t_1/t_2 가 0.5 내지 0.8 이면 적층 세라믹 커패시터의 디라미네이션 또는 크랙의 발생율을 1% 이하로 할 수 있다. 본 발명의 일 실시예에 따른 적층 세라믹 커패시터는 디라미네이션 또는 크랙의 발생율을 낮춤으로써 적절한 적층 수에 따른 용량을 구현하면서 신뢰성을 높일 수 있다.
- [0032] t_1/t_2 가 0.5 미만이면 크랙의 발생율이 높아질 수 있으며, 0.8을 초과하는 경우 디라미네이션 및 크랙의 발생율이 높아져 적층 세라믹 전자부품의 신뢰성이 저하될 수 있다.
- [0033] 도 4는 본 발명의 다른 실시형태를 설명하기 위한 적층 세라믹 커패시터의 공정도이다.
- [0034] 도 4를 참조하면, 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품의 제조방법은 세라믹 파우더와 바인더를 포함하는 세라믹 그린시트를 마련하는 단계; 도전성 금속 페이스트를 이용하여 상기 세라믹 그린시트 상에 내부전극 패턴을 형성하는 단계; 상기 세라믹 그린시트를 적층하여 유전체층과 제1 및 제2 내부전극을 포함하는 세라믹 본체를 형성하는 단계; 및 상기 제1 및 제2 내부전극과 전기적으로 연결되는 제1 및 제2 외부전극을 형성하는 단계;를 포함하며, 상기 세라믹 본체는 정전 용량 형성에 기여하는 유효층 및 상기 유효층의 상하면 중 적어도 일면에 제공되는 보호층을 포함하며, 상기 제1 및 제2 내부전극이 대향하여 교대로 적층된 영역으로써 정전용량을 형성하는 용량 형성부에 대응하는 보호층 두께가 상기 제1 또는 제2 내부전극으로만 대향하여 적층된 영역인 마진부에 대응하는 보호층 두께의 0.5 내지 0.8배일 수 있다.
- [0035] 상기 실시형태에 따른 적층 세라믹 전자부품의 제조방법에 있어서, 상술한 일 실시형태에 따른 적층 세라믹 전자부품과 중복되는 설명은 생략하도록 한다.
- [0036] 상기 세라믹 그린시트는 티탄산바륨 등의 파우더가 포함된 슬러리를 도포 및 건조하여 마련할 수 있다.
- [0037] 상기 그린시트 상에 상기 내부전극용 도전성 페이스트를 스크린 인쇄공법으로 도포하여 내부전극을 형성할 수 있다.
- [0038] 상기 내부전극 패턴을 형성하는 도전성 페이스트는 구리(Cu), 니켈(Ni), 은(Ag) 및 은-팔라듐(Ag-Pd)으로 이루어진 군으로부터 선택된 하나 이상일 수 있다.
- [0039] 상기 세라믹 그린시트 적층 후 적층된 세라믹 그린시트를 압착하는 단계를 더 포함할 수 있다.
- [0040] 다음으로, 절단하여 세라믹 본체 칩을 형성하고, 상기 세라믹 본체 칩을 1050~1200℃에서 소성할 수 있다.

[0041] 이후, 외부전극 도금 등의 공정을 거쳐 적층 세라믹 커패시터로 제작할 수 있다.

[0042] 본 발명의 일 실시형태에 따르면, 바인더의 함량이나 적층된 세라믹 그린시트를 압착하는 압력을 조절하여 보호층의 두께를 조절할 수 있다.

[0043] 상기 바인더의 함량은 세라믹 파우더의 9.0 내지 21 wt%일 수 있으며, 상기 바인더의 바람직한 함량은 세라믹 파우더의 11~17wt%일 수 있다.

[0044] 압착 공정 시 700 내지 1300 kgf/cm²의 크기의 압력으로 압착할 수 있으며, 압착 공정 시 보다 바람직한 압착 압력은 700 내지 1000 kgf/cm²일 수 있다.

[0045] 이하, 표 1은 700 kgf/cm²의 압력으로, 표 2는 1000 kgf/cm²의 압력으로, 표 3은 700 kgf/cm²의 압력으로 압착한 것이고, 각각 바인더의 함량을 달리하여 제조한 적층 세라믹 커패시터의 디라미네이션 및 크랙 발생 여부를 측정한 것이다.

표 1

[0046]

샘플 No.	바인더의 함량 (wt%/세라믹파우더)	t1/t2	디라미네이션 발생율(%)	크랙 발생율(%)
1(비교예)	7.0	1.0	0	5
2(비교예)	9.0	0.9	0	2
3(실시예)	11.0	0.8	0	0
4(실시예)	13.0	0.7	0	0
5(실시예)	15.0	0.6	0	0
6(실시예)	17.0	0.5	0	0
7(실시예)	19.0	0.4	1	0
8(실시예)	21.0	0.3	3	3
9(비교예)	23.0	0.3	9	7
10(비교예)	25.0	0.3	15	10

표 2

[0047]

샘플 No.	바인더의 함량 (wt%/세라믹파우더)	t1/t2	디라미네이션 발생율(%)	크랙 발생율(%)
1(비교예)	7.0	0.9	0	5
2(비교예)	9.0	0.9	0	2
3(실시예)	11.0	0.8	0	0
4(실시예)	13.0	0.7	0	0
5(실시예)	15.0	0.6	0	0
6(실시예)	17.0	0.6	0	0
7(실시예)	19.0	0.5	1	0
8(실시예)	21.0	0.4	3	3
9(비교예)	23.0	0.3	9	7
10(비교예)	25.0	0.3	15	10

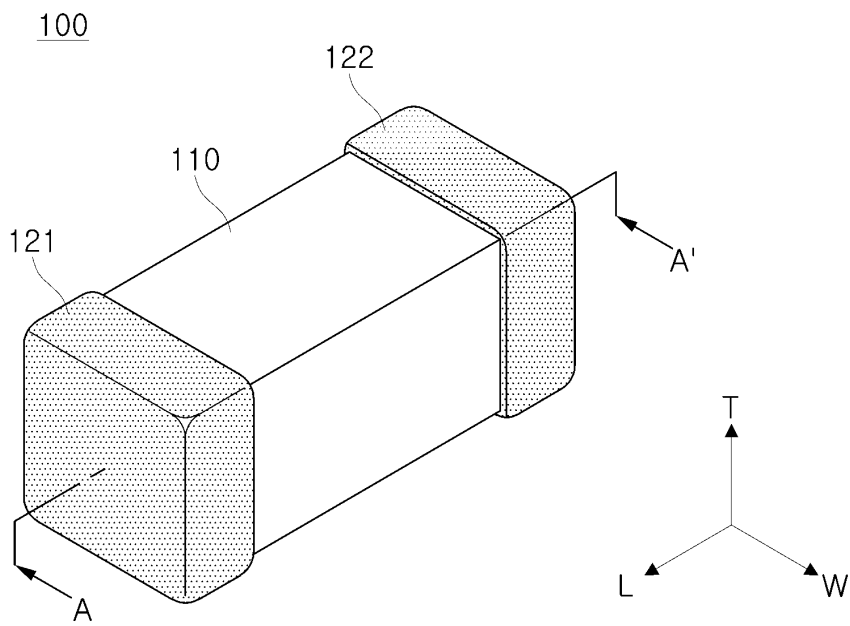
표 3

[0048]

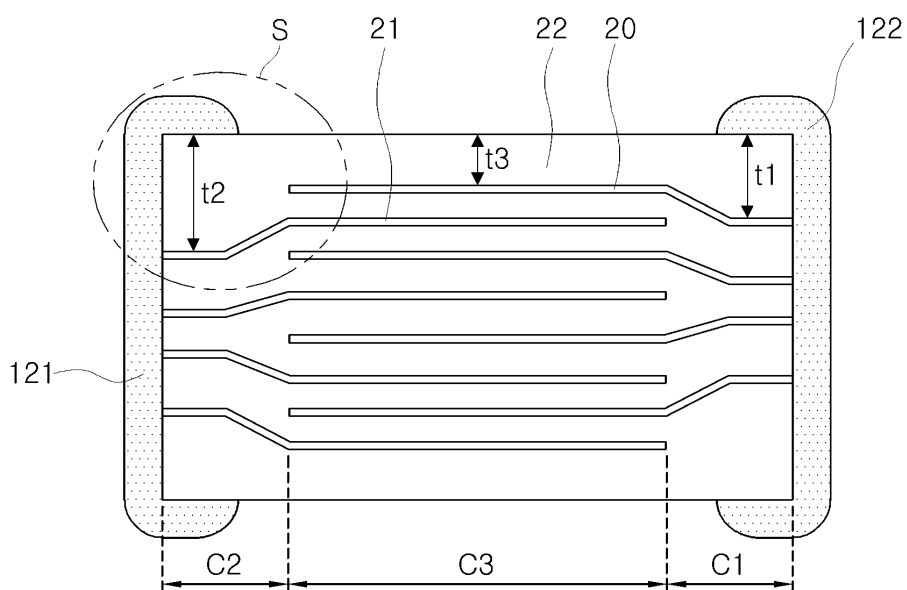
샘플 No.	바인더의 함량 (wt%/세라믹파우더)	t1/t2	디라미네이션 발생율(%)	크랙 발생율(%)
1(비교예)	7.0	0.9	0	5
2(실시예)	9.0	0.8	0	2

도면

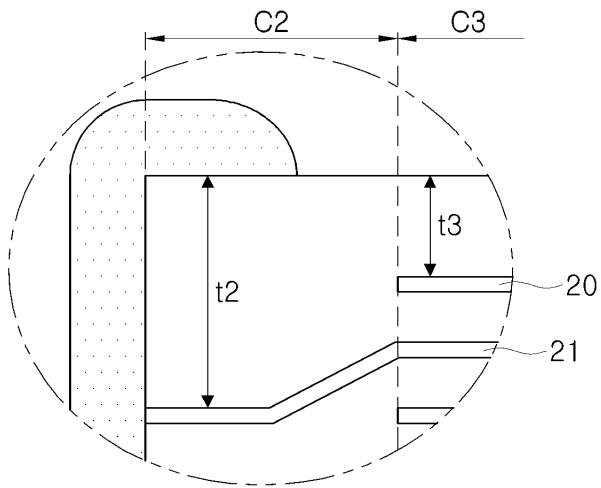
도면1



도면2



도면3



도면4

