

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-537899

(P2009-537899A)

(43) 公表日 平成21年10月29日(2009. 10. 29)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 6 F 12/16 (2006.01)	G 0 6 F 12/16 3 2 0 A	5 B 0 1 8
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 7 1 C	5 M 0 2 4
	G 0 6 F 12/16 3 1 0 G	

審査請求 未請求 予備審査請求 有 (全 26 頁)

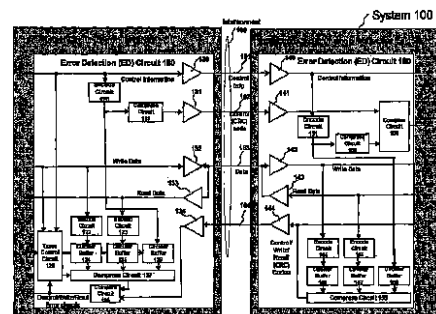
(21) 出願番号	特願2009-511054 (P2009-511054)	(71) 出願人	501055961 ラムバス・インコーポレーテッド アメリカ合衆国・94022・カリフォル ニア州・ロス アルトス・エル カミノ リール・4440
(86) (22) 出願日	平成19年5月16日 (2007. 5. 16)	(74) 代理人	100079108 弁理士 稲葉 良幸
(85) 翻訳文提出日	平成21年1月14日 (2009. 1. 14)	(74) 代理人	100109346 弁理士 大貫 敏史
(86) 国際出願番号	PCT/US2007/011733	(72) 発明者	シャエファア, イアン アメリカ合衆国, カリフォルニア州 95 138, サン ノゼ, チェルシー クロッ シング 552
(87) 国際公開番号	W02007/136655		
(87) 国際公開日	平成19年11月29日 (2007. 11. 29)		
(31) 優先権主張番号	11/436, 284		
(32) 優先日	平成18年5月18日 (2006. 5. 18)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 制御情報、読み出しデータおよび／または書き込みデータにおけるエラーを検出および識別するシステム

(57) 【要約】

集積回路メモリまたはバッファ装置などの集積回路、方法およびシステムが、実施形態の中でも特に、制御情報、書き込みデータおよび読み出しデータトランザクションにそれぞれ対応する、CRC符号などの複数のエラー符号を生成する。複数の別個に生成されたCRC符号は、循環バッファなどのそれぞれの記憶回路にログまたは記憶される。次に、各トランザクションに対応する、記憶された複数のCRC符号を用いて、エラーが特定のトランザクション中に発生したかどうか、ひいては、特定のトランザクションの再試行が行われるかどうかを判定する。集積回路には、集積回路によって生成されたCRC符号を、コントローラ装置によって提供されたCRC符号と比較する比較回路が含まれる。読み出しデータに対応するCRC符号は、読み出しトランザクション中に用いられていないデータマスク信号線を用いて、コントローラ装置に転送される。次に、集積回路によって生成されたCRC符号を、コントローラ装置によって生成されたCRC符号と比較して、エラーが発生したかどうかを判定してもよい。コントローラ装置は、制御情報、



【特許請求の範囲】**【請求項 1】**

記憶アレイに記憶される書き込みデータを表す第 1 の符号を記憶する第 1 の記憶回路と

、

前記記憶アレイから得られた読み出しデータを表す第 2 の符号を記憶する第 2 の記憶回路と、

前記記憶アレイにアクセスするために用いられる制御情報を表す第 3 の符号を記憶する第 3 の記憶回路と、
を含む集積回路装置。

【請求項 2】

10

前記集積回路装置が、コントローラ装置から前記記憶アレイを含む集積回路メモリ装置に書き込みデータを転送し、かつ前記集積回路メモリ装置から前記コントローラ装置に読み出しデータを転送するバッファ装置である、請求項 1 に記載の集積回路装置。

【請求項 3】

前記集積回路が、前記書き込みデータを記憶する前記記憶アレイを含む集積回路メモリ装置である、請求項 1 に記載の集積回路装置。

【請求項 4】

前記制御情報が、前記記憶アレイの行にアクセスするためのアドレス情報、およびメモリコマンドを含む、請求項 1 に記載の集積回路装置。

【請求項 5】

20

前記書き込みデータに応じて前記第 1 の符号を提供する第 1 の符号化回路と、
前記読み出しデータに応じて前記第 2 の符号を提供する第 2 の符号化回路と、
前記制御情報に応じて前記第 3 の符号を提供する第 3 の符号化回路と、
をさらに含む、請求項 1 に記載の集積回路装置。

【請求項 6】

前記第 3 の符号に応じて第 1 の圧縮符号を提供する圧縮回路と、
前記第 1 の圧縮符号を、受信された符号と比較して、エラーが発生したかどうかを判定する比較回路と、
をさらに含む、請求項 1 に記載の集積回路装置。

【請求項 7】

30

前記第 1、第 2 および第 3 の記憶回路が、書き込みデータを表す第 1 の複数の符号、読み出しデータを表す第 2 の複数の符号、および制御情報を表す第 3 の複数の符号を記憶する第 1、第 2 および第 3 の循環バッファを含む、請求項 1 に記載の集積回路装置。

【請求項 8】

前記第 1、第 2 および第 3 の符号が、巡回冗長検査符号である、請求項 1 に記載の集積回路装置。

【請求項 9】

集積回路装置の動作のための方法であって、
記憶アレイに記憶される書き込みデータを表す第 1 の符号を生成することと、
前記第 1 の符号を記憶することと、
前記記憶アレイから得られた読み出しデータを表す第 2 の符号を生成することと、
前記第 2 の符号を記憶することと、
前記記憶アレイにアクセスするために用いられる制御情報を表す第 3 の符号を生成することと、
前記第 3 の符号を記憶することと、
を含む方法。

40

【請求項 10】

コントローラ装置から第 4 の符号を受信することと、
前記第 4 の符号を前記第 3 の符号と比較して、エラー信号を生成することと、
前記エラー信号に応じてメモリトランザクションを再試行することと、

50

をさらに含む、請求項 9 に記載の方法。

【請求項 1 1】

前記第 4 の符号が、マスク情報を転送するために用いられる信号線から受信される、請求項 1 0 に記載の方法。

【請求項 1 2】

前記制御情報が、前記記憶アレイの行にアクセスするためのアドレスを含む、請求項 1 0 に記載の方法。

【請求項 1 3】

前記第 1 の符号を第 4 の符号と比較して、誤った書き込みデータの発生を示すエラー信号を生成するコントローラ装置に、前記第 1 の符号を転送することと、

前記第 2 の符号を第 5 の符号と比較して、誤った読み出しデータの発生を示すエラー信号を生成するコントローラ装置に、前記第 2 の符号を転送することと、

前記第 3 の符号を第 6 の符号と比較して、誤った制御情報の発生を示すエラー信号を生成するコントローラ装置に、前記第 3 の符号を転送することと、

をさらに含む、請求項 9 に記載の方法。

【請求項 1 4】

誤った書き込みデータの発生を示す前記エラー信号に応じて、前記書き込みデータの転送を再試行することと、

誤った読み出しデータの発生を示す前記エラー信号に応じて、前記読み出しデータの転送を再試行することと、

誤った制御情報の発生を示す前記エラー信号に応じて、制御情報の転送を再試行することと、

をさらに含む、請求項 1 3 に記載の方法。

【請求項 1 5】

前記集積回路装置が、コントローラ装置から、前記記憶アレイを含む集積回路メモリ装置に書き込みデータを転送し、かつ前記集積回路メモリ装置から前記コントローラ装置に読み出しデータを転送するバッファ装置である、請求項 9 に記載の方法。

【請求項 1 6】

前記第 1、第 2 および第 3 の符号が、巡回冗長検査符号である、請求項 9 に記載の方法。

【請求項 1 7】

集積回路メモリ装置の動作のための方法であって、

エラーが、前記集積回路メモリ装置のアクセスにおいて発生したことを示す符号を生成することと、

前記集積回路メモリ装置のアクセスにおいて発生したエラーのタイプを判定することと、

前記エラータイプに応じて、前記集積回路メモリ装置のアクセスを再試行することと、を含む方法。

【請求項 1 8】

前記集積回路メモリ装置の前記アクセスが、前記集積回路メモリ装置に制御情報を提供することを含み、前記制御情報が、前記集積回路メモリ装置の記憶アレイへのアドレスを含む、請求項 1 7 に記載の方法。

【請求項 1 9】

前記集積回路メモリ装置の前記アクセスが、前記集積回路メモリ装置の記憶アレイに記憶される書き込みデータを提供することを含む、請求項 1 7 に記載の方法。

【請求項 2 0】

前記集積回路メモリ装置の前記アクセスが、前記集積回路メモリ装置の記憶アレイから読み出しデータを提供することを含む、請求項 1 7 に記載の方法。

【請求項 2 1】

前記符号を生成することが、前記符号を圧縮することを含む、請求項 1 7 に記載の方法

10

20

30

40

50

。

【請求項 2 2】

前記判定が、記憶アレイを有する前記集積回路メモリ装置に配置された第 1 の記憶回路から、制御情報を表す符号を読み出すことと、前記集積回路メモリ装置に配置された第 2 の記憶回路から、書き込みデータを表す符号を読み出すことと、前記集積回路メモリ装置に配置された第 3 の記憶回路から、読み出しデータを表す符号を読み出すことと、を含む、請求項 1 7 に記載の方法。

【請求項 2 3】

エラーのタイプが、前記集積回路メモリ装置に転送される前記制御情報におけるエラー、前記集積回路メモリ装置の記憶アレイに記憶される前記書き込みデータにおけるエラー、および前記集積回路メモリ装置の前記記憶アレイから得られた前記読み出しデータにおけるエラーの 1 つから選択される、請求項 1 7 に記載の方法。

10

【請求項 2 4】

コントローラと、集積回路とを含むシステムであって、
前記コントローラが、
記憶アレイに記憶される書き込みデータを表す第 1 の符号を記憶する第 1 の記憶回路と、

前記記憶アレイから得られた読み出しデータを表す第 2 の符号を記憶する第 2 の記憶回路と、

前記記憶アレイにアクセスするために用いられる制御情報を表す第 3 の符号を記憶する第 3 の記憶回路と、
を含む、

20

前記集積回路が、
記憶アレイに記憶される書き込みデータを表す第 4 の符号を記憶する第 4 の記憶回路と、

前記記憶アレイから得られた読み出しデータを表す第 5 の符号を記憶する第 5 の記憶回路と、

前記記憶アレイにアクセスするために用いられる制御情報を表す第 6 の符号を記憶する第 6 の記憶回路と、
を含むシステム。

30

【請求項 2 5】

前記コントローラ装置が、前記第 3 の符号を前記第 6 の符号と比較してメモリコマンドをいつ再試行するかを判定する比較回路を含む、請求項 2 4 に記載のシステム。

【請求項 2 6】

前記比較回路が、前記第 1 の符号を前記第 4 の符号と比較して、前記コントローラ装置から前記集積回路に前記書き込みデータをいつ再転送するかを判定する、請求項 2 5 に記載のシステム。

【請求項 2 7】

前記比較回路が、前記第 2 の符号を前記第 5 の符号と比較して、前記集積回路から前記コントローラ装置に前記読み出しデータをいつ再転送するかを判定する、請求項 2 5 に記載のシステム。

40

【請求項 2 8】

前記コントローラ装置および前記集積回路が、シリアル相互接続部によって結合され、前記第 3、第 4 および第 5 の符号が、シリアル相互接続部において前記コントローラ装置に転送される、請求項 2 4 に記載のシステム。

【請求項 2 9】

前記第 1、第 2、第 3、第 4 および第 5 の符号が、巡回冗長検査符号である、請求項 2 4 に記載のシステム。

【請求項 3 0】

機器を表す情報を含む機械可読媒体であって、前記表された機器が、

50

記憶アレイに記憶される書き込みデータを表す第 1 の符号を記憶する第 1 の記憶回路と、
前記記憶アレイから得られた読み出しデータを表す第 2 の符号を記憶する第 2 の記憶回路と、

前記記憶アレイにアクセスするために用いられる制御情報を表す第 3 の符号を記憶する第 3 の記憶回路と、
を含む機械可読媒体。

【請求項 3 1】

書き込みデータ、読み出しデータおよび制御情報を転送するインタフェースと、
前記書き込みデータ、読み出しデータおよび制御情報を、書き込みデータ、読み出しデータおよび制御情報を表すエラー符号に符号化するための手段を含み、
前記符号化のための手段が前記エラー符号に応じて、前記書き込みデータ、読み出しデータおよび制御情報のいずれか 1 つを転送する際にエラーが発生したかどうかを判定すること
を含む集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

発明の分野

本発明は、一般に、集積回路装置および / またはかかる装置の高速シグナリングに関する。

【背景技術】

【0002】

関連技術の説明

チップ通信において、集積回路間で情報を転送する際に、エラーが発生する可能性がある。例えば、ノイズ、クロストークおよび / または符号間干渉が、信号を変更し、情報の誤った受信に帰着する可能性がある。集積回路は、誤って受信および / または送信された情報を検出するためのエラー検出回路および / またはソフトウェアを有してもよい。例えば、集積回路は、誤った情報が受信されたときに検出するために、チェックサムおよび / またはパリティチェック方式を有してもよい。さらに、集積回路は、情報におけるエラーを検出するだけでなく情報におけるエラーを訂正するエラー検査および訂正 (「ECC」) 方式 (ECC はまた、エラー訂正符号として知られている) を有してもよい。

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、集積回路間で大量の情報が転送される場合には、複雑なエラー検出および訂正方式は、大きすぎる帯域幅を要求して、システム性能を低下させる待ち時間を持ち込む可能性がある。さらに、アプリケーションによっては、1 つの相互接続における情報 (例えば、制御またはアドレス) のエラーは、他の情報が誤って転送または受信されることに帰着する可能性があり、したがって、エラーの根本的原因が何だったのかを判定するのが困難なことがあり得る。

【0004】

実施形態は、添付の図面の図において、限定ではなく例として示され、同様の参照数字は、同様の要素を指す。

【発明を実施するための最良の形態】

【0005】

詳細な説明

集積回路 (「IC」) メモリもしくはバッファ装置などの集積回路、方法および / またはシステムは、一般に、実施形態の中でも特に、制御情報、書き込みデータおよび読み出しデータトランザクションに対応する、巡回冗長検査 (「CRC」) 符号などの複数のエ

10

20

30

40

50

ラー符号を生成する。制御情報、書き込みデータおよび読み出しデータに対応する複数の別個に生成されたCRC符号は、循環バッファなどのそれぞれの記憶回路にログおよび記憶される。各トランザクションに対応する、記憶された複数のCRC符号を用いて、エラーが特定のトランザクション中に発生したかどうか、ひいては、特定のトランザクションの再試行もしくは複数の再試行を行うかどうかを判定してもよい。集積回路には、集積回路によって生成されたCRC符号を、コントローラ装置によって提供されたCRC符号と比較する比較回路が含まれる。制御情報に対応するCRC符号は、読み出しトランザクション中に用いられていないデータマスク信号線を用いて、コントローラ装置に転送される。次に、集積回路によって生成されたCRC符号を、コントローラ装置によって生成されたCRC符号と比較して、エラーが制御情報に発生したかどうかを判定してもよい。コントローラ装置は、制御情報、書き込みデータおよび読み出しデータに対応する複数のCRC符号を生成および記憶する。次に、コントローラ装置は、コントローラ装置によって生成されたCRC符号を、集積回路において生成および記憶されたCRC符号と比較し、エラーが特定のトランザクション中に発生したかどうかを判定する。

10

20

30

40

50

【0006】

集積回路には、書き込みデータを表す第1の符号を符号化する第1の符号化回路、読み出しデータを表す第2の符号を符号化する第2の符号化回路、および制御情報を表す第3の符号を符号化する第3の符号化回路が含まれる。制御情報には、記憶アレイにアクセスするためのアドレス情報および/またはメモリコマンドが含まれる。第1、第2および第3の圧縮回路が、第1、第2および第3の符号を圧縮して、圧縮された第1、第2および第3の符号を提供する。別の実施形態では、単一の圧縮回路が、第1、第2および第3の符号を圧縮して、単一の圧縮符号を提供する。第1および第2の圧縮符号は、転送された書き込みおよび読み出しデータにおけるエラーを検出するためにコントローラ装置に出力される。比較回路が、制御情報を表す第3の圧縮符号を、コントローラ装置からの圧縮符号と比較し、制御情報を転送する際にエラーが発生したかどうかを判定する。

【0007】

集積回路を動作させる方法実施形態において、記憶アレイに記憶される書き込みデータを表す第1の符号が、生成および記憶される。記憶アレイから得られた読み出しデータを表す第2の符号が、生成および記憶される。記憶アレイにアクセスするために用いられる制御情報を表す第3の符号が、生成および記憶される。コントローラ装置からの第4の符号が、第3の符号と比較されて、エラー信号を生成する。メモリトランザクションを再試行することを示す信号が、エラー信号に応じて生成される。

【0008】

集積回路を動作させる方法実施形態において、第1の符号が、コントローラ装置に転送され、このコントローラ装置が、第1の符号を、コントローラ装置によって生成された符号と比較して、誤った書き込みデータの発生を表すエラー信号を生成する。第2の符号が、コントローラ装置に転送され、このコントローラ装置が、第2の符号を、コントローラ装置によって生成された符号と比較して、誤った読み出しデータの発生を表すエラー信号を生成する。第3の符号が、コントローラ装置に転送され、このコントローラ装置が、第3の符号を、コントローラ装置によって生成された符号と比較して、誤った制御情報の発生を表すエラー信号を生成する。次に、読み出しデータ、書き込みデータおよび/または制御情報の再試行を、対応するエラー信号に応じて開始してもよい。

【0009】

システム実施形態において、コントローラ装置には、第1、第2および第3の符号を記憶する第1、第2および第3の回路が含まれるが、これらの符号は、記憶アレイに記憶される書き込みデータ、記憶アレイから得られた読み出しデータ、および記憶アレイにアクセスするために用いられる制御情報を表す。集積回路には、第4、第5および第6の符号を記憶する第4、第5および第6の回路が含まれるが、これらの符号は、記憶アレイに記憶される書き込みデータ、記憶アレイから得られた読み出しデータ、および記憶アレイにアクセスするために用いられる制御情報を表す。コントローラ装置には、1) 第3の符号

を第 6 の符号と比較して、メモリコマンドをいつ再試行するか、または制御情報をいつ再転送するかを判定し、2) 第 1 の符号を第 4 の符号と比較して、コントローラ装置からの書き込みデータを IC メモリ装置にいつ再転送するかを判定し、3) 第 2 の符号を第 5 の符号と比較して、IC メモリ装置からの読み出しデータをコントローラ装置にいつ再転送するかを判定する比較回路が含まれる。

【0010】

図 1 は、コントローラ装置または他のマスタ装置などの IC 110 を含むシステム 100 を示すが、この IC 110 は、相互接続部 160 によって、IC メモリ装置またはバッファ装置などの IC 150 に結合される。IC 110 および 150 には、IC 110 および 150 間で情報を転送するために利用可能な帯域幅の量が制限されている場合に階層タイプのエラーを検出するためのエラー検出(「ED」)回路 180 および 190 がそれぞれ含まれる。例えば、異なるタイプのメモリトランザクションまたは動作におけるエラーは、IC 110 および 150 に記憶された対応するエラー符号を用いることによって検出可能である。メモリトランザクションには、アドレス情報および/またはメモリコマンドなど、IC メモリ装置における記憶アレイにアクセスするための制御情報を提供することを含んでもよい。また、メモリトランザクションには、IC メモリ装置の記憶アレイに記憶される書き込みデータを提供することを含んでもよい。メモリトランザクションにはまた、メモリコントローラによって、IC メモリ装置の記憶アレイからの読み出しデータにアクセスすることを含んでもよい。ED 回路 180 および 190 は、エラーが、制御情報、書き込みデータおよび/または読み出しデータにおいて、単独にまたは組み合わされて発生したかどうかを検出することができる。

10

20

【0011】

ED 回路 190 には、信号線または経路 161 - 164 を含む相互接続部 160 に結合された受信機 140、141 および 142 が含まれる。受信機 140 は、制御情報を搬送する信号線 161 に結合され、受信機 141 は、書き込み動作中にマスク情報を搬送する信号線 162 か、またはエラー情報もしくは CRC 符号を提供する場合に利用可能な帯域幅を有する他の信号線に結合される。一実施形態において、信号線 162 は、信号線 163 など、書き込みおよび/または読み出しデータを転送する他の信号線と共に含まれる。受信機 142 は、記憶アレイに記憶される書き込みデータまたは記憶アレイに記憶された読み出しデータなどのデータ情報を搬送する信号線 163 に結合される。送信機 143 は、信号線 163 に結合され、他方で送信機 144 は、信号線 164 に結合される。信号線 164 は、ED 回路 190 から IC 110 に CRC 符号を提供する、SMBus バスなどのシリアルデータバスに含まれてもよい。代替実施形態において、信号線 164 は、エラー情報を提供する場合に利用可能な帯域幅を有する信号線である。別の実施形態において、信号線 164 は、読み出しおよび/または書き込みデータを転送するなどの典型的なメモリ動作中に用いられる利用可能な帯域幅を有する信号線である。

30

【0012】

制御情報は、制御情報をエラー符号に符号化する符号化回路 151 に、受信機 140 によって提供される。次に、符号化回路 151 は、符号化された制御情報を循環バッファ 158 および圧縮(圧縮機)回路 152 に出力する。圧縮回路 152 は、符号化された制御情報または制御情報用の CRC 符号を圧縮する。比較回路 153 は、受信機 141 を介した IC 110 からのエラー符号を、圧縮回路 152 からの圧縮され符号化された制御情報と比較して、エラーが、制御情報にいつ発生したかを判定する。IC 110 からの受信符号が、圧縮回路 152 からの符号と一致しないかまたは等しくない場合には、比較回路 153 は、エラーが制御情報に発生したことを示すエラー信号を生成する。比較回路 153 からのエラー信号によって、IC 150 は、IC 110 への再試行信号を生成するようにされ、次に、IC 110 が、信号線 161 において、制御情報の送信を再試行または反復する。

40

【0013】

別の実施形態では、IC バッファ装置においてエラー信号が提供されるが、この IC バ

50

ッファ装置は、例えば、制御情報をＩＣバッファ装置（へ、またはそこから）再送信することによってエラーが訂正されるまで、後続のどんな読み出しデータおよび／または書き込みデータ（ＩＣバッファ装置への、またはそこからの）も拒否および／または無視する。着信書き込みおよび／または読み出しデータを無視または拒否することは、誤った制御情報の受信ゆえに起こり得るいかなるデータ汚染も回避するために行われる。誤った制御情報の受信ゆえにデータが汚染されるか誤っている場合には、将来のトランザクションが不正確に解釈される可能性がある。

【 0 0 1 4 】

図 3 に示し下記で説明するように、受信機 1 4 0 からの制御情報を、列復号化回路 3 0 2 および／または行復号器 3 0 3 などのＩＣメモリコアに提供して、ＩＣメモリ装置 3 0 0 における記憶アレイにアクセスしてもよい。別の実施形態において、図 4 に示し下記で説明するように、制御情報は、ＩＣバッファ装置 4 0 0 における要求およびアドレス回路 4 4 0 に提供される。

【 0 0 1 5 】

同様に、受信機 1 4 2 からの書き込みデータは、書き込みデータを符号化してエラー符号またはＣＲＣ符号を得る符号化回路 1 5 4 に提供される。次に、符号化された書き込みデータは、循環バッファ 1 5 6 に記憶し、圧縮回路 1 5 9 によって圧縮してもよい。ＩＣ 1 1 0 による要求に応じて、周期的にまたは試験／保守動作中に、圧縮回路 1 5 9 は、符号化および圧縮された書き込みデータエラー符号を送信機 1 4 4 に提供し、この送信機 1 4 4 が、書き込みデータを表す符号を、信号線 1 6 4 を介してＩＣ 1 1 0 に送信する。次に、下記で説明するように、ＩＣ 1 1 0 は、ＩＣ 1 5 0 からの書き込みデータを表す符号を、ＩＣ 1 5 0 に送信された書き込みデータを表す、内部で生成および記憶された符号と比較して、書き込みデータの転送の際にエラーがいつ発生したかを判定してもよい。書き込みデータの再試行または再転送は、書き込みデータの転送においてエラーが発生したとの判定に応じてか、または比較回路 1 2 8 から出力された書き込みエラー信号に応じて、線 1 6 3 上でコントローラ 1 1 0 が行ってもよい。

【 0 0 1 6 】

図 3 に示し下記で説明するように、受信機 1 4 2 からの書き込みデータを、センス増幅器 3 0 6 などのメモリコアに提供し、書き込みデータをＩＣメモリ装置 3 0 0 に記憶してもよい。別の実施形態において、図 4 に示し下記で説明するように、書き込みデータは、ＩＣバッファ装置 4 0 0 におけるインタフェース 4 2 0 a - b に提供される。

【 0 0 1 7 】

読み出しデータを、送信機 1 4 3、および読み出しデータを符号化する符号化回路 1 5 5 に提供し、エラー符号またはＣＲＣ符号を得る。次に、符号化された読み出しデータは、循環バッファ 1 5 7 に記憶され、圧縮回路 1 5 9 によって圧縮される。ＩＣ 1 1 0 による要求に応じて、周期的にまたは試験／保守動作中に、圧縮回路 1 5 9 は、符号化および圧縮された読み出しデータを送信機 1 4 4 に提供し、この送信機 1 4 4 が、読み出しデータを表す符号を、信号線 1 6 4 を介してＩＣ 1 1 0 に送信する。次に、下記で説明するように、ＩＣ 1 1 0 は、ＩＣ 1 5 0 からの、読み出しデータを表す符号を、ＩＣ 1 5 0 に送信された読み出しデータを表す内部で生成および記憶された符号と比較して、読み出しデータを転送する際に、または比較回路 1 2 8 から出力された読み出しエラー信号出力に応じて、エラーがいつ発生したかを判定してもよい。

【 0 0 1 8 】

別の実施形態において、制御情報、読み出しデータおよび書き込みデータは、循環バッファ 1 5 6 - 1 5 8 から得られ、かつ単独に圧縮および転送されるのではなく、組み合わせられた圧縮符号を提供するように同時に圧縮され、この符号が送信機 1 4 4 から出力される。次に、ＥＤ回路 1 9 0 からのこの組み合わせられた圧縮符号は、圧縮回路 1 2 7 からの同時に組み合わせられ圧縮符号と比較回路 1 2 8 によって比較され、ＥＤ回路 1 8 0 においてエラー信号を生成してもよい。

【 0 0 1 9 】

10

20

30

40

50

送信機 143 に提供される読み出しデータは、図 3 に示し下記で説明するように、セン
ス増幅器 306 などのメモリコアから提供して、ICメモリ装置 300 の記憶アレイに記
憶された読み出しデータを得てもよい。別の実施形態において、図 4 に示し下記で説明す
るように、読み出しデータは、ICパuffa装置 400 におけるインタフェース 420 a
- b から (マルチプレクサ 430 a - b を介して) 提供される。

【0020】

循環パuffa 158、圧縮回路 159 および送信機 144 を用いる ED 回路 190 は、
同様に、記憶された符号化制御情報を、受信機 140 を介して IC 110 に提供してもよ
い。

【0021】

IC 110 には、相互接続部 160 に結合された送信機 130、131 および 132 が
含まれる。特に、制御情報は、信号線 161 および符号化回路 120 に結合された送信機
130 に提供される。制御情報または制御トランザクションはまた、トランザクション制
御回路 129 に入力される。次に、符号化された制御情報は、符号化回路 120 から、圧
縮回路 121 および循環パuffa 126 に出力される。次に、圧縮回路 121 は、制御情
報または CRC 符号を表す符号を、信号線 162 上で符号を送信する送信機 131 に提供
する。書き込みデータは、送信機 132、トランザクション制御回路 129 および符号化
回路 122 に提供される。次に、符号化回路 122 は、循環パuffa 124 に記憶される
書き込みデータを表す符号を出力する。同様に、信号線 163 に結合された受信機 133
から受信された読み出しデータは、符号化回路 123 に提供され、この符号化回路 123
が、受信機 133 から受信された読み出しデータを表す符号を出力する。次に、符号は、
循環パuffa 125 に入力される。

【0022】

トランザクション制御回路 129 は、最近のトランザクションを記憶し、圧縮回路 12
7 への循環パuffa 124、125 および 126 の出力を制御する。トランザクション制
御回路 129 はまた、比較回路 128 への圧縮回路 127 の出力を制御するが、この比較
回路 128 は、IC 110 において生成された制御情報、書き込みデータおよび読み出し
データを表す符号を、受信機 134 を介して IC 150 から受信された制御情報、書き込
みデータおよび読み出しデータを表す符号と比較する。下記で説明するように、IC 11
0 は、制御情報、書き込みデータおよび / または読み出しデータなどの情報を再送信する
際に、トランザクション制御回路 129 ならびに循環パuffa 124 - 126 および 15
6 - 158 に記憶されたトランザクションにアクセスするが、これによって、エラー信号
は比較回路 128 から出力される。比較回路 128 による比較後にエラー信号が出力され
ない (または、代わりに経路信号が出力される) 場合には、記憶されたトランザクシ
ョンは、クリアまたは消去してもよい。

【0023】

IC 110 は、IC 150 からの (受信機 134 を介した) 書き込みデータを表す符号
を、書き込みデータを表す、内部で生成および記憶された符号 (循環パuffa 124 に記
憶された) と比較して、書き込みデータを転送した際にエラーが発生した場合には比較回
路 128 からエラー信号を出力してもよい。IC 110 はまた、IC 150 からの (受信
機 134 を介した) 読み出しデータを表す符号を、(循環パuffa 125 に記憶された)
読み出しデータを表す、内部で生成および記憶された符号と比較して、読み出しデータを
転送した際にエラーが発生した場合には比較回路 128 からエラー信号を出力してもよい。
IC 110 はまた、IC 150 からの (受信機 134 を介した) 制御情報を表す符号を、
(循環パuffa 126 に記憶された) 制御情報を表す、内部で生成および記憶された符
号と比較して、制御情報を転送した際にエラーが発生した場合には比較回路 128 からエ
ラー信号を出力してもよい。比較回路 128 は、圧縮回路 127 からの符号が、受信機 1
34 から受信された符号と一致しないかまたは等しくない場合に、エラー信号を出力する
。

【0024】

制御情報は、制御情報用のエラー信号が比較回路128から出力された場合には、送信機130から再試行または再送信してもよい。特に、集積回路110は、トランザクション制御回路129にアクセスして、どの記憶されたトランザクションを再試行すべきかを判定する。集積回路110はまた、循環バッファ124 - 126および156 - 157にアクセスして、どの特定のトランザクションが失敗したかまたは誤っているかを判定する。書き込みデータ用のエラー信号が比較回路128から出力された場合には、書き込みデータを送信機132から再試行または再送信してもよい。読み出しデータ用のエラー信号が比較回路128から出力された場合には、読み出しデータを、IC150における送信機143から再試行または再送信してもよい。一実施形態において、IC110は、制御情報を送信機130に提供して、誤っていると判定された読み出しデータを再試行または再転送するようにする。

10

【0025】

単独または組み合わされた循環バッファ124 - 126および156 - 158は、2進情報を連続して書き込み、読み出す記憶回路である。循環バッファは、そこに書き込まれるかまたはそこから読み出される次の2進情報のために、記憶回路における現在の位置を識別するポインタを用いてもよい。

【0026】

単独または組み合わされた符号化回路120、122 - 123、151および154 - 155は、2進情報の第1のセットを、2進情報の第2のセットまたは符号に符号化する回路である。符号化回路は、制御情報、読み出しデータおよび/または書き込みデータなどの2進情報を、エラーの検出を可能にするECCに符号化してもよい。例えば、記憶アレイから読み出されたかまたは記憶アレイに記憶される64ビットワードは、64ビットワードを付加されるかまたは共に転送される6ビットECCに符号化してもよい。ECCは、4ビット、6ビット、16ビットまたは32ビット多項式などの多項式である。他の実施形態では、Nビット多項式が用いられる。結果としての多項式は、巡回冗長検査符号(「CRC符号」か、4ビット多項式用の「CRC-4」か、または6ビット多項式用の「CRC-6」など)として公知である。CRC-Nsは、International Telecommunication Union-Telecommunication Standardization Sector(「ITU-TS」)によって定義してもよく、用いられる。CRC-16は、全てのシングルおよびダブルビットエラーの検出が可能であり、かなりの数の起こり得るエラーの検出を保証することができる。1つまたは複数の符号化回路120、122 - 123、151および154 - 155は、複数のXORゲートを含んで、CRC符号を出力してもよい。

20

30

【0027】

単独または組み合わされた送信機130 - 132および143 - 144には、それぞれの信号を相互接続部160に出力する出力ドライバ回路を含んでもよい。出力ドライバ回路は、プルアップ、プルダウンおよび/またはプッシュプルタイプの出力ドライバ回路であってもよい。

【0028】

複数の圧縮回路が、圧縮回路159および/または127の代わりに用いられてもよい。単一の符号化回路が、複数の符号化回路の代わりに用いられてもよい。

40

【0029】

図2A - Bは、IC110および/または150などの集積回路を動作させるための方法200の実施形態を示す。実施形態において、図2A - Bに示す論理ブロックは、ハードウェア、ソフトウェアまたはそれらの組み合わせによって実行される。実施形態において、図2A - Bに示す論理ブロックは、動作またはステップを示す。実施形態において、単独または組み合わせて図1に示す回路は、図2A - Bに示す論理ブロックを実行する。様々な実施形態において、図示されていない他の論理ブロックを含んでもよい。同様に、様々な実施形態において、図示された論理ブロックは除外してもよい。また、方法200は、順次論理ブロックで記載されているが、方法200における論理ブロックのステップは、非常に迅速にまたはほとんど瞬時に完了される。

50

【 0 0 3 0 】

方法 2 0 0 は、エラーがメモリトランザクションで発生したかどうかの判定がなされる論理ブロック 2 0 1 および 2 0 2 で始まる。メモリトランザクションは、読み出しデータの転送であってもよい。受信機 1 3 4 を介した I C 1 5 0 からの読み出しデータを表す符号は、循環バッファ 1 2 5 および圧縮回路 1 2 7 を介した読み出しデータを表す符号と、（比較回路 1 2 8 を用いて）比較してもよい。あるいは、制御情報、読み出しデータおよび書き込みデータを表す単一の組み合わせられた圧縮符号は、メモリ装置および / またはバッファ装置から提供され、かつ制御情報、読み出しデータおよび書き込みデータを表す、内部で生成され組み合わせられた別の圧縮符号と比較されて、エラーがメモリトランザクションにおいて発生したかどうかを判定してもよい。エラーが検出されるかどうかの判定は、図 5 に示すコントローラ装置 5 0 1 などのコントローラ装置および / または図 6 に示すバッファ装置 6 0 0 におけるハードウェアによって実行してもよい。読み出しデータおよび / または圧縮され組み合わせられた符号においてエラーが検出されない場合には、前のトランザクションを記憶するバッファはクリアされ、メモリ動作は、論理ブロック 2 1 1 で示すように継続する。トランザクション制御回路 1 2 9 には、クリアまたは消去が可能なトランザクションキューまたは記憶回路が含まれる。他の場合には、読み出しデータおよび / または圧縮された組み合わせ符号においてエラーが検出された場合には、メモリトランザクションが停止される論理ブロック 2 0 3 に、制御が移る。メモリトランザクションの休止または停止は、ファームウェアを実行する埋め込みプロセッサなどのコントローラ装置によってか、またはエラー信号に応じて中断される別個のプロセッサによって実行してもよい。次に、論理ブロック 2 0 4 - 2 0 5 によって示すように、循環バッファ 1 2 4 、 1 2 5 および 1 2 6 における符号が、受信機 1 3 4 を介した I C 1 5 0 からの符号と比較されて、エラーが、書き込みデータ（つまり論理ブロック 2 0 1 において読み出され、続いて誤っていると判定された）、読み出しデータ、またはアドレス情報などの制御情報の転送において発生したかどうかを判定するようにする。論理ブロック 2 0 6 によって示すように、エラーが、アドレス情報または書き込み / 読み出しデータの転送において発生したかどうかの判定がなされる。エラーがアドレスで発生した場合には、アドレス情報の転送が失敗した後の全てのメモリトランザクションは、論理ブロック 2 0 8 によって示すように、再発行または再試行される。他の場合には、論理ブロック 2 0 7 に示すように、エラーが、書き込みデータまたは読み出しデータの転送において発生したかどうかの判定がなされる。論理ブロック 2 0 7 によって判定されるように、エラーが、読み出しデータの転送において発生した場合には、論理ブロック 2 0 9 によって示すように、読み出しデータが再試行または再送信される。論理ブロック 2 0 7 によって判定されるように、エラーが、書き込みデータの転送において発生した場合には、論理ブロック 2 1 0 によって示すように、書き込みデータが再試行または再送信される。論理ブロック 2 1 2 に示すように、他のエラーが検査される。他のエラーが検出された場合には、制御は、論理ブロック 2 0 2 に移る。他の場合には、制御は、最近のトランザクション情報を記憶するトランザクションバッファをクリアすることを示す論理ブロック 2 1 3 へ移る。メモリトランザクションは、論理ブロック 2 1 4 に示すように再開され、方法 2 0 0 は終了する。

【 0 0 3 1 】

図 3 は、E D 回路 1 9 0 をインタフェース 3 1 0 に含んだ集積回路メモリ装置 3 0 0 を示す。集積回路メモリ装置 3 0 0 は、列復号化回路 3 0 2 および行復号化回路 3 0 3 を有するメモリコア 3 0 1 に N 記憶アレイ（メモリバンク）3 0 4 を含む。各メモリバンク 3 0 4 には、記憶アレイまたは複数の記憶セルを含んでもよい。

【 0 0 3 2 】

集積回路メモリ装置 3 0 0 は、メモリトランザクションにおいて、メモリ動作コマンドおよびアドレス情報などの制御情報を E D 回路 1 9 0 から受信する。制御情報には、特定の信号線において特定のビットウィンドウでアサートされた 1 つまたは複数の信号を表す要求パケットを含んでもよい。

【 0 0 3 3 】

行復号化回路 303 および列復号化回路 302 は、行復号化回路 303 および列復号化回路 302 を経由して受信された制御信号に応じて、記憶アレイ 304 に記憶されたデータにアクセスするために用いられる。行復号化回路 303 および列復号化回路 302 は、ED 回路 190 において IC メモリ装置 300 によって受信されたコマンドおよびアドレスに応じて、制御信号を生成してもよい。例えば、行 305 などの複数の記憶セルに記憶されたデータは、行コマンドに応じて、センス増幅器 306 を用いて検出される。行 305 は、行復号化回路 303 に提供された行アドレスによって識別される。センス増幅器 306 において検出されたデータのサブセットが、列復号化回路 302 に提供された列コマンドに応じて選択される。データのサブセットは、列復号化回路 302 に提供された列アドレスによって識別される。

10

【0034】

図 4 は、インタフェース 410 に ED 回路 190 を有する IC バッファ装置 400 を示す。上記のように、ED 回路 190 は、IC バッファ装置 400 用の異なるタイプのメモリトランザクションに対応する CRC 符号を受信および / または出力する。下記で詳細に説明するように、IC バッファ装置 400 は、メモリモジュールに配置するか、IC メモリ装置もしくはダイと共に共通パッケージに収容するか、またはマザーボード、例えばパーソナルコンピュータもしくはサーバにおけるメインメモリに位置してもよい。IC バッファ装置 400 はまた、例えば、コンピュータグラフィックカード、ビデオゲーム機またはプリンタで見出されるメモリサブシステムなどの埋め込みメモリサブシステムにおいて用いてもよい。

20

【0035】

図 4 は、相互接続部 160 から制御情報、書き込みデータおよび CRC 符号を受信するインタフェース 410 を示す。IC バッファ装置 400 に結合された IC メモリ装置用に意図された制御情報、書き込みデータおよび CRC 符号の多重組み合わせは、インタフェース 410 を介して受信してもよく、このインタフェース 410 は、例えば、制御情報を抽出してもよい。例えば、メモリコマンドおよびアドレス情報は、復号化し、相互接続部 160 において多重情報から分離し、インタフェース 410 から要求およびアドレス回路 440 に提供してもよい。書き込みデータは、インタフェース 410 経由でインタフェース 420 a - b に提供してもよく、IC メモリ装置からの読み出しデータは、1 つまたは複数のインタフェース 420 a - b において受信し、マルチプレクサ 430 a - b を介してインタフェース 410 に提供してもよい。

30

【0036】

インタフェース 410 および特に ED 回路 190 は、コントローラ装置または他の IC バッファ装置から CRC 符号を受信する。要求およびアドレス回路 440 と共にインタフェース 410 は、別の IC 用に意図された 1 つまたは複数の CRC 符号を、インタフェース 410 に結合された一相互接続部から、インタフェース 410 に結合された別の相互接続部に（または同じ相互接続部で）ルーティングまたは転送してもよい。インタフェース 410 における ED 回路 190 によって生成された CRC 符号は、インタフェース 410 に結合された 1 つまたは複数の相互接続部経由でアクセスされてもよい。

【0037】

40

クロック信号および他の情報は、相互接続部 160 においてか、またはシリアルバスなどの他の相互接続部によって受信してもよい。インタフェース 410 は、送信回路もしくは送信機および受信回路もしくは受信機（またはトランシーバと呼ばれる組み合わせ）を含み、相互接続部 160 において信号を出力および受信してもよい。同様に、インタフェース 420 a および 420 b は、相互接続部 421 および 422 をそれぞれ介して、IC メモリ装置へおよびそこから、制御情報、書き込みデータおよび読み出しデータを受信および送信してもよい。インタフェース 420 a - b には、相互接続部 421 および 422 において信号を出力および受信する送信機および受信機を含んでもよい。単独または組み合わせられた、インタフェース 410 および 420 a - b の送信機および受信機は、相互接続部 421 および 422 における特定の信号線の専用か、またはこれらの信号線に共有さ

50

れてもよい。

【0038】

インタフェース420a - bにおける送信機および受信機は、DDR3信号など、第1のタイプの標準シグナリング特性（またはプロトコル）を有する信号を送信および受信してもよい。他方で、インタフェース410には、DDR2信号など、第2のタイプの標準シグナリング特性を有する信号を送信および受信する送信機および受信機が含まれる。

【0039】

インタフェース420a - bには、単方向相互接続部において制御情報を転送する送信機を含んでもよい。他方で、書き込みおよび読み出しデータ用の送信機および受信機は、双方向相互接続部において書き込みおよび読み出しデータを転送する。

10

【0040】

マルチプレクサ430aおよび430bは、適切なソース（すなわち、相互接続部のサブセットである内部データキャッシュをターゲットとする）からのデータを適切な目的地にルーティングするだけでなく、インタフェース410とインタフェース420aおよび420bとの間で帯域幅集中動作を実行してもよい。帯域幅集中には、複数の相互接続部における各相互接続部の（より小さな）帯域幅を組み合わせ、相互接続部のより小さなグループにおいて利用される（より高い）全体的な帯域幅と一致するようにすることを含んでもよい。帯域幅集中は、典型的には、複数の相互接続部と相互接続部のより小さなグループとの間で、スループットの多重化および逆多重化を利用する。ICバッファ装置400は、インタフェース420aおよび420bの組み合わせられた帯域幅を利用して、インタフェース410の帯域幅と一致させてもよい。

20

【0041】

キャッシュ460は、ICバッファ装置400組み込んでもよい。キャッシュ460は、最も頻繁に参照される書き込みおよび/または読み出しデータならびに関連するタグアドレスの記憶に、ICメモリ装置のアクセス待ち時間特性よりも低いアクセス待ち時間特性を提供することによって、メモリアクセス時間を改善することができる。一実施形態において、キャッシュ460は、図1に示すような、ED回路190の循環バッファ156 - 158の代わりに用いてもよい。

【0042】

計算回路465には、プロセッサまたはコントローラユニット、圧縮/復元エンジンなどを含んで、ICバッファ装置400の性能および/または機能性をさらに向上させてもよい。一実施形態において、計算回路465は、図1に示す、ED回路190の1つまたは複数の圧縮回路152および159の代わりに2進情報を圧縮するために用いられる。

30

【0043】

クロック回路470は、外部クロック（図示せず）に対して位相または遅延調整内部クロック信号用の1つまたは複数のクロック整合回路が含まれる。クロック整合回路は、既存のクロック発生器からの外部クロック、または内部クロックを提供する内部クロック発生器を利用して、所定の一時的な関係を有する内部同期クロック信号を発生してもよい。クロック回路470には、位相ロックループ回路または遅延ロックループ回路を含んでもよい。クロック整合回路は、CRC符号だけでなく転送または受信される制御情報、読み出しデータおよび/または書き込みデータと一時的な関係を有する内部クロック信号を提供してもよい。

40

【0044】

（インタフェース410と同様に）インタフェース420a - bにおける送信機は、符号化されたクロック情報を含む差動信号を送信してもよく、受信機は、符号化されたクロック情報を含む差動信号を受信してもよい。例えば、クロック回路470は、受信機によって受信されたデータで符号化されたクロック情報を抽出する。さらに、クロック情報は、送信機によって送信されるデータで符号化される。例えば、クロック情報は、最小数の信号遷移が、所与数のデータビットにおいて発生することを保証することによって、データ信号上に符号化してもよい。

50

【 0 0 4 5 】

シリアルインタフェース 4 7 4 は、コントローラまたは他の構成回路からシリアル情報を受信するインタフェースである。シリアル情報には、ＩＣバッファ装置 4 0 0 またはメモリモジュール用の初期化信号を含んでもよい。シリアルインタフェース 4 7 4 は、ＥＤ回路 1 9 0 における圧縮回路 1 5 9 から出力されるＣＲＣ符号を得るために、ＩＣ 1 1 0（またはコントローラ装置）が用いてもよい。

【 0 0 4 6 】

図 5 は、ＥＤ回路 1 8 0 を複数のメモリモジュール 5 2 0 a - n に結合したコントローラ装置 5 0 1 を含むメモリシステム 5 0 0 を示す。複数のメモリモジュール 5 2 0 a - n には、それぞれのＥＤ回路 1 9 0 a - n を有する複数のそれぞれのＩＣバッファ装置 5 2 5 a - n と、相互接続部 5 3 0 a - n との間で信号を転送するコネクタ 5 2 2 a - n が含まれる。それに応じて、ＩＣバッファ装置 5 2 5 a - n は、相互接続部 4 2 1 および 4 2 2 を用いて、複数のＩＣメモリ装置 5 2 1 a - h とＩＣバッファ装置 5 2 5 a - n との間で信号を転送する。一実施形態において、複数のＥＤ回路 1 9 0 a - n における少なくとも 1 つのＥＤ回路が、図 1 に示すＥＤ回路 1 9 0 に対応する。

【 0 0 4 7 】

コントローラ装置 5 0 1 ならびにメモリモジュール 5 2 0 a、5 2 0 b および 5 2 0 n は、相互接続部 5 3 0 a、5 3 0 b および 5 3 0 n によって結合される。相互接続部 5 3 0 a は、図 1 および 4 に示す相互接続部 1 6 0 に対応する。相互接続部 5 3 0 a、5 3 0 b および 5 3 0 n には、コントローラ装置 5 0 1 からＩＣバッファ装置 5 2 5 a へ、およびＩＣバッファ装置 5 2 5 a からＩＣバッファ装置 5 2 5 b へなど、単方向差動信号を用いて制御情報および書き込みデータを転送するそれぞれのポイントツーポイントリンクを含んでもよい。同様に、相互接続部 5 3 0 b および 5 3 0 a にもまた、受信した制御情報に応じて、ＩＣバッファ装置 5 2 5 b からＩＣバッファ装置 5 2 5 a へ、およびＩＣバッファ装置 5 2 5 a からコントローラ装置 5 0 1 へ、単方向差動信号を用いて読み出しデータを転送するそれぞれのポイントツーポイントリンクを含んでもよい。

【 0 0 4 8 】

一実施形態において、ポイントツーポイントリンクは、1 つまたは複数の信号線を示すが、各信号線は、単に 2 つのトランシーバ接続点を有し、各トランシーバ接続点は、送信機、受信機またはトランシーバ回路に結合される。例えば、ポイントツーポイントリンクには、一端部またはその近くに結合された送信機、およびもう一方の端部またはその近くに結合された受信機を含んでもよい。

【 0 0 4 9 】

1 つまたは複数の相互接続部 5 3 0 a、5 3 0 b および 5 3 0 n には、異なるタイプのバスまたはポイントツーポイントリンクアーキテクチャを含んでもよい。相互接続部はまた、異なるタイプのシグナリングおよびクロッキングタイプアーキテクチャを有してもよい。異なるリンクアーキテクチャを有する実施形態には、同時双方向リンク、時間多重双方向リンク、および複数の単方向リンクが含まれる。これらのリンクまたはバスアーキテクチャのいずれかにおいて、電圧または電流モードシグナリングを用いてもよい。

【 0 0 5 0 】

メモリモジュール 5 2 0 a - n における 1 つまたは複数のメモリモジュールは、標準 D I M M フォームファクタを有するデュアルインラインメモリモジュール（「D I M M」）であってもよい。メモリモジュールは、「システムインパッケージ」（「S I P」）として、単一の一体型パッケージに含まれてもよい。一タイプの S I P 実施形態において、メモリモジュールには、互いの上に積み重ねられ、かつ導電性相互接続部を介して結合された一連の集積回路ダイ（すなわち、メモリ装置およびバッファ装置）を含んでもよい。メモリモジュールが、プリント回路基板にしっかりと装着されるように、はんだボールまたはリード線をコネクタインタフェースとして用いてもよい。コネクタインタフェースはまた、メモリモジュールがシステムの残りから着脱可能なように、例えば、雄および雌部分を含む、物理的に分離可能なタイプのものであってもよい。別の S I P 実施形態には、共

10

20

30

40

50

通基板平面に２次元構成で配置され、かつ単一のパッケージハウジング内に位置する多数のメモリ装置およびバッファ装置を含んでもよい。

【００５１】

クロック源５１０は、１つまたは複数のクロック信号を、相互接続部５３３でコントローラ装置５０１およびメモリモジュール５２０ a - nに提供してもよい。相互接続部５３３における１つまたは複数の信号線は、ＩＣバッファ装置５２５ a - nのクロック回路４７０に結合されてもよい。クロック源５１０は、クロック信号を提供するクロック発生器であってもよい。クロック源５１０は、コントローラ装置５０１に含まれてもよい。クロック源５１０からのクロック信号を用いて、コントローラ５０１と、単独または組み合わされたメモリモジュール５２０ a - nとの間で転送されるＣＲＣ符号だけでなく、制御情報、読み出しデータおよび書き込みデータ間の一時的な関係を提供してもよい。

10

【００５２】

相互接続部５３１は、コントローラ装置５０１をメモリモジュール５２０ a - nに結合する。相互接続部５３１は、ＩＣバッファ装置５２５ a - nのシリアルインタフェース４７４に結合されたシリアルバスであってもよい。

【００５３】

図１で示す実施形態に戻ると、ＩＣ１１０および１５０は、相互接続部１６０に結合するための、ピンおよび／またはボールなどの複数の導電性コンタクトを含むパッケージに収容されてもよい。複数のコンタクト、はんだボールまたはピンは、インタフェースと基板との間に電気接続を提供するインタフェースに含まれてもよい。一実施形態において、インタフェースは、コネクタまたは基板から着脱可能であってもよい。一実施形態において、ＩＣ１１０、１５０および関連する相互接続部は、ＩＣ１１０および１５０の両方を収容する１つの集積モノリシック回路および／またはパッケージにあってもよい。

20

【００５４】

図６は、複数の集積回路メモリ装置（またはダイ）３００ a - dと、エラー検出回路１８０／１９０を有するバッファ装置（またはダイ）４００と、を有する装置６００を示すブロック図である。１つまたは複数の集積回路メモリ装置３００ a - dは、図３に示す集積回路メモリ装置３００に対応してもよく、バッファ装置４００は、図４に示す集積回路バッファ装置４００に対応してもよい。バッファ装置４００は、循環バッファ１５６ - １５８を含むエラー検出回路１９０を含んで、制御情報、書き込みデータおよび／または読み出しデータを、相互接続部１６０を通じてコントローラ装置１１０から、またはそこへ転送する際にエラーが発生したかどうかを判定する。同様に、バッファ装置４００はまた、エラー検出回路１８０を含んでもよいが、このエラー検出回路１８０は、バッファ装置４００と、エラー検出回路１９０を含んでもよい１つまたは複数のメモリ装置３００ a - dとの間における、制御情報、書き込みデータおよび／または読み出しデータの転送においてエラーを検出する際に用いられる。

30

【００５５】

ここで、データ（読み出しおよび／または書き込み）は、相互接続部６０６において、複数の集積回路メモリ装置３００ a - dとバッファ装置４００との間で転送してもよい（読み出し／書き込みデータ）。相互接続部６０６は、装置６００の内部に位置する相互接続部であり、複数の集積回路メモリ装置３００ a - dとバッファ装置４００との間で双方向データ信号を提供するためのバスであってもよい。双方向データ信号の例には、集積回路メモリ装置３００ a - dの１つまたは複数からバッファ装置４００に移動する信号、およびまたバッファ装置４００から集積回路メモリ装置３００ a - dの１つまたは複数に移動する信号が含まれる。相互接続部６０５は、装置６００の内部の相互接続部であり、バッファ装置４００から複数の集積回路メモリ装置３００ a - dに単方向制御／アドレス／クロック信号を提供するためのバスであってもよい。単方向バスの例において、信号は、一方向だけに、すなわち、この場合には、バッファ装置４００から集積回路メモリ装置３００ a - dの１つまたは複数だけに移動する。相互接続部６０５には、個別の制御信号線、例えば、行アドレスストロープ線、列アドレスストロープ線等、およびアドレス信号線

40

50

を含んでもよい。相互接続部 605 には、バッファ装置 400 から集積回路メモリ装置 300 a - d にクロック信号を転送するフライバイクロック線を含んでもよい。相互接続部 605 は、1 つまたは複数の集積回路メモリ装置 300 a - d からバッファ装置 400 にクロック信号を転送してもよい。

【0056】

相互接続部 160 は、装置 600 および特にバッファ装置 400 に結合してもよい。相互接続部 160 は、バッファ装置 400 とコントローラ装置 110 との間で、単方向制御 / アドレス / クロック信号、および双方向または単方向データ信号を転送する。また、代替実施形態において、他の相互接続部および外部接続トポロジを、装置 600 用に用いてもよい。例えば、バッファ装置 600 は、単一分岐制御バス、スプリット分岐制御バスまたはセグメント分岐バスに結合してもよい。

10

【0057】

一実施形態において、バッファ装置 400 は、シリアル・プレゼンス・ディテクト装置 (「SPD」) 602 と通信して、装置 600 および / またはメモリモジュール 520 a - n に関するパラメータおよび構成情報を記憶および検索する。一実施形態において、SPD 602 は、不揮発性記憶装置である。相互接続部 604 は、SPD 602 をバッファ装置 400 に結合する。一実施形態において、相互接続部 604 は、SPD 602 とバッファ装置 400 との間で双方向信号を提供するための内部信号経路である。

【0058】

SPD 602 は、EEPROM 装置であってもよい。しかしながら、限定するわけではないが、特定の論理レベル (ハイまたはロー) に結び付けられたブルアップもしくはブルダウン抵抗ネットワークなどの手動のジャンパまたはスイッチ設定を含む他のタイプの SPD 602 が可能であり、これらは、メモリモジュールが追加されたかまたはシステムから取り除かれた場合に状態を変更することができる。

20

【0059】

一実施形態において、装置 600 は、2 つの別個の電源を有する。電源 V1 は、1 つまたは複数のメモリ装置 (メモリ装置 300 a - d) に電力を供給する。電源 V2 は、1 つまたは複数のバッファ (バッファ装置 400) に電力を供給する。一実施形態において、バッファ装置 400 は、メモリ装置 300 a - d に電力を供給するための内部電力調整回路を有する。

30

【0060】

図 4 に戻ると、記憶アレイ 304 には、記憶セルの 2 次元アレイが含まれる。記憶アレイの記憶セルは、ダイナミックランダムアクセスメモリ (「DRAM」) セル、スタティックランダムアクセスメモリ (「SRAM」) セル、FLASH セル、強誘電体 RAM (「FRAM」) セル、磁気抵抗もしくは磁気 RAM (「MRAM」) セル、または他の等しいタイプのメモリ記憶セルであってもよい。IC メモリ装置 300 は、ダブルデータレート SDRAM (「DDR」) IC メモリ装置または後世代の IC メモリ装置 (例えば、「DDR2」もしくは「DDR3」) であってもよい。代替実施形態において、IC メモリ装置 300 は、XDRTM DRAM IC メモリ装置またはダイレクトラムバス (Direct Rambus) (登録商標) DRAM (「DRDRAM」) メモリ装置である。

40

【0061】

図 1 に示す実施形態において、IC 110 はマスタ装置であるが、これは、他のインタフェースまたは機能性、例えばチップセットのノースブリッジチップを含む集積回路装置であってもよい。マスタ装置は、マイクロプロセッサ、グラフィックプロセッサユニット (「GPU」)、またはビジュアルプロセッサユニット (「VPU」) に統合されてもよい。マスタ装置は、フィールドプログラマブルゲートアレイ (「FPGA」) として実現してもよい。IC 110 および 150 は、パーソナルコンピュータ、グラフィックカード、セットトップボックス、ケーブルモデム、携帯電話、ゲーム機、デジタルテレビセット (例えば、高精細度テレビ (「HDTV」))、ファックス機、ケーブルモデム、デジタ

50

ル多用途ディスク（「DVD」）プレーヤもしくはネットワークルータなどの様々なシステムまたはサブシステムに含まれてもよい。

【0062】

本明細書で説明する信号は、導電体によって装置／回路間および装置／回路内で送信または受信してもよく、限定するわけではないが、電気信号の電圧または電流レベルの変調を含む多くのシグナリング技術を用いて発生してもよい。信号は、データだけでなく、任意のタイプの制御およびタイミング情報（例えば、コマンド、アドレス値、クロック信号および構成情報）を表してもよい。また、図示の単一の信号は、一実施形態において、それぞれの信号線における複数の信号を表してもよい。

【0063】

実施形態において、本明細書で説明する相互接続部には、複数のワイヤおよび／または金属トレース／信号線など、複数の導電性要素または信号経路が含まれる。複数の信号経路が、図に示す単一の信号経路の代わりに用いられてもよく、単一の信号経路が、図に示す複数の信号経路の代わりに用いられてもよい。相互接続部には、バスおよび／またはポイントツーポイント接続部を含んでもよい。相互接続部には、制御およびデータ信号線を含んでもよい。代替実施形態において、相互接続部には、データ信号線だけまたは制御信号線路だけが含まれる。さらに他の実施形態において、相互接続部は、単方向（一方向に移動する信号）、双方向（2つの方向に移動する信号）、または単方向信号線および双方向信号線の両方の組み合わせである。

【0064】

本明細書に開示する様々な回路が、それらの挙動、レジスタ転送、論理コンポーネント、トランジスタ、レイアウトジオメトリおよび／または他の特性の点で、様々なコンピュータ可読媒体において具体化されるデータおよび／または命令として、コンピュータ支援設計ツールを用いて記述され、表現（または表示）可能であることに留意されたい。かかる回路表現が実現可能なファイルおよび他のオブジェクトのフォーマットには、限定するわけではないが、C、ベリログ（Verilog）およびHDLなどの動作言語をサポートするフォーマット、RTLのようなレジスタレベル記述言語をサポートするフォーマット、GDSII、GDSIII、GDSIV、CIF、MEBESなどのジオメトリ記述言語をサポートするフォーマット、および任意の他の適切なフォーマットおよび言語が含まれる。かかるフォーマットされたデータおよび／または命令を具体化できるコンピュータ可読媒体には、限定するわけではないが、様々な形態における不揮発性記憶媒体（例えば、光、磁気または半導体記憶媒体）と、無線、光もしくは配線式シグナリング媒体またはこれらの任意の組み合わせを通して、かかるフォーマットされたデータおよび／または命令を転送するために用いることができる搬送波と、が含まれる。搬送波による、かかるフォーマットされたデータおよび／または命令の転送例には、限定するわけではないが、1つまたは複数のデータ転送プロトコル（例えば、HTTP、FTP、SMTP等）を介し、インターネットおよび／または他のコンピュータネットワークを通じた転送（アップロード、ダウンロード、電子メール等）が含まれる。1つまたは複数のコンピュータ可読媒体を介してコンピュータシステム内で受信される場合には、上記の回路のかかるデータおよび／または命令ベースの表現は、限定するわけではないが、ネットリスト生成プログラム、プレイスアンドルートプログラムなどを含む1つまたは複数の他のコンピュータプログラムの実行と連携して、コンピュータシステム内の処理エンティティ（例えば、1つまたは複数のプロセッサ）によって処理されて、かかる回路の物理的発現の表現または画像を生成してもよい。その後、かかる表現または画像は、例えば、装置製造プロセスにおいて回路の様々な構成要素を形成するために用いられる1つまたは複数のマスクの生成を可能にすることによって、装置製造において用いることが可能である。

【0065】

前述の好ましい実施形態は、例示および説明のために提供された。それは、包括的であるようにも、実施形態を開示の形態に正確に限定するようにも意図されていない。修正および変更が、当業者には明らかになろう。実施形態は、本発明の原理およびその実際のな

10

20

30

40

50

適用を最もよく説明し、それによって、当業者が、様々な実施形態に対して、かつ考えられる特定の用途に適した様々な修正に関して本発明を理解できるように、選択および説明された。本発明の範囲が、特許請求の範囲およびその均等物によって定義されるように意図されている。

【図面の簡単な説明】

【 0 0 6 6 】

図面の簡単な説明

【図 1】実施形態に従って、エラー検出回路を有するシステム 100 を示す。

【図 2 A - B】実施形態に従って、異なるタイプのエラーを検出する方法 2 0 0 を示すフローチャートである。

【図 3】実施形態に従って、エラー検出回路を有する集積回路メモリ装置 300 を示す。

【図 4】実施形態に従って、エラー検出回路を有する集積回路バッファ装置 400 を示す

【図 5】実施形態に従って、エラーを検出するメモリシステム 500 を示す。

【図 6】実施形態に従って、複数の集積回路メモリ装置と、エラー検出回路を有するバッファ装置とを含む装置 600 を示す。

【 図 1 】

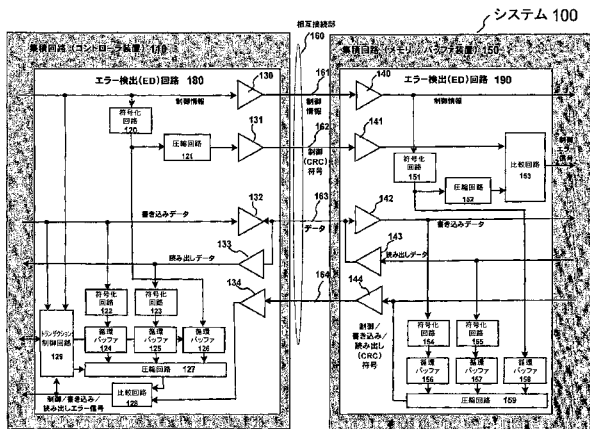


图 1

【 図 2 A 】

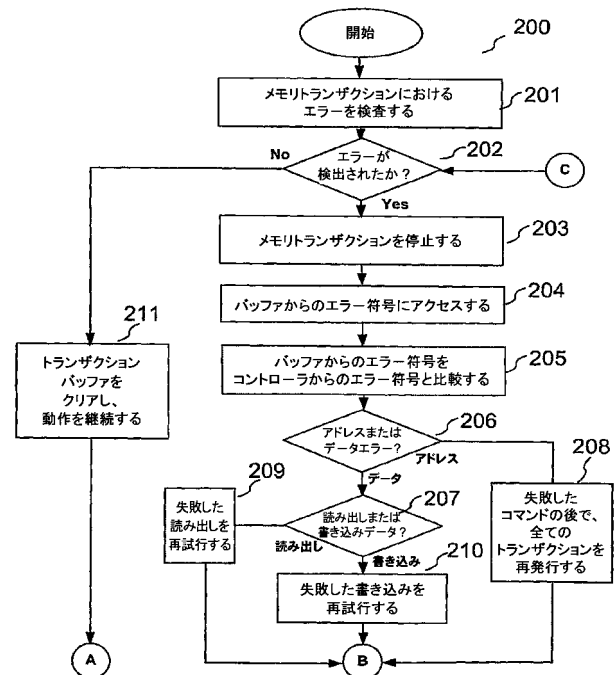


图 2A

【図 2 B】

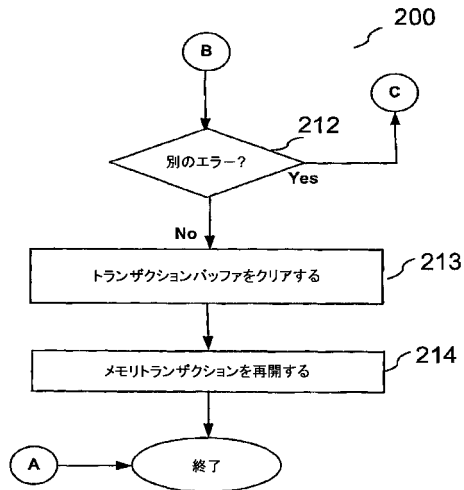


図 2B

【図 3】

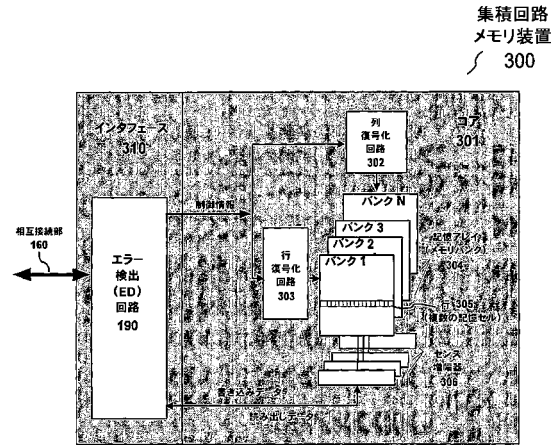


図 3

【図 4】

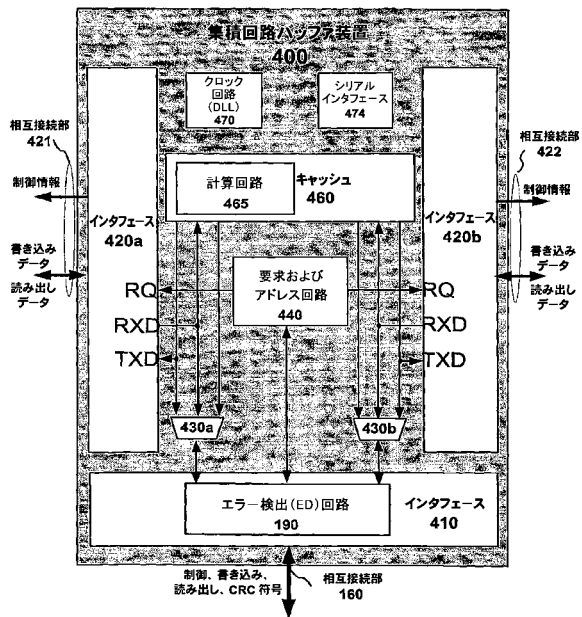


図 4

【図 5】

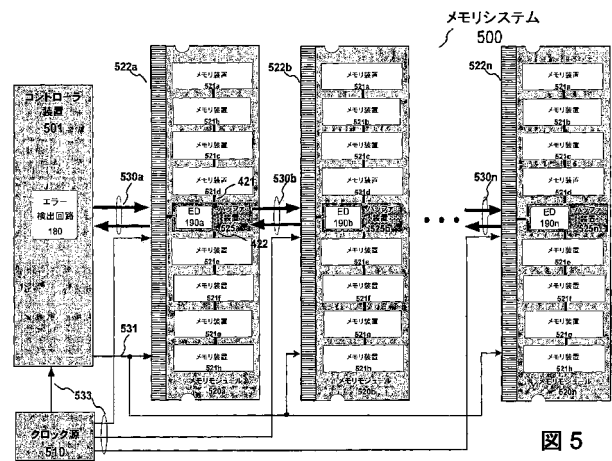


図 5

【図 6】

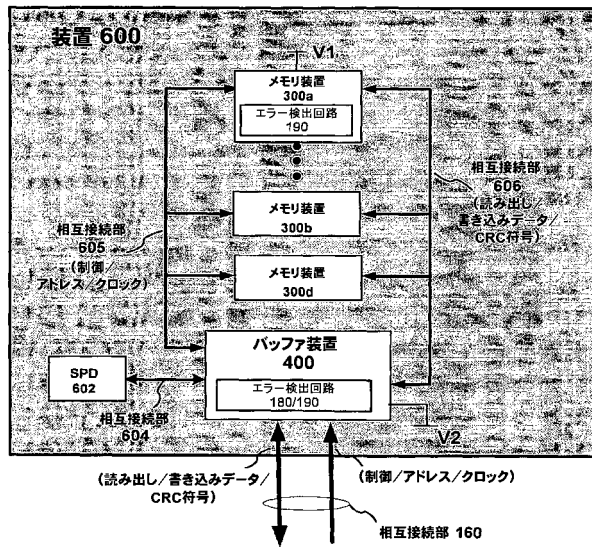


図 6

【手続補正書】

【提出日】平成21年1月20日(2009.1.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

書き込みデータに対応するエラー管理情報を生成する装置常駐エラー管理回路と、読み出しデータに対応するエラー管理情報を生成する装置常駐エラー管理回路と、書き込みトランザクションにおける潜在エラーを表す情報、および読み出しトランザクションにおける潜在エラーを表す情報を、分析のために遠隔コントローラに出力する送信回路と、を含むメモリ装置。

【請求項 2】

前記書き込みデータに対応するエラー管理情報を生成する装置常駐エラー管理回路および前記読み出しデータに対応するエラー管理情報を生成する装置常駐エラー管理回路が、実質的に共通の回路と、

各書き込みトランザクションまたは読み出しトランザクション用に巡回冗長検査符号(CRC)を生成し、かつ前記CRCの少なくとも1つを装置常駐バッファに記憶する回路と、を含む、請求項 1 に記載の装置。

【請求項 3】

前記書き込みデータに対応するエラー管理情報を生成する装置常駐エラー管理回路が、

各書き込みトランザクション用のエラー管理符号を生成するエラー符号生成回路を含み、前記読み出しデータに対応するエラー管理情報を生成する装置常駐エラー管理回路が、各読み出しトランザクション用のエラー管理符号を生成するエラー符号生成回路を含み、前記送信回路が、複数のトランザクションを表す複数のエラー管理符号を一緒に圧縮して圧縮情報を生成する圧縮回路を含み、

前記装置に関わる書き込みおよび読み出しトランザクションにおける実質的に全てのエラー検出が、前記トランザクションが書き込みまたは読み出しトランザクションかどうかにかかわらず、トランザクションの遠隔コントローラ側で行われるように、前記装置が、前記圧縮情報を分析のために前記遠隔コントローラに送信するように構成される、請求項 1 に記載の装置。

【請求項 4】

前記メモリ装置が集積回路メモリ装置である、請求項 1 に記載の装置。

【請求項 5】

前記書き込みデータに対応するエラー管理情報および前記読み出しデータに対応するエラー管理情報を記憶する少なくとも 1 つの装置常駐循環バッファをさらに含む、請求項 1 に記載の装置。

【請求項 6】

前記送信回路が、

前記書き込みデータに対応するエラー管理情報および前記読み出しデータに対応するエラー管理情報を記憶するバッファと、

ハードウェア、ファームウェアまたはソフトウェアの少なくとも 1 つとして実現された同期論理であって、新しいトランザクション用のエラー管理情報を記憶するバッファ記憶位置を、少なくとも、エラーなしに実行されたトランザクションに対応するバッファ記憶位置用に再利用する同期論理と、を含む、請求項 1 に記載の装置。

【請求項 7】

前記書き込みデータに対応するエラー管理情報および前記読み出しデータに対応するエラー管理情報が、少なくとも 1 つのエラー検出符号を含む、請求項 6 に記載の装置。

【請求項 8】

前記送信回路が、

複数のエラー符号を記憶するバッファと、

ハードウェア、ファームウェアまたはソフトウェアの少なくとも 1 つとして実現された同期論理であって、前記複数のエラー符号に基づいて、書き込みトランザクションにおける潜在エラーを表す情報、および読み出しトランザクションにおける潜在エラーを表す情報を、所定のイベントが発生したとき前記遠隔コントローラに選択的に出力する同期論理と、

を含む、請求項 1 に記載の装置。

【請求項 9】

前記所定のイベントが、前記遠隔コントローラによって開始された読み出しトランザクションであり、前記装置が、少なくとも 1 つの制御ビット線をさらに含み、前記同期論理が、前記読み出しトランザクションを受信すると、前記複数のエラー符号を表す情報を、前記少なくとも 1 つの制御ビット線を介して出力する、請求項 8 に記載の装置。

【請求項 10】

前記少なくとも 1 つの制御ビット線が、少なくとも 1 つのデータマスクビット線を含み、前記同期論理が、前記読み出しトランザクション中に、前記複数のエラー符号を表す圧縮情報を、前記少なくとも 1 つのデータマスクビット線を介して出力する、請求項 9 に記載の装置。

【請求項 11】

前記所定のイベントが、前記遠隔コントローラからの所定のコマンドの受信を含む、請求項 8 に記載の装置。

【請求項 1 2】

前記装置が、少なくとも 1 つのシリアル制御線をさらに含み、前記同期論理が、書き込みトランザクションにおける潜在エラーを表すエラー検出情報、および読み出しトランザクションにおける潜在エラーを表す情報を、前記少なくとも 1 つのシリアル制御線を介して前記遠隔コントローラに出力する、請求項 8 に記載の装置。

【請求項 1 3】

読み出しデータまたは書き込みデータの少なくとも 1 つに対応するエラー管理情報を生成する装置常駐エラー管理回路と、

読み出しデータまたは書き込みデータの前記少なくとも 1 つに関連するメモリアドレスに対応するエラー管理情報を生成する装置常駐エラー管理回路と、

潜在アドレスエラー、および読み出しデータまたは書き込みデータの前記少なくとも 1 つにおける潜在エラーを表す情報を、分析のためにコントローラに出力する送信回路と、を含むメモリ装置。

【請求項 1 4】

前記読み出しデータまたは書き込みデータの少なくとも 1 つに対応するエラー管理情報を生成する装置常駐エラー管理回路、および前記メモリアドレスに対応するエラー管理情報を生成する装置常駐エラー管理回路が、

実質的に共通の回路と、

各書き込みトランザクションまたは読み出しトランザクション用の巡回冗長検査符号 (CRC) を生成する回路と、を含む、請求項 1 3 に記載の装置。

【請求項 1 5】

前記書き込みデータまたは読み出しデータの少なくとも 1 つに対応するエラー管理情報を生成する装置常駐エラー管理回路が、各書き込みトランザクション用の、および各読み出しトランザクション用のエラー管理情報を生成するエラー符号生成回路を含み、

前記送信回路が、アドレス情報およびトランザクション情報に対して複数のエラー管理情報を一緒に圧縮する圧縮回路を含み、

前記装置に関わる書き込みおよび読み出しトランザクションにおける実質的に全てのエラー検出が、前記トランザクションが書き込みまたは読み出しトランザクションかどうかにかかわらず、トランザクションのコントローラ側で行われるように、前記装置が、前記圧縮情報を分析のために前記コントローラに送信するように構成される、請求項 1 3 に記載の装置。

【請求項 1 6】

前記メモリ装置が集積回路メモリ装置である、請求項 1 3 に記載の装置。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2007/011733

A. CLASSIFICATION OF SUBJECT MATTER INV. G06F11/10		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006/098320 A1 (KOGA TSUTOMU [JP] ET AL) 11 May 2006 (2006-05-11) page 1, paragraphs 5,11 page 4, paragraphs 48,49 page 5, paragraph 52 - paragraph 60 page 6, paragraphs 70,71 page 6, paragraphs 76,77 page 7, paragraph 80-82 figures 2,3,12	1-31
X	US 2006/077750 A1 (PESCATORE JOHN C [US]) 13 April 2006 (2006-04-13)	1-5, 9-12,24, 30,31
A	the whole document	6-8, 13-23, 25-29
----- -/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 20 December 2007		Date of mailing of the international search report 11/01/2008
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Bauer, Regine

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2007/011733

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2003/115417 A1 (CORRIGAN BRIAN E [US]) 19 June 2003 (2003-06-19) the whole document -----	1-31

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2007/011733

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2006098320 A1	11-05-2006	JP 2006134064 A	25-05-2006
US 2006077750 A1	13-04-2006	NONE	
US 2003115417 A1	19-06-2003	US 6901551 B1	31-05-2005
		US 6772289 B1	03-08-2004

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(特許庁注：以下のものは登録商標)

1 . E E P R O M

2 . F R A M

(72)発明者 ハンベル, クレイグ

アメリカ合衆国, カリフォルニア州 9 4 0 2 4 , ロス アルトス, ベルビュー コート 3 4 0
F ターム(参考) 5B018 GA04 HA11 KA12 MA33 MA35 QA16

5M024 AA22 AA23 AA24 BB03 BB04 BB05 BB33 BB34 MM09 PP01

PP10

【要約の続き】

書き込みデータおよび読み出しデータに対応する複数のCRC符号を生成および記憶する。次に、コントローラ装置は、コントローラ装置によって生成されたCRC符号を、集積回路において生成および記憶されたCRC符号と比較して、エラーが、特定のトランザクション中に発生したかどうかを判定する。