

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2012-509593

(P2012-509593A)

(43) 公表日 平成24年4月19日 (2012.4.19)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/04 (2006.01)	H O 1 L 27/04 C	5 F 0 3 8
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 H	

審査請求 有 予備審査請求 有 (全 19 頁)

(21) 出願番号	特願2011-537481 (P2011-537481)	(71) 出願人	591025439 ザイリンクス インコーポレイテッド X I L I N X I N C O R P O R A T E D アメリカ合衆国 カリフォルニア州 9 5 1 2 4 - 3 4 0 0 サン ホセ ロジック ドライブ 2 1 0 0
(86) (22) 出願日	平成21年10月23日 (2009.10.23)	(74) 代理人	110001195 特許業務法人深見特許事務所
(85) 翻訳文提出日	平成23年7月19日 (2011.7.19)	(72) 発明者	クイン, パトリック・ジェイ アメリカ合衆国、9 5 1 2 4 カリフォル ニア州、サン・ノゼ、ロジック・ドライブ 、2 1 0 0
(86) 国際出願番号	PCT/US2009/061952	Fターム (参考)	5F038 AC04 AC05 BH10 BH19 CD02 DF05 EZ20
(87) 国際公開番号	W02010/059334		
(87) 国際公開日	平成22年5月27日 (2010.5.27)		
(31) 優先権主張番号	12/276, 292		
(32) 優先日	平成20年11月21日 (2008.11.21)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 相互連結された横方向フィンを有する集積キャパシタ

(57) 【要約】

集積回路 (「IC」) のキャパシタ (100) は、IC の第1の金属層に形成された第1のノード導体 (102) を有し、第1のノード導体は、第1の方向に沿って延在する第1のスパイン (118, 132) と、第1の方向に垂直な第2の方向に沿って第1のスパインから延在する第1の縦方向要素 (152) とを有する。第1の柱頭要素 (153) は第1の方向に沿って延在し、第1のセリフ要素 (150) は柱頭要素から延在する。キャパシタは、第2のスパイン (106, 140) と、第2のスパインから第1のスパインに向かって延在する第2の縦方向要素 (142) と、第2の柱頭要素 (145) と、第1の縦方向要素 (152) および第1のセリフ要素 (150) の間を第2の柱頭から延在する第2のセリフ要素 (148) とを有する第2のノード導体 (104) も有する。

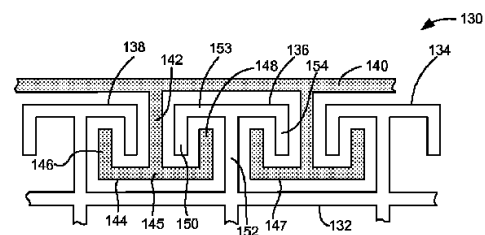


FIG. 1B

【特許請求の範囲】**【請求項 1】**

集積回路（「IC」）のキャパシタであって、

前記 IC の第 1 の金属層に形成された第 1 のノード導体を備え、前記第 1 のノード導体は、第 1 の方向に沿って延在する第 1 のスパインと、前記第 1 の方向に垂直な第 2 の方向に沿って前記第 1 のスパインから延在する第 1 の縦方向要素と、前記第 1 の方向に沿って延在する第 1 の柱頭要素と、前記第 1 の柱頭要素から前記第 1 のスパインに向かって延在する第 1 のセリフ要素とを有し、さらに、

前記 IC の前記第 1 の金属層に形成された第 2 のノード導体を備え、前記第 2 のノード導体は、前記第 1 の方向に沿って延在する第 2 のスパインと、前記第 2 のスパインから前記第 2 の方向に沿って前記第 1 のスパインに向かって延在する第 2 の縦方向要素と、前記第 1 のスパインおよび前記第 2 のスパインの間を前記第 1 の方向に沿って延在する第 2 の柱頭要素と、前記第 2 の柱頭要素から前記第 2 のスパインに向かって延在する第 2 のセリフ要素とを有し、前記第 2 のセリフ要素は、前記第 1 の縦方向要素と前記第 1 のセリフ要素との間に配置される、キャパシタ。

10

【請求項 2】

前記第 1 の柱頭要素から前記第 1 のスパインに向かって延在する第 3 のセリフ要素をさらに備え、前記第 1 の柱頭要素は、前記第 1 のスパイン上に第 1 のフィンを形成するように、前記第 1 のセリフ要素と前記第 3 のセリフ要素との間を延在する、請求項 1 に記載のキャパシタ。

20

【請求項 3】

前記第 2 のスパインから第 3 の柱頭要素に延在する第 3 の縦方向要素と、前記第 3 の柱頭要素から前記第 2 のスパインに向かって、前記第 1 の縦方向要素および前記第 3 のセリフ要素の間を延在する第 4 のセリフ要素とをさらに備える、請求項 2 に記載のキャパシタ。

【請求項 4】

前記第 2 のスパインから前記第 2 の方向に延在し、前記第 1 の縦方向要素に対向する第 3 の縦方向要素を有する第 2 のフィンをさらに備える、請求項 2 に記載のキャパシタ。

【請求項 5】

前記第 1 のフィンは第 1 の T 字形フィンであり、前記第 2 のフィンは、前記第 1 の T 字形フィンと相互連結する第 2 の T 字形フィンである、請求項 4 に記載のキャパシタ。

30

【請求項 6】

前記第 1 のスパインから前記第 2 のスパインに向かって延在する第 1 の複数のフィンと、前記第 2 のスパインから延在し、前記第 1 の複数のフィンに相互連結された第 2 の複数のフィンとをさらに備える、請求項 2 に記載のキャパシタ。

【請求項 7】

前記第 2 のスパインから離れる方へ、前記第 1 のスパインから延在する第 3 の複数のフィンをさらに備える、請求項 6 に記載のキャパシタ。

【請求項 8】

前記第 3 の複数のフィンの各々は、前記第 1 のスパインに沿って前記第 1 の複数のフィンの対応する各々と対向する、請求項 7 に記載のキャパシタ。

40

【請求項 9】

前記第 2 のノード導体は上部ノード導体であり、前記第 2 のスパインは、前記上部ノード導体の最も外側のスパインであり、前記第 1 のノード導体は、前記上部ノード導体の前記最も外側のスパインに沿って延在する第 1 のノードシールドバーをさらに含む、請求項 6 に記載のキャパシタ。

【請求項 10】

前記第 2 のノード導体は、前記第 2 の方向に延在するバスバーをさらに含む上部ノード導体であり、前記第 2 のスパインは前記バスバーから延在し、前記第 1 のノード導体は、前記バスバーに沿って延在する第 1 のノードシールドバーをさらに含む、請求項 6 に記載

50

のキャパシタ。

【請求項 1 1】

前記第 2 のノード導体は、バスバーをさらに含む上部ノード導体であり、前記第 2 のスパインは、前記バスバーから延在する前記上部ノード導体の最も外側のスパインであり、前記第 1 のノード導体は、前記バスバーに沿って延在する第 1 のノードシールドバーと、前記最も外側のスパインに沿って延在する第 2 のノードシールドバーとをさらに含む、請求項 6 に記載のキャパシタ。

【請求項 1 2】

前記第 1 の複数のフィンの上にある第 3 の複数のフィンと、前記第 2 の複数のフィンの上にある第 4 の複数のフィンとを有する前記 IC の第 2 の金属層をさらに備える、請求項 6 に記載のキャパシタ。

10

【請求項 1 3】

前記第 3 の複数のフィンは、第 1 の複数の導電性ビアによって前記第 1 の複数のフィンに電気的に接続され、前記第 4 の複数のフィンは、第 2 の複数の導電性ビアによって前記第 2 の複数のフィンに電気的に接続される、請求項 1 2 に記載のキャパシタ。

【発明の詳細な説明】

【技術分野】

【0001】

発明の分野

本発明は、通常「集積キャパシタ」と称される、集積回路（「IC」）に形成されるキャパシタに関する。

20

【背景技術】

【0002】

背景

IC を製造する方法は、トランジスタなどのさまざまな電気デバイスが半導体基板に形成される処理のフロントエンドシーケンスと、処理のバックエンドシーケンスとを典型的に含み、バックエンドシーケンスは、誘電材料およびパターニングされた導電材料（典型的に金属）の互い違いの層を形成することを一般的に含み、導電性ビアまたは他の技術を用いて金属層を相互接続し、電気デバイスを他の電気デバイスに、かつ IC の端子に接続する三次元配線構造を形成する。

30

【0003】

キャパシタは、さまざまな目的で IC システムにおいて使用される。多くの例では、IC チップにキャパシタを組込む（集積する）ことが望ましい。簡単なアプローチは、介在する誘電体を有する 2 枚の導電性プレートを形成することである。しかしこれは、得られるキャパシタンスのわりには比較的大面積を消費する。所与の領域のキャパシタンスを増大させるための 1 つの技術は複数の導電性プレートを使用することであり、各導電性プレートは、誘電体によって近接するプレートから分離されている。さらなる技術は、第 1 および第 2 のキャパシタ端子（ノード）に交互に接続される、導電性ライン、導電性フィンガーまたは導電性トレースとも称される導電性ストリップを使用する。導電性ストリップ間のサイドウォールカップリングがキャパシタンスをもたらす。オフセットされているにせよ、縦方向に一致して配置されているにせよ、導電性ストリップの層を追加して、集積キャパシタ構造のキャパシタンスをさらに増大させることができる。

40

【0004】

1 つのキャパシタは、第 1 のノードに接続された多数の導電性ストリップを連続した層に有し、それらの導電性ストリップは、集積キャパシタの第 2 のノードに接続された等しい数の導電性ストリップと互い違いになっている。導電性ストリップは、連続した層に対して半セル分オフセットされ、したがって第 1 のノードに接続された導電性ストリップは、その上および両側面上に、第 2 のノードに接続された導電性ストリップを有する。1 つの層において等しい数の導電性ストリップを各ノードに設けることは、各ノードの基板へのカップリングを平衡させ、これはある用途では望ましいが、1 つのノードにおけるカッ

50

ブリッジが少ないことが望ましいスイッチング用途といった他の用途では望ましくない。基板へのカップリングを減少させるために、基板と導電性ストリップの第1の層との間で二酸化ケイ素の厚い層が使用される。これは、標準的なCMOS製造シーケンスで集積することは困難であり得、標準的なプロセスフローに追加的なステップを追加することを必要とする可能性がある。重なり合う平行な導電性ストリップは、追加的な表面積を消費するバスストリップを使用して、それらの端部において接続される。

【0005】

集積キャパシタの提供への別のアプローチは、ある層の導電性ストリップをキャパシタの互い違いのノードに接続させることであり、重なり合う導電性ストリップは同じノードに接続される。これにより、キャパシタの第1のノードに接続された導電性ストリップおよび相互接続ビアのカーテンが本質的に形成され、隣接する導電性ストリップおよび相互接続ビアのカーテンは第2のノードに接続される。同じノードに接続された重なり合う導電性ストリップは、バスストリップに伴う損失表面積を回避する。しかし、上側のストリップは下側のストリップと同じノードに接続されるため、層間キャパシタンスが減少する。限界寸法が縮小すると、層間キャパシタンスよりもストリップ間キャパシタンスが優勢になるため、この作用はある程度予防される。換言すると、連続した金属層の間の誘電層の分離は、限界寸法が縮小するにつれて、導電性ストリップ間の誘電分離よりも一層増大する。

10

【0006】

集積キャパシタが高い比キャパシタンスを有することが一般的に望ましい。しかし多くの例において、生産性および品質係数（「Q係数」）も懸念事項である。生産性についての1つの懸念事項は、ウェハ全体およびロット間で、いずれも大きなIC内において集積キャパシタの最終的なキャパシタンス値を制御することである。

20

【発明の概要】

【発明が解決しようとする課題】

【0007】

したがって、一定のキャパシタンス値をもたらすように製造可能な集積キャパシタが望まれる。集積キャパシタが、単位面積ごとに高いキャパシタンス、低い損失（抵抗）、および低い自己インダクタンスを有することがさらに一般的に望まれ、キャパシタ回路の自己共振周波数および品質を増大させることによって高周波用途が向上される。いくつかの用途では、集積キャパシタを電氣的ノイズからシールドすることがさらに望ましい。

30

【課題を解決するための手段】

【0008】

概要

集積回路（「IC」）のキャパシタは、ICの第1の金属層に形成された第1のノード導体を備え、第1のノード導体は、第1の方向に沿って延在する第1のスパインと、第1の方向に垂直な第2の方向に沿って第1のスパインから延在する第1の縦方向要素と、第1の方向に沿って延在する第1の柱頭要素と、柱頭要素から第1のスパインに向かって延在する第1のセリフ要素とを有する。キャパシタは、ICの第1の金属層に形成された第2のノード導体も含み、第2のノード導体は、第1の方向に沿って延在する第2のスパインと、第2のスパインから第2の方向に沿って第1のスパインに向かって延在する第2の縦方向要素と、第1のスパインおよび第2のスパインの間を第1の方向に沿って延在する第2の柱頭要素と、第2の柱頭要素から第2のスパインに向かって延在する第2のセリフ要素とを有し、第2のセリフ要素は、第1の縦方向要素と第1のセリフ要素との間に配置される。

40

【0009】

図面の簡単な説明

添付の図面は、発明の1以上の局面にかかる例示的な実施の形態を示す。しかし、添付の図面は、示される実施の形態に発明を限定するものと解釈されるべきではなく、説明および理解だけのためのものである。

50

【図面の簡単な説明】

【0010】

【図1A】一実施の形態にかかる相互連結された横方向フィンの擬似フラクタルパターンを有する集積キャパシタの1つの層の平面図である。

【図1B】図1Aの集積キャパシタの一部分の平面図である。

【図1C】図1Aにかかる集積キャパシタの一実施の形態における角部の丸みを例証する平面図である。

【図2A】集積回路のバックエンド層に組込まれた集積キャパシタの側面図である。

【図2B】層同士で互い違いの極性を有する集積回路のバックエンド層に組込まれた、図1Aにかかる集積キャパシタの側面図である。

【図3】一実施の形態にかかる集積キャパシタを組み込んだFPGAの平面図である。

【発明を実施するための形態】

【0011】

詳細な説明

プログラマブルロジックデバイスといった複雑なICは、配線接続および他の機能に使用される、半導体基板上に形成された誘電材料の層によって分離されるいくつかのパターニングされた金属層を有することが多い。発明のいくつかの実施の形態は、適切な金属層に所望のパターンを形成するマスクと、金属間誘電体（「IMD」）層または層間誘電体（「ILD」）を介するビアとを使用することによって、既存のCMOSプロセスシーケンスに適合可能である。ビアは、コンタクトプラグ、ダマシン法、またはデュアルダマシン法といった、いくつかの既知の技術のうちのいずれかを使用して形成される。同様に、導電性ストリップは、薄膜金属エッチング、薄膜金属リフトオフ、ダマシン法、またはデュアルダマシン法といった、いくつかの既知の技術のうちのいずれかを使用して形成される。いくつかの実施の形態では、導電層の1つはポリシリコンまたはシリサイド層である。さらなる実施の形態では、半導体基板の導電性ウェルがキャパシタプレートまたはシールドの一部分を形成する。

【0012】

集積キャパシタは、多様な用途において使用される。集積キャパシタ専用のICの表面積を縮小するには高い比キャパシタンスが一般的に望ましいが、結果として得られるキャパシタンス値もまた、チューニング用途といった多くの用途において非常に重要である。換言すると、ICチップ全体、ウェハ全体、およびロット間のキャパシタンス値は、いくつかの用途において比キャパシタンスを犠牲にするのに十分重要である。主として層内（横方向）キャパシタンスに依拠する集積キャパシタは、寸法精度がより制御可能であるため、層間（縦方向）キャパシタンスに大きく依拠する集積キャパシタと比べて比較的低い分散を示す。なお、キャパシタは二端子デバイスと一般的に見なされ、本明細書に記載される「上部」および「下部」ノードは、キャパシタのこれら2つの端子におおむね対応する。したがって、以下に記載される構造は、一方もしくは他方のノードに（たとえば電氣的に）接続している、またはノードの部分を形成しているとは見なされ得る。ノードは、それに接続された容量性構造から分離されておらず、それらの構造はノードの部分を形成し得る。

【0013】

「上部」ノードおよび「下部」ノードという用語は、ICまたは他の構造に対するノードの物理的な方向性とは必ずしも関係せず、便宜的な用語として使用される。いくつかの回路の用途では、キャパシタの上部ノードは、増幅器または他のデバイスの高インピーダンスもしくは高ゲインポートに接続されるノードを指す。システムオンチップ（「SOC」）では、アナログデジタル変換器（「ADC」）の精度は、上部ノードにおける寄生容量（ C_{top} ）の、下部ノードを除くすべての他のノードに対する比率と、両方のノード間の有用な浮遊信号のキャパシタンスであるキャパシタンス（ C_{sig} ）とに依存する。 C_{top} を低く維持するように、接地電流または電圧供給の変動から上部プレートをシールドすることが望ましい。下部ノードを用いて上部ノードを本質的に包囲することで、フ

10

20

30

40

50

アラデーシエルの一部分を上部ノードの周囲に本質的に形成することによって、またいくつかの実施の形態ではICの他の導電性要素から上部ノードを離間することによって、上部ノードを回路中の他のノードと連結しないように絶縁する。当業者によれば、上部ノードへの電氣的接続は下部ノードシールドを介してなされ、したがって下部ノードシールドは上部ノードを完全には包囲しないことが理解される。

【0014】

いくつかの実施の形態において、上部ノードのいくつかの側面はシールドされないままである。たとえば、他のノードから物理的に離れた上部ノードの端部はシールドされないままでもよい。他の実施の形態では、集積キャパシタは設計セルとして使用され、隣接する集積キャパシタが平行に接続され、より高い総キャパシタンスを得る。いくつかの実施の形態では、隣接する共通接続された集積キャパシタの下部ノードシールドの部分が省略され、より高い実装密度が可能となる。FPGA（フィールドプログラマブルゲートアレイ）のMGT（マルチギガビットトランシーバ）の高周波数アナログ回路といった、さらに他の用途では、キャパシタのプレート間の平衡を維持するためにノードシールドは省略される。キャパシタは一般的に、多様な集積回路および多様な用途に有用である。たとえば、1以上のキャパシタは、アナログデジタル変換器において、または（たとえばMGTにおける）ACシグナリングのためのデカップリングもしくはフィルタリングキャパシタなどとして、スイッチドキャパシタネットワークに有用であり得る。一般に、本明細書に記載されるキャパシタ構造は、キャパシタンスを必要とするいずれかの用途に有用であり得る。

【0015】

図1Aは、一実施の形態にかかる相互連結された横方向フィンのパターンを有する集積キャパシタ100の1つの層の平面図である。相互連結パターンは、上部ノード導体104のT字形フィンの対応するパターンに相互連結された下部ノード導体102のT字形フィンの繰り返しパターンである。1つのフィンのセリフ（図1B、符号150参照）は、隣接するフィンの垂直線（図1B、符号142参照）とセリフ（図1B、符号148参照）との間にある。「垂直線」という用語は、レタリングに関連した術語にしたがってフィンの導電性要素について記載するのに用いられ、この導電性要素のいずれかの特定の方向性を必ずしも指すとは限らない。

【0016】

上部ノード導体104のフィンの段は、バスバー110とともに電氣的に接続される。T字形フィンは、一つの段のスパイン106、108から直交して両方向に延在する。フィンは互いに対向する（つまりスパイン106の軸に沿った鏡像である）が、代替的な実施の形態では互いに対向しない（つまりスパインから一方向に延在するフィンは、スパインから他の方向に延在するフィンに直接対向しない）。

【0017】

上部ノード導体104の最も外側のスパイン112およびバスバー110は、下部ノードシールドバー114、116で囲まれる。フィンは最も外側のスパイン112から内方に延在し、反対のノード極性を有する対応するフィンに相互連結する。下部ノードシールドバー114、116は、上部ノード導体のバスバー110および最も外側のスパイン112に横方向に結合しつつ、上部ノード導体の最も外側のスパイン112およびバスバー110を、ICの他のノードに横方向に結合しないようにシールドする。下部ノード導体のバスバー118および最も外側のスパイン120は、上部ノード導体104のT字形フィンおよび他の導電性構造を同様にシールドする。したがって上部ノード導体104は、上部ノードコンタクトトレース122に設けられた小さい間隙を除いて、下部ノード導体102に本質的に完全に収容されている。代替的な実施の形態では、下部ノード導体は上部ノード導体を完全に収容し、上部ノード導体への電氣的接続は、上部ノード導体が形成されている金属層の上または下にあるICのバックエンドスタックの金属層から、1本以上のビアを介してなされる。

【0018】

上部および下部ノード導体は、堆積された二酸化ケイ素といった誘電材料または他の誘電体に形成される。特定の実施の形態では、誘電材料にトレンチが形成され、次いでトレンチを金属で充填して金属トレースを形成する。特定の実施の形態では、金属トレースは幅よりも深く、高い比キャパシタンスのために横方向キャパシタンスおよび最密充填を促進する。例示的な実施の形態では、金属トレースは、トレースが形成されている金属層の製造技術ノードプロセスにおいて許容される最小金属線幅を有し、かつ許容される最小金属トレース間隔（つまり誘電側壁厚さ）を有するように製造される。別の実施の形態では、金属トレース幅および金属トレース間隔は両方とも、金属層の最小許容値を10%上回り、信頼性および歩留まりの向上をもたらし得る。他の実施の形態では、金属トレース幅および間隔は、高い比キャパシタンスの必要性和、良好な生産性および信頼性の必要性和を平衡させるように選択される。さらに別の実施の形態では、バックエンドスタック金属層によくあることであるが、第1の金属層は、第1の最小線幅および第1の最小間隔を有し、第2の金属層は、第1の最小線幅より大きい第2の最小線幅および第1の最小間隔より大きい第2の最小間隔を有する。たとえば、M番目の金属層は、M-1番目の金属層より幅広いトレースおよび間隔を必要とし得る。連続した金属層で極性（つまりノード接続）が互い違いになる実施の形態（たとえば図2B参照）では、M-1番目の層の構造のサイズは、良好な縦方向容量性カップリングを得るために、M番目の層の構造の下になるように選択される。換言すると、M-1番目の層の構造は、上側の隣接するM番目の層の構造と整合するために、最小設計ルールにしたがって得られるよりも大きい。代替的な実施の形態では、連続した層は、異なるサイズ（線幅および間隔）の同様のT字形フィンアレイを有し、それらのうちのいくつかは、下側金属層の反対のノードに接続された導電性要素と重なり合うかまたは部分的に重なり合う。フィンアレイは、フィンが規定されている金属層のトレース122, 123を介してキャパシタノードに、またはビア（たとえば図2A、符号210参照）を介して上位または下位（つまり上または下の）導電層のノード要素に電氣的に接続される。特定の実施の形態では、上部ノード導体104への電氣的接続はトレース122を介してなされ、トレース123は省略され、下部ノード導体への電氣的接続は、下部ノードシールドプレート（図2B、符号214参照）といった別の層へビアを介してなされる。

【0019】

さらなる実施の形態において、上部および下部ノードコネクタは、図1Aに例証した金属層の金属トレースから、次の下側金属もしくはポリ層または基板に向かって延在する、デュアルダマシンプロセスを用いて形成されたビアといった導電性ビアを含む。一実施の形態において、ビアは下側金属層の上部および下部ノード導体に接続される。特定の実施の形態において、下側金属層の上部および下部ノード導体は、図1Aに例証した層の金属パターンと本質的に同一であり、かつ同じ極性を有し、導電性ビアは連続した金属層のノード導体を接続する。代替的な実施の形態では、ビアはシングルエンド形であり、下にある金属層には電氣的に接続されないが、上部および下部ノード導体の横方向キャパシタンスを増大させる。40nmノード技術において、最大許容数の導電性ビアが最小ビア間隔またはほぼ最小ビア間隔で追加される場合、上部および下部ノード導体に導電性ビアを追加することは、図1Aにかかる集積キャパシタの比キャパシタンスを約15%増大させると予期される。

【0020】

図1Bは、図1Aの集積キャパシタの一部分130の平面図である。上部ノード導体の一段は、スパイン132およびフィン134, 136, 138を含む。数種類のフィンが代替的に実施の形態で使用される。集積キャパシタは下部ノード段を有し、下部ノードフィン144, 147が下部ノードスパイン140から延在し、上部ノードフィン134, 136, 138と互い違いになっている。上部ノードフィン144は、下部ノードスパイン140から下部ノードフィンの柱頭145に延在する第1の縦方向導電性要素142を有する。スパイン140は第1の方向に沿って延在し、縦方向要素142は、第1の方向に本質的に垂直な第2の方向に沿ってスパイン140から延在する。柱頭要素145は、

第 1 のセリフ要素 1 4 6 と第 2 のセリフ要素 1 4 8 との間を第 1 の方向に沿って延在し、それらの両方は、第 1 の縦方向要素 1 4 2 と本質的に平行に、第 2 の方向に沿って当該段のスパイン 1 4 0 に向かって戻るように柱頭要素 1 4 5 から延在する。上部ノードフィン 1 3 6 の第 3 のセリフ要素 1 5 0 は、第 1 の縦方向要素 1 4 2 と第 2 のセリフ要素 1 4 8 との間に配置される。上部ノードフィンは下部ノードフィンと同様であり、したがって上部ノードフィンの詳細な説明は省略する。さらなる実施の形態では、フィンは、セリフの遠位端から第 1 の方向に沿って戻るように縦方向要素に向かって延在するレッジを含み、このレッジは、極性が反対の対向するフィン上の対応するレッジと噛合う。

【 0 0 2 1 】

図 1 C は、図 1 A にかかる集積キャパシタの一実施の形態における角部の丸みを例証する平面図である。第 1 のノード導体 1 6 2 の外側角部 1 6 0 は、第 2 のノード導体 1 6 6 の内側角部 1 6 4 に対向する。小ノード技術（一般に 9 0 n m 未満、より特定的には 6 5 n m 以下の C M O S プロセス）で微細金属構造を規定する場合、リソグラフィプロセスにおける光散乱による角部の丸みが共通の問題である。しかし、1 つの角部の丸みは対向する角部の丸みと整合されることから、角部の丸みは、この集積キャパシタの比キャパシタンスを低下させない。図 1 A の擬似フラクタルパターンは角部の丸みに大きく影響されず、したがってプロセスのばらつきにそれほど左右されず、I C 上の集積キャパシタ間、またはウェハ全体の I C 間の整合を向上させる。

【 0 0 2 2 】

図 2 A は、集積回路のバックエンド層に組込まれた集積キャパシタ 2 0 0 の側面図である。集積キャパシタ 2 0 0 は、例証を簡単かつ明確にするために、少数のフィンおよび部分的なフィンのみの断面を示す。一実施の形態にかかる典型的な集積キャパシタは、一段に何百ものフィンを有する。第 1 の金属層 M 1 および第 2 の金属層 M 2 は両方とも、図 1 A にかかる相互連結されたフィンの擬似フラクタルパターンを有する。第 2 の金属層 M 2 は、第 1 の金属層 M 1 と同じ極性を有する。つまり、第 2 の金属層の上部ノード導体 2 0 2 は第 1 の金属層の上部ノード導体 2 0 4 の上にあり、第 2 の金属層の下部ノード導体 2 0 6 は第 1 の金属層の下部ノード導体 2 0 8 の上にある。上部ノード導体間および下部ノード導体間の導電性ビア 2 1 0 , 2 1 2 は、ビア間容量性カップリングをもたらすことによって上部および下部ノード間の横方向キャパシタンスを増大させ、上にある導電性要素の極性が互い違いになる実施の形態と比較して、縦方向容量性カップリングの損失を相殺する（たとえば図 2 B 参照）。

【 0 0 2 3 】

集積キャパシタ 2 0 0 は、任意の上側下部ノードシールドプレート 2 1 4 および任意の下側下部ノードシールドプレート 2 1 6 を含み、特定の実施の形態では I C のポリシリコン（「ポリ」）層に形成されるが、一般にはいずれかの好適な層に形成され得る。大部分の I C 製造プロセスは金属層に形成される構造について最大線幅規格を有するため、上側下部ノードシールドプレートは、金属の連続シートではなく、パターニングされた金属の幅広のストリップで典型的に形成される。ポリ層に形成される下側下部ノードシールドプレートは、設計ルールがそのような構造を許容するならば、連続シートとすることができる。金属層に形成される下側下部ノードシールドプレートもまた、パターニングされた金属の幅広のストリップで形成される可能性がある。上側および下側下部シールドプレートは、I C 中の他のノードへの望ましくないカップリングから上部ノードをシールドし、中間金属層の上部ノード導体への追加的な縦方向カップリングをもたらし、したがって集積キャパシタの比キャパシタンスを増大させる。

【 0 0 2 4 】

下部ノード導電性要素による上部ノード導電性要素のシールドは、たとえば I C におけるサンプルされたデータの低歪での転送を保証するために望ましい。さらなる実施の形態では、たとえばアナログ接地、デジタル接地、または V d d に接続された任意の基準シールドプレート 2 1 8 を設けて、I C 中の他のノードへの望ましくないカップリングから、下部ノードをシールドすることができる。熱および堆積プロセスで形成された酸化シリコ

10

20

30

40

50

ンといった誘電材料 220 が、IC 中のノードを電氣的に絶縁する。いくつかの実施の形態では、特定の用途の要件に依存してシールドの一部またはすべてを省略してもよい。

【0025】

さらなる実施の形態では、第3の金属層は擬似フラクタルパターンを有し、特定の実施の形態ではICの接地面層である第5の金属層に、任意のシールドプレートが形成される。別の実施の形態では、相互連結されたフィンの追加的な層が含まれる（たとえば、下部ノードシールドプレート214がM4層に形成され、基準シールドプレート218がM5層に形成される）。M5層に接地シールドプレートを形成することは、M5層を用いて接地面層をもたらす、より特定的には集積キャパシタの上にあるM5層の部分がアナログ接地面をもたらすICにおいて特に望ましく、ICのデジタル接地ノードよりも電氣的ノイズが少ないことが多い。別の実施の形態では、相互連結されたフィンの追加的な層がM3層およびM4層に形成され、下部ノードプレートがM5層に形成される。さらに別の実施の形態では、シールドプレートは省略されるか、または1枚のシールドプレートのみ（たとえばポリプレート216）が設けられる。

【0026】

図2Bは、層同士の間で互い違いの極性を有する集積回路のバックエンド層に組み込まれた、図1Aにかかる集積キャパシタ230の側面図である。集積キャパシタ230は、例証を簡単かつ明確にするために、少数のフィンのみの断面を示す。一実施の形態にかかる典型的な集積キャパシタは、各段に何百ものフィンに有する。第1の金属層M1および第2の金属層M2は両方とも、図1Aにかかる相互連結されたフィンの擬似フラクタルパターンを有する。第2の金属層M2は、第1の金属層M1と反対の極性を有する。つまり、第2の金属層の上部ノード導体232は、第1の金属層の下部ノード導体234の上にある。隣接する層における互い違いの極性は、縦方向キャパシタンスを向上させる。たとえば、金属層間の縦方向キャパシタンスは、例示的な40nmノード技術において集積キャパシタのキャパシタンスを約30%増大させる。

【0027】

集積キャパシタ230は、任意の上側下部ノードシールドプレート214および任意の下側下部ノードシールドプレート216を含み、特定の実施の形態ではICのポリシリコン（「ポリ」）層に形成される。大部分のIC製造プロセスは金属層に形成される構造について最大線幅規格を有するため、上側下部ノードシールドプレートは、金属の連続シートではなく、パターンニングされた金属の幅広のストリップで典型的に形成される。ポリ層に形成される下側下部ノードシールドプレートは、設計ルールがそのような構造を許容するならば、連続シートとすることができる。金属層に形成される下側下部ノードシールドプレートもまた、パターンニングされた金属の幅広のストリップで形成される可能性がある。上側および下側下部シールドプレートは、ICの他のノードへの望ましくないカップリングから上部ノードをシールドし、中間金属層の上部ノード導体への追加的な縦方向カップリングをもたらす、したがって集積キャパシタの比キャパシタンスを増大させる。

【0028】

下部ノード導電性要素による上部ノード導電性要素のシールドは、たとえばICにおけるサンプルされたデータの低歪での転送を保証するために望ましい。さらなる実施の形態では、たとえばアナログ接地、デジタル接地、またはVddに接続された任意の基準シールドプレート218を設けて、IC中の他のノードへの望ましくないカップリングから、下部ノードをシールドすることができる。熱および堆積プロセスで形成された酸化シリコンといった誘電材料220が、IC中の対向するノード要素を電氣的に絶縁する。

【0029】

さらなる実施の形態では、第3の金属層は擬似フラクタルパターンを有し、任意のシールドプレートは、特定の実施の形態ではICの接地面層である第5の金属層に形成される。別の実施の形態では、相互連結されたフィンの追加的な層が含まれる（たとえば、下部ノードシールドプレート214がM4層に形成され、基準シールドプレート218がM5

10

20

30

40

50

層に形成される)。M5層に接地シールドプレートを形成することは、M5層を用いて接地面層をもたらし、より特定的には、集積キャパシタの上にあるM5層の部分がアナログ接地面をもたらしICにおいて特に望ましく、ICのデジタル接地ノードよりも電氣的ノイズが少ないことが多い。別の実施の形態では、相互連結されたフィンの追加的な層がM3層およびM4層に形成され、下部ノードプレートがM5層に形成される。さらに別の実施の形態では、シールドプレートは省略されるか、または1枚のシールドプレートのみ(たとえばポリプレート216)が設けられる。

【0030】

なお、記載された層の種類および数は例にすぎず、いくつかの実施の形態では他の好適な層を使用してもよく、いずれかの数の層を使用してもよい。たとえば、使用される層は、製造プロセスにおいて利用可能な層の種類および数に依存してもよく、当業者には他の配置が明らかであろう。一般に、いずれかの好適な層および任意の数の層を本発明の実施の形態にしたがって使用してもよい。

【0031】

図3は、一実施の形態にかかる集積キャパシタを組込んだFPGA300半導体装置の平面図である。FPGA300は、RAMおよびロジックなどにおける機能ブロックのいくつかにCMOS部分を含み、CMOS製造プロセスを用いて製造される。発明の1以上の実施の形態にかかる1以上の集積キャパシタ355は、多くの機能ブロック内、またはFPGA300の物理的なセクションもしくはセグメント内において、クロック回路305、マルチギガビットトランシーバ301、または他の機能ブロックといったFPGAのいくつかの機能ブロックのいずれかに組込まれる。集積キャパシタ355は、キャパシタの一方または両方の端子がスイッチングされる用途において特に望ましく、上部ノードシールドを含む実施の形態は、上部ノードがFPGA300中の回路の高インピーダンスまたは高ゲインノードに接続されるかまたはスイッチングされる用途においてさらに望ましい。実施の形態にかかる集積キャパシタは、MGTの等化フィルタなどの用途においても望ましく、1つの信号ノードを別のものに結合する浮遊キャパシタとして使用される。特定の実施の形態では、一実施の形態にかかる集積キャパシタは、トランシーバセクションまたは信号処理セクションといったFPGAのアナログセクションに組込まれる。さらなる実施の形態において、集積キャパシタは、アナログ接地金属層(たとえば例示的なFPGAのM5層)に形成された基準シールドプレート(図2A、図2B、符号218参照)を含み、基準シールドは、デジタル接地端子より典型的に静かなFPGAのアナログ接地端子に接続される。

【0032】

FPGAアーキテクチャは、マルチギガビットトランシーバ(MGT301)と、コンフィギュラブルロジックブロック(CLB302)と、ランダムアクセスメモリブロック(BRAM303)と、入力/出力ブロック(IOB304)と、コンフィギュレーションおよびクロックロジック(コンフィギュレーション/クロック305)と、デジタル信号処理ブロック(DSP306)と、特殊入力/出力ブロック(I/O307)(たとえばコンフィギュレーションポートおよびクロックポート)と、デジタルクロックマネージャ、アナログデジタル変換器、システム監視ロジックなどといった、その他のプログラマブルロジック308とを含む、多数の異なるプログラマブルタイルを含む。いくつかのFPGAはまた、専用のプロセッサブロック(PROC310)を含む。

【0033】

いくつかのFPGAにおいて、各プログラマブルタイルは、プログラマブルインターコネクト要素(INT311)を含み、そのプログラマブルインターコネクト要素は、各隣り合うタイル中の対応するインターコネクト要素への、およびそのインターコネクト要素からの標準化された接続を有する。したがって、集められたプログラマブルインターコネクト要素は、図示されたFPGAに対するプログラマブルインターコネクト構造を実現する。プログラマブルインターコネクト要素(INT311)はまた、図1の上部に含まれる例によって示されるように、同じタイル内のプログラマブルロジック要素への、および

そのプログラマブルロジック要素からの接続を含む。

【 0 0 3 4 】

たとえば、CLB 302は、単一のプログラマブルインターコネクト要素（INT 311）を加えたユーザロジックを実現するためにプログラムされることが可能なコンフィギュラブルロジック要素（CLE 312）を含みうる。BRAM 303は、1以上のプログラマブルインターコネクト要素に加えてBRAMロジック要素（BRL 313）を含みうる。典型的には、タイルに含まれるインターコネクト要素の数はタイルの高さに依存する。図示された実施の形態においては、BRAMタイルは4つのCLBと同じ高さを有するが、他の数（たとえば5）もまた使用することができる。DSPタイル306は、適切な数のプログラマブルインターコネクト要素に加えてDSPロジック要素（DSP L 314）を含むことができる。IOB 304はたとえば、プログラマブルインターコネクト要素（INT 311）の1つのインスタンスに加えて入力／出力ロジック要素（IOL 315）の2つのインスタンスを含むことができる。当業者にとっては明らかであるように、たとえばI／Oロジック要素315に接続される実際のI／Oパッドはさまざまな例示されたロジックブロック上に積層された金属を用いて製造され、典型的に、入力／出力ロジック要素315の領域に限定されない。図示された実施の形態において、ダイの中心近くのコラムナ（Columnar）領域（図3に網掛けで示す）は、コンフィギュレーション、クロックおよび他の制御ロジックのために用いられる。

10

【 0 0 3 5 】

図3に例証されたアーキテクチャを利用するいくつかのFPGAは、FPGAの大部分を構築する規則的なコラムナ構造を分断させる追加的なロジックブロックを含む。追加的なロジックブロックは、プログラマブルブロックおよび／または専用ロジックであり得る。たとえば、図3に示されたプロセッサブロックPROC 310は、CLBおよびBRAMの複数の列に及ぶ。

20

【 0 0 3 6 】

なお、図3は、単に例示的なFPGAアーキテクチャを示すことを意図している。1列中のロジックブロックの数、列の相対的な幅、列の数および順序、列に含まれるロジックブロックの種類、ロジックブロックの相対的なサイズ、図3の上部に含まれる相互接続／ロジック構成は、純粹に例示的なものである。たとえば、実際のFPGAにおいては、ユーザロジックの効率的な実現を容易にするために、CLBが現れるところではどこでも、2以上の隣り合うCLBの列が典型的に含まれる。

30

【 0 0 3 7 】

上記は本発明の1以上の局面にかかる例示的な実施の形態について記載しているが、本発明の1以上の局面にかかる他のおよびさらなる実施の形態が、添付の請求項によって決定されるその範囲およびその等価物から逸脱することなく考案され得る。ステップを列挙する請求項は、当該ステップのいずれの順序も暗示しない。商標はそれぞれの所有者の所有権である。

【図 1 A】

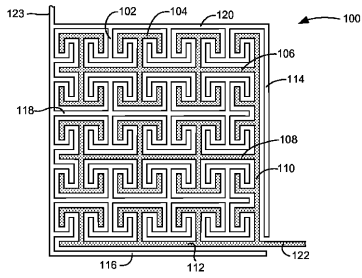


FIG. 1A

【図 1 C】

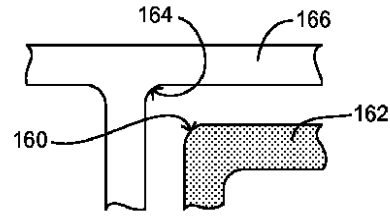


FIG. 1C

【図 1 B】

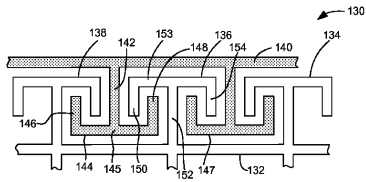


FIG. 1B

【図 2 A】

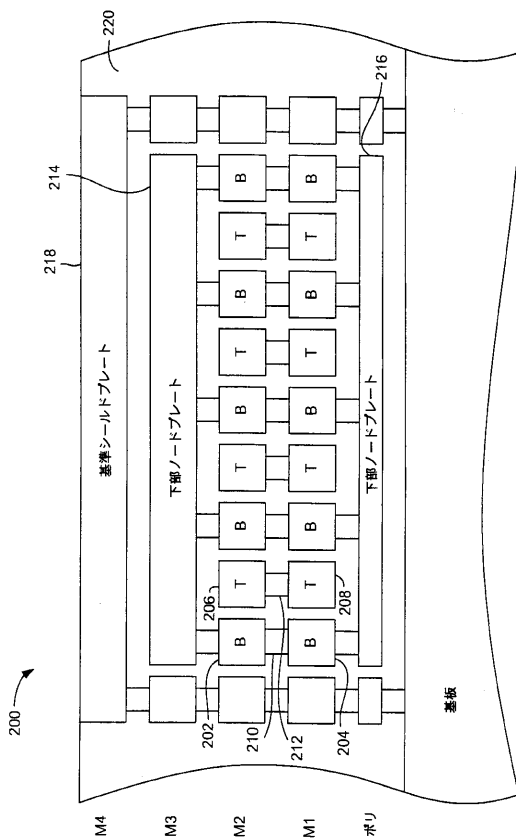


FIG. 2A

【図 2 B】

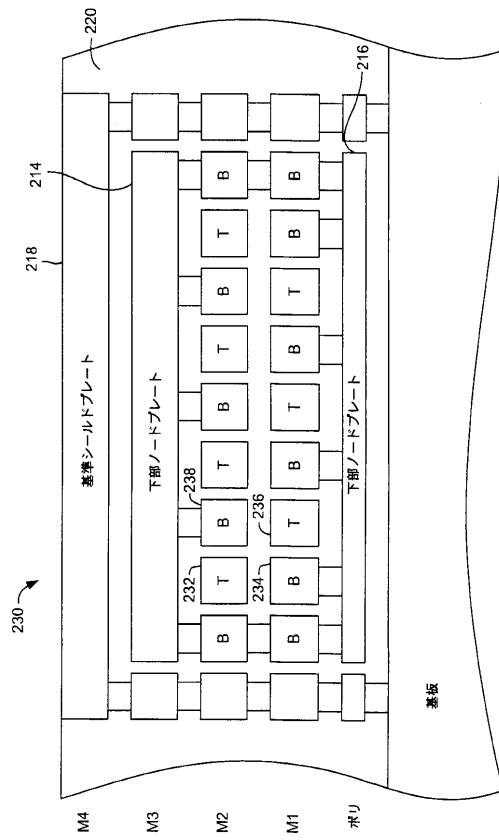


FIG. 2B

【図 3】

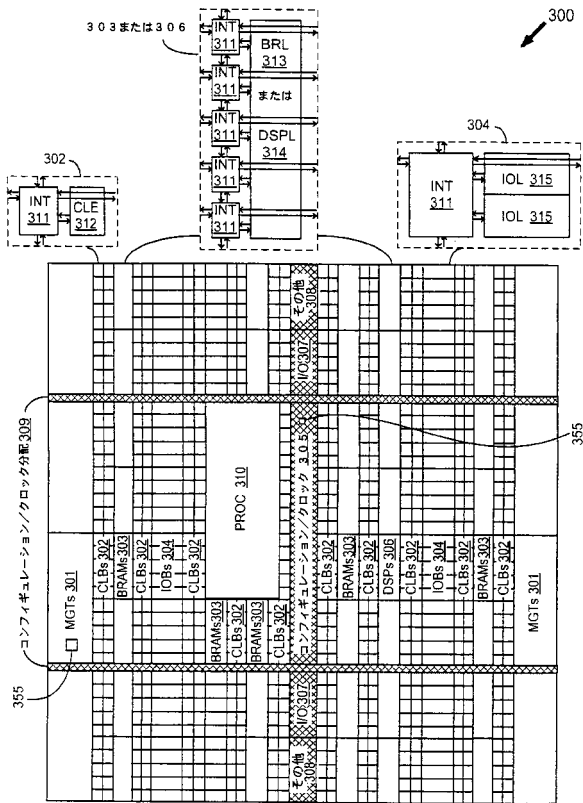


FIG. 3

【手続補正書】

【提出日】平成22年9月15日(2010.9.15)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

集積回路（「IC」）のキャパシタであって、

前記ICの第1の金属層に形成された第1のノード導体を備え、前記第1のノード導体は、第1の方向に沿って延在する第1のスパインと、前記第1の方向に垂直な第2の方向に沿って前記第1のスパインから延在する第1の縦方向要素と、第1の端部および第2の端部を有し、前記第1の縦方向要素の一端を垂直に横切って前記第1の方向に沿って延在する第1の柱頭要素と、前記第1の柱頭要素の前記第1の端部から前記第1のスパインに向かって延在する第1のセリフ要素と、前記第1の柱頭要素の前記第2の端部から前記第1のスパインに向かって延在する第2のセリフ要素とを有し、前記第1の縦方向要素、前記第1の柱頭要素、前記第1のセリフ要素、および前記第2のセリフ要素が第1の導電性フィンを形成し、前記第1の導電性フィンと同様に構成された第2の導電性フィンが前記第1の導電性フィンとは反対方向に前記第1のスパインから垂直に延在し、さらに、

前記ICの第1の金属層に形成された第2のノード導体を備え、前記第2のノード導体は、前記第1の方向に沿って延在する第2のスパインと、前記第2のスパインから前記第2の方向に沿って前記第1のスパインに向かって延在する第3の縦方向要素を有する、前記第1の導電性フィンと同様に構成された第3の導電性フィンと、前記第3の導電性フィンの第3の柱頭要素から前記第2のスパインに向かって延在する第3のセリフ要素とを有

し、前記第 3 のセリフ要素は、前記第 1 の縦方向要素と前記第 1 のセリフ要素との間に配置される、キャパシタ。

【請求項 2】

前記第 2 のスパインから延在する、前記第 1 の導電性フィンと同様に構成された第 4 の導電性フィンをさらに備え、前記第 4 の導電性フィンの第 4 のセリフ要素は、前記第 1 の縦方向要素および前記第 2 のセリフ要素の間に配置される、請求項 1 に記載のキャパシタ。

【請求項 3】

前記第 1 のスパインから前記第 2 のスパインに向かって延在する、各々が前記第 1 の導電性フィンと同様に構成された第 1 の複数の導電性フィンと、前記第 2 のスパインから延在し、前記第 1 の複数のフィンに相互連結された、各々が前記第 1 の導電性フィンと同様に構成された第 2 の複数の導電性フィンをさらに備える、請求項 1 に記載のキャパシタ。

【請求項 4】

前記第 2 のスパインから離れる方へ、前記第 1 のスパインから延在する、各々が前記第 1 の導電性フィンと同様に構成された第 3 の複数の導電性フィンをさらに備える、請求項 3 に記載のキャパシタ。

【請求項 5】

前記第 3 の複数の導電性フィンの各々は、前記第 1 のスパインに沿って前記第 1 の複数の導電性フィンの対応する各々と対向する、請求項 4 に記載のキャパシタ。

【請求項 6】

前記第 2 のノード導体は上部ノード導体であり、前記第 2 のスパインは、前記上部ノード導体の最も外側のスパインであり、前記第 1 のノード導体は、前記上部ノード導体の前記最も外側のスパインに沿って延在する第 1 のノードシールドバーをさらに含む、請求項 3 に記載のキャパシタ。

【請求項 7】

前記第 2 のノード導体は、前記第 2 の方向に延在するバスバーをさらに含む上部ノード導体であり、前記第 2 のスパインは前記バスバーから延在し、前記第 1 のノード導体は、前記バスバーに沿って延在する第 1 のノードシールドバーをさらに含む、請求項 3 に記載のキャパシタ。

【請求項 8】

前記第 2 のノード導体は、バスバーをさらに含む上部ノード導体であり、前記第 2 のスパインは、前記バスバーから延在する前記上部ノード導体の最も外側のスパインであり、前記第 1 のノード導体は、前記バスバーに沿って延在する第 1 のノードシールドバーと、前記最も外側のスパインに沿って延在する第 2 のノードシールドバーとをさらに含む、請求項 3 に記載のキャパシタ。

【請求項 9】

前記第 1 の複数の導電性フィンの上にある、各々が前記第 1 の導電性フィンと同様に構成された第 3 の複数の導電性フィンと、前記第 2 の複数の導電性フィンの上にある、各々が前記第 1 の導電性フィンと同様に構成された第 4 の複数の導電性フィンを有する前記 IC の第 2 の金属層をさらに備える、請求項 3 に記載のキャパシタ。

【請求項 10】

前記第 3 の複数の導電性フィンは、第 1 の複数の導電性ビアによって前記第 1 の複数の導電性フィンに電氣的に接続され、前記第 4 の複数の導電性フィンは、第 2 の複数の導電性ビアによって前記第 2 の複数の導電性フィンに電氣的に接続される、請求項 9 に記載のキャパシタ。

【請求項 11】

前記第 1 の縦方向要素はある幅およびある深さを有し、前記深さは前記幅より大きい、請求項 1 に記載のキャパシタ。

【請求項 12】

基準シールドプレートをさらに備え、前記第 1 の金属層は、前記基準シールドプレートと前記 I C の基板との間に配置され、前記基準シールドプレートは、前記 I C のアナログ接地端子に電氣的に接続される、請求項 1 に記載のキャパシタ。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No PCT/US2009/061952										
A. CLASSIFICATION OF SUBJECT MATTER INV. H01L23/522 H01L21/02 H01L23/528 H01G4/228 H01G4/30 H01L27/08 H01L27/02										
According to International Patent Classification (IPC) or to both national classification and IPC										
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L H01G Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data										
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 2007/296013 A1 (CHANG CHUNG-LONG [TW] ET AL) 27 December 2007 (2007-12-27) abstract; figures 8,9,13-15 paragraphs [0038] - [0042]</td> <td>1-13</td> </tr> <tr> <td>X</td> <td>US 6 661 079 B1 (BIKULCIUS SIMON [US]) 9 December 2003 (2003-12-09) abstract; figure 9A column 5, line 21 - line 67 ----- -/--</td> <td>1-13</td> </tr> </tbody> </table>		Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 2007/296013 A1 (CHANG CHUNG-LONG [TW] ET AL) 27 December 2007 (2007-12-27) abstract; figures 8,9,13-15 paragraphs [0038] - [0042]	1-13	X	US 6 661 079 B1 (BIKULCIUS SIMON [US]) 9 December 2003 (2003-12-09) abstract; figure 9A column 5, line 21 - line 67 ----- -/--	1-13
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.								
X	US 2007/296013 A1 (CHANG CHUNG-LONG [TW] ET AL) 27 December 2007 (2007-12-27) abstract; figures 8,9,13-15 paragraphs [0038] - [0042]	1-13								
X	US 6 661 079 B1 (BIKULCIUS SIMON [US]) 9 December 2003 (2003-12-09) abstract; figure 9A column 5, line 21 - line 67 ----- -/--	1-13								
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.										
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family										
Date of the actual completion of the International search 25 January 2010	Date of mailing of the International search report 03/02/2010									
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Mosig, Karsten									

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2009/061952

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	ROBERTO APARICIO ET AL: "Capacity Limits and Matching Properties of Integrated Capacitors" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 37, no. 3, 1 March 2002 (2002-03-01), XP011061701 ISSN: 0018-9200 page 385, right-hand column, paragraph III - page 389, left-hand column, last paragraph; figures 4-10	1-13
X	US 2007/126078 A1 (HUANG KAI-YI [TW] ET AL) 7 June 2007 (2007-06-07) abstract; figures 13A-15B paragraphs [0053] - [0055]	1-13
A	US 2002/113292 A1 (APPEL ANDREW T [US]) 22 August 2002 (2002-08-22) abstract; claims 8,16; figure 4 paragraphs [0024], [0031]	1-13
A	US 2005/135042 A1 (CHIU-KIT FONG VICTOR [US] ET AL) 23 June 2005 (2005-06-23) abstract; figures 4A-4D paragraphs [0060] - [0064]	1-13

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2009/061952

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2007296013	A1	27-12-2007	NONE
US 6661079	B1	09-12-2003	NONE
US 2007126078	A1	07-06-2007	NONE
US 2002113292	A1	22-08-2002	NONE
US 2005135042	A1	23-06-2005	US 2009290283 A1 26-11-2009
			US 2009283858 A1 19-11-2009
			US 2008266749 A1 30-10-2008

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW