(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-302132
(P2006-302132A)
(43)公開日　平成18年11月2日(2006.11.2)

| (51)Int.Cl. | | F I | | | テーマコード（参考） |
|---|---|---|---|---|---|
| G06F 7/00 | (2006.01) | G06F | 7/00 | E | 5B022 |
| H03K 19/173 | (2006.01) | H03K | 19/173 | 101 | 5J042 |

審査請求 未請求　請求項の数 13　ＯＬ　（全 21 頁）

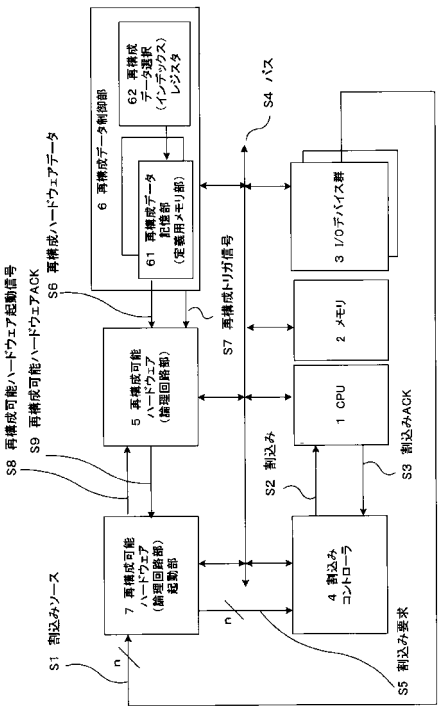
(21)出願番号　特願2005-125451 (P2005-125451)
(22)出願日　平成17年4月22日 (2005.4.22)

(71)出願人　000006622
株式会社安川電機
福岡県北九州市八幡西区黒崎城石２番１号
(74)代理人　100105647
弁理士　小栗　昌平
(74)代理人　100105474
弁理士　本多　弘徳
(74)代理人　100108589
弁理士　市川　利光
(74)代理人　100115107
弁理士　高松　猛
(72)発明者　柏木　喜孝
福岡県北九州市八幡西区黒崎城石２番１号
株式会社安川電機内

最終頁に続く

(54)【発明の名称】信号処理装置及び再構成可能論理回路装置及び再構成可能順序回路

(57)【要約】
【課題】　ハードウェアの構成を動的に行い割込み要求によりハードウェアの再構成を行う信号処理装置を提供する。
【解決手段】　割込みソースから再構成可能なハードウェアである論理回路部を起動する起動信号Ｓ８を生成する論理回路部起動部７を備え、再構成可能なハードウェアである論理回路部５の構成を決定する構成データを記憶するバンク構成のメモリで、選択されたバンクメモリの出力が論理回路部データとして、常に論理回路部に作用する定義用メモリ部６１から構成される再構成データ制御部６を備え、論理回路部データの内容と再構成トリガ信号Ｓ７に応じてハードウェアの構成を変更する論理回路部５を備えるようにした。
【選択図】　図１



【特許請求の範囲】
【請求項１】
ＣＰＵとメモリ、Ｉ／Ｏデバイス群及び割込みコントローラを有し、前記ＣＰＵからアクセス可能なＩ／Ｏデバイス群で生成されるｎ本の割込みソースを入力として、ある割込みソースから論理回路部起動信号を生成し、論理回路部ＡＣＫ信号とその他の割込みソースから割込みコントローラへの割込み要求を生成する論理回路部起動部を備えた信号処理装置において、
さらに、再構成ハードウェアデータとして利用するバンクメモリのバンク番号を保持し、バンク番号が変更されると再構成トリガ信号を生成する前記ＣＰＵにより設定されるインデックスレジスタと、再構成ハードウェアの構成を決定する構成データを記憶するバンク構成のメモリで、選択されたバンクメモリの出力が再構成ハードウェアデータとして常に前記論理回路部に作用する定義用メモリ部により構成され前記ＣＰＵからアクセス可能である再構成データ制御部と、
前記ＣＰＵからアクセス可能で、前記論理回路部起動信号により演算処理を開始し、演算処理終了後に論理回路部ＡＣＫ信号を出力し、再構成ハードウェアデータの内容と再構成トリガ信号に応じてハードウェアの構成を変更する論理回路部と、備えることを特徴とする信号処理装置。
【請求項２】
前記論理回路部起動部では、ＣＰＵからアクセス可能で要求を受け付ける割り込みソースから論理回路部起動信号の生成と、この状態のエンコードデータと前記インデックスレジスタの内容を変更する信号である再構成データ選択信号の生成を行い、前記論理回路部ＡＣＫ信号と要求を受け付けられていないその他の割り込みソースから、前記割込みコントローラへの割り込み要求の生成を行って、前記インデックスレジスタを前記ＣＰＵもしくは再構成データ選択信号で設定するように構成したことを特徴とする請求項１記載の信号処理装置。
【請求項３】
前記論理回路部に、前記再構成データ選択信号と論理回路部データを用いて、論理回路部を実現するための基本要素の割付を制御する割付制御部を備えることを特徴とする請求項２記載の信号処理装置。
【請求項４】
前記ＣＰＵと割り込みコントローラ及びメモリの代わりに、ＦＳＭ（Ｆｉｎｉｔｅ　Ｓｔａｔｅ　Ｍａｃｈｉｎｅ）からなるハードウェアシーケンサで構成したことを特徴とする請求項３記載の信号処理装置。
【請求項５】
定義用メモリと、定義用メモリの内容により回路の構成を変更可能な論理回路部とを備えた再構成可能論理回路装置において、複数のプロセッサエレメント（ＰＥ）で構成し１つのＰＥの定義用データをメモリの出力ポート幅より小さくした論理回路部を備え、前記各ＰＥに1対１に対応しＮセットの定義用データを記憶でき要素Ｎの配列で前記ＰＥの数だけ用意された定義用配列メモリから構成される定義用メモリ部を備えることを特徴とする再構成可能論理回路装置。
【請求項６】
前記ＰＥが、ＰＥに入ってくる複数の入力と演算部への出力の間の配線を、定義用配列メモリの内容にそって再構築する配線部と、定義用配列メモリの内容に沿って演算の処理を変更する演算部から構成されることを特徴とする請求項５記載の再構成可能論理回路装置。
【請求項７】
前記定義用配列メモリを選択するためのアドレスを出力する、インデックスレジスタを備えることを特徴とする請求項５又は６記載の再構成可能論理回路装置。
【請求項８】
前記定義用配列メモリを行と列からデータを指定できる２次元配列とし、前記インデッ

クスレジスタを行選択部と列選択部から構成し、前記行選択部と前記列選択部の内容で構成を変更するＰＥで構成することを特徴とする請求項５～７のいずれか１項記載の再構成可能論理回路装置。

【請求項９】

前記インデックスレジスタの設定値の変更を、前記論理回路部の演算結果で行なうことを特徴とする請求項７記載の再構成可能論理回路装置。

【請求項１０】

再構成可能な回路装置を備えて入力信号を遷移条件とし内部回路により生成された状態から出力信号を生成する順序回路において、

回路の増減に対応可能なビット幅を持った入力信号を備え、制御信号から状態を生成するメモリ制御部と、前記状態をアドレスとして利用し状態での動作と入力信号との関連付けを記憶した状態解釈信号を生成する状態解釈メモリと、前記状態をアドレスとして利用し状態に対応する出力信号を記憶して回路の増減に対応可能なビット幅を持つ出力生成メモリから構成されるメモリを備え、前記状態解釈信号と入力信号から前記メモリ制御部の制御信号を生成する状態制御部を備えることを特徴とする再構成可能順序回路。

【請求項１１】

前記出力生成メモリにはエンコードされたデータを記憶し、出力生成メモリの後段にデコーダを備えることを特徴とする請求項１０記載の再構成可能順序回路。

【請求項１２】

前記状態制御部を、ルックアップテーブルで構成することを特徴とする請求項１０又は１１記載の再構成可能順序回路。

【請求項１３】

前記再構成可能順序回路を、演算処理を実行する再構成可能データパスの制御部として利用することを特徴とする請求項１０～１２のいずれか１項記載の再構成可能順序回路。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、論理回路部に関する回路装置に関し、特に、再構成可能な組み込み系の信号処理装置、及び、定義用のデータを与えて論理回路の構成を変更することが可能な再構成可能論理回路装置、詳しくはクロック単位で論理回路の構成変更を可能にする動的な再構成可能論理回路装置、及び、ディジタル回路における他の回路の動作を制御できる順序回路、等の論理回路部関連の回路装置に関するものである。

【背景技術】

【０００２】

従来の信号処理装置を図１９と図２０に示す。

従来の信号処理装置は回路規模の小さなハードウェアで、画像処理と、補助的なアクセラレータ機能とを実行できるようにしたものであった。図１９において、要求速度で処理できない画像データは演算装置１２０から演算装置Ｉ／Ｆ１２２を経由してノンリアルタイムパス１２４に送られて処理され、その後、演算装置Ｉ／Ｆを経由して、指定された記憶装置のアドレスに転送される。

転送されたデータは、必要であれば、さらに演算装置で処理され、またはノンリアルタイムパスで繰り返し処理され、またはリアルタイムパス１２３へ転送され、最終的に出力デバイス１２６に送られる。要求速度で処理できる画像データは、演算装置Ｉ／Ｆを介して直接にリアルタイムパス１２３へ送られる。

リアルタイムパスへ送られた画像データは出力デバイスＩ／Ｆ１２５を経由して出力デバイス１２６に出力される。図２０において、演算装置Ｉ／Ｆ１２２は入力バッファ２２１およびパス決定部２２２を含む。

ノンリアルタイムパス１２４は、再構成データ制御部６、論理回路部５、ワークメモリ２４１、出力バッファ２４２を含んで構成されている。演算装置１２０でパスが決定され必要なヘッダ情報を付加した画像データは演算装置Ｉ／Ｆ１２２に送られる。演算装置Ｉ

／Ｆは画像データを入力バッファ２２１へ蓄え、ヘッダ情報に書かれたリアルタイム、またはノンリアルタイムの識別に基づいてパス決定部２２２がデータの送る方向を決める。
ヘッダ情報は再構成データ制御部に送られ、この再構成データ制御部はヘッダ情報に書かれた次に動作させる処理内容を、論理回路部にロードする。入力バッファ２２１はノンリアルタイムパス１２４で処理するデータを論理回路部５に送る。論理回路部はワークメモリ２４１を使用して演算処理しその結果を出力バッファ２４２に送り、出力バッファはヘッダに書かれたメモリアドレスへ転送する（例えば、特許文献１参照）。従来例の論理回路部は動的に書き換え可能なＦＰＧＡ（Ｆｉｅｌｄ Ｐｒｏｇｒａｍａｂｌｅ Ｇａｔｅ Ａｒｒａｙ）素子で構成しており、このように、従来の信号処理装置は、ヘッダ情報の解析後に論理回路部を実行させるのである。更に、リアルタイムを必要としない分野での利用となる。

【０００３】

また、従来の再構成可能論理回路装置は、図２１に示すように、定義用データに応じて内部論理要素の接続関係が特定される論理回路部１３と、この論理回路部に与える定義用データを格納する定義用メモリ部１２とを備え、定義用メモリ部は、２つの揮発性メモリおよびと、揮発性メモリおよびのいずれか一方から定義用データを選択的に論理回路部にロードする選択制御手段とを備えている。このように、定義用メモリとして揮発性メモリをセットで有するので、選択制御手段で揮発性メモリの選択の切り換えを行うだけで、論理回路部にロードする定義用データを変更できるようにしている（特許文献２参照）。
このように、従来の再構成可能論理回路装置は、定義用データを複数もち、それを切り換えて読み出しを行なうことで、論理回路部１３の機能変更を行なうのである。
また、従来の再構成可能順序回路を図２２に示す。
逐次読み出しを繰り返し行うことが可能なメモリ１００と、該メモリ１００から逐次読み出された最終内容に対応する内容が現在の状態として設定される状態記憶手段３００と、外部入力された遷移条件と、状態記憶手段３００の設定内容に応じてメモリ１００に逐次読み出しを行わせる遷移条件記憶手段２００とで構成している（特許文献３参照）。
このように、従来の再構成可能順序回路は、状態遷移条件の複雑さに影響されない組み合わせ回路によって状態遷移回路を構成するのである。

【特許文献１】特開平１１－１４７３３５号公報（図２、図４）
【特許文献２】特開平５－６３５５１号公報（図１）
【特許文献３】特開平１４－１６９６８７号公報（図１）

【発明の開示】
【発明が解決しようとする課題】

【０００４】

しかしながら、特許文献１の信号処理装置は、論理回路部をヘッダ情報の内容を解析した後に起動するため、論理回路部での処理要求から開始までのレーテンシが大きくなるという問題がある。そのためリアルタイム性を必要としない分野でしか利用できないという問題を併せ持つ。
また、論理回路部としてＦＰＧＡを利用しているため、再構成データが格納されているメモリのリードと、論理回路部を構成するエレメントの変更を逐次的に行なっていくため、ハードウェアの再構成に数ｍｓｅｃ以上の時間を要するという問題を持っている。このことは、ＭＨｚ以上のシステムクロックレベル動作する信号処理装置において、システムクロックレベルでハードウェアの再構成を動的に行うことができず、再構成のためには信号処理装置の動作が停止してしまうという問題もある。
そして、ヘッダ情報の解析処理やＦＰＧＡの利用など、信号処理装置のシステムレベルが大規模化するという問題もさらに持っている。

【０００５】

また、特許文献２の再構成可能論理回路装置は、少なくともメモリの出力ポートより大きなサイズの、論理回路部の定義データがメモリに記憶されているため、選択制御器にメモリの読み込み回路と読み込んだ定義データの保持回路が必要である。特に論理回路部の

データは大きいため、定義データの保持回路は回路規模を増加する要因である。機能変更のためには、メモリから定義データを一度読み出しておかなければならないため、クロック単位のダイナミックな定義データの切り換えを行なえないという問題があった。

さらに、定義データの切り換えをＣＰＵで行なっており、装置内にＣＰＵを必ず必要とするという問題があった。

また、特許文献３の再構成可能順序回路では、状態遷移のみが再構成可能であった。そのため、出力信号は状態であり、受け側の回路において状態の解釈の必要が生ずる。このことは順序回路で制御される回路がＩＰで提供されても再設計が生ずるという問題があった。

更に、ＩＰの再設計を行わない場合には、何らかの状態解釈回路を必要とするため、個別に回路を必要とするという問題があった。同時に入力信号の増減にも対応できていないという問題も併せ持っていた。

その他、入力信号から遷移後の状態を探索するため、入力信号が逐次読出しメモリのアドレスとして利用されていて、状態遷移に不要なメモリの読出し時間が加算されるという問題と、状態と入力信号の組合わせの数でメモリ要領が決定され多くのメモリ容量が要求されるという問題も持っていた。

【０００６】

本発明の第１の発明は、このような問題点に鑑みてなされたものであり、ハードウェアの構成を動的に行い、割込み要求に応じてハードウェアの再構成を行うことによって、動作までのレーテンシが最小となるような信号処理装置を提供することを目的とする。

本発明の第２の発明は、クロック単位で定義データの変更を可能とし、インデックス等により定義データの管理を容易にすると共に、論理回路部の演算結果で自己の回路変更を決定し、ＬＳＩ化に最適になるように回路規模を抑えることができる再構成可能論理回路装置を提供することを目的とする。

本発明の第３の発明は、回路の再設計を必要とすることなくメモリ容量を抑えることが可能な再構成可能順序回路を提供することを目的とする。

【課題を解決するための手段】

【０００７】

上記目的を達成するため、請求項１に記載の発明は、再構成可能な回路装置を備えた信号処理装置において、ＣＰＵとメモリ、Ｉ／Ｏデバイス群及び割込みコントローラを有し、前記ＣＰＵからアクセス可能なＩ／Ｏデバイス群で生成されるｎ本の割込みソースを入力として、ある割込みソースから論理回路部起動信号を生成し、論理回路部ＡＣＫ信号とその他の割込みソースから割込みコントローラへの割込み要求を生成する論理回路部起動部と、論理回路部データとして利用するバンクメモリのバンク番号を保持し、バンク番号が変更されると再構成トリガ信号を生成する前記ＣＰＵにより設定されるインデックスレジスタと、論理回路部の構成を決定する構成データを記憶するバンク構成のメモリで、選択されたバンクメモリの出力が論理回路部データとして常に前記論理回路部に作用する定義用メモリ部により構成され前記ＣＰＵからアクセス可能である再構成データ制御部と、前記ＣＰＵからアクセス可能で、前記論理回路部起動信号により演算処理を開始し、演算処理終了後に論理回路部ＡＣＫ信号を出力し、論理回路部データの内容と再構成トリガ信号に応じてハードウェアの構成を変更する論理回路部と、備えることを特徴としている。

また、請求項２に記載の発明は、請求項１記載の信号処理装置において、前記論理回路部起動部では、ＣＰＵからアクセス可能で要求を受け付ける割り込みソースから論理回路部起動信号の生成と、この状態のエンコードデータと前記インデックスレジスタの内容を変更する信号である再構成データ選択信号の生成を行い、前記論理回路部ＡＣＫ信号と要求を受け付けられていないその他の割り込みソースから、前記割込みコントローラへの割り込み要求の生成を行って、前記インデックスレジスタを前記ＣＰＵもしくは再構成データ選択信号で設定するように構成したことを特徴としている。

また、請求項３に記載の発明は、請求項２記載の信号処理装置において、前記論理回路部に、前記再構成データ選択信号と論理回路部データを用いて、論理回路部を実現するた

めの基本要素の割付を制御する割付制御部を備えることを特徴としている。
また、請求項４に記載の発明は、請求項３記載の信号処理装置において、前記ＣＰＵと割り込みコントローラ及びメモリの代わりに、ＦＳＭ（Ｆｉｎｉｔｅ　Ｓｔａｔｅ　Ｍａｃｈｉｎｅ）からなるハードウェアシーケンサで構成したことを特徴としている。
【０００８】
また、請求項５に記載の発明は、定義用メモリと、定義用メモリの内容により回路の構成を変更可能な論理回路部とを備えた再構成可能論理回路装置において、複数のプロセッサエレメント（ＰＥ）で構成し１つのＰＥの定義用データをメモリの出力ポート幅より小さくした論理回路部を備え、前記各ＰＥに1対１に対応しＮセットの定義用データを記憶でき要素Ｎの配列で前記ＰＥの数だけ用意された定義用配列メモリから構成される定義用メモリ部を備えることを特徴としている。
また、請求項６に記載の発明は、前記ＰＥが、ＰＥに入ってくる複数の入力と演算部への出力の間の配線を、定義用配列メモリの内容にそって再構築する配線部と、定義用配列メモリの内容に沿って演算の処理を変更する演算部から構成されることを特徴としている。
また、請求項７に記載の発明は、前記定義用配列メモリを選択するためのアドレスを出力する、インデックスレジスタを備えることを特徴としている。
請求項８に記載の発明は、定義用配列メモリを行と列からデータを指定できる２次元配列とし、インデックスレジスタを行選択部と列選択部から構成し、前記行選択部と前記列選択部の内容で構成を変更するＰＥで構成することを特徴としている。
また、請求項９に記載の発明は、前記インデックスレジスタの設定値の変更を、前記論理回路部の演算結果で行なうことを特徴としている。
【０００９】
また、請求項１０に記載の発明は、再構成可能な回路装置を備えて入力信号を遷移条件とし内部回路により生成された状態から出力信号を生成する順序回路において、回路の増減に対応可能なビット幅を持った入力信号を備え、制御信号から状態を生成するメモリ制御部と、前記状態をアドレスとして利用し状態での動作と入力信号との関連付けを記憶した状態解釈信号を生成する状態解釈メモリと、前記状態をアドレスとして利用し状態に対応する出力信号を記憶して回路の増減に対応可能なビット幅を持つ出力生成メモリから構成されるメモリを備え、前記状態解釈信号と入力信号から前記メモリ制御部の制御信号を生成する状態制御部を備えることを特徴としている。
また、請求項１１に記載の発明は、前記出力生成メモリにはエンコードされたデータを記憶し、出力生成メモリの後段にデコーダを備えることを特徴としている。
また、請求項１２に記載の発明は、前記状態制御部を、ルックアップテーブルで構成することを特徴としている。
また、請求項１３に記載の発明は、前記再構成可能順序回路を、演算処理を実行する再構成可能データパスの制御部として利用することを特徴としている。
【発明の効果】
【００１０】
請求項１に記載の発明によると、任意のシステムの、ある割込み要求に対してレーテンシを最小に抑えて論理回路部を起動できるため、システムのリアルタイム性を向上することができる。さらに、選択されたバンクの論理回路部データを常に出力できることから、ハードウェアの再構成を非常に短くすることができる。
請求項２に記載の発明によると、請求項１の効果に加えて、任意の割込み要求に対するハードウェア処理を一つの論理回路部により共用できることから、ハードウェアリソースを抑えることができると同時に、不活性回路も削減できることから、消費電力を低減することができるようになる。
請求項３に記載の発明によると、請求項１、２の効果に加えて、任意のシステムの、任意の割込み要求に対して、レーテンシを最小に抑えて論理回路部を起動することができるため、システムのリアルタイム性を向上することができる。任意の割込み要求は重複する

ことができるため、多重割り込みにおける切り換え処理のレーテンシを抑えられ、さらなるリアルタイム性の向上に寄与することができる。

請求項４に記載の発明によると、請求項１、２、３の効果に加え、メモリやＣＰＵといったゲート数の大きな構成部品を利用しないため、信号処理装置全体のゲート数を削減できるので、ダイの面積を削減してＬＳＩを小型化することができる。

請求項５に記載の発明によると、メモリを分割して持ち、各々のＰＥに対する定義データをワード単位のように小さくすることにより、アドレスの変更という非常に短い時間で定義データの変更を行なえるようになる。また、データ保持のためのメモリの読み出しや、読み出したデータの保持をなくすことができ、回路のサイズを抑えることができる。

定義用アドレスメモリのアドレスを書き換えると回路を変更できるので、ステートマシン、特にＣ言語のｓｗｉｔｃｈ文を利用したステートマシンのハードウェア化を容易にすることができる。

請求項６に記載の発明によると、ＰＥ間の配線とＰＥ内の配線の構成データを共通して管理できるようになる。さらに、ＰＥ内での配線の変更の自由度を上げることができる。

請求項７に記載の発明によると、定義用配列メモリの管理を容易にすることができる。

また、請求項８に記載の発明によると、行選択部と列選択部の内容でＰＥの構成を変更することができ、アプリケーションにあわせたＰＥを用意することができる。

請求項９に記載の発明によると、インデックスレジスタの内容を論理回路部の演算結果で変更できるため、環境に合わせて回路構成を変更することができる。また、ソフトウェアと等価な処理をＣＰＵレスで行なえ、ＣＰＵやメモリを搭載せずＬＳＩを作成できるため、ＬＳＩのダイ面積を小さくすることできる。

請求項１０に記載の発明によると、状態をインデックスとする状態解釈メモリと出力生成メモリから、制御信号と出力信号を別々に生成できるので、任意の回路の入力信号と出力信号に適合させることができるようになる。状態遷移の制御と出力の生成を独立して行なえるので、同じ状態遷移で異なる出力を得ることや、その逆に同じ出力で異なる状態遷移をとることができる。

さらに、再構成のための変更箇所を少なくすることもできる。状態に対して、状態解釈と出力生成を考えることができるので、任意の状態遷移の作成を簡単にすることができる。

請求項１１に記載の発明によると、出力生成メモリのメモリ容量を圧縮することができ、より小さな回路規模の順序回路とすることができる。

請求項１２に記載の発明によると、状態制御部の回路構成を変更することができ、メモリ制御部の制御信号の動作を変更することができる。

請求項１３に記載の発明によると、制御を行なう順序回路と、演算を行なうデータパスの両方を再構成することができ、高い処理能力とソフトウェアの柔軟性を有することができる。ＡＳＩＣに適用することで、ＡＳＩＣの制御部とデータパスをアプリケーションにあわせて再構成できるので、１個のＡＳＩＣを複数のアプリケーションに利用できるハードウェアプラットフォームとすることができる。

【発明を実施するための最良の形態】

【００１１】

以下、本発明の実施の形態について図を参照して説明する。

【実施例１】

【００１２】

図１は本発明の実施例１の信号処理装置の構成を示すブロック図である。

図１において、バスＳ４に接続されたＩ／Ｏデバイス群３は再構成可能なハードウエアを起動する論理回路部起動部７の入力となるｎ本の割込みソースＳ１を生成する。論理回路部起動部７では、割込みソースのうち１つを利用して、論理回路部５を起動する論理回路部起動信号Ｓ８を生成する。再構成可能なハードウエアである論理回路部５は処理終了後に、論理回路部ＡＣＫ　Ｓ９を返してくるので、この信号を新たな割込みソースとして利用し、未処理のｎ－１本の割込みソースとして合わせて、割込みコントローラ４に入力

するｎ本の割込み要求Ｓ５を生成する。
再構成可能ハードウエア（論理回路部）を起動する起動信号Ｓ８を生成する割込みソースは任意のものを選択可能であるが、優先度が最高で、最もリアルタイム性を必要とする定周期割り込みとするのが高い効果を得られる。割込みコントローラ４は割り込みＳ２をＣＰＵ１に入力し、ＣＰＵ１は処理終了後に割込みＡＣＫ　Ｓ３を返す。再構成データ制御部６には、論理回路部データＳ６が保持されたメモリから構成される定義用メモリ部（再構成データ記憶部）６１がある。
定義用メモリ部６１のメモリはバンク構成となっており、バンクを切り換えるごとに新しい論理回路部データＳ６が出力される。このバンク切り換えにはインデックスレジスタ６２が再構成データ選択レジスタとして利用される。インデックスレジスタ６２の設定はＣＰＵ１から行なわれ、設定値に変更があった場合に、論理回路部５の再構成を指示する再構成トリガ信号Ｓ７が生成される。論理回路部５では再構成トリガ信号Ｓ７が生成された時、論理回路部データＳ６を作用させて、ハードウェアの再構成を行なう。
本発明が特許文献１と異なる部分は、論理回路部起動部７を追加した部分と、論理回路部データＳ６を常に出力するように変更した点である。
【実施例２】
【００１３】
次に、実施例２について図を参照して説明する。
図２は実施例２の信号処理装置の構成を示すブロック図である。
実施例１と異なる動作の点について説明する。図２において、論理回路部起動部７では、例えば優先度をベースにして、ｎ本の割込みソースＳ１は調停されて、有る一つの割り込みソースが選択される。この選択された割込みソースを利用して論理回路部起動信号Ｓ８を生成する。同時に、どの割込みソースが選択されたかを示す再構成データ選択信号Ｓ１０を生成する。再構成データ選択信号Ｓ１０はインデックスレジスタ６２に保持されているデータを書き換え、それにより定義用メモリ部６１のバンクが変更され、論理回路部５の再構成が割り込みに同期して実行される。
本実施例が前実施例と異なる部分は、実施例１の論理回路部起動部７で再構成データ選択信号Ｓ１０を生成し、インデックスレジスタ６２に作用するように変更した点である。
【実施例３】
【００１４】
次に、実施例３について図を参照して説明する。
図３は、実施例３の信号処理装置の構成を示すブロック図である。
実施例１、２と異なる動作の点について説明する。図３において、論理回路部５は、再構成トリガ信号Ｓ７をトリガとして、論理回路部データＳ６を作用させて、ハードウェアの再構成を行なう。
この再構成された状態で、未使用の基本要素が存在している時に、割付制御部５１は、どの再構成データ選択信号Ｓ１０と、基本要素が利用されているかを管理している。ここで、新しい割込みソースが発生した場合、再構成トリガ信号Ｓ７が生成され、論理回路部データＳ６も更新される。割付制御部５１は、利用されていなかった部分のみ再構成できるよう、利用している基本要素への再構成トリガ信号Ｓ７をマスクして無効とするように制御する。そして、再構成された基本要素と再構成データ選択信号Ｓ１０をペアで、新たに利用として管理する。
本実施例が、実施例１、２と異なる点は、論理回路部５を実現するための基本要素の割付を制御する、割付制御部５１を備えた部分である。
【実施例４】
【００１５】
次に、実施例４について図を参照して説明する。
図４は、第４実施例の信号処理装置の構成を示すブロック図である。
実施例１、２、３と異なる動作の点について説明する。図４において、ハードウェアシーケンサ８は、ＣＰＵではプログラムとして記述されていた制御シーケンスを、ＦＳＭ（

Ｆｉｎｉｔｅ　Ｓｔａｔｅ　Ｍａｃｈｉｎｅ：有限状態機械）によりハードウェアで実現したものである。なお、ＦＳＭとは、例えば、状態遷移表と呼ばれる各シーケンスをテーブル形式で表したもので、シーケンスの切り換えは、割込み要求Ｓ５に同期して行なわれる。

割込み処理の主要な演算処理は論理回路部５で実施しており、バスを操作してＩ／Ｏデバイス群３を用いて、上位との通信などの処理を実施する。

本実施例が、実施例１、２、３と異なる点は、ＣＰＵとメモリの代わりにハードウェアシーケンサ８を備えた点である。

以上、実施例１～実施例４が請求項１～請求項４に該当する第１の発明に関する説明である。

【実施例５】

【００１６】

次に、実施例５について図を参照して説明する。（以下、実施例５～８は請求項５～８に該当する第２の発明に関する説明の部分である）。

図５は、実施例５の再構成可能論理回路装置のブロック図である。

図５において、再構成可能論理回路装置１１は、定義用メモリ１２と論理回路部１３から構成される。定義用メモリ１２は論理回路部１３の回路構成が定義されたデータを格納するメモリであり、この定義用メモリ部１２の出力を作用させて、論理回路部１３の回路構成を変更する。論理回路部１３は1つ以上のＰＥ（プロセッサ・エレメント）で構成され、各々のＰＥは相互接続されている。

さらに、入出力信号もＰＥと相互接続される。図５では、ＰＥ1　３１とＰＥ2　３２に入力が、ＰＥ3　３３とＰＥ4　３４に出力が接続されている。論理回路部１３は、回路構成が定義された後は、専用回路と等価になり、入力信号を利用して演算を行ない、結果を出力信号として再構成可能論理回路装置１１の外に転送する。

【００１７】

相互接続された配線と演算回路の再構成はＰＥの内部で行ない、ＰＥ間の接続は固定である。定義用メモリ部１２には、このＰＥと1対1に対応する定義用配列メモリ1　２１～定義用配列メモリ4　２４の４つのメモリを備えている。各定義用配列メモリは、ＰＥの内部構成を変更するデータを、配列の形でＮセット記憶する。ＰＥを複数に分割し、個々の定義用データをメモリの出力ポート幅と同じか、それ以下に抑える。

これにより、定義用配列メモリへの制御信号を固定することで、メモリ出力を保持でき、特許文献２にある選択制御部のような複雑な回路を排除することができるようになる。また、従来例では揮発性メモリが論理回路部全体の定義用データに相当していたが、本実施例の定義用配列メモリはＰＥに対する定義用メモリに過ぎず、定義用メモリ部１２の出力全体が、論理回路部１３の定義用データになる。本例ではＰＥを４つ、それに対応する定義用配列メモリも4つにしているが、この個数に限定されるものではない。

定義用配列メモリの実装は２次元配列でも構わない。また、定義用配列メモリは不揮発性メモリでも、揮発性メモリでも構わないが、揮発性メモリの場合は電源投入後に定義用配列メモリにデータを書き込む処理が必要となる。

本実施例が特許文献２と異なる部分は、定義用メモリを分割した部分と、論理回路部をＰＥで構成した部分と、選択制御部を排除した部分である。

【００１８】

図６は図５に示す実施例５の構成可能論理回路装置の詳細ブロック図である。　図６は図５に示すＰＥ1の詳細を示したもので、図６を用いて実施例５の動作を説明する。

演算を行う論理回路部１３は、入出力データとして１４個のレジスタ１４と接続されている。ＰＥ1　３１は３つの入力から１つの演算結果を作成し、ＰＥ3　３３とＰＥ4　３４の入力とする。ＰＥ1は演算を実行する演算器としてＡＬＵ1　１８とＡＬＵ2　１９をもつ。ＡＬＵ1の入力はＳＷ1　１５とＳＷ2　１６と接続され、レジスタ１４と接続されたＳＷ1とＳＷ2は、定義用メモリ部１２の定義用配列メモリ1　２１のデータを利用して、入力となるレジスタを決定する。

【００１９】
図７は２種類のオペコードを示している。図７（ａ）は実施例５のオペコードで、ＡＬＵ1とＡＬＵ2はオペコードに従って４つの演算を行う。このオペコードも定義用配列メモリの一部である。また、ＡＬＵ2はＡＬＵ1の出力とＳＷ3 １７の出力を入力として持つ。ＰＥ1 ３１の定義用配列メモリは、ＳＷ1、ＳＷ2とＳＷ3の１２ビットと、ＡＬＵ1とＡＬＵ2の４ビットで、合計１６ビットになる。
本実施例のように１６ビットのポート出力のメモリでは、メモリ自体がデータの保持機能を兼ね備えられるため、メモリ以降にデータの保持機能を持つ必要がなくなる。そのため、４つのＰＥをもち、各ＰＥが同一の構造である、本実施例では６４ビット定義用データが必要となる。
従来例では、６４ビットのデータを１個のメモリから出力する必要があり、出力ポートが１６ビットや３２ビット幅のメモリでは、外部にフリップフロップなどの保持機能が必要となる。本実施例では、アドレスの切り替えで定義用配列メモリのデータを切り替えられるため、クロック単位での切り替えを行えるようになる。さらに、各ＰＥに定義用配列メモリを対応させているため、ＰＥ単位でデータの切り替え制御を行うことも可能となる。これによって６４ビットにも対応できる。このように図７（ａ）のオペコードで実施例５と同じ演算を実行する。
なお、図７（ｂ）は実施例５と異なる演算を実行できるオペコードである（これについては後述）。
【実施例６】
【００２０】
次に、実施例６について図を参照して説明する。
図８は実施例６の構成を示す再構成可能論理回路装置のブロック図である。
全てのＰＥの構成は等しいため、ＰＥ1 ３１を代表例として説明する。図８において配線部1 ３１１は複数の入力から、演算部１ ３１２、配線部2 ３１４への入力を、定義用配列メモリのデータに基づき選択するものである。配線部1 ３１１の入力は、ある時点での演算には利用されない入力もあり、この冗長性により入力の自由度をあげることになる。演算部1 ３１２、演算部2 ３１３の演算も定義用配列メモリのデータに基づき決定される。演算部1、演算部2の出力は配線部2 ３１４に接続され、出力を定義用配列メモリのデータに基づき選択する。この例では演算器は２つであるが、２つに限定されず、多くの演算器を備えることで複雑な演算に対応することができる。これは、配線部も同様である。本実施例が前実施例とは、配線部や演算部で構成されるＰＥの構成が異なるものである。
【実施例７】
【００２１】
次に、実施例７について図を参照して説明する。
図９は実施例７の構成を示す再構成可能論理回路装置のブロック図である。
図９において、定義用配列メモリ部１２（定義用配列メモリ２１～２４）の入力の前段にインデックスレジスタ２０を配置する。このインデックスレジスタ２０は外部のＣＰＵ等から読み書き可能とし、インデックスレジスタ２０の変更で定義用メモリ部１２の各定義用配列メモリ２１～２４のデータを変更できる。
本実施例が前実施例と異なる部分は、このインデックスレジスタ２０を追加した部分である。
【００２２】
次に、実施例７の変形例について図を参照して説明する。
図９（ｂ）は、実施例７の変形例の構成を示す再構成可能論理回路装置のブロック図である。
図９（ｂ）において、インデックスレジスタ２０を列選択部２０ａと行選択部２０ｂから構成する。また、定義用配列メモリ部１２０を２次元配列で構成し、インデックスレジスタ２０の列選択部２０ａと行選択部２０ｂの出力でアドレスを指定する。この２次元配

列は、定義用２次元配列メモリ部１２０（定義用２次元配列メモリ１２１～１２４）である。実施例５と同じく、行選択部２０ｂの内容でＰＥ（図５）の再構成を行なう。さらに、列選択部２０ａの内容でＰＥの構成を変更する。例えば、行選択部が１ビットの場合、０と１を値としてとることができる。

０の場合には図６のＡＬＵ１、ＡＬＵ２は図７（ａ）のオペコードを実行するように再構成する。この場合、実施例５と同じ計算をすることが出来る。

次に、１の場合には図６のＡＬＵ１、ＡＬＵ２が図７（ｂ）のオペコードを実行するように再構成する。この場合、実施例５と異なる演算を実行できるようになる。これは、列選択部２０ａの内容で異なるＰＥを準備しているのと等価であり、アプリケーションにあわせたＰＥを指定できるようになる。本実施例が実施例７と異なる部分はインデックスレジスタ２０と定義用配列メモリ部１２０とＰＥ（図５）の構成である。

【実施例８】

【００２３】

次に、実施例８について図を参照して説明する。

図１０は実施例８の構成を示す再構成可能論理回路装置のブロック図である。

図１０において、定義用配列メモリ1　２１～定義用配列メモリ 4　２４の入力の全段にインデックスレジスタ２０を配置する。

このインデックスレジスタ２０は、論理回路部１３の演算結果である出力が接続され、インデックスレジスタ２０の値をこの演算結果を用いて変更する。この構成により、論理回路部１３で論理回路部の変更条件を演算してインデックスレジスタ２０を変更することで、論理回路部１３の調整と言える、回路の再構成を実行できるようになる。

さらに、再構成可能論理回路装置１１のみで、回路の再構成が実行できるようになる。例えば、外部の環境の違いを論理回路部１３で演算し、環境に適合するように論理回路部１３の変更を行なえ、環境が変わっても回路を再調整する必要がない装置を提供できるようになる。

また、インデックスレジスタ２０は外部のＣＰＵ等からも読み書きでき、ＣＰＵからの変更も可能とする。本実施例が前実施例と異なる部分は、このインデックスレジスタ２０の部分と、インデックスレジスタ２０の変更を論理回路部１３の演算結果で行なえるようにした点である。

【実施例９】

【００２４】

次に、実施例９について図を参照して説明する。

以下、実施例９～実施例１２は第３の発明に該当する部分である。

図１１は、本発明の実施例９の再構成可能順序回路のブロック図である。

図１１において、再構成可能順序回路４１はメモリ４２と状態制御部３０１から構成されている。またメモリ４２は、状態解釈メモリ１０１と出力生成メモリ１０２とメモリ制御部１０３から構成されている。遷移条件となる入力信号Ｓ１１は、ｎ１ビット幅の信号であり、このビット幅はある程度の余裕を持たせ、外部に付く回路の増減に対応できるようにする。入力信号Ｓ１１は状態制御部３０１に入力される。

状態制御部３０１は、状態解釈メモリ１０１の出力である状態解釈信号Ｓ１５も入力され、この２つの信号によりメモリ制御部１０３を制御する制御信号Ｓ１４を生成する。メモリ制御部１０３は制御信号に従い動作を行い、状態Ｓ１３を生成する。状態Ｓ１３は状態解釈メモリ１０１と出力生成メモリ１０２のアドレスとして作用し、状態解釈メモリ１０１は状態解釈信号Ｓ１５を、出力生成メモリは１０２は、ｎ２ビットの出力信号Ｓ１２を生成する。出力信号Ｓ１２も、外部回路の増減に対応できるように余裕を持ったビット数の信号とする。

【００２５】

この状態遷移に枝分かれがない場合は、

・ 次の状態に遷移する（ｇｏ）
・ ある遷移条件になるまで状態を保持する（ｗａｉｔ）

・ ある状態に遷移する（ｊｕｍｐ）
という制御を行なえばよい。さらに、枝分かれが必要な時は、
・ ある遷移状態の時は状態Ａに、それ以外は状態Ｂへ遷移する（ｉｆ～ｅｌｓｅ～）を制御に加えることで、任意の状態を取る順序回路とすることができる。さらに、このことは、従来は個別に組み合わせ回路を組んでいた状態遷移の論理を、固定回路とすることができるようになり、本発明の再構成可能順序回路を実現可能とする。
本発明が特許文献３と異なる部分は、状態解釈メモリ１０１と出力生成メモリ１０２を備えた部分、および状態解釈メモリ１０１に状態レジスタの機能を持たせた部分である。
【００２６】
図１２は図１に示す再構成可能順序回路を利用した回路のブロック図である。図１２は、ＣＰＵ４と２つの外部回路、回路1　２と回路2 ３を接続した例であり、入力信号と出力信号はともに４ビットの信号にしている。どちらも１ビットが利用されないが、回路が増えた場合はこの利用されていない信号を利用して対応できる。そのため、物理的な信号線について、入出力信号のビット幅に余裕を持たせておくことで、外部回路の増減への対応を行なえるようになる。論理的な対応は以下説明する。
【００２７】
図１３は、状態解釈メモリ１０１の内容を示す図である。
図１３において、状態Ｓ１３はアドレスとして利用され、状態Ｓ１３が示すアドレスの内容が状態解釈信号Ｓ１５として出力される。
（１）状態が０のとき、
ｗａｉｔ　Ｓ２１が、状態解釈メモリの内容であり、入力信号1 Ｓ２１が真になるまで状態が０を保持し、入力信号1 Ｓ２１が真になると次の状態である１に遷移する。
（２）同様に、状態が１のとき
ｗａｉｔ　Ｓ２２で、入力信号2 Ｓ２２の状態によって状態遷移が制御される。
（３）状態が２のときは、
ｗａｉｔ　Ｓ２３で、入力信号3 Ｓ２３の状態によって状態遷移が制御される。
状態が３のときは、
ｊｕｍｐ　０で、このときは無条件に状態が０に遷移する。この状態解釈メモリの内容を変更することで、新たな状態を再構成することができる。さらに、遷移状態に入力信号を利用することが論理的な対応となる。
【００２８】
次に、図１４には出力生成メモリ１０２の内容を示す。
図１４においても状態はアドレスとして利用されているが、出力はこの状態の時の出力信号となる。
（１）状態０の時は、
ａｌｌ　０で、出力信号1～4　Ｓ３１～Ｓ３４はすべて０の信号が生成される。
状態が１では、
ｍａｋｅ　Ｓ３１で、出力信号1が１、その他は０の信号になる。
（２）状態２では、
ｍａｋｅ　Ｓ３２で、出力信号2が１、その他は０の信号になる。
（３）状態３では、
ｍａｋｅ　Ｓ３３で、出力信号3が１、その他は０の信号になる。
この出力生成メモリの内容を変更することで、出力信号を再構成することができるようになる。状態に出力信号を対応付けできることが論理的な対応となる。さらに、状態解釈メモリ１０１と出力生成メモリ１０２は独立しているため、同じ状態で異なる出力信号を生成するなど、再構成の自由度を高めている。
【００２９】
このときの動作波形を図１５に示す。
この図は正論理（１のとき真）で記述している。入力信号1 Ｓ２１が０の時は、状態が０のまま保持されており、出力信号1～ 4　Ｓ３１～Ｓ３４はすべて０である。ある時点

で入力信号1が１になった時、状態は１に遷移する。同時に、出力信号1　Ｓ３１が１になる。この状態では入力信号2　Ｓ２２を観測している。入力信号2　Ｓ２２が０の時は現在の状態である１を保持し、１になった時に状態は２に遷移して、同時に出力信号2　Ｓ３２が１になり、出力信号1を含むその他の信号は０になる。同じく、状態が２では入力信号3　Ｓ２３を観測し、Ｓ２３が１になるまで同じ状態を保持し、１になると状態３に遷移する。状態３はすぐに状態０に遷移する。

入力信号1　２１はＣＰＵ　４の生成した起動信号であり、再構成可能順序回路４１はこの起動信号を待っている。起動信号が生成された後に状態は１に遷移して、出力信号1　Ｓ３１が生成されて回路1　４４を起動する。回路1での処理が終了すると、回路1で入力信号2　Ｓ２２が生成される。

入力信号2は回路1のアクノレッジ信号であり、この信号に同期して状態は２に遷移し、出力信号2　Ｓ３２が生成される。

出力信号2は回路2　４５を起動し、処理終了後にアクノレッジ信号である入力信号3　Ｓ２３が回路２で生成される。

Ｓ２３が生成されると状態は３に遷移し、ＣＰＵへ回路1と2での処理が終了したことを示す、出力信号3　Ｓ３３を生成する。この例では、入力信号4　Ｓ２４と出力信号4　Ｓ３４は利用されていなかったが、この信号に外部回路を接続し、状態解釈メモリ１０１と出力生成メモリ１０２の内容を変更することが、順序回路４１の再構成になる。

【００３０】

このように、状態解釈メモリ１０１の出力と入力信号により状態を制御できる構成をしているので、状態解釈メモリ１０１を変更することで状態遷移を再構成できるのである。

さらに、出力生成メモリ１０２を変更することで出力の再構成も行うことができる。これはすなわち、順序回路４１の再構成を実行できるということである。

【実施例１０】

【００３１】

次に、実施例１０について図を参照して説明する。

図１６は実施例１０の構成を示す図である。

ｍビット幅の出力生成メモリ１０２にはエンコードされたデータを記憶する。出力生成メモリ１０２の後段にデコーダ１０４を備え、ｎ２ビット幅の出力信号Ｓ１２を生成させる。このとき、ｍ＜ｎ２であり、これにより出力生成メモリの容量を抑えることができるようになる。

本実施例が前実施例と異なる部分は、出力生成メモリ１０２とデコーダ１０４を備え、出力生成メモリ１０２にエンコードされたデータを記憶させるようにした部分である。

このように、出力生成メモリ１０２の後段にデコーダ１０４を備える構成をしているので、出力生成メモリ１０２の容量を抑えることができるので、回路面積を小さくすることができる。

【実施例１１】

【００３２】

次に、実施例１１について図を参照して説明する。

図１７は実施例１１の構成を示す図である。状態制御部３０１をルックアップテーブル３０１１で構成したものである。入力信号Ｓ１１と状態解釈信号Ｓ１５を入力として、この入力に対応するように出力信号Ｓ１２を、ルックアップテーブル３０１１は生成する。これにより、状態制御部３０１の論理の変更が可能となり、実施例９で説明した状態制御以外の制御を行うことができるようになるのである。

本実施例が実施例９、１０と異なる部分は、状態制御部３０１をルックアップテーブル３０１１で構成した部分である。

このように、状態制御部３０１をルックアップテーブル３０１１で構成をしているので、任意の状態遷移を行うことできるようになる。

【実施例１２】

【００３３】

次に、実施例１２について図を参照して説明する。

図１８は実施例１２の構成を示す図である。再構成可能順序回路４１は再構成可能データパス５０と接続されている。再構成可能順序回路４１の出力である出力信号Ｓ１２は再構成可能データパス５０の入力となり、再構成可能データパス５０の出力は再構成可能順序回路４１の入力信号Ｓ１１となる。データパス５０は演算を行う回路であり、再構成可能順序回路４１はデータパス５０の動作と再構成の両方を制御する。順序回路４１のシーケンスを制御することで、複雑な演算をデータパス５０の再構成を行いながら演算できるようになる。

本実施例が前実施例９、１０、１１と異なる部分は、再構成可能データパス５０と再構成可能順序回路４１を組み合わせる構成にした部分である。

このように、制御部である順序回路４１と演算部分であるデータパス５０の両方を再構成可能な構成をしているので、ハードウェアにソフトウェアの柔軟性を持たせることができるので、ＣＰＵ無しで自律的な動作を可能とすることができる。

【産業上の利用可能性】

【００３４】

論理回路部により、ソフトウェア化されたハードウェアを実現できることから、組み込み以外のディジタル信号処理一般に適用できる。

また、環境の変化を計算して求めることによって、環境の変化に回路を適合させることができるので、特に室外でのセンサ処理一般に広く適用できる。

【図面の簡単な説明】

【００３５】

【図１】本発明の実施例１を示す信号処理装置のブロック図である。

【図２】本発明の実施例２を示す信号処理装置のブロック図である。

【図３】本発明の実施例３を示す信号処理装置のブロック図である。

【図４】本発明の実施例４を示す信号処理装置のブロック図である。

【図５】本発明の実施例５を示す再構成可能論理回路装置のブロック図である。

【図６】図５に示す再構成可能論理回路装置の詳細ブロック図である。

【図７】図６に示す再更生可能論理回路装置のＡＬＵ１、ＡＬＵ２のオペコードを２種類示す図である。

【図８】本発明の実施例６を示す再構成可能論理回路装置のブロック図である。

【図９】本発明の実施例７（ａ）および変形例（ｂ）を示す再構成可能論理回路装置のブロック図である。

【図１０】本発明の実施例８を示す再構成可能論理回路装置のブロック図である。

【図１１】本発明の実施例９を示す構成可能順序回路のブロック図である。

【図１２】図１１に示す回路を利用した再構成可能順序回路のブロック図である。

【図１３】図１１に示す再構成可能順序回路の状態解釈メモリのメモリマップ例を示す図である。

【図１４】図１１に示す再構成可能順樹回路の出力作成メモリのメモリマップ例を示す図である。

【図１５】図１２に示す再構成可能順序回路の動作波形例を示す図である。

【図１６】本発明の実施例１０を示す再構成可能順序回路のブロック図である。

【図１７】本発明の実施例１１を示す再構成可能順序回路のブロック図である。

【図１８】本発明の実施例１２を示す再構成可能順序回路のブロック図である。

【図１９】従来の信号処理装置のブロック図である。

【図２０】図１９に示す装置の詳細図である。

【図２１】従来の再構成可能論理回路装置のブロック図である。

【図２２】従来の再構成可能順序回路のブロック図である。

【符号の説明】

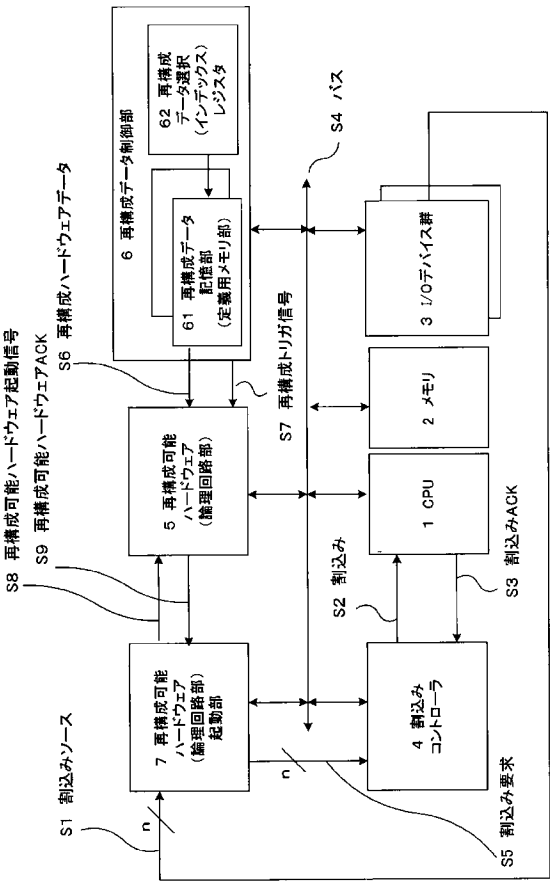
【００３６】

１　ＣＰＵ

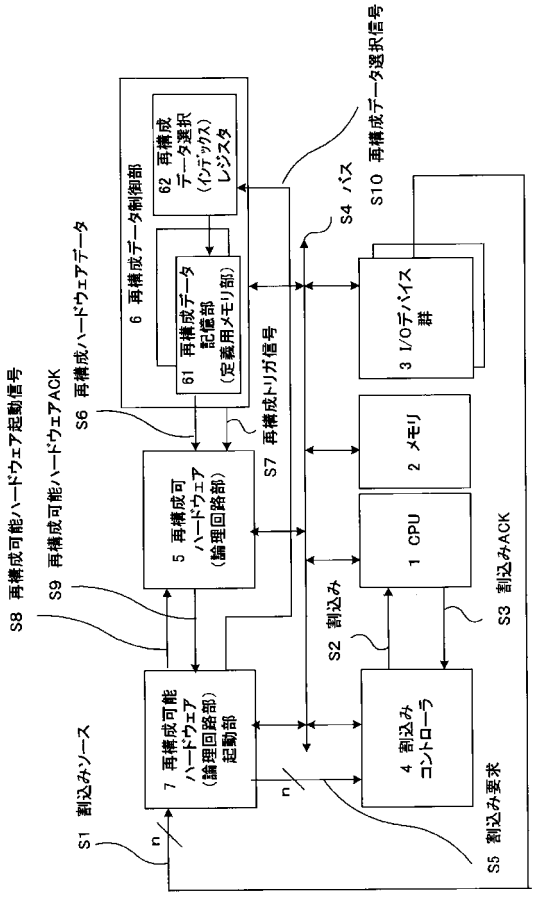
２　メモリ
３　Ｉ／Ｏデバイス群
４　割込みコントローラ
５、１３　論理回路部（再構成可能ハードウエア）
５１　割付制御部
６　再構成データ制御部
６１、１２、１２０　定義用メモリ部（再構成データ記憶部）
６２、２０　インデックスレジスタ（再構成データ選択レジスタ）
７　論理回路部起動部
８　ハードウェアシーケンサ
１１　再構成可能な論理回路装置
１４　レジスタ
１５　ＳＷ１
１６　ＳＷ２
１７　ＳＷ３
１８　ＡＬＵ１
１９　ＡＬＵ２
２０ａ　列選択部
２０ｂ　行選択部
２１～２４、１２１～１２４　定義用配列メモリ
３１　ＰＥ１
３２　ＰＥ２
３３　ＰＥ３
３４　ＰＥ４
４１　再構成可能順序回路
４２　メモリ
４３　ＣＰＵ
４４　回路１
４５　回路２
５０　再構成可能データバス
１０１　状態解釈メモリ
１０２　出力生成メモリ
１０３　メモリ制御部
１０４　デコーダ
３０１　状態制御部
３１１　配線部１
３１２　演算部１
３１３　演算部２
３１４　配線部２
３０１１　ルックアップテーブル
Ｓ１　割込みソース
Ｓ２　割込み
Ｓ３　割込みＡＣＫ
Ｓ４　バス
Ｓ５　割込み要求
Ｓ６　論理回路部データ
Ｓ７　再構成トリガ信号
Ｓ８　論理回路部起動信号
Ｓ９　論理回路部ＡＣＫ
Ｓ１０　再構成データ選択信号

Ｓ２１　入力信号１
Ｓ２２　入力信号２
Ｓ２３　入力信号３
Ｓ２４　入力信号４
Ｓ３１　出力信号１
Ｓ３２　出力信号２
Ｓ３３　出力信号３
Ｓ３４　出力信号４

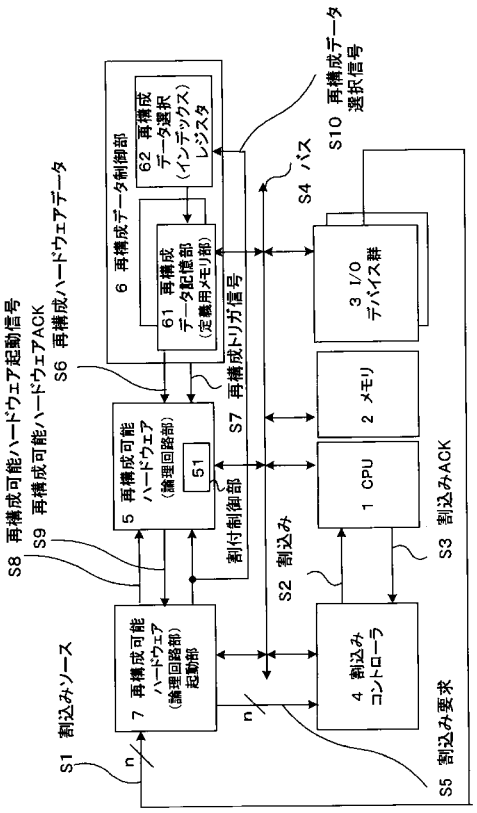
【図１】



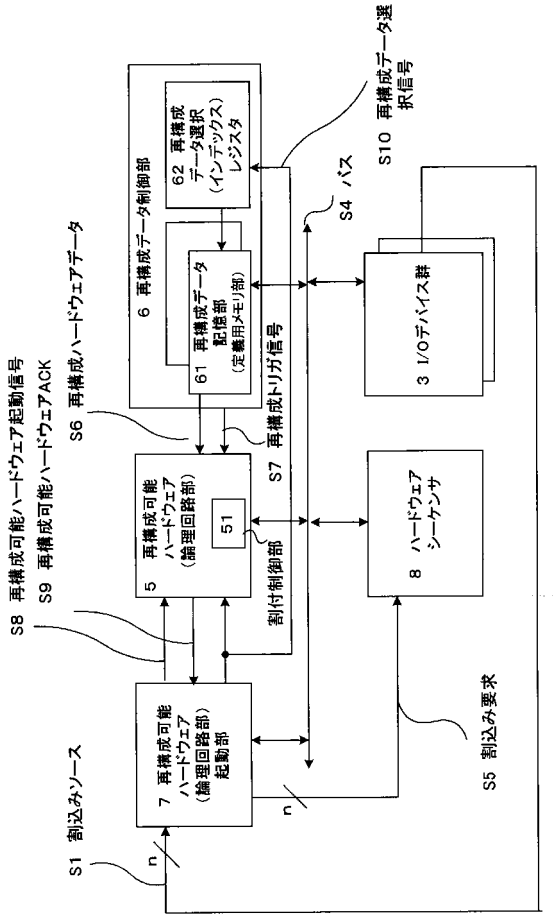

【図２】



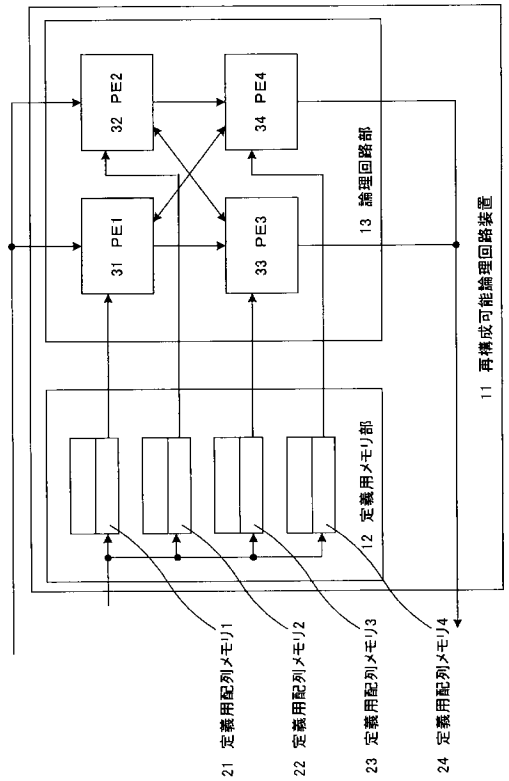
【図３】


S8 再構成可能ハードウェア起動信号
S9 再構成可能ハードウェアACK
S6 再構成ハードウェアデータ
S10 再構成データ選択信号
S4 バス
S7 再構成トリガ信号
S2 割込み
S3 割込みACK
S1 割込みソース
S5 割込み要求
6 再構成データ制御部
62 再構成データ選択（インデックス）レジスタ
61 再構成データ配信部（定義用メモリ部）
5 再構成可能ハードウェア（論理回路部）
51
割付制御部
7 再構成可能ハードウェア（論理回路部）起動部
4 割込みコントローラ
1 CPU
2 メモリ
3 I/Oデバイス群
n

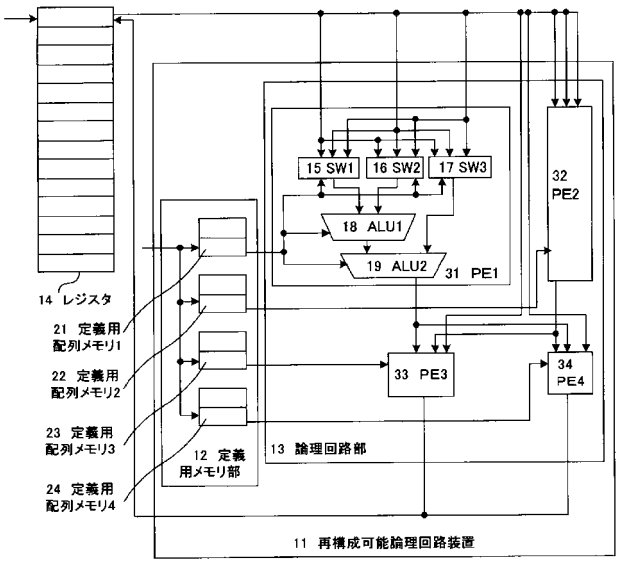
【図４】


S8 再構成可能ハードウェア起動信号
S9 再構成可能ハードウェアACK
S6 再構成ハードウェアデータ
S10 再構成データ選択信号
S4 バス
S7 再構成トリガ信号
S1 割込みソース
S5 割込み要求
6 再構成データ制御部
62 再構成データ選択（インデックス）レジスタ
61 再構成データ配信部（定義用メモリ部）
5 再構成可能ハードウェア（論理回路部）
51
割付制御部
7 再構成可能ハードウェア（論理回路部）起動部
8 ハードウェアシーケンサ
3 I/Oデバイス群
n

【図５】


32 PE2
34 PE4
31 PE1
33 PE3
13 論理回路部
12 定義用メモリ部
11 再構成可能論理回路装置
21 定義用配列メモリ1
22 定義用配列メモリ2
23 定義用配列メモリ3
24 定義用配列メモリ4

【図６】


15 SW1
16 SW2
17 SW3
18 ALU1
19 ALU2
31 PE1
32 PE2
33 PE3
34 PE4
14 レジスタ
21 定義用配列メモリ1
22 定義用配列メモリ2
23 定義用配列メモリ3
24 定義用配列メモリ4
12 定義用メモリ部
13 論理回路部
11 再構成可能論理回路装置

【図７】

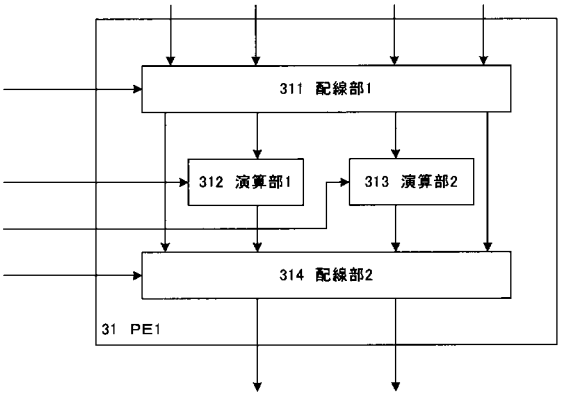
(a)

| オペコード | 機 能 |
|---|---|
| 0 | NOP |
| 1 | ＋ |
| 2 | － |
| 3 | × |

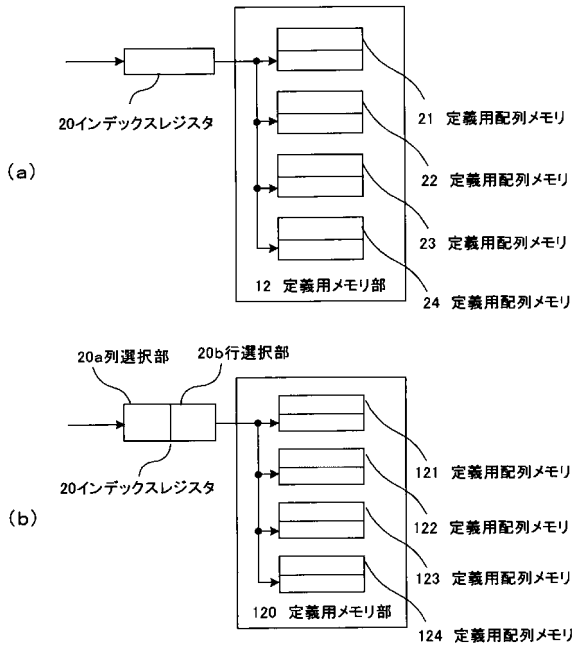
(b)

| オペコード | 機 能 |
|---|---|
| 0 | NOP |
| 1 | ＋ |
| 2 | － |
| 3 | ÷ |

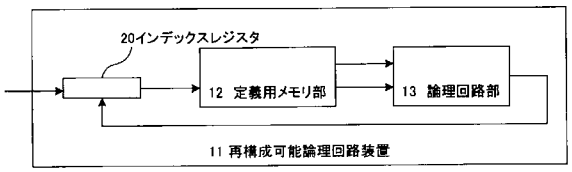
【図８】



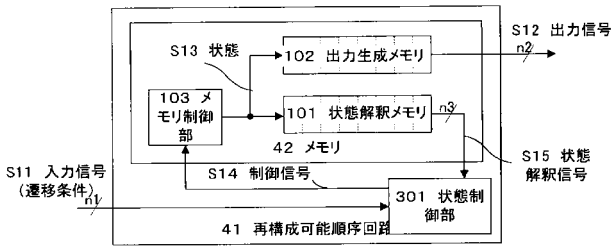

【図９】



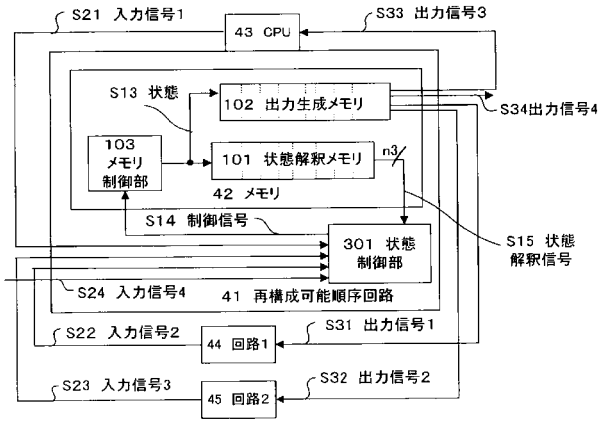

【図１０】



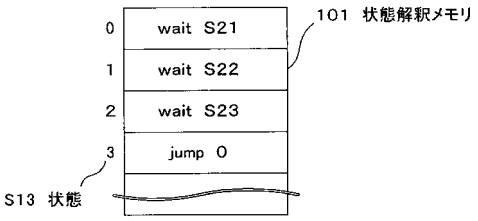

【図１１】



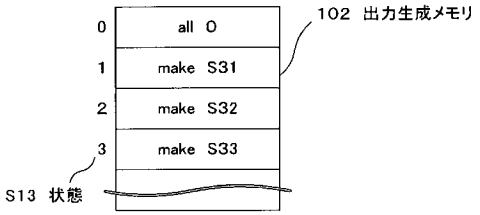

【図１２】



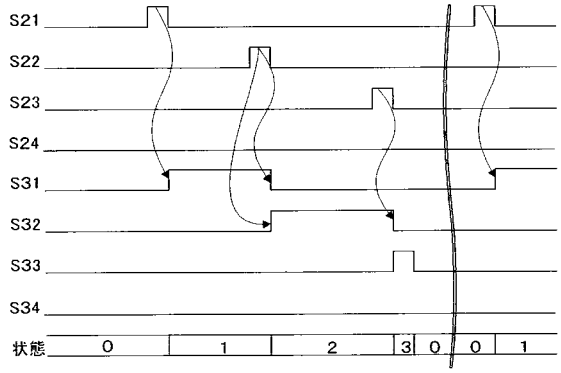

【図１３】



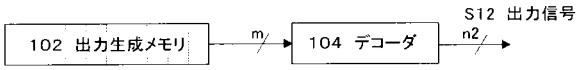
【図１４】



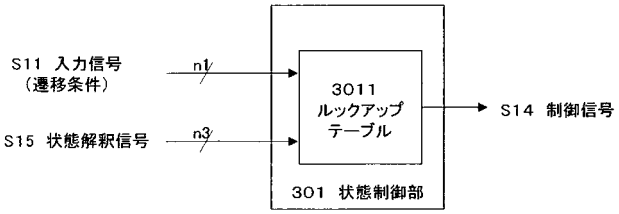

【図１５】



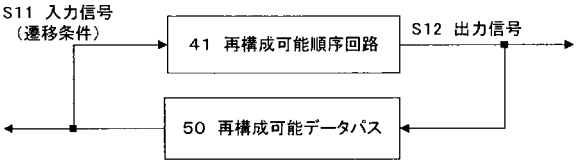

【図１６】



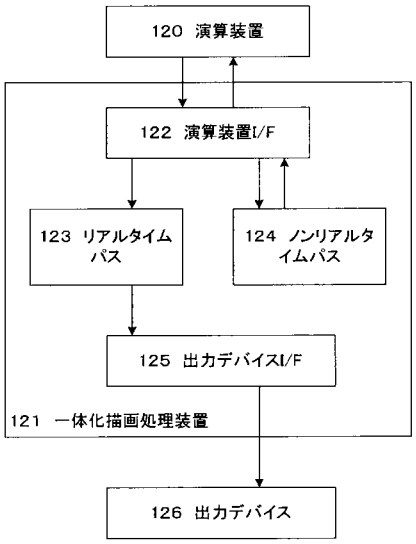

【図１７】



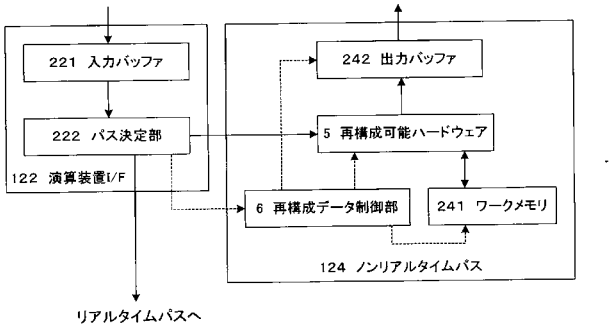

【図１８】



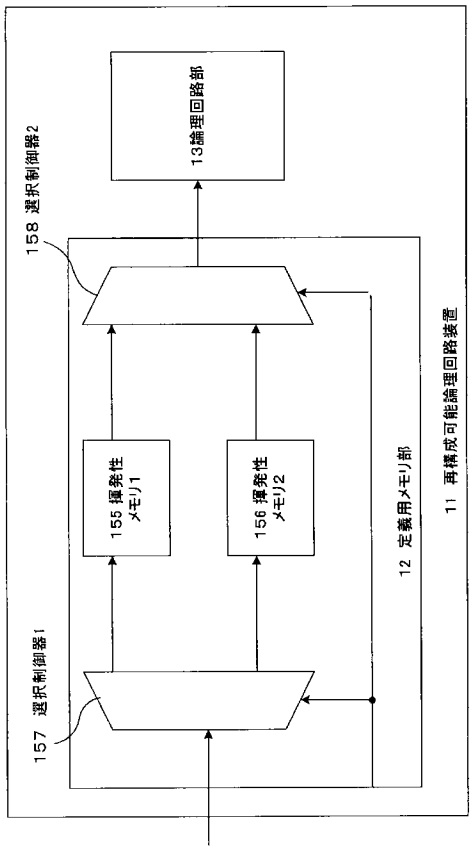

【図１９】



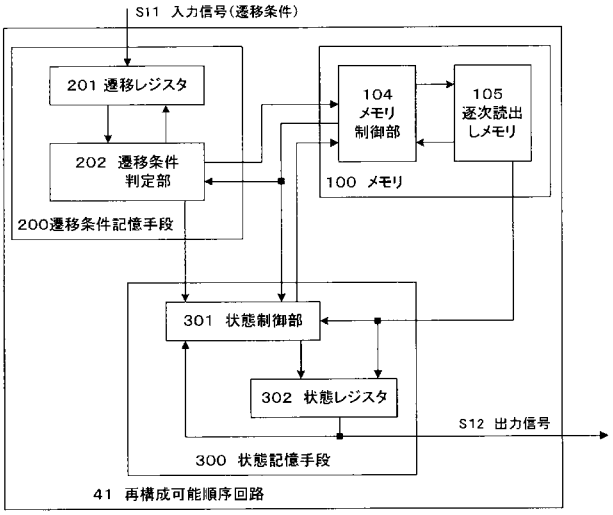

【図２０】



【図２１】


13論理回路部
158 選択制御器2
155 揮発性メモリ1
156 揮発性メモリ2
157 選択制御器1
12 定義用メモリ部
11 再構成可能論理回路装置

【図２２】


S11 入力信号(遷移条件)
201 遷移レジスタ
202 遷移条件判定部
200遷移条件記憶手段
104 メモリ制御部
105 逐次読出しメモリ
100 メモリ
301 状態制御部
302 状態レジスタ
S12 出力信号
300 状態記憶手段
41 再構成可能順序回路

フロントページの続き

Ｆターム(参考) 5B022 AA07 CA01 CA03 DA02 FA01 FA03 FA10
5J042 BA01 BA04 CA13 CA20 DA04