



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년01월29일
(11) 등록번호 10-1943291
(24) 등록일자 2019년01월23일

(51) 국제특허분류(Int. Cl.)
H01L 27/11 (2006.01) H01L 21/8244 (2006.01)
(21) 출원번호 10-2012-0073322
(22) 출원일자 2012년07월05일
심사청구일자 2017년05월24일
(65) 공개번호 10-2013-0006340
(43) 공개일자 2013년01월16일
(30) 우선권주장
JP-P-2011-151528 2011년07월08일 일본(JP)
(56) 선행기술조사문헌
JP2007194562 A*
JP02014565 A*
JP2006165532 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
노무라 마스미
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
니시지마 다쓰지
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
노다 고세이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
장훈

전체 청구항 수 : 총 15 항

심사관 : 광혁용

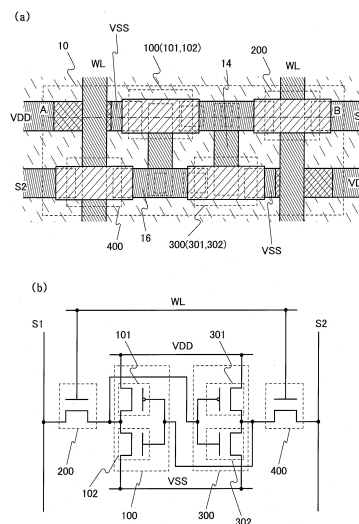
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 단채널 효과를 억제하면서 미세화를 도모하고 소비 전력이 저감된 반도체 장치를 제공한다.

중첩된 제 1 트랜지스터 및 제 2 트랜지스터로 이루어진 제 1 인버터와, 중첩된 제 3 트랜지스터 및 제 4 트랜지스터로 이루어진 제 2 인버터와, 제 1 선택 트랜지스터와, 제 2 선택 트랜지스터를 갖고, 제 1 인버터의 출력 단자, 제 2 인버터의 입력 단자, 및 제 1 선택 트랜지스터의 소스 및 드레인 중 하나가 접속되고, 제 2 인버터의 출력 단자, 제 1 인버터의 입력 단자, 및 제 2 선택 트랜지스터의 소스 및 드레인 중 하나가 접속됨으로써, 미세화된 SRAM 회로가 형성된다.

대표도 - 도1



명세서

청구범위

청구항 1

반도체 장치에 있어서,

반도체 기판과;

제 1 인버터와;

제 2 인버터를 포함하고,

상기 제 1 인버터의 출력 단자는 상기 제 2 인버터의 입력 단자에 전기적으로 접속되고,

상기 제 2 인버터의 출력 단자는 상기 제 1 인버터의 입력 단자에 전기적으로 접속되고,

상기 제 1 인버터와 상기 제 2 인버터 각각은 제 1 트랜지스터와 제 2 트랜지스터를 포함하고,

상기 제 1 트랜지스터는:

소스 영역과 드레인 영역 사이에 홈부를 갖는 상기 반도체 기판과;

상기 홈부의 측면과 저면에 형성된 제 1 게이트 절연막과;

상기 반도체 기판과의 사이에 상기 제 1 게이트 절연막을 개재하여 상기 홈부에 형성된 게이트 전극을 포함하고,

상기 제 2 트랜지스터는:

상기 게이트 전극을 덮는 제 2 게이트 절연막과;

상기 제 2 게이트 절연막을 개재하여 상기 게이트 전극과 중첩되는 반도체막과;

상기 반도체막과 접촉하는 한 쌍의 전극을 포함하고,

상기 게이트 전극은 두께가 상기 홈부의 깊이보다 큰 영역을 포함하는, 반도체 장치.

청구항 2

제 1 항에 있어서,

제 1 선택 트랜지스터와;

제 2 선택 트랜지스터를 더 포함하고,

상기 제 1 선택 트랜지스터의 소스와 드레인 중 하나는 상기 제 1 인버터의 출력 단자와 상기 제 2 인버터의 입력 단자에 전기적으로 접속되고,

상기 제 2 선택 트랜지스터의 소스와 드레인 중 하나는 상기 제 2 인버터의 출력 단자와 상기 제 1 인버터의 입력 단자에 전기적으로 접속되고,

상기 제 1 선택 트랜지스터의 게이트와 상기 제 2 선택 트랜지스터의 게이트는 제 1 배선에 전기적으로 접속되고,

상기 제 1 선택 트랜지스터의 상기 소스와 상기 드레인 중 다른 하나는 제 2 배선에 전기적으로 접속되고,

상기 제 2 선택 트랜지스터의 상기 소스와 상기 드레인 중 다른 하나는 제 3 배선에 전기적으로 접속되는, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 한 쌍의 전극은 상기 제 2 게이트 절연막과 상기 반도체막 사이에 형성되는, 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 반도체막은 상기 제 2 게이트 절연막과 상기 한 쌍의 전극 사이에 형성되는, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 반도체 기판은 n형 반도체이고,

상기 소스 영역과 상기 드레인 영역은 각각 p형 반도체인, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 반도체막은 In, Ga, Sn, 및 Zn 중에서 선택된 하나 이상의 원소를 함유하는 산화물 반도체를 포함하는, 반도체 장치.

청구항 7

제 1 항에 있어서,

상기 제 1 인버터의 상기 제 1 게이트 절연막과 상기 제 2 인버터의 상기 제 1 게이트 절연막은 동일한 막으로 형성되고,

상기 제 1 인버터의 상기 제 2 게이트 절연막과 상기 제 2 인버터의 상기 제 2 게이트 절연막은 동일한 막으로 형성되는, 반도체 장치.

청구항 8

반도체 장치에 있어서,

한 쌍의 제 1 저저항 영역과 한 쌍의 제 2 저저항 영역을 포함하고, 상기 한 쌍의 제 1 저저항 영역과 상기 한 쌍의 제 2 저저항 영역의 각각의 저항률이 반도체 기판의 저항률보다 낮은, 상기 반도체 기판과;

상기 반도체 기판과 중첩되는 제 1 절연막과;

상기 제 1 절연막을 개재하여 상기 반도체 기판과 중첩되는 제 1 도전막과;

상기 제 1 도전막 위의 제 2 절연막과;

상기 제 2 절연막을 개재하여 상기 제 1 도전막과 중첩되는 제 1 반도체막과;

상기 제 1 반도체막과 접촉하는 한 쌍의 제 1 전극과;

상기 반도체 기판과 중첩되는 제 3 절연막과;

상기 제 3 절연막을 개재하여 상기 반도체 기판과 중첩되는 제 2 도전막과;

상기 제 2 도전막 위의 제 4 절연막과;

상기 제 4 절연막을 개재하여 상기 제 2 도전막과 중첩되는 제 2 반도체막과;

상기 제 2 반도체막과 접촉하는 한 쌍의 제 2 전극을 포함하고,

상기 제 1 도전막, 상기 한 쌍의 제 2 저저항 영역 중 하나, 및 상기 한 쌍의 제 2 전극 중 하나는 서로 전기적으로 접속되고,

상기 제 2 도전막, 상기 한 쌍의 제 1 저저항 영역 중 하나, 및 상기 한 쌍의 제 1 전극 중 하나는 서로 전기적으로 접속되는, 반도체 장치.

청구항 9

제 8 항에 있어서,

상기 반도체 기판은 상기 한 쌍의 제 1 저저항 영역 사이에 제 1 홈부를 갖고, 상기 한 쌍의 제 2 저저항 영역 사이에 제 2 홈부를 갖고,

상기 제 1 절연막은 상기 제 1 홈부의 측면과 저면에 형성되고,

상기 제 1 도전막은 상기 제 1 홈부에 형성되고,

상기 제 2 절연막은 상기 제 2 홈부의 측면과 저면에 형성되고,

상기 제 2 도전막은 상기 제 2 홈부에 형성되는, 반도체 장치.

청구항 10

제 8 항에 있어서,

제 1 선택 트랜지스터와;

제 2 선택 트랜지스터를 더 포함하고,

상기 제 1 선택 트랜지스터의 소스와 드레인 중 하나는 상기 제 2 도전막, 상기 한 쌍의 제 1 저저항 영역 중 하나, 및 상기 한 쌍의 제 1 전극 중 하나에 전기적으로 접속되고,

상기 제 2 선택 트랜지스터의 소스와 드레인 중 하나는 상기 제 1 도전막, 상기 한 쌍의 제 2 저저항 영역 중 하나, 및 상기 한 쌍의 제 2 전극 중 하나에 전기적으로 접속되고,

상기 제 1 선택 트랜지스터의 게이트와 상기 제 2 선택 트랜지스터의 게이트는 제 1 배선에 전기적으로 접속되고,

상기 제 1 선택 트랜지스터의 상기 소스와 상기 드레인 중 다른 하나는 제 2 배선에 전기적으로 접속되고,

상기 제 2 선택 트랜지스터의 상기 소스와 상기 드레인 중 다른 하나는 제 3 배선에 전기적으로 접속되는, 반도체 장치.

청구항 11

제 8 항에 있어서,

상기 한 쌍의 제 1 전극은 상기 제 2 절연막과 상기 제 1 반도체막 사이에 형성되고,

상기 한 쌍의 제 2 전극은 상기 제 4 절연막과 상기 제 2 반도체막 사이에 형성되는, 반도체 장치.

청구항 12

제 8 항에 있어서,

상기 제 1 반도체막은 상기 제 2 절연막과 상기 한 쌍의 제 1 전극 사이에 형성되고,

상기 제 2 반도체막은 상기 제 4 절연막과 상기 한 쌍의 제 2 전극 사이에 형성되는, 반도체 장치.

청구항 13

제 8 항에 있어서,

상기 반도체 기판은 n형 반도체이고,

상기 한 쌍의 제 1 저저항 영역과 상기 한 쌍의 제 2 저저항 영역은 각각 p형 반도체인, 반도체 장치.

청구항 14

제 8 항에 있어서,

상기 제 1 반도체막과 상기 제 2 반도체막은 각각 In, Ga, Sn, 및 Zn 중에서 선택된 하나 이상의 원소를 함유하

는 산화물 반도체를 포함하는, 반도체 장치.

청구항 15

제 8 항에 있어서,

상기 제 1 절연막과 상기 제 3 절연막은 동일한 막으로 형성되고,

상기 제 2 절연막과 상기 제 4 절연막은 동일한 막으로 형성되는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 트랜지스터 등 반도체 소자를 포함하는 회로를 갖는 반도체 장치 및 그 제작 방법에 관한 것이다. 특히 SRAM(Static Random Access Memory)의 회로 구성, 소자 구조, 및 그 제작 방법에 관한 것이다.

[0002] 또한 본 명세서에서 말하는 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 기억 장치, 전기 광학 장치, 발광 표시 장치, 반도체 회로, 및 전자 기기는 모두 반도체 장치이다.

배경 기술

[0003] 중앙 연산 처리 장치(CPU: Central Processing Unit) 등의 신호 처리 회로는 그 용도에 따라 다종다양한 구성을 갖지만, 일반적으로는 데이터나 프로그램을 기억하기 위한 메인 메모리 외에 레지스터나 캐시 메모리 등 각종 기억 장치가 제공되어 있다. 레지스터는 연산 처리나 프로그램의 실행 상태 유지 등을 위하여 일시적으로 데이터를 유지하는 역할을 한다. 또한 캐시 메모리는 연산 회로와 메인 메모리 사이에 개재(介在)되는데, 이것은 메인 메모리에 대한 액세스를 저감시켜 연산 처리를 고속화시키는 것을 목적으로 하여 제공되어 있다.

[0004] 레지스터나 캐시 메모리 등의 기억 장치는 메인 메모리보다 고속으로 데이터의 기록을 수행할 필요가 있다. 따라서, 예를 들어 레지스터로서 플립플롭이 사용되고, 캐시 메모리로서 SRAM(Static Random Access Memory) 등이 사용된다. 즉 이들 레지스터, 캐시 메모리 등에는 전원 전위의 공급이 차단되면 데이터를 소실(消失)하는 휘발성 기억 장치가 사용된다.

[0005] 휘발성 기억 장치의 대표적인 예로서 DRAM(Dynamic Random Access Memory)이 있다. DRAM은 기억 소자를 구성하는 트랜지스터를 선택하여 용량 소자에 전하를 축적함으로써 정보를 기억한다. 따라서, DRAM에서는 정보를 관독하면 용량 소자의 전하가 소실되기 때문에, 정보를 관독할 때마다 다시 기록 동작을 수행해야 한다. 또한 기억 소자를 구성하는 트랜지스터에서는 오프 상태시의 소스와 드레인 사이의 누설 전류(오프 전류) 등으로 인하여, 트랜지스터가 선택되지 않은 상황에서도 전하가 유출되기 때문에 데이터의 유지 기간이 짧다. 이로써, 소정의 주기로 다시 기록 동작(리프레시 동작)을 수행할 필요가 있어, 소비 전력을 저감시키기 어렵다. 또한 전력 공급이 차단되면 기억 내용이 사라지기 때문에, 오랜 기간에 걸쳐 기억을 유지하기 위해서는 자성 재료나 광학 재료를 이용한 다른 기억 장치가 필요하다.

[0006] 휘발성 기억 장치의 다른 예로서는 SRAM이 있다. SRAM은 플립플롭 등의 회로를 사용하여 기억 내용을 유지하기 때문에 리프레시 동작이 필요없고, 이 점에서는 DRAM보다 유리하다. 그러나, 플립플롭 등의 회로를 사용하기 때문에 기억 용량당 단가가 비싸다는 문제가 있다. 또한 전력 공급이 차단되면 기억 내용이 사라진다는 점에서 DRAM과 다르지 않다.

[0007] 또한 SRAM 회로에는 인버터가 사용되며, NMOS 인버터 또는 CMOS 인버터가 사용된 것이 있다.

[0008] NMOS 인버터를 사용한 SRAM 회로는 4개의 트랜지스터와 2개의 저항으로 구성되며, n형 트랜지스터와 저항 소자로 SRAM 회로를 형성할 수 있다. 따라서, p형 트랜지스터가 필요없어 그만큼 메모리셀의 면적을 작게 할 수 있다. 그러나, 인버터가 온 상태가 되면 전류가 저항을 통하여 흐르게 되기 때문에 소비 전력이 증가된다.

[0009] 한편, CMOS 인버터를 사용한 SRAM 회로는 6개의 트랜지스터로 구성되기 때문에 메모리셀의 면적은 크다. 그러나, 인버터가 온 상태가 되더라도 전류는 트랜지스터의 오프 전류밖에 흐르지 않기 때문에 소비 전력이 매우 적다.

[0010] 반도체 장치의 소비 전력은 동작 상태시에 소비되는 전력과 정지 상태시에 소비되는 전력(이하에서 대기 전력이 라고 함)의 합과 대략 같다.

- [0011] 또한 대기 전력은 정적(靜的) 대기 전력과 동적 대기 전력으로 분류할 수 있다. 정적 대기 전력은, 예를 들어 반도체 장치에서의 트랜지스터의 전극들 사이에 전압이 인가되지 않는 상태, 즉 게이트와 소스 사이의 전압이 거의 0V인 상태에서 소스와 드레인 사이, 게이트와 소스 사이, 게이트와 드레인 사이에 누설 전류가 발생함으로써 소비되는 전력이다. 한편, 동적 대기 전력은 대기 상태의 회로에 클록 신호 등의 각종 신호의 전압이나 전원 전압이 계속 공급됨으로써 소비되는 전력이다.
- [0012] 또한 반도체 장치의 동작 속도를 고속화시키기 위해서 미세 가공 기술이 개발되고 있다. 그러나, 반도체 장치가 더 미세하게 가공됨에 따라, 트랜지스터의 채널 길이는 짧아지고 게이트 절연층 등으로 대표되는 각종 절연층은 얇아진다. 그러므로, 트랜지스터의 누설 전류는 증가되고 있으며 정적 대기 전력은 증가 경향을 보이고 있다.
- [0013] 상술한 바와 같이 SRAM을 사용한 기억 장치는 고속으로 동작할 수 있고, DRAM과 달리 데이터의 리프레시 동작이 필요없다. 게다가 CMOS 인버터를 사용한 것은 소비 전력이 매우 적다. 그러나, 구성할 트랜지스터 수가 많기 때문에 메모리셀의 점유 면적이 크다.
- [0014] 메모리셀의 면적을 축소하기 위하여 회로 레이아웃에 특징을 부여함으로써, 셀이 점유하는 면적을 축소할 수 있다(예를 들어, 특허문헌 1 참조).
- [0015] 또한 스케일링 법칙(scaling law)에 따라서 회로 패턴이 미세화되어 왔는데, 디자인 룰(design rule)을 100nm 이하로 하는 것은 어렵다고 생각된다. 그 이유 중의 하나로서, 트랜지스터의 채널 길이가 100nm 이하가 되면, 단채널 효과(short-channel effect)에 의해 펀치스루(punch-through) 현상에 기인한 누설 전류가 흐르기 쉬워져 트랜지스터가 스위칭 소자로서 기능하지 않게 되는 경우가 있다. 펀치스루 전류를 방지하기 위해서는 실리콘 웨이퍼에 고농도 불순물을 도핑하면 좋지만, 이렇게 함으로써 소스와 기판 사이 또는 드레인과 기판 사이에 접합 누설 전류가 흐르기 쉬워진다는 문제가 있다.
- [0016] 이러한 문제에 대해서, 반도체 장치를 구성하는 트랜지스터를 3차원 형상으로 형성하고, 하나의 메모리셀이 점유하는 면적을 축소하면서, 트랜지스터의 실효상의 채널 길이를 단채널 효과가 발생하지 않을 정도로 유지하는 방법이 고안되어 있다. 예를 들어, 트랜지스터의 채널부가 형성되는 영역에 세로로 긴 U자 형상의 홈부를 형성하고, 이 홈부의 벽면을 따라 게이트 절연막을 형성하고, 이 홈부에 게이트 전극을 매립한 구조가 있다(비특허 문헌 1 참조).
- [0017] 채널부에 이러한 구조를 갖는 트랜지스터는 소스 영역과 드레인 영역 사이를 흐르는 전류가 홈부의 주위를 따라 흐르기 때문에 실효상의 채널 길이가 길다. 이로써, 트랜지스터의 점유 면적을 축소하면서 단채널 효과를 억제할 수 있다는 효과가 있다.

선행기술문헌

특허문헌

- [0018] (특허문헌 0001) 일본국 특개2008-42050호 공보

비특허문헌

- [0019] (비특허문헌 0001) Kinam Kim, "Technology for sub-50nm DRAM and NAND Flash Manufacturing", International Electron Devices Meeting, 2005. IEDM Technical Digest, 2005년 12월, p. 333-336

발명의 내용

해결하려는 과제

- [0020] 상술한 바와 같이 CPU 등에 있어서 캐시 메모리로서 SRAM이 사용되는 경우, 특히 CMOS 인버터를 사용하여 SRAM을 형성함으로써, 소비 전력을 저감할 수 있다. 그러나, CMOS 인버터를 사용한 SRAM은 6개의 트랜지스터를 사용할 필요가 있고, 게다가 인버터 회로는 p형 트랜지스터 및 n형 트랜지스터가 필요하다. 그러므로, CMOS 인버터 회로가 조합된 회로는 점유 면적이 크다.

[0021] 본 발명의 일 형태에서는 단채널 효과를 억제하면서 미세화를 도모하고 소비 전력이 저감된 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

과제의 해결 수단

[0022] 본 발명은 입체적인 형상의 채널 영역을 형성함으로써, 상면으로부터 본 한 쌍의 저저항 영역 사이의 거리 또는 한 쌍의 전극 사이의 거리인 외관상의 채널 길이에 비해 실효상의 채널 길이를 길게 할 수 있는 트랜지스터를 제공한다. 또한 상기 트랜지스터는 적층으로 형성되어 있기 때문에, 상면으로부터 보아 하나의 트랜지스터에 필요한 면적에 2개의 트랜지스터가 제공되어 있다.

[0023] 또한 본 발명은 상기 적층된 트랜지스터들 중 하나는 n형 반도체로 이루어진 트랜지스터로 형성하고 다른 하나는 p형 반도체로 이루어진 트랜지스터로 형성하고, n형 반도체로 이루어진 트랜지스터와 p형 반도체로 이루어진 트랜지스터를 조합함으로써, 인버터 회로를 형성하는 것을 기술적 사상으로 한다.

[0024] 본 발명의 일 형태는 중첩된 제 1 트랜지스터 및 제 2 트랜지스터로 이루어진 제 1 인버터와, 중첩된 제 3 트랜지스터 및 제 4 트랜지스터로 이루어진 제 2 인버터와, 제 1 선택 트랜지스터와 제 2 선택 트랜지스터를 갖고, 제 1 인버터의 출력 단자, 제 2 인버터의 입력 단자, 및 제 1 선택 트랜지스터의 소스 및 드레인 중 하나가 접속되고, 제 2 인버터의 출력 단자, 제 1 인버터의 입력 단자, 및 제 2 선택 트랜지스터의 소스 및 드레인 중 하나가 접속되고, 제 1 선택 트랜지스터의 게이트 및 제 2 선택 트랜지스터의 게이트는 워드라인에 접속되고, 제 1 선택 트랜지스터의 소스 및 드레인 중 다른 하나는 제 1 신호선에 접속되고, 제 2 선택 트랜지스터의 소스 및 드레인 중 다른 하나는 제 2 신호선에 접속되고, 제 1 트랜지스터는 제 1 한 쌍의 저저항 영역 사이에 제 1 홈부를 갖는 반도체 기판과, 제 1 홈부의 측면 및 저면에 형성되는 제 1 게이트 절연막과, 제 1 게이트 절연막을 개재하여 제 1 홈부에 형성되는 제 1 게이트 전극을 갖고, 제 2 트랜지스터는 제 1 홈부에 형성된 제 1 게이트 전극을 덮는 제 2 게이트 절연막과, 제 2 게이트 절연막을 개재하여 제 1 게이트 전극과 중첩되는 제 1 반도체막과, 제 1 반도체막에 접촉하도록 형성되는 제 1 한 쌍의 전극을 갖고, 제 3 트랜지스터는 제 2 한 쌍의 저저항 영역 사이에 제 2 홈부를 갖는 반도체 기판과, 제 2 홈부의 측면 및 저면에 형성되는 제 3 게이트 절연막과, 제 3 게이트 절연막을 개재하여 제 2 홈부에 형성되는 제 2 게이트 전극을 갖고, 제 4 트랜지스터는 제 2 홈부에 형성된 제 2 게이트 전극을 덮는 제 4 게이트 절연막과, 제 4 게이트 절연막을 개재하여 제 2 게이트 전극과 중첩되는 제 2 반도체막과, 제 2 반도체막에 접촉하도록 형성되는 제 2 한 쌍의 전극을 갖고, 제 1 게이트 전극, 제 2 한 쌍의 저저항 영역 중 하나, 및 제 2 한 쌍의 전극 중 하나가 접속되고, 제 2 게이트 전극, 제 1 한 쌍의 저저항 영역 중 하나, 및 제 1 한 쌍의 전극 중 하나가 접속되는, 반도체 장치를 형성한다.

[0025] 본 발명의 일 형태에 있어서, 제 1 한 쌍의 전극은 제 2 게이트 절연막과 제 1 반도체막 사이에 형성되고, 제 2 한 쌍의 전극은 제 4 게이트 절연막과 제 2 반도체막 사이에 형성될 수 있다.

[0026] 또한 본 발명의 일 형태에 있어서, 제 1 반도체막은 제 2 게이트 절연막과 제 1 한 쌍의 전극 사이에 형성되고, 제 2 반도체막은 제 4 게이트 절연막과 제 2 한 쌍의 전극 사이에 형성될 수 있다.

[0027] 본 발명의 일 형태에 있어서, 반도체 기판은 n형 반도체이고, 제 1 한 쌍의 저저항 영역 및 제 2 한 쌍의 저저항 영역은 p형 반도체이다.

[0028] 본 발명의 일 형태에 있어서, 제 1 게이트 절연막과 제 3 게이트 절연막은 동일한 막으로 이루어지고 제 2 게이트 절연막과 제 4 게이트 절연막은 동일한 막으로 이루어진다.

[0029] 본 발명의 일 형태에 있어서, 제 1 반도체막 및 제 2 반도체막은 In, Ga, Sn, 및 Zn 중에서 선택된 1종류 이상의 원소를 함유한 산화물 반도체를 갖는다. 산화물 반도체를 트랜지스터의 채널 영역에 사용함으로써, 오프 전류가 낮은 트랜지스터를 형성할 수 있다. 이로써, 산화물 반도체를 사용한 트랜지스터를 기억 장치 등에 적용함으로써, 소비 전력을 저감할 수 있다.

발명의 효과

[0030] 본 발명의 일 형태에 의해, 단채널 효과를 억제하면서 미세화를 도모하고 소비 전력이 저감된 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0031] 도 1a는 본 발명의 일 형태인 반도체 장치의 일례를 도시한 상면도이고, 도 1b는 본 발명의 일 형태인 반도체

장치의 일례를 도시한 회로도.

도 2는 본 발명의 일 형태인 반도체 장치의 일례를 도시한 단면도.

도 3a 및 도 3b는 본 발명의 일 형태인 반도체 장치의 일례를 도시한 단면도.

도 4a 내지 도 4d는 본 발명의 일 형태인 반도체 장치의 제작 공정의 일례를 도시한 단면도.

도 5a 내지 도 5c는 본 발명의 일 형태인 반도체 장치를 사용한 CPU의 구체적인 예를 도시한 블록도 및 그 일부분의 회로도.

도 6a 및 도 6b는 본 발명의 일 형태인 전자 기기의 일례를 도시한 사시도.

도 7a 내지 도 7e는 본 발명의 일 형태에 따른 산화물 재료의 구조를 설명하기 위한 도면.

도 8a 내지 도 8c는 본 발명의 일 형태에 따른 산화물 재료의 구조를 설명하기 위한 도면.

도 9a 내지 도 9c는 본 발명의 일 형태에 따른 산화물 재료의 구조를 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

- [0032] 본 발명의 실시형태에 대해서 도면을 사용하여 자세히 설명한다. 다만 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에서 제시하는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또한 이하에서 설명하는 본 발명의 구성에 관해서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일 부호를 상이한 도면들에서 공통적으로 사용하여, 반복되는 설명은 생략하기로 한다.
- [0033] 또한 본 명세서에서 설명하는 각 도면에 있어서, 각 구성의 크기, 막 두께, 또는 영역은 명료화를 위하여 과장되어 도시된 경우가 있다. 따라서, 반드시 그 스케일에 한정되지 않는다.
- [0034] 또한, 본 명세서에서 사용하는 ‘제 1’, ‘제 2’, ‘제 3’ 등의 용어는 구성 요소의 혼동을 피하기 위하여 기재한 것이며, 수(數)적으로 한정하는 것은 아니다. 따라서, 예를 들어 ‘제 1’, ‘제 2’ 또는 ‘제 3’ 등으로 적절히 바뀌어 설명할 수 있다.
- [0035] 또한 본 명세서에서는 트랜지스터의 소스와 드레인에 관해서 하나를 드레인이라고 부를 때 다른 하나를 소스라고 부른다. 즉 전위의 고저에 따라 소스와 드레인을 구별하지 않는다. 따라서, 본 명세서에서 소스라고 불리는 부분을 드레인으로 바꿀 수도 있다.
- [0036] (실시형태 1)
- [0037] 본 실시형태에서는 본 발명의 일 형태인 반도체 장치의 일례에 대하여 도 1a 내지 도 2를 사용하여 설명한다.
- [0038] 도 1a는 반도체 장치에서의 메모리셀의 상면도를 도시한 것이다. 도 2는 도 1a에 도시된 일점 쇄선 A-B 부분의 단면도이다. 또한 도 1b는 도 1a에 도시된 메모리셀(10)의 회로도이다. 또한 도 1a에서는 복잡화를 피하기 위하여 트랜지스터의 구성 요소의 일부를 생략하였다.
- [0039] 도 1a에 도시한 바와 같이 메모리셀(10)은 제 1 인버터(100), 제 2 인버터(300), 제 1 선택 트랜지스터(200), 및 제 2 선택 트랜지스터(400)로 구성되어 SRAM 회로를 형성한다. 제 1 인버터(100) 및 제 2 인버터(300)는 중첩된 2개의 트랜지스터로 형성되며, 상기 트랜지스터들은 p채널형 트랜지스터 및 n채널형 트랜지스터로 이루어진다. 즉 CMOS 인버터로 SRAM 회로가 형성되어 있다. 제 1 인버터(100)는 제 1 트랜지스터(101) 및 제 2 트랜지스터(102)로 이루어지고, 제 2 인버터(300)는 제 3 트랜지스터(301) 및 제 4 트랜지스터(302)로 이루어진다.
- [0040] 도 1b에 있어서, 본 실시형태의 메모리셀인 SRAM을 구성하는 회로는 제 1 트랜지스터(101) 및 제 2 트랜지스터(102)로 이루어진 제 1 인버터(100)와, 제 3 트랜지스터(301) 및 제 4 트랜지스터(302)로 이루어진 제 2 인버터(300)와, 제 1 선택 트랜지스터(200)와, 제 2 선택 트랜지스터(400)를 갖고, 제 1 인버터(100)의 출력 단자, 제 2 인버터(300)의 입력 단자, 및 제 1 선택 트랜지스터(200)의 소스 및 드레인 중 하나가 접속되고, 제 2 인버터(300)의 출력 단자, 제 1 인버터(100)의 입력 단자, 및 제 2 선택 트랜지스터(400)의 소스 및 드레인 중 하나가 접속되고, 제 1 선택 트랜지스터(200) 및 제 2 선택 트랜지스터(400)의 게이트는 워드라인(WL)에 접속되고, 제 1 선택 트랜지스터(200)의 소스 및 드레인 중 다른 하나는 제 1 신호선(S1)에 접속되고, 제 2 선택 트랜지스터(400)의 소스 및 드레인 중 다른 하나는 제 2 신호선(S2)에 접속되어 있다. 제 1 인버터(100) 및 제 2 인버터(300)에 접속되는 VDD는 고전위 전원선을 나타내고, VSS는 저전위 전원선을 나타낸다.

- [0041] 메모리셀(10)을 구성하는 트랜지스터에 대해서 도 2를 사용하여 자세히 설명한다.
- [0042] 도 2에 도시한 제 1 인버터(100)는 중첩된 제 1 트랜지스터(101) 및 제 2 트랜지스터(102)로 이루어진다. 또한 제 1 선택 트랜지스터(200)는 제 2 트랜지스터(102)와 마찬가지로 형성된다.
- [0043] 도 2에 도시한 제 1 인버터(100)는 홈부를 갖는 반도체 기판(11)과, 반도체 기판(11)에 제공된 한 쌍의 저저항 영역(12)과, 반도체 기판(11) 및 한 쌍의 저저항 영역(12) 위의 제 1 게이트 절연막(13)과, 제 1 게이트 절연막(13) 위의 한 쌍의 저저항 영역(12) 사이에 제공된 게이트 전극(14)과, 제 1 게이트 절연막(13) 및 게이트 전극(14) 위의 제 2 게이트 절연막(15)과, 제 1 게이트 절연막(13) 및 제 2 게이트 절연막(15)에 제공된 콘택트홀에서 한 쌍의 저저항 영역(12)과 접속되는 한 쌍의 전극(16)과, 한 쌍의 전극(16)에 접촉하고 제 2 게이트 절연막(15)을 개재하여 게이트 전극(14)과 중첩되는 반도체막(17)과, 반도체막(17), 한 쌍의 전극(16), 제 2 게이트 절연막(15) 위의 층간 절연막(18)을 갖고, 한 쌍의 저저항 영역(12) 중 하나와 한 쌍의 전극(16) 중 하나가 전기적으로 접속된 트랜지스터로 이루어진다. 또한 층간 절연막(18)을 가공하여 콘택트홀을 형성하고, 상기 콘택트홀에서 한 쌍의 전극(16)에 접속되는 배선을 제공하여도 좋다.
- [0044] 상기 구조에 있어서, 반도체 기판(11), 한 쌍의 저저항 영역(12), 제 1 게이트 절연막(13), 및 게이트 전극(14)으로 제 1 트랜지스터(101)가 구성된다. 또한 게이트 전극(14), 제 2 게이트 절연막(15), 한 쌍의 전극(16), 및 반도체막(17)으로 제 2 트랜지스터(102)가 구성된다.
- [0045] 반도체 기판(11)으로서는 실리콘이나 탄화실리콘 등의 단결정 반도체 기판이나 다결정 반도체 기판, GaAs 등의 화합물 반도체 기판, SOI(Silicon On Insulator) 기판 등을 적용할 수 있다. 또한 반도체 특성을 나타내는 층이 제공되어 있으면 좋고, 상술한 기판에 한정되지 않는다.
- [0046] 한 쌍의 저저항 영역(12)은 제 1 트랜지스터(101)의 소스 영역 및 드레인 영역이 되는 영역이며, 충분히 저항을 낮춤으로써 배선으로서도 사용할 수 있다. 한 쌍의 저저항 영역(12)은 반도체 기판(11)에 n형 또는 p형의 도전형을 부여하는 불순물 원소를 포함한다. n형 또는 p형의 도전형을 부여하는 불순물 원소로서는, 예를 들어 인 또는 붕소 등을 사용할 수 있다.
- [0047] 제 1 게이트 절연막(13)은 CVD법 및 스퍼터링법 등의 퇴적법을 이용하여 형성할 수 있다. 예를 들어, 산화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 질화실리콘막, 산화갈륨막, 산화알루미늄막, 및 산화질화알루미늄막의 단층 또는 적층으로 하면 좋다. 또한 반도체 기판(11)을 열산화 또는 열질화함으로써 형성하여도 좋다. 또한 고밀도 플라즈마 장치를 이용하여 산소를 함유한 분위기하에서 플라즈마 처리를 수행함으로써 게이트 절연막의 내압을 향상시켜 사용하여도 좋다.
- [0048] 또한 제 1 게이트 절연막(13)으로서 하프늄실리케이트(HfSiO_x), 질소가 첨가된 하프늄실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z$), 질소가 첨가된 하프늄알루미늄에이트($\text{HfAl}_x\text{O}_y\text{N}_z$), 산화하프늄, 산화이트륨 등의 high-k 재료를 사용함으로써, 게이트 누설 전류를 저감할 수 있다. 또한 산화실리콘, 산화질화실리콘, 질화실리콘, 질화산화실리콘, 산화알루미늄, 산화질화알루미늄, 및 산화갈륨 중 어느 하나 이상과, 상기 high-k 재료를 적층한 구조로 할 수 있다.
- [0049] 여기서, 산화질화실리콘이란 그 구성에 있어서, 질소 함유량보다 산소 함유량이 더 많은 것을 가리키고, 예를 들어, 산소가 50atomic% 이상 70atomic% 이하, 질소가 0.5atomic% 이상 15atomic% 이하, 실리콘이 25atomic% 이상 35atomic% 이하, 수소가 0atomic% 이상 10atomic% 이하의 범위로 포함되는 것을 가리킨다. 또한 질화산화실리콘이란 그 구성에 있어서, 산소 함유량보다 질소 함유량이 더 많은 것을 가리키고, 예를 들어, 산소가 5atomic% 이상 30atomic% 이하, 질소가 20atomic% 이상 55atomic% 이하, 실리콘이 25atomic% 이상 35atomic% 이하, 수소가 10atomic% 이상 25atomic% 이하의 범위로 포함되는 것을 가리킨다. 다만 상기 범위는 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry)이나 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 이용하여 측정한 경우의 값이다. 또한 구성 원소의 함유 비율은 그 합계값이 100atomic%를 초과하지 않는다.
- [0050] 게이트 전극(14)에는 n형 또는 p형의 도전형을 부여하는 불순물을 함유한 다결정 실리콘을 사용할 수 있다. 또한 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐 중에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하여 형성할 수 있다. 또한 망간 및 지르코늄 중 어느 하나의 금속 원소 또는 양쪽의 금속 원소를 사용하여도 좋다. 또한 게이트 전극(14)은 단층 구조라도 좋고, 2층 이상의 적층 구조로 하여도 좋다.
- [0051] 또한 게이트 전극(14)의 재료로서는 인듐주석 산화물, 산화텅스텐을 함유한 인듐 산화물, 산화텅스텐을 함유한

인듐아연 산화물, 산화티타늄을 함유한 인듐산화물, 산화티타늄을 함유한 인듐주석 산화물, 인듐아연 산화물, 산화실리콘을 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 재료를 적용할 수도 있다. 또한 상기 투광성을 갖는 도전성 재료와, 상기 금속 원소의 적층 구조로 할 수도 있다.

[0052] 제 2 게이트 절연막(15)은 CVD법이나 스퍼터링법 등의 퇴적법을 이용하여 형성할 수 있다. 예를 들어, 산화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 질화실리콘막, 산화갈륨막, 산화알루미늄막, 산화질화알루미늄막의 단층 또는 적층으로 하면 좋다. 또한 제 1 게이트 절연막(13)과 마찬가지로 high-k 재료를 사용하여도 좋다.

[0053] 또한 제 2 트랜지스터(102)의 반도체막(17)으로서 산화물 반도체를 사용하는 경우에는 제 2 게이트 절연막(15)은 가열에 의해 산소가 방출되는 막을 사용하는 것이 바람직하다.

[0054] ‘가열에 의해 산소가 방출된다’란 TDS(Thermal Desorption Spectroscopy: 승온(昇溫) 이탈 가스 분광법) 분석에서, 산소 원자로 환산한 산소의 방출량이 1.0×10^{18} atoms/cm³ 이상, 바람직하게는 3.0×10^{20} atoms/cm³ 이상인 것을 말한다.

[0055] 여기서, TDS 분석으로 산소 원자로 환산한 산소의 방출량의 측정 방법에 관해서 이하에서 설명한다.

[0056] TDS 분석으로 측정하였을 때의 기체의 방출량은 스펙트럼의 적분값에 비례한다. 따라서, 표준 시료의 기준값에 대한 측정 시료의 스펙트럼의 적분값의 비율에 의해 기체의 방출량을 계산할 수 있다. 표준 시료의 기준값이란 소정의 원자를 함유한 시료의 스펙트럼의 적분값에 대한 상기 시료에 함유되는 소정의 원자의 밀도의 비율을 말한다.

[0057] 예를 들어, 표준 시료인 소정 밀도의 수소를 함유한 실리콘 웨이퍼의 TDS 분석 결과 및 측정 시료의 TDS 분석 결과에 의거하여, 측정 시료의 산소 분자의 방출량(N_{O_2})을 수학적 식 1을 이용하여 계산할 수 있다. 여기서, TDS 분석으로 얻어지는 질량수가 32로 검출되는 스펙트럼 모두가 산소 분자에서 유래하는 것으로 가정한다. 질량수가 32인 것으로서 CH_3OH 가 있지만, 존재할 가능성이 낮은 것으로 하여 여기서는 고려하지 않는다. 또한 산소 원자의 동위원소 질량수가 17인 산소 원자 및 질량수가 18인 산소 원자를 함유한 산소 분자에 대해서도 자연계에서의 존재 비율이 극미량이기 때문에 고려하지 않는다.

[0058]
$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \alpha \quad (\text{수학적 식 1})$$

[0059] N_{H_2} 는 표준 시료로부터 이탈한 수소 분자를 밀도로 환산한 값이다. S_{H_2} 는 표준 시료를 TDS 분석으로 측정하였을 때의 스펙트럼의 적분값이다. 여기서, 표준 시료의 기준값을 N_{H_2}/S_{H_2} 로 한다. S_{O_2} 는 측정 시료를 TDS 분석으로 측정하였을 때의 스펙트럼의 적분값이다. α 는 TDS 분석에서의 스펙트럼 강도에 영향을 미치는 계수이다. 수학적 식 1의 자세한 설명에 관해서는 일본국 특개평6-275697 공보를 참조하기 바란다. 또한 상기 측정 시료의 산소의 방출량은 승온 이탈 분석 장치 EMD-WA1000S/W(ESCO Ltd., 제조)를 이용하고, 표준 시료로서 1×10^{16} atoms/cm³의 수소 원자를 함유한 실리콘 웨이퍼를 사용하여 측정하였다.

[0060] 또한 TDS 분석에 있어서, 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자의 비율은 산소 분자의 이온화율로부터 산출할 수 있다. 또한 상기 α 는 산소 분자의 이온화율을 포함하기 때문에, 산소 분자의 방출량을 평가함으로써 산소 원자의 방출량에 관해서도 어렵잡을 수 있다.

[0061] 또한 N_{O_2} 는 산소 분자의 방출량이다. 산소 원자로 환산하였을 때의 산소의 방출량은 산소 분자의 방출량의 2배가 된다.

[0062] 상기 구성에 있어서, 가열에 의해 산소가 방출되는 막은 산소가 과잉으로 함유된 산화실리콘($SiO_x(X>2)$)이라도 좋다. 산소가 과잉으로 함유된 산화실리콘($SiO_x(X>2)$)이란 단위 체적당 실리콘 원자수의 2배보다 많은 산소 원자를 함유한 것이다. 단위 체적당 실리콘 원자수 및 산소 원자수는 러더퍼드 후방 산란법에 의해 측정된 값이다.

[0063] 이와 같이 제 2 게이트 절연막(15)에 가열에 의해 산소가 방출되는 막을 사용함으로써, 제 2 게이트 절연막(15)으로부터 반도체막(17)으로서 사용되는 산화물 반도체에 산소가 공급되어, 제 2 게이트 절연막(15) 및 반도체막(17)의 계면 준위를 저감할 수 있다. 이로써, 상술한 제 2 게이트 절연막(15) 및 반도체막(17)의 계면에, 제 2 트랜지스터(102)의 동작 등에 기인하여 발생하는 전하 등이 포획되는 것을 억제할 수 있어, 전기 특성의 열화

가 적은 제 2 트랜지스터(102)를 얻을 수 있다.

- [0064] 또한 산화물 반도체의 산소 결손에 기인하여 전하가 발생하는 경우가 있다. 일반적으로 산화물 반도체의 산소 결손은 일부가 도너가 되어 캐리어인 전자를 발생한다. 이로써, 트랜지스터의 임계값 전압이 음 방향으로 시프트하게 된다. 상술한 바와 같이 제 2 게이트 절연막(15)으로부터 반도체막(17)에 산소가 충분히 방출됨으로써, 반도체막(17)에 산화물 반도체를 사용한 트랜지스터에서, 임계값 전압이 음 방향으로 시프트하는 요인인 산화물 반도체의 산소 결손을 보전(補填)할 수 있다.
- [0065] 한 쌍의 전극(16)은 제 2 트랜지스터(102)의 소스 전극 및 드레인 전극이 되는 전극이다. 한 쌍의 전극(16)에는 도전 재료로서 알루미늄, 티타늄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈, 또는 텅스텐으로 이루어진 단일 금속, 또는 이것을 주성분으로 하는 합금을 단층 구조 또는 적층 구조로 형성하여 사용한다. 예를 들어, 실리콘을 함유한 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층한 2층 구조, 텅스텐막 위에 티타늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 티타늄막 위에 알루미늄막을 적층하고 그 위에 티타늄막을 형성하는 3층 구조 등이 있다. 또한 산화인듐, 산화주석 또는 산화아연을 함유한 투명 도전 재료를 사용하여도 좋다. 또한 한 쌍의 전극(16)은 배선으로서도 기능한다.
- [0066] 반도체막(17)은 스퍼터링법, 플라즈마 CVD법, PLD(Pulse Laser Deposition)법, MBE(Molecular Beam Epitaxy)법, 도포법, 인쇄법, 또는 증착법 등을 이용하여 형성하면 좋다.
- [0067] 반도체막(17)으로서는 비정질 실리콘, 미결정 실리콘, 다결정 실리콘, 실리콘 게르마늄, 비정질 게르마늄, 다결정 게르마늄, 산화물 반도체 등을 사용할 수 있다. 산화물 반도체를 사용함으로써, 오프 전류가 낮은 트랜지스터를 형성할 수 있다. 따라서, 산화물 반도체를 사용한 트랜지스터를 논리 회로 등에 적용함으로써, 소비 전력을 저감할 수 있다. 그러므로, 반도체막(17)으로서 산화물 반도체를 사용하는 것이 바람직하다.
- [0068] 여기서, 반도체막(17)으로서 스퍼터링법에 의해 산화물 반도체막을 형성하는 경우의 스퍼터링 장치에 대해서 이하에서 자세히 설명하기로 한다.
- [0069] 산화물 반도체막을 형성하는 처리실은 누설률을 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{초}$ 이하로 하는 것이 바람직하고, 이렇게 함으로써 스퍼터링법에 의해 막을 형성할 때, 막 내로 불순물이 혼입되는 것을 저감할 수 있다.
- [0070] 누설률을 낮추기 위해서는 외부 누설뿐만 아니라 내부 누설도 저감시켜야 한다. 외부 누설이란 미소한 구멍이나 밀봉 불량 등으로 인하여 진공계 밖으로부터 기체가 유입되는 것이다. 내부 누설이란 진공계 내의 밸브 등의 칸막이로부터 누설되거나 내부의 부재로부터 방출된 가스에 기인한다. 누설률을 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{초}$ 이하로 하기 위해서는 외부 누설 및 내부 누설의 양면으로부터 대책을 마련할 필요가 있다.
- [0071] 외부 누설을 감소시키기 위해서는 처리실의 개폐 부분을 메탈 가스켓으로 밀봉하면 좋다. 메탈 가스켓은 불화철, 산화알루미늄, 또는 산화크롬으로 피복된 금속 재료를 사용하면 바람직하다. 메탈 가스켓은 O링에 비해 밀착성이 높아, 외부 누설을 저감시킬 수 있다. 또한 불화철, 산화알루미늄, 산화크롬 등의 부동태로 피복된 금속 재료를 이용함으로써, 메탈 가스켓으로부터 발생하는 수소를 함유한 방출 가스가 억제되어, 내부 누설도 저감시킬 수 있다.
- [0072] 처리실의 내벽을 구성하는 부재로서, 수소를 함유한 방출 가스가 적은 알루미늄, 크롬, 티타늄, 지르코늄, 니켈 또는 바나듐을 사용한다. 또한 철, 크롬, 및 니켈 등을 함유한 합금 재료를 상술한 재료로 피복하여 사용하여도 좋다. 철, 크롬, 및 니켈 등을 함유한 합금 재료는 강성이 있고, 열에 강하며 가공에 적합하다. 여기서, 표면적을 작게 하기 위하여 부재의 표면 요철을 연마 등에 의해 저감시켜 두면 방출 가스를 저감할 수 있다. 또는 상술한 성막(成膜) 장치의 부재를 불화철, 산화알루미늄, 산화크롬 등의 부동태로 피복하여도 좋다.
- [0073] 또한 스퍼터링 가스가 도입되는 처리실의 바로 앞에 스퍼터링 가스의 정제기를 제공하는 것이 바람직하다. 이 때, 정제기로부터 처리실까지의 배관의 길이를 5m 이하, 바람직하게는 1m 이하로 한다. 배관의 길이를 5m 이하 또는 1m 이하로 함으로써, 배관으로부터 방출되는 가스의 영향을 길이에 따라 저감할 수 있다.
- [0074] 처리실의 배기는 드라이 펌프 등의 러프 진공 펌프(rough vacuum pump)와, 스퍼터 이온 펌프, 터보 분자 펌프, 및 크라이오(cryo) 펌프 등의 고진공 펌프를 적절히 조합하여 수행하면 좋다. 고진공 펌프에 관해서는 터보 분자 펌프는 크기가 큰 분자 배기가 우수한 한편, 수소나 물의 배기 능력이 낮다. 그러므로, 물의 배기 능력이 높은 크라이오 펌프 및 크기가 큰 분자의 배기가 우수한 터보 분자 펌프를 조합하는 것이 효과적이다.
- [0075] 처리실의 내측에 존재하는 흡착물은 내벽에 흡착되어 있기 때문에 처리실의 압력에 영향을 미치지 않지만, 처리

실을 배기하였을 때의 가스 방출의 원인이 된다. 그러므로, 누설률과 배기 속도에 상관은 없지만, 배기 능력이 높은 펌프를 이용하여 처리실에 존재하는 흡착물을 최대한 이탈하여, 미리 배기해 두는 것이 바람직하다. 또한 흡착물의 이탈을 촉진하기 위해서 처리실을 소성(baking)하여도 좋다. 소성함으로써 흡착물의 이탈 속도를 10 배 정도 크게 할 수 있다. 소성은 100℃ 이상 450℃ 이하로 수행하면 좋다. 이 때, 불활성 가스를 도입하면서 흡착물을 제거하면, 배기하는 것만으로는 이탈하기 어려운 물 등의 이탈 속도를 더 빠르게 할 수 있다.

- [0076] 스퍼터링법에서는 플라즈마를 발생시키기 위한 전원 장치로서 RF 전원 장치, AC 전원 장치, DC 전원 장치 등을 적절히 이용할 수 있다.
- [0077] 산화물 반도체막으로서 In, Ga, Sn, 및 Zn 중에서 선택된 하나 이상의 원소를 함유하는 것이 바람직하다. 이러한 산화물 반도체는, 예를 들어, 4원계 금속 산화물인 In-Sn-Ga-Zn계 금속 산화물, 3원계 금속 산화물인 In-Ga-Zn계 금속 산화물, In-Sn-Zn계 금속 산화물, In-Al-Zn계 금속 산화물, 2원계 금속 산화물인 In-Zn계 금속 산화물 등의 타깃을 사용하여 막을 형성할 수 있다. 또한 상기 산화물 반도체에 In, Ga, Sn, 및 Zn 외의 원소, 예를 들어 Gd, Zr, 또는 Si의 산화물인 SiO₂를 함유시켜도 좋다.
- [0078] 예를 들어, In-Ga-Zn-O계 산화물 반도체란 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물 반도체를 의미한다.
- [0079] 또한 In-Sn-Zn-O계 금속 산화물에 사용되는 타깃으로서 In: Sn: Zn이 원자수 비율로 1: 2: 2, 2: 1: 3, 1: 1: 1, 또는 20: 45: 35 등의 산화물 타깃을 사용한다.
- [0080] 또한 산화물 반도체로서는 화학식 InMO₃(ZnO)_m(m>0)으로 표기되는 박막을 사용할 수 있다. 여기서, M은 Sn, Zn, Ga, Al, Mn 및 Co 중에서 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 예를 들어, M으로서 Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다.
- [0081] 산화물 반도체로서 In-Ga-Zn-O계 재료를 사용하는 경우에는, 타깃의 일례로서는 조성 비율이 In₂O₃: Ga₂O₃: ZnO= 1: 1: 1[mol수 비율]인 In, Ga, 및 Zn을 함유한 금속 산화물 타깃을 사용한다. 또한 조성 비율이 In₂O₃: Ga₂O₃: ZnO= 1: 1: 2[mol수 비율]인 타깃, 또는 조성 비율이 In₂O₃: Ga₂O₃: ZnO= 1: 1: 4[mol수 비율]인 타깃, 조성 비율이 In₂O₃: Ga₂O₃: ZnO= 2: 1: 8[mol수 비율]인 타깃을 사용할 수도 있다. 또한 조성 비율이 In₂O₃: ZnO= 25: 1 내지 1: 4[mol수 비율]인 타깃을 사용할 수도 있다.
- [0082] 또한, 산화물 반도체로서 In-Zn-O계 재료를 사용하는 경우에는, 사용하는 타깃 내의 금속 원소의 원자수 비율은 In: Zn= 50: 1 내지 1: 2(mol수 비율로 환산하면 In₂O₃: ZnO= 25: 1 내지 1: 4), 바람직하게는 In: Zn= 20: 1 내지 1: 1(mol수 비율로 환산하면 In₂O₃: ZnO= 10: 1 내지 1: 2), 더 바람직하게는 In: Zn= 15: 1 내지 1.5: 1(mol수 비율로 환산하면 In₂O₃: ZnO= 15: 2 내지 3: 4)로 한다. 예를 들어, In-Zn-O계 산화물 반도체의 형성에 사용되는 타깃은 원자수 비율이 In: Zn: O= X: Y: Z인 경우에 Z> 1.5X+Y로 한다.
- [0083] 또한 스퍼터링 가스로서는 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 희가스 및 산소의 혼합 가스를 적절히 사용한다. 또한 스퍼터링 가스에는 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다.
- [0084] 산화물 반도체는 트랜지스터의 오프 전류를 저감하기 위하여 밴드갭이 2.5eV 이상, 바람직하게는 3.0eV 이상인 재료를 선택한다.
- [0085] 산화물 반도체 내의 수소 농도는 $5 \times 10^{18} \text{ cm}^{-3}$ 미만, 바람직하게는 $1 \times 10^{18} \text{ cm}^{-3}$ 이하, 더 바람직하게는 $5 \times 10^{17} \text{ cm}^{-3}$ 이하, 더 나아가서는 $1 \times 10^{16} \text{ cm}^{-3}$ 이하로 하는 것이 바람직하다.
- [0086] 알칼리 금속은 산화물 반도체를 구성하는 원소가 아니기 때문에 불순물이다. 또한 알칼리 토금속도 산화물 반도체를 구성하는 원소가 아닌 경우에는 불순물이 된다. 특히 알칼리 금속 중 나트륨(Na)은 산화물 반도체막에 접촉하는 절연막이 산화물인 경우에, 상기 절연막 내로 확산되어 나트륨 이온(Na⁺)이 된다. 또한 Na⁺는 산화물 반도체막 내에서 산화물 반도체를 구성하는 금속과 산소의 결합을 분단하거나 또는 그 결합 사이에 들어간다. 그러므로, 예를 들어, 임계값 전압이 음 방향으로 시프트하는 것에 기인한 노멀리 온(normally-on)화, 전계 효과 이동도의 저하 등 트랜지스터 특성의 열화가 발생되고, 특성의 편차도 나타낸다. 따라서, 산화물 반도체 내의 불순물이 되는 알칼리 금속의 농도를 저감하는 것이 바람직하다. 구체적으로, Na 농도의 측정값은 $5 \times$

10^{16} cm^{-3} 이하, 바람직하게는 $1 \times 10^{16} \text{ cm}^{-3}$ 이하, 더 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하로 하면 좋다. 마찬가지로, 리튬(Li) 농도의 측정값은 $5 \times 10^{15} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하로 하면 좋다. 마찬가지로, 칼륨(K) 농도의 측정값은 $5 \times 10^{15} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하로 하면 좋다.

- [0087] 상술한 산화물 반도체를 사용함으로써 트랜지스터의 오프 전류를 작게 할 수 있다. 구체적으로는, 트랜지스터의 오프 전류를 $1 \times 10^{-18} \text{ A}$ 이하, 또는 $1 \times 10^{-21} \text{ A}$ 이하, 또는 $1 \times 10^{-24} \text{ A}$ 이하로 할 수 있다.
- [0088] 또한 산화물 반도체의 막을 형성할 때 기판 온도는 150°C 이상 450°C 이하, 바람직하게는 200°C 이상 350°C 이하이다. 150°C 이상 450°C 이하, 바람직하게는 200°C 이상 350°C 이하로 기판을 가열하면서 막을 형성함으로써, 막 내로 수분(수소를 포함함) 등이 혼입되는 것을 방지할 수 있다.
- [0089] 산화물 반도체는 단결정, 다결정(폴리크리스탈이라고도 함), 또는 비정질 등의 상태가 된다.
- [0090] 바람직하게는, 산화물 반도체는 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)로 한다.
- [0091] CAAC-OS는 완전한 단결정이 아니고 완전한 비정질도 아니다. CAAC-OS는 비정질상에 결정부 및 비정질부를 갖는 결정-비정질 혼상 구조의 산화물 반도체이다. 또한 상기 결정부는 하나의 변이 100nm 미만인 입방체 내에 들어가는 크기인 경우가 많다. 또한 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS에 포함되는 비정질부와 결정부 사이의 경계는 명확하지 않다. 또한 TEM에 의한 관찰에서 CAAC-OS에는 입계(그레인 바운더리(grain boundary)라고도 함)는 확인되지 않는다. 따라서, CAAC-OS는 입계에 기인한 전자 이동도의 저하가 억제된다.
- [0092] CAAC-OS에 포함되는 결정부는 c축이 CAAC-OS가 형성되는 면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또한 ab면에 수직인 방향으로부터 보아 삼각형 또는 육각형의 원자 배열을 가지며, c축에 수직인 방향으로부터 보아 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한 상이한 결정부들에서 a축과 b축의 방향이 각각 상이하어도 좋다. 본 명세서에서 단순히 ‘수직’이라고 기재하는 경우에는, 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한 단순히 ‘평행’이라고 기재하는 경우에는, -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.
- [0093] 또한 CAAC-OS에서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS의 형성 과정에서, 산화물 반도체막의 표면측으로부터 결정 성장시키는 경우, CAAC-OS가 형성되는 면의 근방에 대해 표면의 근방에서는 결정부가 점유하는 비율이 높아지는 경우가 있다. 또한 CAAC-OS에 불순물을 첨가함으로써, 상기 불순물 첨가 영역에서 결정부가 비정질화되는 경우도 있다.
- [0094] CAAC-OS에 포함되는 결정부의 c축은 CAAC-OS가 형성되는 면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS의 형상(CAAC-OS가 형성되는 면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향하는 경우가 있다. 또한 결정부의 c축의 방향은 CAAC-OS가 형성되었을 때의 이것이 형성된 면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 된다. 막을 형성함으로써 또는 막 형성 후에 열처리 등의 결정화 처리를 수행함으로써 결정부가 형성된다.
- [0095] CAAC-OS를 사용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동을 저감할 수 있다. 따라서, 상기 트랜지스터는 신뢰성이 높다.
- [0096] CAAC-OS는 그 조성 등에 따라 도체, 반도체, 절연체가 된다. 또한 그 조성 등에 따라 가시광에 대해 투명하거나 불투명할 수 있다.
- [0097] 이러한 CAAC-OS의 예로서, 막 형상으로 형성되고, 막 표면 또는 기판면에 수직인 방향으로부터 관찰하면 삼각형 또는 육각형의 원자 배열이 확인되고, 그 막 단면을 관찰하면 금속 원자의 층상 배열 또는 금속 원자와 산소 원자(또는 질소 원자)의 층상 배열이 확인되는 산화물을 들 수도 있다.
- [0098] CAAC-OS에 대해서 도 7a 내지 도 9c를 사용하여 자세히 설명한다. 또한 특별히 기재하지 않는 한, 도 7a 내지 도 9c는 위쪽 방향을 c축 방향으로 하고, c축 방향과 직교하는 면을 ab면으로 한다. 또한 단순히 상반부 및 하반부라고 하는 경우에는, ab면을 경계로 하였을 때의 상반부 및 하반부를 가리킨다. 또한 도 7a 내지 도 7e에서, 동그라미로 둘러싸인 O는 4배위 O를 나타내고, 이중 동그라미로 둘러싸인 O는 3배위 O를 나타낸다.
- [0099] 도 7a에 하나의 6배위 In과, In에 근접한 6개의 4배위 산소 원자(이하에서 4배위 O라고 함)를 갖는 구조를 도시하였다. 이러한 금속 원자 하나에 대해, 근접한 산소 원자만 나타낸 구조를 여기서는 서브 유닛이라고 부른다.

도 7a의 구조는 8면체 구조를 취하지만, 간략화를 위해서 평면 구조로 도시하였다. 또한 도 7a의 상반부 및 하반부에 각각 4배위 0가 3개씩 있다. 도 7a에 도시한 서브 유닛은 전하가 0이 된다.

[0100] 도 7b에 하나의 5배위 Ga와, Ga에 근접한 3개의 3배위 산소 원자(이하에서 3배위 0라고 함)와, Ga에 근접한 2개의 4배위 0를 갖는 구조를 도시하였다. 3배위 0는 모두 ab면에 존재한다. 도 7b의 상반부 및 하반부에는 각각 하나씩 4배위 0가 있다. 또한 In도 5배위를 취하기 때문에, 도 7b에 도시한 구조를 취할 수 있다. 도 7b에 도시한 서브 유닛은 전하가 0이다.

[0101] 도 7c에 하나의 4배위 Zn과, Zn에 근접한 4개의 4배위 0로 이루어진 구조를 도시하였다. 도 7c의 상반부에는 4배위 0가 하나 있고, 하반부에는 4배위 0가 3개 있다. 또는 도 7c의 상반부에는 4배위 0가 3개 있고, 하반부에는 4배위 0가 하나 있어도 좋다. 도 7c에 도시한 서브 유닛은 전하가 0이 된다.

[0102] 도 7d에 하나의 6배위 Sn과, Sn에 근접한 6개의 4배위 0를 갖는 구조를 도시하였다. 도 7d의 상반부에는 4배위 0가 3개 있고, 하반부에는 4배위 0가 3개 있다. 도 7d에 도시한 서브 유닛은 전하가 +1이 된다.

[0103] 도 7e에 2개의 Zn을 포함한 서브 유닛을 도시하였다. 도 7e의 상반부에는 4배위 0가 하나 있고, 하반부에는 4배위 0가 하나 있다. 도 7e에 도시한 서브 유닛은 전하가 -1이 된다.

[0104] 여기서는 몇 개의 서브 유닛의 집합체를 1그룹이라고 부르고, 복수의 그룹으로 이루어진 1주기분을 1유닛이라고 부른다.

[0105] 여기서 이들 서브 유닛들이 결합되는 규칙에 대해서 설명한다. 도 7a에 도시한 6배위 In의 상반부에 있는 3개의 0는 하방향으로 각각 3개의 근접 In을 갖고, 하반부에 있는 3개의 0는 상방향으로 각각 3개의 근접 In을 갖는다. 도 7b에 도시한 5배위 Ga의 상반부에 있는 하나의 0는 하방향으로 하나의 근접 Ga를 갖고, 하반부에 있는 하나의 0는 상방향으로 하나의 근접 Ga를 갖는다. 도 7c에 도시한 4배위 Zn의 상반부에 있는 하나의 0는 하방향으로 하나의 근접 Zn을 갖고, 하반부에 있는 3개의 0는 상방향으로 각각 3개의 근접 Zn을 갖는다. 이와 같이 금속 원자의 상방향에 있는 4배위 0의 개수와, 그 0의 하방향에 있는 근접 금속 원자의 개수는 동일하고, 마찬가지로 금속 원자의 하방향에 있는 4배위 0의 개수와, 그 0의 상방향에 있는 근접 금속 원자의 개수는 동일하다. 0는 4배위이기 때문에 하방향에 있는 근접 금속 원자의 개수와, 상방향에 있는 근접 금속 원자의 개수의 합은 4가 된다. 따라서, 금속 원자의 상방향에 있는 4배위 0의 개수와, 다른 금속 원자의 하방향에 있는 4배위 0의 개수의 합이 4개인 경우에, 금속 원자를 갖는 2종류의 서브 유닛들은 서로 결합할 수 있다. 예를 들어, 6배위 금속 원자(In 또는 Sn)가 하반부의 4배위 0를 통하여 결합하는 경우, 4배위 0가 3개이기 때문에, 5배위 금속 원자(Ga 또는 In) 및 4배위 금속 원자(Zn) 중 어느 것과 결합하게 된다.

[0106] 상기 배위수가 4, 5, 또는 6인 금속 원자들은 c축 방향에서 4배위 0를 통하여 결합한다. 또한 이에 더하여, 층 구조의 전하의 합계가 0이 되도록 서브 유닛들이 서로 결합함으로써 1그룹이 구성된다.

[0107] 도 8a에 In-Sn-Zn-0계 층 구조를 구성하는 1그룹의 모델도를 도시하였다. 도 8b는 3개의 그룹으로 구성된 유닛을 도시한 것이다. 또한 도 8c에는 도 8b의 층 구조를 c축 방향으로부터 관찰한 경우의 원자 배열을 도시하였다.

[0108] 도 8a에서는 간략화를 위하여 3배위 0는 생략하고 4배위 0에 대해서는 개수만을 도시하며, 예를 들어, Sn원자의 상반부 및 하반부에 각각 4배위 0가 3개씩 있는 것을 동그라미 3으로서 나타냈다. 마찬가지로, 도 8a에서 In원자의 상반부 및 하반부에는 각각 4배위 0가 하나씩 있으며, 동그라미 1로서 나타냈다. 또한 도 8a에서, 하반부에 하나의 4배위 0가 있고 상반부에 3개의 4배위 0가 있는 Zn원자와, 상반부에 하나의 4배위 0가 있고 하반부에 3개의 4배위 0가 있는 Zn원자를 나타냈다.

[0109] 도 8a에서, In-Sn-Zn-0계 층 구조를 구성하는 그룹은 위로부터 차례로 4배위 0가 3개씩 상반부 및 하반부에 있는 Sn원자가, 4배위 0가 1개씩 상반부 및 하반부에 있는 In원자와 결합하고, 이 In원자가, 상반부에 3개의 4배위 0가 있는 Zn원자와 결합하고, 이 Zn원자의 하반부에 있는 하나의 4배위 0를 통하여 4배위 0가 3개씩 상반부 및 하반부에 있는 In원자와 결합하고, 이 In원자가, 상반부에 하나의 4배위 0가 있는 Zn 2개로 이루어진 서브 유닛과 결합하고, 이 서브 유닛의 하반부에 있는 하나의 4배위 0를 통하여 4배위 0가 3개씩 상반부 및 하반부에 있는 Sn원자와 결합한 구성이다. 이 그룹이 복수 결합되어 1주기분의 유닛을 구성한다.

[0110] 여기서, 3배위 0 및 4배위 0의 경우에는, 결합 하나당 전하는 각각 -0.667, -0.5라고 생각할 수 있다. 예를 들어, In(6배위 또는 5배위), Zn(4배위), Sn(5배위 또는 6배위)의 전하는 각각 +3, +2, +4이다. 따라서, Sn을 포함한 서브 유닛은 전하가 +1이 된다. 따라서, Sn을 포함한 층 구조를 형성하기 위해서는 전하 +1을 상쇄하는

전하 -1이 필요하다. 전하가 -1이 되는 구조로서, 도 7e에 도시한 바와 같이 2개의 Zn을 포함한 서브 유닛을 들 수 있다. 예를 들어, Sn을 포함한 서브 유닛 하나에 대해 2개의 Zn을 포함한 서브 유닛이 하나 있으면 전하가 상쇄되기 때문에, 층 구조의 전하의 합계를 0으로 할 수 있다.

[0111] 또한, In은 5배위 및 6배위 중 어느 것이나 취할 수 있는 것으로 한다. 구체적으로는 도 8b에 도시한 유닛으로 함으로써, In-Sn-Zn-O계 결정($\text{In}_2\text{SnZn}_3\text{O}_8$)을 얻을 수 있다. 또한 얻어지는 In-Sn-Zn-O계 층 구조는 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 은 0 또는 자연수)의 조성식으로 나타낼 수 있다.

[0112] 또한 상술한 것 이외에도 4원계 금속 산화물인 In-Sn-Ga-Zn계 산화물이나, 3원계 금속 산화물인 In-Ga-Zn계 산화물, In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물이나, 2원계 금속 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물 등을 사용한 경우도 마찬가지이다.

[0113] 예를 들어 도 9a는 In-Ga-Zn-O계 층 구조를 구성하는 1그룹의 모델도이다.

[0114] 도 9a에서, In-Ga-Zn-O계 층 구조를 구성하는 그룹은 위로부터 차례로 4배위 O가 3개씩 상반부 및 하반부에 있는 In원자가, 상반부에 4배위 O가 하나 있는 Zn 원자와 결합하고, 이 Zn원자의 하반부에 있는 3개의 4배위 O를 통하여, 4배위 O가 하나씩 상반부 및 하반부에 있는 Ga원자와 결합하고, 이 Ga원자의 하반부에 있는 하나의 4배위 O를 통하여, 4배위 O가 3개씩 상반부 및 하반부에 있는 In원자와 결합한 구성이다. 이 그룹이 복수 결합하여 1주기분의 유닛을 구성한다.

[0115] 도 9b에 3개의 그룹으로 구성된 유닛을 도시하였다. 또한 도 9c는 도 9b의 층 구조를 c축 방향으로부터 관찰한 경우의 원자 배열을 도시한 것이다.

[0116] 여기서, In(6배위 또는 5배위), Zn(4배위), 및 Ga(5배위)의 전하는 각각 +3, +2, +3이기 때문에, In, Zn 및 Ga 중 어느 것을 포함한 서브 유닛에서는 전하가 0이 된다. 따라서, 이 서브 유닛을 조합한 것이라면 그룹의 전하의 합계는 항상 0이 된다.

[0117] 또한, In-Ga-Zn-O계 층 구조를 구성하는 그룹은 도 9a에 도시한 그룹에 한정되지 않고, In, Ga, Zn의 배열이 상이한 그룹을 조합한 유닛도 취할 수 있다.

[0118] 층간 절연막(18)의 재료로서는 산화실리콘, 산화질화실리콘, 질화산화실리콘, 질화실리콘, 산화알루미늄, 산화질화알루미늄, 질화알루미늄을 단층으로 사용하거나 또는 적층으로 사용할 수 있고, 스퍼터링법, CVD법 등으로 막을 형성하면 좋다. 예를 들어, 실란 가스를 주된 재료로 하고 이것과 산화질소 가스, 질소 가스, 수소 가스, 및 회가스 중에서 적절히 선택된 원료 가스를 혼합하여 플라즈마 CVD법에 의해 막을 형성하면 좋다. 또한 기판 온도를 200℃ 이상 550℃ 이하로 하면 좋다.

[0119] 또한 본 실시형태에서는 게이트 전극(14)과, 한 쌍의 저저항 영역(12) 또는 한 쌍의 전극(16)이 중첩되지 않고 오프셋 영역이 형성되어 있는 구조로 하였지만, 이것에 한정되지 않는다. 예를 들어, 게이트 전극(14)과, 한 쌍의 저저항 영역(12) 또는 한 쌍의 전극(16)이 중첩된 구조로 하여도 좋다.

[0120] 상술한 바와 같은 구조를 가짐으로써, 제 1 트랜지스터(101) 및 제 2 트랜지스터(102)에 있어서, 일부가 제 1 트랜지스터(101)의 채널 영역이 되는 반도체 기판(11) 및 제 2 트랜지스터(102)의 채널 영역이 되는 반도체막(17)은 게이트 전극(14)을 둘러싸도록 형성되어 있다. 즉 상면으로부터 본 한 쌍의 저저항 영역(12) 사이의 거리 또는 한 쌍의 전극(16) 사이의 거리인 외관상의 채널 길이에 비해 실효상의 채널 길이를 길게 할 수 있다. 또한 제 1 트랜지스터(101) 및 제 2 트랜지스터(102)를 적층하여 형성할 수 있기 때문에, 반도체 장치의 점유면적을 축소할 수 있다. 이로써, 트랜지스터의 크기를 축소하더라도 단채널 효과의 영향을 저감하고, 반도체 장치의 집적도를 높일 수 있게 된다. 또한 비용을 낮게 억제할 수 있고 고수율의 반도체 장치를 제공할 수 있다.

[0121] 또한 도 2에 도시한 트랜지스터 구조에서, L1 및 L2의 길이를 조절함으로써, 제 1 트랜지스터(101) 및 제 2 트랜지스터(102)의 실효상의 채널 길이를 조절할 수 있다. 예를 들어, 제 2 트랜지스터(102)의 온 전류를 증가하고자 하는 경우에는 L2의 길이를 짧게 형성함으로써 제 2 트랜지스터(102)의 온 전류를 증가할 수 있다.

[0122] 이와 같이 L1 및 L2의 길이를 조절함으로써, 제 1 트랜지스터(101) 및 제 2 트랜지스터(102)의 온 전류를 조절할 수 있다. 인버터 회로 동작에서 인버터로 입출력되는 구형파는 상승 시간과 하강 시간이 같은 것이 이상적이다. CMOS 인버터에 있어서, p채널 트랜지스터와 n채널 트랜지스터의 온 전류의 균형이 이루어지지 않은 인버

터에서는 입력된 구형파가 이상적인 것이라도 출력시에 파형이 흐트러지게 된다. 예를 들어, p채널 트랜지스터의 온 전류가 n채널 트랜지스터의 온 전류의 1/2밖에 없는 경우에는 출력 노드에서 상승 시간은 하강 시간의 2배가 된다. 이러한 파형의 변화를 방지하기 위해서, p채널 트랜지스터의 온 전류와 n채널 트랜지스터의 온 전류를 같게 하는 것이 바람직하다. 따라서, L1 및 L2의 길이를 조절하여 제 1 트랜지스터(101) 및 제 2 트랜지스터(102)의 온 전류를 조절함으로써, p채널 트랜지스터와 n채널 트랜지스터의 온 전류를 같게 할 수 있다.

[0123] 또한 도 3a 및 도 3b에 도시한 바와 같은 트랜지스터로 이루어진 인버터에 관해서도 도 2에 도시한 트랜지스터로 이루어진 인버터와 같은 효과를 나타낼 수 있다. 도 3a에 도시한 트랜지스터의 구조와 도 2에 도시한 구조의 차이점은 제 2 트랜지스터(102)에서의 게이트 전극의 형상이다. 도 2에 도시한 게이트 전극(14)은 반도체 기판(11)에 형성된 홈부를 완전히 메운 형상이지만, 도 3a에 도시한 게이트 전극(19)은 반도체 기판(11)에 형성된 홈부를 완전히 메운 형상은 아니다. 이와 같이 홈부를 완전히 메울 필요가 없고 홈부를 따라 게이트 전극을 형성함으로써 본 발명의 효과를 나타낼 수 있다. 도 3b에 도시한 트랜지스터의 구조와 도 2에 도시한 구조의 차이점은 한 쌍의 전극과 반도체막을 적층하는 순서가 상이하다는 점이다. 즉 도 3b에 도시한 트랜지스터 구조에서는 반도체막(21) 위에 한 쌍의 전극(20)이 형성되어 있다.

[0124] 이와 같이 도 2, 또는 도 3a 및 도 3b에 도시한 트랜지스터를 사용함으로써, 도 1b에 도시한 바와 같은 SRAM 회로를 형성할 수 있다.

[0125] <트랜지스터의 제작 방법의 일례>

[0126] 다음에 도 2에 도시한 제 1 트랜지스터(101) 및 제 2 트랜지스터(102)의 제작 방법의 일례에 대해서 도 4a 내지 도 4d를 사용하여 설명한다.

[0127] 도 4a에 도시한 바와 같이 반도체 기판(11) 표면에 불순물을 첨가하여 한 쌍의 저저항 영역(12)을 형성하고, 반도체 기판(11)을 가공하여 홈부를 형성한다. 도 4a에 도시한 홈부는 평면을 사용한 형상을 갖는 홈부를 도시하였지만, 이 형상에 한정되지 않고 곡면을 사용한 형상 등이라도 상관없다.

[0128] 다음에 도 4b에 도시한 바와 같이 열산화법을 이용하여 반도체 기판(11) 표면에 제 1 게이트 절연막(13)을 형성한다. 또한 열산화법이 아니라 스퍼터링법, CVD법 등의 퇴적법을 이용하여 절연막을 형성하여도 좋고, 열산화법과 퇴적법을 조합하여 절연막을 형성하여도 좋다.

[0129] 다음에 제 1 게이트 절연막(13) 위에 게이트 전극(14)을 형성한다. 게이트 전극(14)은 도전막을 형성하고, 상기 도전막 위에 마스크를 형성한 후, 상기 마스크를 이용하여 도전막을 선택적으로 에칭하여 형성한다. 또한 도전막을 에칭하기 위한 마스크는 포토리소그래피 공정, 잉크젯법, 인쇄법 등을 적절히 이용하여 형성할 수 있다.

[0130] 또한 도 4a에 도시한 한 쌍의 저저항 영역(12)은 게이트 전극(14)을 형성한 후에 불순물을 반도체 기판(11)에 첨가함으로써 자기정합적으로 형성할 수도 있다.

[0131] 다음에 게이트 전극(14) 및 제 1 게이트 절연막(13) 위에 제 2 게이트 절연막(15)을 형성한다.

[0132] 다음에 도 4c에 도시한 바와 같이 제 1 게이트 절연막(13) 및 제 2 게이트 절연막(15)을 가공하여 콘택트홀을 형성하고, 상기 콘택트홀에서 한 쌍의 저저항 영역(12)과 접속되는 한 쌍의 전극(16)을 형성한다. 한 쌍의 전극(16)은 도전막을 형성하고, 상기 도전막 위에 마스크를 형성한 후, 상기 마스크를 이용하여 도전막을 선택적으로 에칭함으로써 형성한다.

[0133] 다음에 도 4d에 도시한 바와 같이 한 쌍의 전극(16)과 접촉하고 제 2 게이트 절연막(15)을 개재하여 게이트 전극(14)과 중첩되는 반도체막(17)을 형성한다. 반도체막(17)은, 예를 들어 스퍼터링법에 의해 두께가 1nm 이상 50nm 이하인 산화물 반도체막을 형성하고, 상기 산화물 반도체막 위에 마스크를 형성한 후, 상기 마스크를 이용하여 산화물 반도체막을 선택적으로 에칭함으로써 형성한다.

[0134] 산화물 반도체막의 에칭은 웨트 에칭 또는 드라이 에칭을 적절히 이용하여 수행할 수 있다.

[0135] 산화물 반도체막을 형성한 후에 반도체 기판(11)에 열처리를 수행하여 산화물 반도체막으로부터 수분 및 수소를 방출시키는 것이 바람직하다. 또한 상기 열처리를 수행함으로써, 결정성이 더 높은 CAAC-OS를 갖는 산화물 반도체막을 형성할 수 있다.

[0136] 열처리의 온도는 산화물 반도체막으로부터 수분 및 수소를 방출시키는 온도가 바람직하고, 대표적으로는 200℃ 이상 반도체 기판(11)의 변형점 미만, 바람직하게는 250℃ 이상 450℃ 이하로 한다.

- [0137] 또한 열처리는 RTA(Rapid Thermal Annealing) 장치를 이용하여 수행할 수 있다. RTA 장치를 이용함으로써, 단 시간에 한해 기판의 변형점 이상의 온도로 열처리를 수행할 수 있게 된다. 따라서, CAAC-OS인 산화물 반도체막을 형성하는 데 걸리는 시간을 단축할 수 있다.
- [0138] 열처리는 불활성 가스 분위기하에서 수행할 수 있고, 대표적으로는 헬륨, 네온, 아르곤, 크세논, 크립톤 등의 희가스, 또는 질소 분위기하에서 수행하는 것이 바람직하다. 또한 산소 분위기하, 감압 분위기하, 또는 진공 분위기하에서 수행하여도 좋다. 처리 시간은 3분 내지 24시간으로 한다. 24시간을 초과하는 열처리는 생산성의 저하를 초래하기 때문에 바람직하지 않다.
- [0139] 또한 상기 열처리에 의해 산화물 반도체막으로부터 수분 및 수소를 방출시킨 후 산소 분위기하에서 산화물 반도체막을 열처리함으로써 산화물 반도체막에 산소를 공급하여, 산화물 반도체막 내에서 도너가 되는 산소 결손을 저장하여도 좋다. 열처리 온도는 200℃ 이상 반도체 기판(11)의 변형점 미만, 바람직하게는 250℃ 이상 450℃ 이하로 한다. 상기 산소 분위기하에서의 열처리에 사용되는 산소 가스에는, 물, 수소 등이 함유되지 않는 것이 바람직하다. 또는 열처리 장치에 도입하는 산소 가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, (즉 산소 내의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)로 하는 것이 바람직하다.
- [0140] 또는 이온 주입법 또는 이온 도핑법 등을 이용하여 산화물 반도체막에 산소를 첨가함으로써, 도너가 되는 산소 결손을 저장하여도 좋다. 또한 주파수가 2.45GHz 정도인 마이크로파로 플라즈마화된 산소를 산화물 반도체막에 첨가하여도 좋다.
- [0141] 다음에 반도체막(17) 위에 층간 절연막(18)을 형성한다. 또한 여기서는 도시하지 않았지만, 층간 절연막(18)을 가공하여 콘택트홀을 형성하고, 상기 콘택트홀에서 한 쌍의 저저항 영역(12) 또는 한 쌍의 전극(16)과 접속되는 배선을 형성하여도 좋다.
- [0142] 상술한 바와 같은 공정을 거쳐, 단채널 효과를 억제하면서 미세화를 도모하고 소비 전력이 저감된 트랜지스터를 제작할 수 있다.
- [0143] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.
- [0144] 상술한 바와 같이 하여 제작한 트랜지스터 및 인버터를 사용함으로써 도 1a 및 도 1b에 도시한 SRAM 회로를 제작할 수 있다.
- [0145] <SRAM 회로 동작>
- [0146] 다음에 도 1b에 도시한 SRAM 회로의 회로 동작에 대해서 설명한다.
- [0147] 우선 판독 동작은 워드라인(WL)을 High(H)로 하여, 제 1 선택 트랜지스터(200) 및 제 2 선택 트랜지스터(400)를 온 상태로 한다. 이로써, 제 1 인버터(100) 및 제 2 인버터(300)에 유지된 데이터가 제 1 선택 트랜지스터(200) 및 제 2 선택 트랜지스터(400)를 통하여 제 1 신호선(S1) 및 제 2 신호선(S2)에 출력된다. 또한 도시하지 않았지만, 제 1 신호선(S1) 및 제 2 신호선(S2)에 센스 앰프가 접속되어 있어도 좋다.
- [0148] 기록 동작은 워드라인(WL)을 High(H)로 하여, 제 1 선택 트랜지스터(200) 및 제 2 선택 트랜지스터(400)를 온 상태로 한다. 또한 제 1 신호선(S1) 및 제 2 신호선(S2)으로부터 기록할 데이터를 출력하여, 제 1 인버터(100) 및 제 2 인버터(300)에 데이터를 기록한다.
- [0149] SRAM 회로에 있어서, 기록된 데이터는 인버터에 유지되고, VDD로부터 전원을 공급하고 있으면 데이터는 유지된다.
- [0150] 상술한 바와 같이 SRAM 회로에서 데이터의 판독 동작, 기록 동작, 유지 동작이 수행된다.
- [0151] (실시형태 2)
- [0152] 본 실시형태에서는 실시형태 1에서 제시한 반도체 장치를 사용하여 CPU를 구성하는 예에 대해서 설명한다.
- [0153] 도 5a는 CPU의 구체적인 구성을 도시한 블록도이다. 도 5a에 도시한 CPU는 기판(1190) 위에 연산 회로(ALU: Arithmetic logic unit)(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(Bus I/F)(1198), 재기록 가능한 ROM(1199), 및 ROM 인터페이스(ROM I/F)(1189)를 갖는다. 기판(1190)으로서는 반도체 기판, SOI 기판, 유리 기판 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 다른 칩에 제공하여도 좋다. 물론, 도 5a에

도시한 CPU는 그 구성을 간략화하여 제시한 일례에 불과하고, 실제의 CPU는 그 용도에 따라 다종다양한 구성을 갖는다.

- [0154] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은 인스트럭션 디코더(1193)에 입력되어 복호화된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.
- [0155] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 복호화된 명령에 기초하여 각종 제어를 수행한다. 구체적으로는 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한 인터럽트 컨트롤러(1194)는 CPU의 프로그램을 실행하는 동안에 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태로부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)로부터 데이터를 판독하거나 레지스터(1196)에 데이터를 기록한다.
- [0156] 또한 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 컨트롤러(1195)는 기준 클럭 신호 CLK1을 기초로 내부 클럭 신호 CLK2를 생성하는 내부 클럭 생성부를 가지며, 클럭 신호 CLK2를 상기 각종 회로에 공급한다.
- [0157] 도 5a에 도시한 CPU에서는 레지스터(1196)에 기억 소자가 제공되어 있다. 레지스터(1196)의 기억 소자에는 실시형태 1에 기재된 반도체 장치로 이루어진 기억 소자를 사용할 수 있다.
- [0158] 도 5a에 도시한 CPU에 있어서, 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라, 레지스터(1196)에서의 유지 동작을 선택한다. 즉 레지스터(1196)가 갖는 기억 소자에서 플립플롭에 의한 데이터 유지를 수행할지 또는 용량 소자에 의한 데이터 유지를 수행할지를 선택한다. 플립플롭에 의한 데이터 유지가 선택되어 있는 경우, 레지스터(1196) 내의 기억 소자에 전원 전압이 공급된다. 용량 소자에 의한 데이터 유지가 선택되어 있는 경우, 용량 소자에 기억하는 데이터가 변경되어, 레지스터(1196) 내의 기억 소자에 대한 전원 전압의 공급을 정지할 수 있다.
- [0159] 전원 정지는 도 5b 또는 도 5c에 도시한 바와 같이, 기억 소자군과 전원 전위 VDD 또는 전원 전위 VSS가 공급되는 노드 사이에 스위칭 소자를 제공함으로써 수행할 수 있다. 이하에 도 5b 및 도 5c의 회로에 대해서 설명한다.
- [0160] 도 5b 및 도 5c는 기억 소자로의 전원 전위의 공급을 제어하는 스위칭 소자에, 산화물 반도체를 사용한 트랜지스터를 포함한 기억 장치의 구성의 일례를 도시한 것이다.
- [0161] 도 5b에 도시한 기억 장치는 스위칭 소자(1141)와 복수의 기억 소자(1142)를 갖는 기억 소자군(1143)을 갖는다. 기억 소자군(1143)이 갖는 각 기억 소자(1142)에는 스위칭 소자(1141)를 통하여 High 레벨의 전원 전위 VDD가 공급된다. 또한 기억 소자군(1143)이 갖는 각 기억 소자(1142)에는 신호 IN의 전위와, Low 레벨의 전원 전위 VSS의 전위가 공급된다.
- [0162] 도 5b에서는 스위칭 소자(1141)로서 산화물 반도체 등 밴드갭이 큰 반도체를 갖는 트랜지스터를 사용하며, 상기 트랜지스터는 그 게이트에 공급되는 신호 SigA에 의해 스위칭이 제어된다.
- [0163] 또한, 도 5b에서는 스위칭 소자(1141)가 트랜지스터를 하나만 갖는 구성을 도시하였지만, 특별히 한정되지 않고 복수의 트랜지스터를 가져도 좋다. 스위칭 소자(1141)가 스위칭 소자로서 기능하는 복수의 트랜지스터를 갖는 경우에는, 상기 복수의 트랜지스터는 병렬로 접속되어도 좋고, 직렬로 접속되어도 좋고, 직렬과 병렬이 조합되어 접속되어도 좋다.
- [0164] 또한, 도 5b에서는 스위칭 소자(1141)에 의해 기억 소자군(1143)이 갖는 각 기억 소자(1142)에 대한 High 레벨의 전원 전위 VDD의 공급이 제어되지만, 스위칭 소자(1141)에 의해 Low 레벨의 전원 전위 VSS의 공급이 제어되어도 좋다.
- [0165] 또한 도 5c에는 기억 소자군(1143)이 갖는 각 기억 소자(1142)에 스위칭 소자(1141)를 통하여 Low 레벨의 전원 전위 VSS가 공급되는 기억 장치의 일례를 도시하였다. 스위칭 소자(1141)에 의해 기억 소자군(1143)이 갖는 각 기억 소자(1142)에 대한 Low 레벨의 전원 전위 VSS의 공급을 제어할 수 있다.
- [0166] 기억 소자군과, 전원 전위 VDD 또는 전원 전위 VSS가 공급되는 노드 사이에 스위칭 소자를 제공함으로써, 일시적으로 CPU의 동작을 정지하여 전원 전압의 공급을 정지한 경우에도 데이터를 유지할 수 있고 소비 전력을 저감

할 수 있다. 예를 들어, 퍼스널 컴퓨터의 사용자가 키보드 등의 입력 장치에 대한 정보의 입력을 정지하고 있는 동안이라도 CPU의 동작을 정지할 수 있고, 이에 따라 소비 전력을 저감할 수 있다.

[0167] 여기서는, CPU를 예로 들어 설명하였지만, DSP(Digital Signal Processor), 커스텀 LSI, FPGA(Field Programmable Gate Array) 등의 LSI에도 응용할 수 있다.

[0168] 본 실시형태는 상기 실시형태 1과 적절히 조합하여 실시할 수 있다.

[0169] (실시형태 3)

[0170] 본 실시형태에서는 실시형태 1 및 실시형태 2를 적용한 전자 기기의 예에 대해서 설명한다.

[0171] 도 6a는 휴대형 정보 단말기이다. 하우징(9300), 버튼(9301), 마이크로폰(9302), 표시부(9303), 스피커(9304), 및 카메라(9305)를 구비하고, 휴대형 전화기로서의 기능을 갖는다. 본 발명의 일 형태는, 특별히 도시하지 않았지만, 본체 내부에 있는 연산 장치, 무선 회로, 또는 기억 장치에 사용하는 논리 회로에 적용할 수 있다.

[0172] 도 6b는 디지털 스틸 카메라이다. 하우징(9320), 버튼(9321), 마이크로폰(9322), 및 표시부(9323)를 구비한다. 본 발명의 일 형태는, 특별히 도시하지 않았지만, 기억 장치 또는 이미지 센서 등에 사용하는 논리 회로에 적용할 수도 있다.

[0173] 본 발명의 일 형태를 사용함으로써 전자 기기의 성능을 향상시킬 수 있다.

[0174] 본 실시형태는 다른 실시형태와 적절히 조합하여 사용할 수 있다.

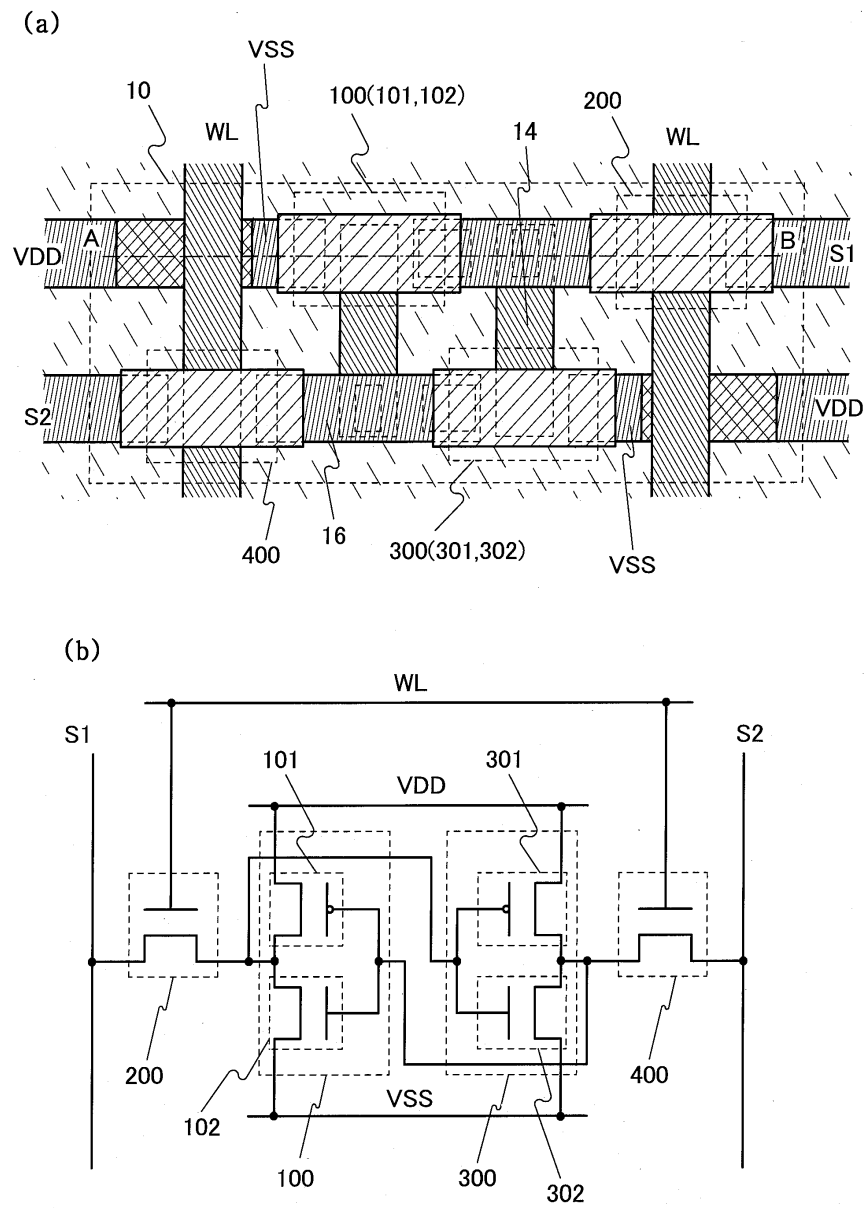
부호의 설명

- [0175]
- 10: 메모리 셀
 - 11: 반도체 기판
 - 12: 한 쌍의 저저항 영역
 - 13: 제 1 게이트 절연막
 - 14: 게이트 전극
 - 15: 제 2 게이트 절연막
 - 16: 한 쌍의 전극
 - 17: 반도체막
 - 18: 층간 절연막
 - 19: 게이트 전극
 - 20: 한 쌍의 전극
 - 21: 반도체막
 - 100: 제 1 인버터
 - 101: 제 1 트랜지스터
 - 102: 제 2 트랜지스터
 - 200: 제 1 선택 트랜지스터
 - 300: 제 2 인버터
 - 301: 제 3 트랜지스터
 - 302: 제 4 트랜지스터
 - 400: 제 2 선택 트랜지스터

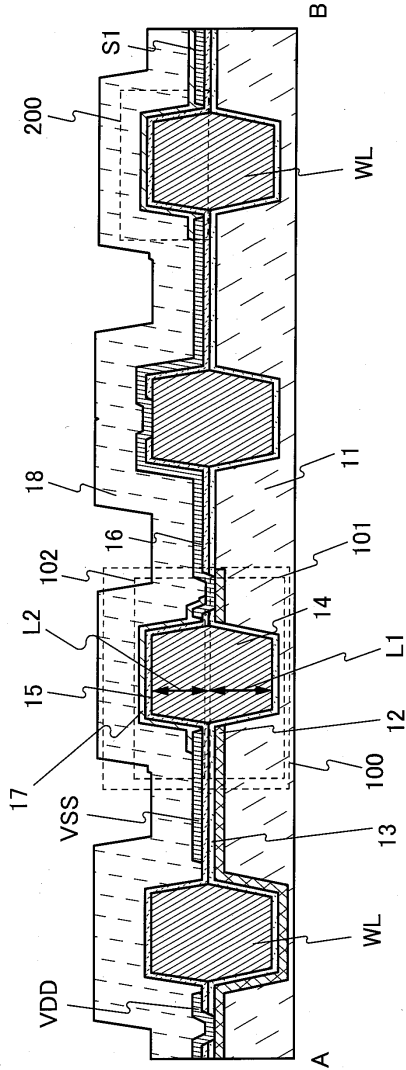
1141: 스위칭 소자
1142: 기억 소자
1143: 기억 소자군
1189: ROM 인터페이스
1190: 기관
1191: ALU
1192: ALU 컨트롤러
1193: 인스트럭션 디코더
1194: 인터럽트 컨트롤러
1195: 타이밍 컨트롤러
1196: 레지스터
1197: 레지스터 컨트롤러
1198: 버스 인터페이스
1199: ROM
9300: 하우징
9301: 버튼
9302: 마이크로폰
9303: 표시부
9304: 스피커
9305: 카메라
9320: 하우징
9321: 버튼
9322: 마이크로폰
9323: 표시부

도면

도면1

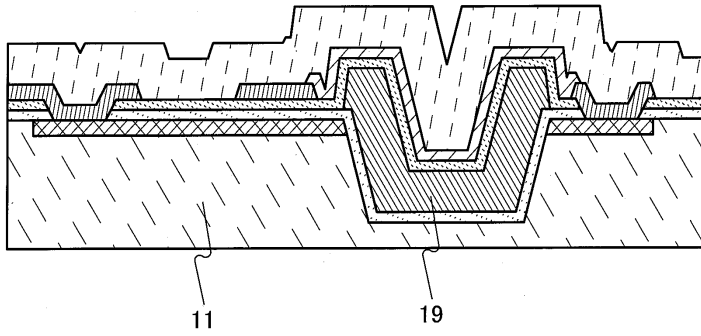


도면2

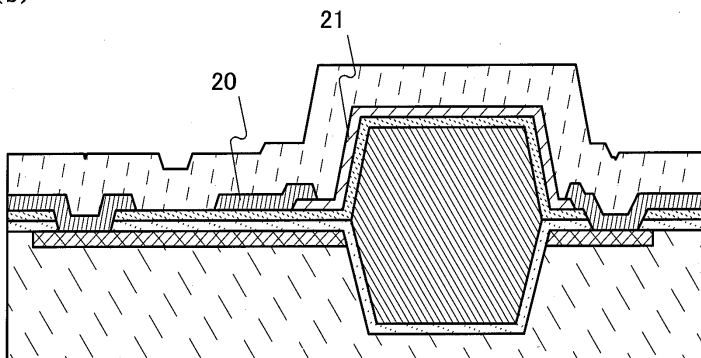


도면3

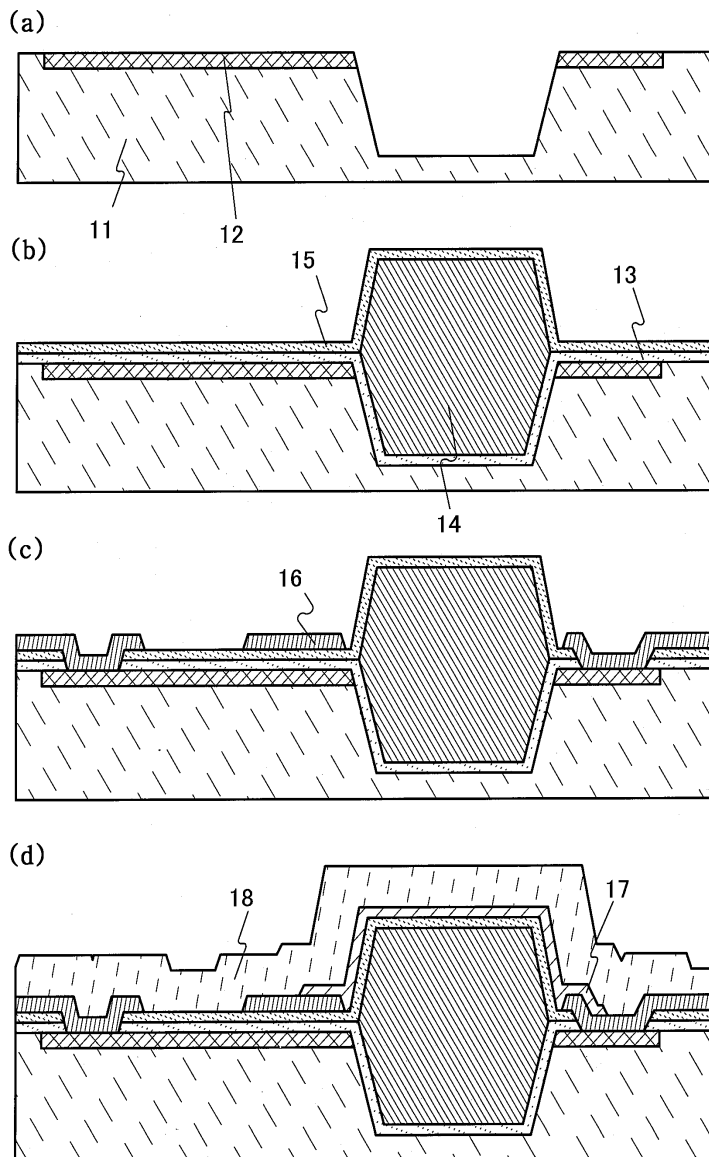
(a)



(b)

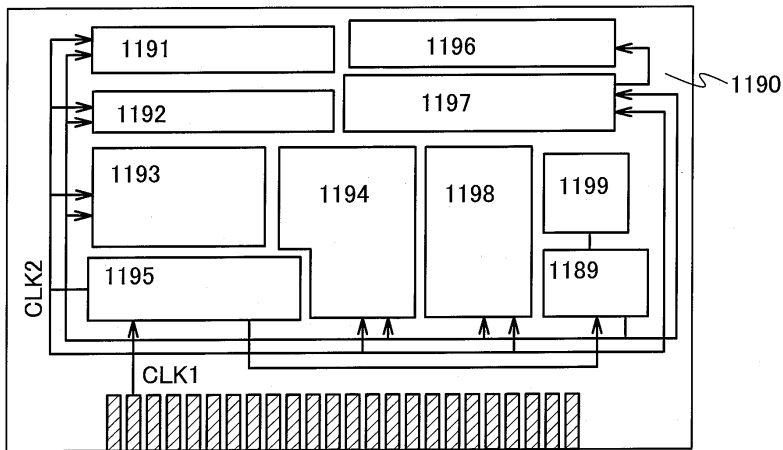


도면4

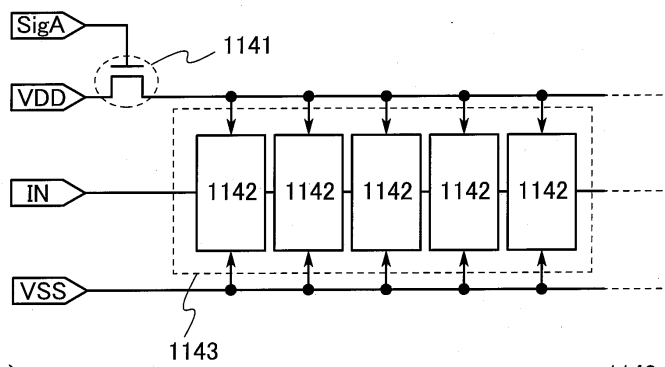


도면5

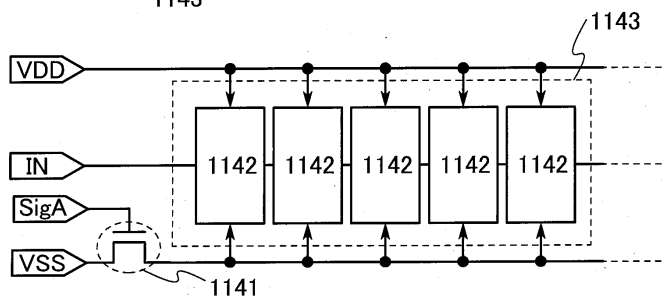
(a)



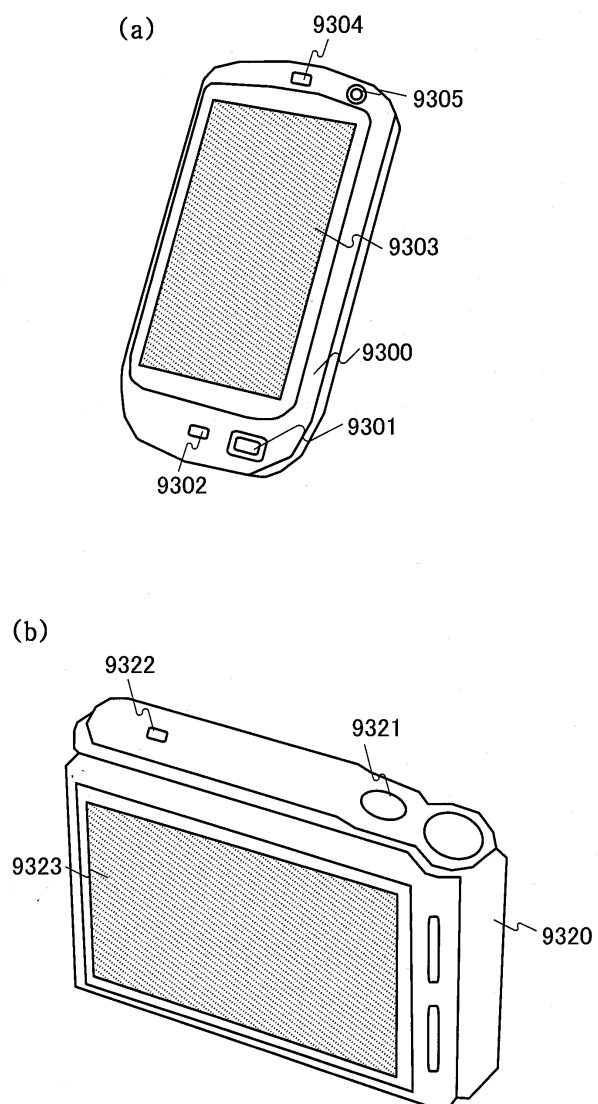
(b)



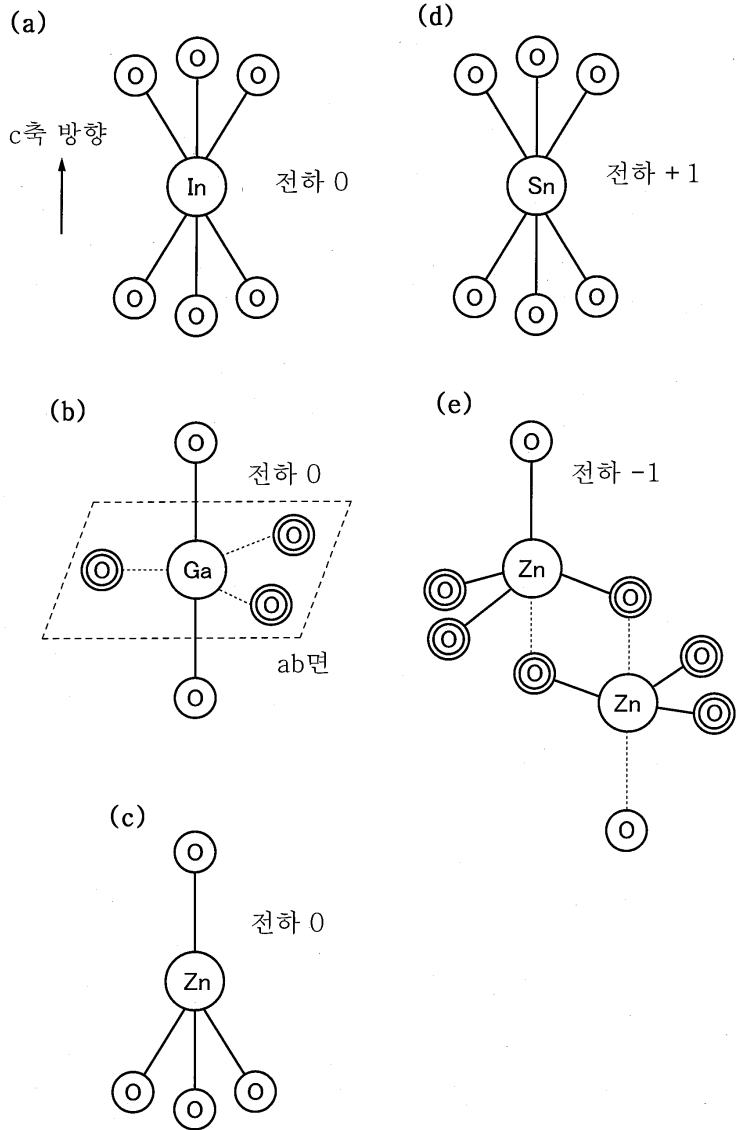
(c)



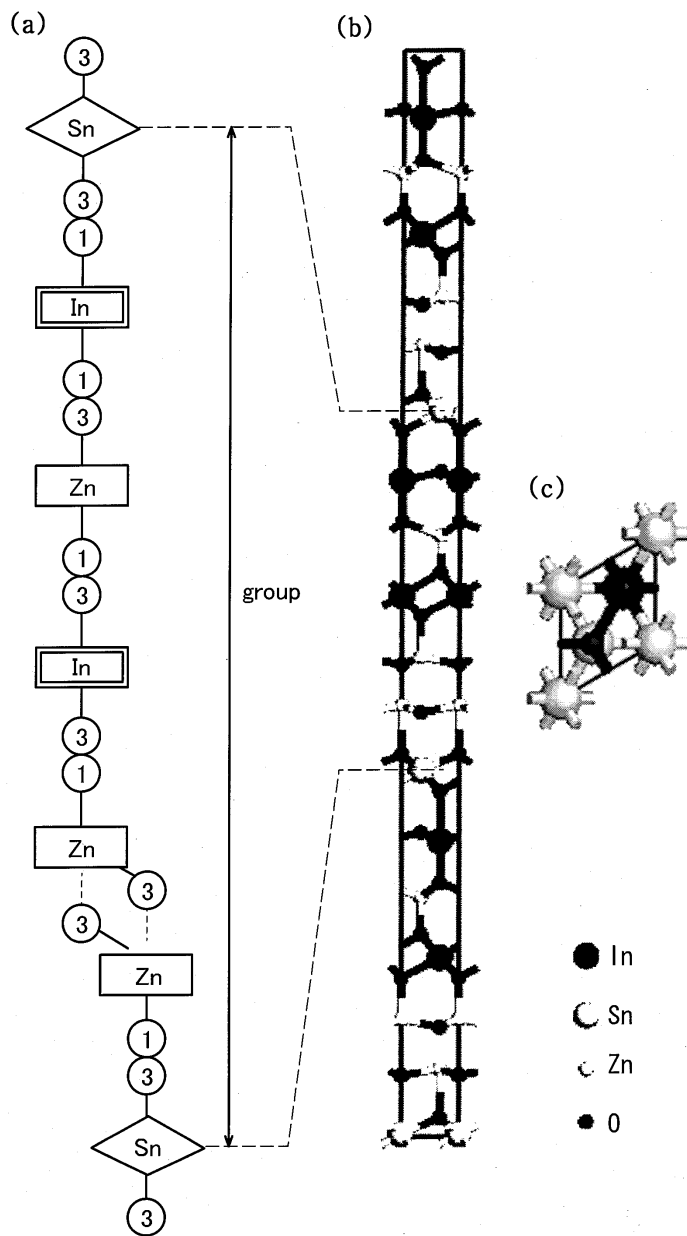
도면6



도면7



도면8



도면9

