



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0103358
(43) 공개일자 2013년09월23일

(51) 국제특허분류(Int. Cl.)
H01L 29/739 (2006.01) H01L 21/331 (2006.01)
(21) 출원번호 10-2013-0019631
(22) 출원일자 2013년02월25일
심사청구일자 2013년02월25일
(30) 우선권주장
JP-P-2012-052580 2012년03월09일 일본(JP)

(71) 출원인
미쓰비시덴키 가부시카이가이사
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고
(72) 발명자
후지이 히데노리
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고 미쓰비시덴키 가부시카이가이사 나이
(74) 대리인
이화익, 김홍두

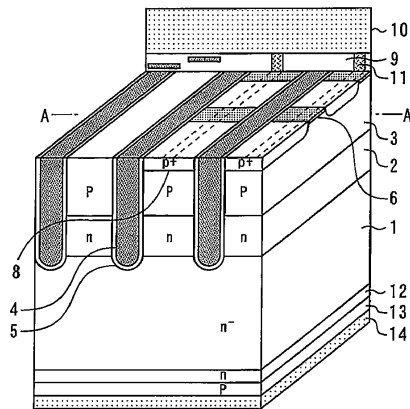
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 중형 트랜치 IGBT 및 그 제조방법

(57) 요약

중형 트랜치 IGBT의 RBSOA 내량을 향상시킨다. n-형 Si 기판(1) 위에 p형 보디층(3)을 형성한다. p형 보디층(3)을 관통하는 트랜치를 형성하고, 트랜치 내부에 게이트 절연막(5)을 개재하여 트랜치 게이트(4)를 형성한다. p형 보디층(3) 위에 n형의 불순물을 포함하는 폴리실리콘 막(16)을 형성한다. 폴리실리콘 막(16)으로부터 p형 보디층(3)에 n형의 불순물을 확산시켜 p형 보디층(3) 위에 n형 에미터층(6)을 형성한다. n-형 Si 기판(1)의 밑면에 p형 콜렉터층(13)을 형성한다.

대표도 - 도1



특허청구의 범위

청구항 1

제1도전형의 반도체 기판 위에 제2도전형의 보디층을 형성하는 공정과,
 상기 보디층을 관통하는 트렌치를 형성하고, 상기 트렌치 내부에 게이트 절연막을 개재하여 트렌치 게이트를 형성하는 공정과,
 상기 보디층 위에 제1도전형의 불순물을 포함하는 폴리실리콘 막을 형성하는 공정과,
 상기 폴리실리콘 막으로부터 상기 보디층에 상기 제1도전형의 불순물을 확산시켜 상기 보디층 위에 제1도전형의 에미터층을 형성하는 공정과,
 상기 반도체 기판의 밑면에 제2도전형의 콜렉터층을 형성하는 공정을 구비한 중형 트렌치 IGBT의 제조방법.

청구항 2

제 1항에 있어서,
 나중에 상기 에미터층을 형성할 영역에 있어서 상기 폴리실리콘 막 위에 레지스트를 형성하는 공정과,
 상기 레지스트를 마스크로 하여 상기 폴리실리콘 막을 에칭하는 공정과,
 상기 폴리실리콘 막을 에칭한 후에, 상기 레지스트를 마스크로 하여 상기 보디층에 제2도전형의 불순물을 주입하는 공정과,
 열처리를 행해서 상기 보디층의 상기 제2도전형의 불순물을 주입한 영역에 제2도전형의 확산층을 형성하는 공정을 더 구비한 중형 트렌치 IGBT의 제조방법.

청구항 3

제 1항 또는 제 2항에 있어서,
 상기 폴리실리콘 막의 그레이인 사이즈는 상기 에미터층의 폭보다 작은 중형 트렌치 IGBT의 제조방법.

청구항 4

제 1항 또는 제 2항에 있어서,
 상기 보디층과 상기 폴리실리콘 막 사이에 자연 산화막이 형성되어 있는 중형 트렌치 IGBT의 제조방법.

청구항 5

제 1항 또는 제 2항에 있어서,
 상기 폴리실리콘 막을, 상기 트렌치 게이트를 구성하는 폴리실리콘과 동시에 형성하는 중형 트렌치 IGBT의 제조방법.

청구항 6

제 1항 또는 제 2항에 있어서,

상기 폴리실리콘 막을, 용량의 전극을 구성하는 폴리실리콘과 동시에 형성하는 중형 트렌치 IGBT의 제조방법.

청구항 7

제 1항 또는 제 2항에 있어서,

상기 폴리실리콘 막을 폴리실리콘 저항과 동시에 형성하는 중형 트렌치 IGBT의 제조방법.

청구항 8

제 1항 또는 제 2항에 있어서,

상기 에미터층은,

상기 트렌치 게이트의 근방에 형성된 진성 에미터층과,

상기 진성 에미터층을 외부로 인출하는 외부 에미터층을 갖는 중형 트렌치 IGBT의 제조방법.

청구항 9

제1도전형의 반도체 기판과,

상기 반도체 기판 위에 설치된 제2도전형의 보디층과,

상기 보디층을 관통하는 트렌치 내부에 게이트 절연막을 개재하여 설치된 트렌치 게이트와,

상기 보디층 위에 설치된 제1도전형의 에미터층과,

상기 반도체 기판의 밑면에 설치된 제2도전형의 콜렉터층과,

상기 트렌치 게이트를 덮는 층간 절연막과,

상기 층간 절연막 위에 설치된 에미터 전극과

상기 층간 절연막을 관통해서 상기 보디층 및 상기 에미터층과 상기 에미터 전극을 접속하는 콘택 플러그와,

상기 보디층 및 상기 에미터층의 적어도 한쪽과 상기 콘택 플러그 사이에 설치된 폴리실리콘 막을 구비한 중형 트렌치 IGBT.

명세서

기술분야

[0001] 본 발명은, 중형 트렌치 IGBT(Insulated Gate Bipolar Transistor: 절연 게이트형 바이폴러 트랜지스터) 및 그 제조방법에 관한 것이다.

배경기술

[0002] 종래, 중형 트렌치 IGBT의 에미터층은, 불순물 주입과 열처리에 의해 형성되고 있었다. 또한, 중형 트렌치 IGBT의 셀 구조를 미세화하기 위해서는 콘택 구조를 플러그화할 필요가 있지만, 콘택 플러그가 얇은 배리어메탈을 거쳐 반도체층과 접촉하고 있었다.

[0003] 이때, 횡형 트랜지스터에 있어서, 폴리실리콘으로부터의 불순물 확산에 의해 확산층을 형성하는 것이나, 폴리실리콘 막을 반도체층과 콘택 플러그 사이에 설치하는 것이 제안되어 있다(예를 들면, 특허문헌 1~3 참조).

선행기술문헌

특허문헌

- [0004] (특허문헌 0001) 일본국 특개평 8-97226호 공보
- (특허문헌 0002) 일본국 특개평 9-246493호 공보
- (특허문헌 0003) 일본국 특개평 9-92628호 공보

발명의 내용

해결하려는 과제

- [0005] RBSOA(Reverse Biased Safe Operating Area: 역바이어스 안전 동작 영역)은, IGBT의 턴오프를 수반하는 콜렉터-에미터간 전압과 콜렉터 전류의 비파괴 동작 범위를 나타내고, 이 범위가 넓을수록 역바이어스에 대한 비파괴 성능이 높다. 따라서, RBSOA 내량을 향상시키는 것이 요망되고 있다.
- [0006] 불순물 주입과 열처리에서는 에미터층을 얇게 형성하는 것이 불가능하다. 또한, 에미터층의 폭을 그것의 깊이보다도 미세화하면 에미터층이 구 형상이 되어, 치수적으로도 특성적으로도 안정된 접합을 형성할 수 없다. 특히, 중형 트렌치 IGBT는 셀 구조(셀 피치)를 미세화하고 있어, 에미터층도 미세화하지 않으면, IGBT의 역바이어스 차단시에 에미터층의 바로 아래에서 홀이 축적되어, NPN 트랜지스터가 ON함으로써 래치업 동작에 이른다. 또한, 콘택 플러그의 저부에 응력이 집중함으로써, Si 기판 내부에 결함이 증가하여, 리크 전류가 커진다. 이 결과, RBSOA 내량이 열화한다고 하는 문제가 있었다.
- [0007] 본 발명은, 전술한 것과 같은 과제를 해결하기 위해 이루어진 것으로서, 그 목적은, RBSOA 내량을 향상시킬 수 있는 중형 트렌치 IGBT 및 그 제조방법을 얻는 것이다.

과제의 해결 수단

- [0008] 본 발명에 관한 중형 트렌치 IGBT의 제조방법은, 제1도전형의 반도체 기판 위에 제2도전형의 보디(body)층을 형성하는 공정과, 상기 보디층을 관통하는 트렌치를 형성하고, 상기 트렌치 내부에 게이트 절연막을 개재하여 트렌치 게이트를 형성하는 공정과, 상기 보디층 위에 제1도전형의 불순물을 포함하는 폴리실리콘 막을 형성하는 공정과, 상기 폴리실리콘 막으로부터 상기 보디층에 상기 제1도전형의 불순물을 확산시켜 상기 보디층 위에 제1도전형의 에미터층을 형성하는 공정과, 상기 반도체 기판의 밑면에 제2도전형의 콜렉터층을 형성하는 공정을 구비한 것을 특징으로 한다.
- [0009] 본 발명에 관한 중형 트렌치 IGBT는, 제1도전형의 반도체 기판과, 상기 반도체 기판 위에 설치된 제2도전형의 보디층과, 상기 보디층을 관통하는 트렌치 내부에 게이트 절연막을 개재하여 설치된 트렌치 게이트와, 상기 보디층 위에 설치된 제1도전형의 에미터층과, 상기 반도체 기판의 밑면에 설치된 제2도전형의 콜렉터층과, 상기 트렌치 게이트를 덮는 층간 절연막과, 상기 층간 절연막 위에 설치된 에미터 전극과, 상기 층간 절연막을 관통해서 상기 보디층 및 상기 에미터층과 상기 에미터 전극을 접속하는 콘택 플러그와, 상기 보디층 및 상기 에미터층의 적어도 한쪽과 상기 콘택 플러그 사이에 설치된 폴리실리콘 막을 구비한 것을 특징으로 한다.

발명의 효과

- [0010] 본 발명에 의해, RBSOA 내량을 향상시킬 수 있다.

도면의 간단한 설명

- [0011] 도 1은 본 발명의 실시형태 1에 관한 중형 트렌치 IGBT를 나타낸 사시도다.

도 2는 도 1의 A-A'에 따른 단면도다.

도 3은 본 발명의 실시형태 1에 관한 중형 트렌치 IGBT의 제조방법을 나타낸 단면도다.

도 4는 본 발명의 실시형태 1에 관한 중형 트렌치 IGBT의 제조방법을 나타낸 단면도다.

도 5는 본 발명의 실시형태 1에 관한 중형 트렌치 IGBT의 제조방법을 나타낸 단면도다.

도 6은 본 발명의 실시형태 1에 관한 중형 트렌치 IGBT의 제조방법을 나타낸 단면도다.

도 7은 본 발명의 실시형태 1에 관한 중형 트렌치 IGBT의 제조방법을 나타낸 단면도다.

도 8은 본 발명의 실시형태 1에 관한 중형 트렌치 IGBT의 제조방법을 나타낸 단면도다.

도 9는 본 발명의 실시형태 1에 관한 중형 트렌치 IGBT의 제조방법을 나타낸 단면도다.

도 10은 비교예에 관한 트렌치 IGBT의 제조방법을 나타낸 단면도다.

도 11은 비교예에 관한 트렌치 IGBT의 동작을 설명하기 위한 단면도다.

도 12는 본 발명의 실시형태 1에 관한 중형 트렌치 IGBT의 변형예를 나타낸 사시도다.

도 13은 도 12의 A-A'에 따른 단면도다.

도 14는 본 발명의 실시형태 2에 관한 중형 트렌치 IGBT를 나타낸 사시도다.

도 15는 도 14의 A-A'에 따른 단면도다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 발명의 실시형태에 관한 중형 트렌치 IGBT 및 그 제조방법에 대해 도면을 참조해서 설명한다. 동일 또는 대응하는 구성요소에는 동일한 부호를 붙이고, 설명의 반복을 생략하는 경우가 있다.

[0013] 실시형태 1.

[0014] 도 1은, 본 발명의 실시형태 1에 관한 중형 트렌치 IGBT를 나타낸 사시도다. 도 2는, 도 1의 A-A'에 따른 단면도다. n-형 Si 기판(1) 위에 n형 전하 축적층(2)과 p형 보디층(3)이 순서대로 설치되어 있다. 트렌치 게이트(4)가, p형 보디층(3)을 관통하는 트렌치 내부에 게이트 절연막(5)을 개재하여 설치되어 있다. 트렌치 게이트(4)는 평면에서 볼 때 스트라이프 형상으로 배치되어 있다.

[0015] p형 보디층(3) 위에 n형 에미터층(6), 및 p+형 확산층(8)이 설치되어 있다. 평면에서 볼 때, n형 에미터층(6) 및 p+형 확산층(8)은, 인접하는 트렌치 게이트(4) 사이에 있어서, 트렌치 게이트(4)의 길이 방향으로 교대로 배치되어 있다.

[0016] 트렌치 게이트(4)를 층간 절연막(9)이 덮고 있다. 층간 절연막(9) 위에 에미터 전극(10)이 설치되어 있다. 콘택 플러그(11)가 층간 절연막(9)을 관통해서 p형 보디층(3) 및 n형 에미터층(6)과 에미터 전극(10)을 접속한다. 콘택 플러그(11)는 평면에서 볼 때 트렌치 게이트(4)와 평행하게 배치되어 있다. n-형 Si 기판(1)의 밑면에 n형 버퍼층(12)과 p형 콜렉터층(13)이 순서대로 설치되어 있다. p형 콜렉터층(13)에 콜렉터 전극(14)이 접속되어 있다.

[0017] 이어서, 상기 IGBT의 제조방법을 설명한다. 도 3 내지 도 9는, 본 발명의 실시형태 1에 관한 중형 트렌치 IGBT의 제조방법을 나타낸 단면도다.

[0018] 우선, 도 3에 나타낸 것과 같이, n-형 Si 기판(1) 위에 n형 전하 축적층(2)과 p형 보디층(3)을 순서대로 형성한다. p형 보디층(3)을 관통하는 트렌치를 형성하고, 트렌치 내부에 게이트 절연막(5)을 개재하여 트렌치 게이트(4)를 형성한다. p형 보디층(3) 위에 퇴적된 막두께 500Å~2000Å의 산화막(15)에 개구(에미터층의 패턴)를 형성한다. 산화막(15) 및 개구로 노출한 p형 보디층(3) 위에, n형의 불순물을 포함하는 막두께 500Å~5000Å의 폴리실리콘 막(16)(도프트 폴리실리콘 또는 P/As 주입 폴리실리콘)을 형성한다.

[0019] 다음에, 도 4에 나타낸 것과 같이, 나중에 n형 에미터층(6)을 형성할 영역에 있어서 폴리실리콘 막(16) 위에 레지스트(17)를 사진제판처리에 의해 형성한다. 이 레지스트(17)를 마스크로 하여 폴리실리콘 막(16)을 에칭(패터닝)한다. 다음에, 도 5에 나타낸 것과 같이, 레지스트(17)를 마스크로 하여 p형 보디층(3)에 p형의 불순

물을 셀프얼라인으로 주입한다.

[0020] 다음에, 도 6 내지 도 8에 나타낸 것과 같이, 열처리를 행하여, 폴리실리콘 막(16)으로부터 p형 보디층(3)에 n형의 불순물을 확산시켜 p형 보디층(3) 위에 n형 에미터층(6)을 형성하고, p형 보디층(3)의 p형의 불순물을 주입한 영역에 p+형 확산층(8)을 형성한다. 도 6은 트렌치 길이 방향의 단면도다. 도 7은 n형 에미터층(6)에 있어서의 트렌치 수직 방향의 단면도이다. 도 8은 p+형 확산층(8)에 있어서의 트렌치 수직 방향의 단면도이다. 이때, 폴리실리콘 막(16)을 패터닝하기 전에 열처리를 행해서 n형 에미터층(6)을 형성해도 된다.

[0021] 여기에서, 폴리실리콘 막(16)으로부터의 불순물의 확산은 그레이н 경계로부터의 확산이 지배적이기 때문에, 도 9에 나타낸 것과 같이 폴리실리콘 막(16)의 그레이н 사이즈를 n형 에미터층(6)의 폭보다 작게 한다. 이에 따라, n형 에미터층(6)의 농도와 깊이가 안정된다. 또한, p형 보디층(3)과 폴리실리콘 막(16) 사이에 자연 산화막(18)이 형성되어 있다. 이에 따라, n형 에미터층(6)의 깊이를 제어할 수 있다.

[0022] 그후, n-형 Si 기판(1)의 밑면에 n형 버퍼층, p형 콜렉터층(13), 및 콜렉터 전극(14)을 형성한다. 이상의 공정에 의해 본 실시형태에 관한 중형 트랜치 IGBT가 제조된다.

[0023] 이어서, 본 실시형태의 효과를 비교예와 비교해서 설명한다. 도 10은, 비교예에 관한 트랜치 IGBT의 제조방법을 나타낸 단면도다. 도 11은, 비교예에 관한 트랜치 IGBT의 동작을 설명하기 위한 단면도다. 비교예에서는, 불순물의 주입과 열처리에 의해 n+형 에미터층(19)을 형성하기 때문에, n+형 에미터층(19)을 얇게 형성할 수 없다. 이 때문에, IGBT의 역바이어스 차단시에 n+형 에미터층(19)의 바로 아래에 홀이 축적되어, NPN 트랜지스터가 ON함으로써 래치업 동작에 이른다.

[0024] 한편, 본 실시형태에서는, 폴리실리콘 막(16)으로부터의 불순물 확산에 의해, 극히 얇고 미세한 n형 에미터층(6)을 형성할 수 있다. 따라서, IGBT의 역바이어스 차단시에 n형 에미터층(6)의 바로 아래에 홀이 축적되지 않아, 오프시의 래치업의 문제는 발생하지 않는다. 따라서, RBSOA 내량을 향상시킬 수 있다.

[0025] 또한, n형 에미터층(6)과 p+형 확산층(8)을 셀프얼라인으로 형성함으로써, 양자의 중첩을 고정밀도화할 수 있다. 이에 따라, 양자의 접합의 격차가 작아짐으로써 전류 격차가 작아지고 RBSOA 내량도 안정화된다.

[0026] 도 12는, 본 발명의 실시형태 1에 관한 중형 트랜치 IGBT의 변형예를 나타낸 사시도다. 도 13은, 도 12의 A-A'에 따른 단면도이다. 이 변형예에서는, 에미터층이 n형 에미터층(6)과 n+형 에미터층(7)으로 나뉘어 있다. n형 에미터층(6)은 트렌치 게이트(4)의 근방에 형성된 진성 에미터층이고, n+형 에미터층(7)층은 진성 에미터층을 외부로 인출하는 외부 에미터층이다. 이 경우에도 실시형태 1의 효과를 얻을 수 있다. 또한, 폴리실리콘 막으로부터의 불순물 확산에 의해 n형 에미터층(6)과 n+형 에미터층(7)을 각각 개별적으로 형성하면, MOS(Metal Oxide Semiconductor) 특성을 개별적으로 제어할 수 있다.

[0027] 실시형태 2.

[0028] 도 14는, 본 발명의 실시형태 2에 관한 중형 트랜치 IGBT를 나타낸 사시도다. 도 15는, 도 14의 A-A'에 따른 단면도이다. 막두께 500Å~5000Å의 폴리실리콘 막(20)이, p형 보디층(3) 및 n형 에미터층(6)과 콘택 플러그(11) 사이에 설치되어 있다.

[0029] 이 폴리실리콘 막(20)에 의해, 미세 셀에 있어서 트렌치 게이트(4)와 콘택 플러그(11)에 의한 응력을 저감할 수 있다. 이에 따라, Si 기판 내부에의 결함의 증식을 억제할 수 있다. 이 결과, 접합의 리크 전류가 작아지기 때문에, RBSOA 내량을 향상시킬 수 있다.

[0030] 이때, 실시형태 1, 2에 있어서, 폴리실리콘 막 16, 20을, 트렌치 게이트(4)를 구성하는 폴리실리콘이나, Poly-Poly 용량의 전극(21)을 구성하는 폴리실리콘이나, 폴리실리콘 저항(22) 등과 동시에 형성하는 것이 바람직하다. 이에 따라, 공정수를 삭감할 수 있다.

[0031] 또한, 중형 트랜치 IGBT는, 규소에 의해 형성된 것에 한정되지 않고, 규소에 비해 밴드갭이 큰 와이드 밴드갭 반도체에 의해 형성된 것이어도 된다. 와이드 밴드갭 반도체는, 예를 들면, 탄화 규소, 질화 갈륨계 재료, 또는 다이아몬드이다. 이와 같은 와이드 밴드갭 반도체에 의해 형성된 중형 트랜치 IGBT는, 내전압성이나 허용 전류밀도가 높기 때문에, 소형화할 수 있다. 이 소형화된 소자를 사용함으로써, 이 소자를 짜넣은 반도체 모듈도 소형화할 수 있다. 또한, 소자의 내열성이 높기 때문에, 히트싱크의 방열 핀을 소형화할 수 있어, 수냉부를 공냉화할 수 있으므로, 반도체 모듈을 더욱 소형화할 수 있다. 또한, 소자의 전력손실이 낮고 고효율이기

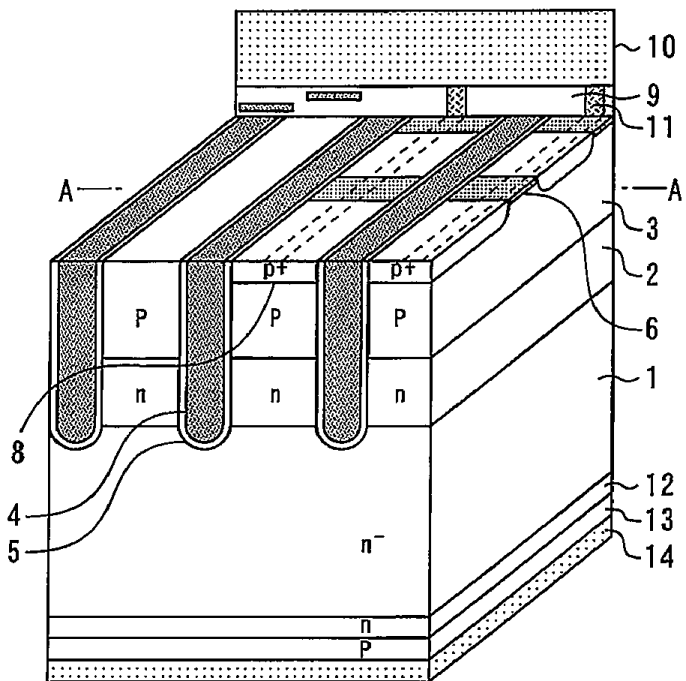
때문에, 반도체 모듈을 고효율화할 수 있다.

부호의 설명

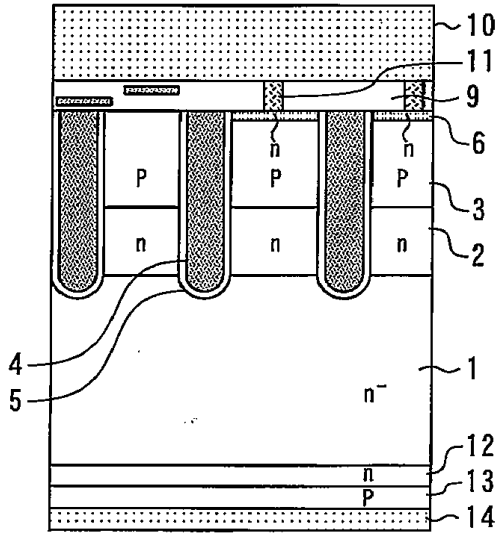
- [0032] 1 n-형 Si 기판(반도체 기판)
- 3 p형 보디층(보디층)
- 4 트렌치 게이트
- 5 게이트 절연막
- 6 n형 에미터층(에미터층, 진성 에미터층)
- 7 n+형 에미터층(에미터층, 외부 에미터층)
- 8 p+형 확산층(확산층)
- 9 층간 절연막
- 10 에미터 전극
- 11 콘택 플러그
- 13 p형 콜렉터층(콜렉터층)
- 16, 20 폴리실리콘 막
- 17 레지스트
- 18 자연 산화막
- 21 용량의 전극
- 22 폴리실리콘 저항

도면

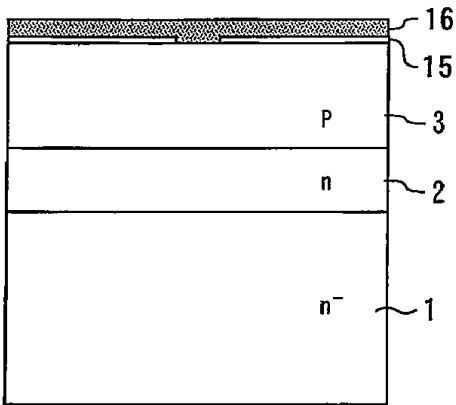
도면1



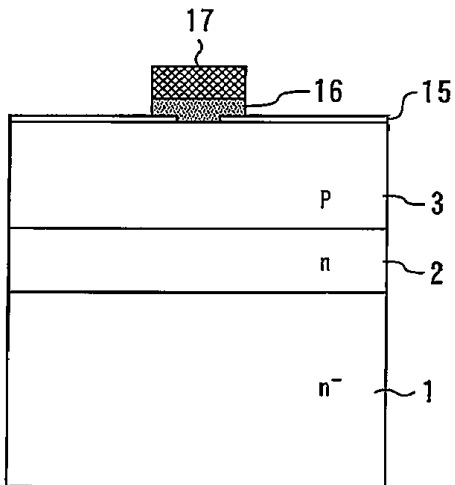
도면2



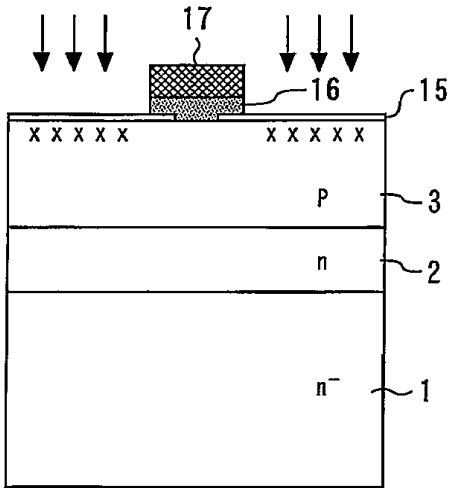
도면3



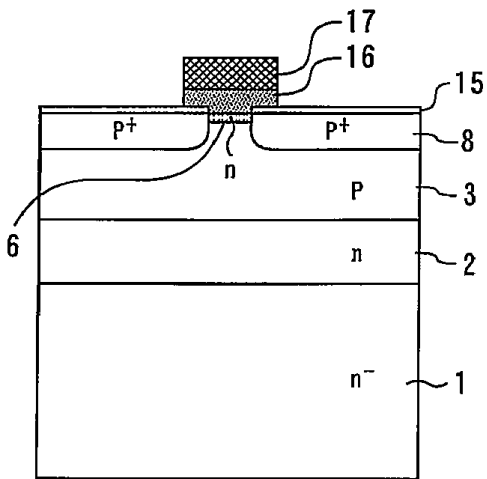
도면4



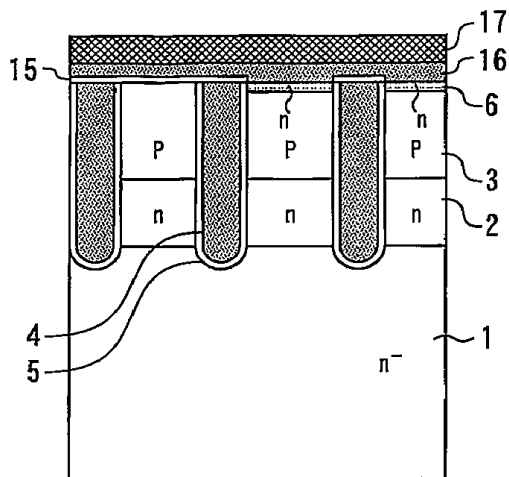
도면5



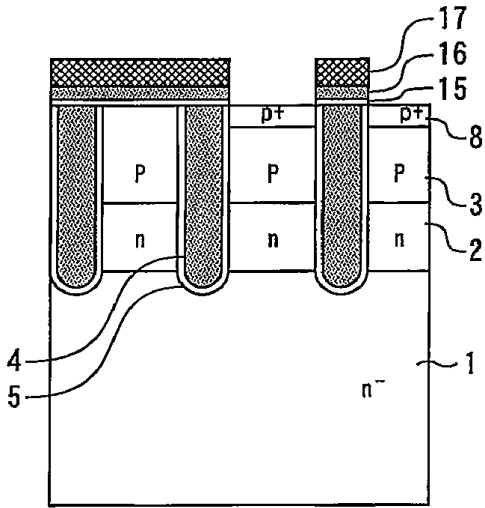
도면6



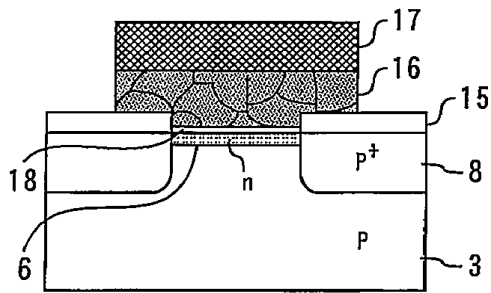
도면7



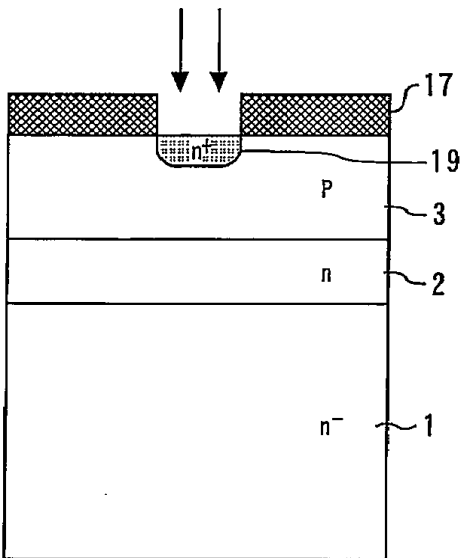
도면8



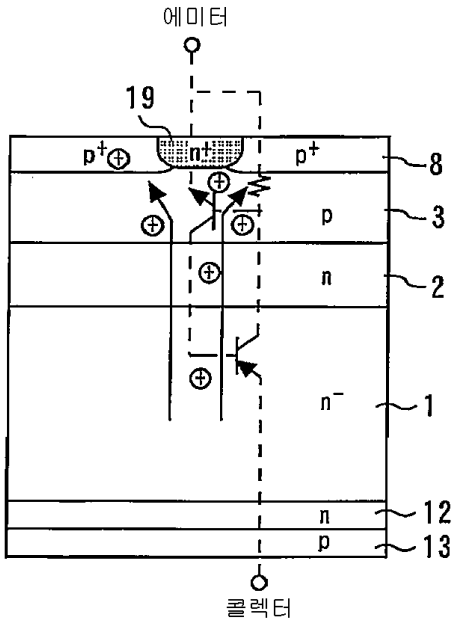
도면9



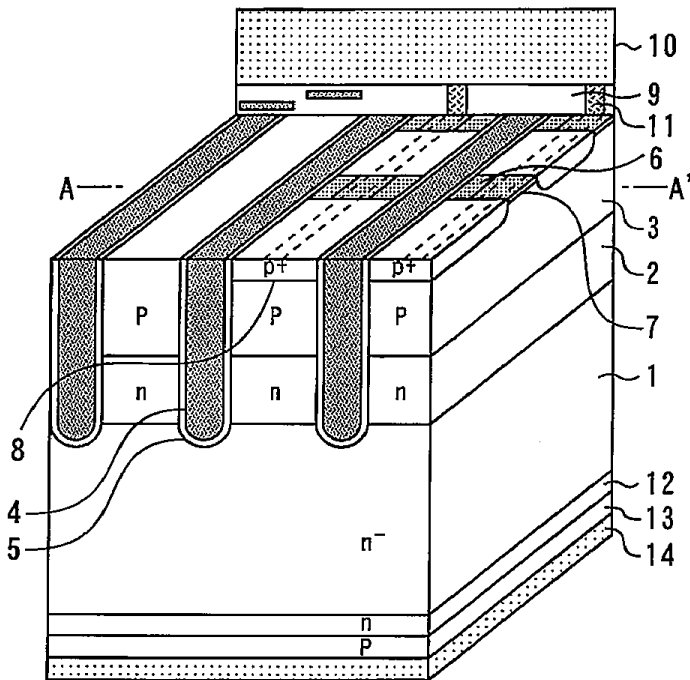
도면10



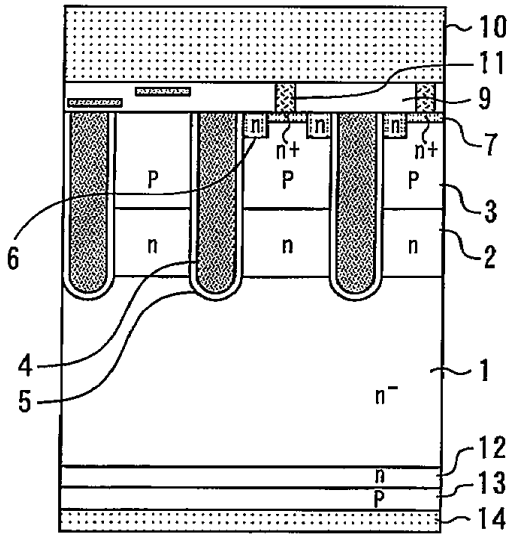
도면11



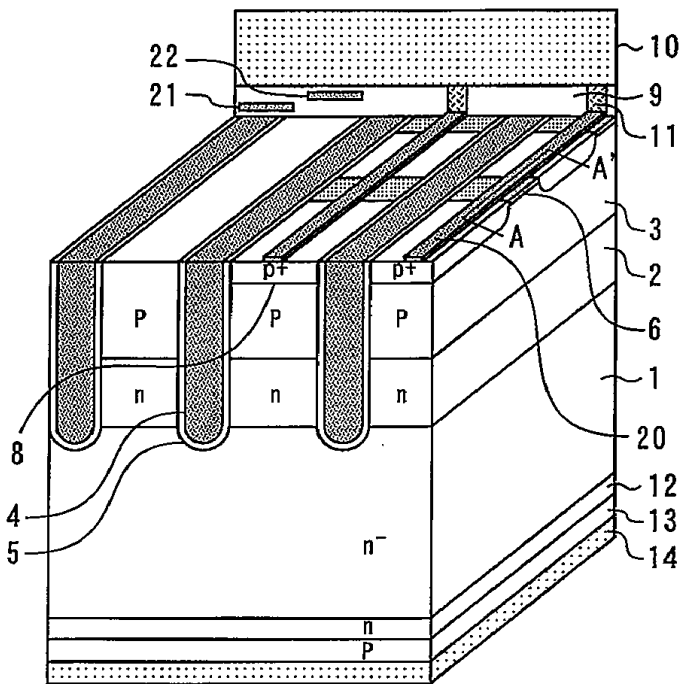
도면12



도면13



도면14



도면15

