

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 29/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 02810569.9

[45] 授权公告日 2007 年 3 月 28 日

[11] 授权公告号 CN 1307723C

[22] 申请日 2002.5.22 [21] 申请号 02810569.9

[30] 优先权

[32] 2001. 5. 22 [33] US [31] 09/862,664

[86] 国际申请 PCT/US2002/016241 2002. 5. 22

[87] 国际公布 WO2002/095831 英 2002. 11. 28

[85] 进入国家阶段日期 2003. 11. 24

[73] 专利权人 通用半导体公司

地址 美国纽约

[72] 发明人 威廉 G·艾因特霉芬

劳伦斯·拉泰尔扎 加里·霉斯曼

杰克·恩格 丹尼·加尔比斯

[56] 参考文献

US523214A 1993. 8. 3

US6069043A 2000. 5. 30

US4027324A 1977. 5. 31

审查员 刘丽伟

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 张天舒 关兆辉

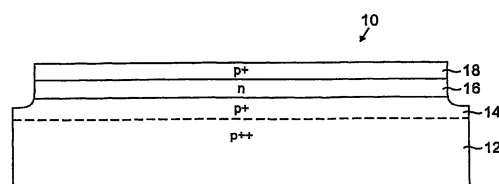
权利要求书 4 页 说明书 15 页 附图 8 页

[54] 发明名称

低电压穿通双向瞬态电压抑制器件以及制作
该器件的方法

[57] 摘要

提供一种具有对称电流 - 电压特性的双向瞬态电压抑制器件。该器件包括：一个第一导电类型的下半导体层(14)；一个第一导电类型的上半导体层(18)；和一个与上下层相邻并置于上述两个层之间的中间半导体层(16)，该中间层具有与第一导电类型相反的第二导电类型，这样形成上下 p - n 结。在该器件中，中间层具有一个净掺杂浓度，其在结之间的中点最大。



1. 一种双向瞬态电压抑制器件，包括：

一个第一导电类型的下半导体层；

一个所述第一导电类型的上半导体层；和

一个与所述上下层相邻并淀积于上述两个层之间的中间半导体层，所述中间层具有与第一导电类型相反的第二导电类型，这样形成上下 p-n 结；

其中所述中间层具有一个净掺杂浓度，其在所述结之间的中点最大，

其中一条沿着正交于所述下、中间和上层的线的掺杂轮廓是这样的，以使在所述中间层内，所述中间层中心面的一面上的掺杂轮廓对称于中心面反面的掺杂轮廓，并且

其中该中间层的净掺杂浓度在结间距离上的积分是这样，以使当发生击穿时，是穿通击穿，而不是雪崩击穿，

其中所述第一导电类型是 p 型导电体，并且所述第二导电类型是 n 型导电体，

并且进一步包括一个 p++ 半导体衬底，其中所述下层是一个淀积于所述 p++ 衬底上的第一外延 p+ 层，其中所述中间层是一个淀积于所述第一外延 p+ 层上的外延 n 层，其中所述上层是一个淀积于所述外延 n 层上的第二外延 p+ 层，并且其中所述第一和第二外延 p+ 层的每个的峰值净掺杂浓度是所述外延 n 层的峰值掺杂浓度的 5 到 20 倍之间。

2. 如权利要求 1 所述的双向瞬态电压抑制器件，其中该外延 n 层的峰值净掺杂浓度在 $2 \times 10^{16} \text{cm}^{-3}$ 到 $2 \times 10^{17} \text{cm}^{-3}$ 之间。

3. 如权利要求 2 所述的双向瞬态电压抑制器件，其中该第一和第二外延 p+ 层的峰值净掺杂浓度范围在 $2 \times 10^{17} \text{cm}^{-3}$ 到 $2 \times 10^{18} \text{cm}^{-3}$ 之间。

4. 如权利要求 2 所述的双向瞬态电压抑制器件，其中上下结之间的距离在从 0.2 到 1.5 微米范围之间。

5. 如权利要求 2 所述的双向瞬态电压抑制器件，其中所述积分在 $2 \times 10^{12} \text{cm}^{-3}$ 到 $1 \times 10^{13} \text{cm}^{-2}$ 之间。

6. 如权利要求 1 所述的双向瞬态电压抑制器件，其中所述第一和第二外延 p+层被制造为具有厚度，以使得电流更均匀地分布于在整个所述器件。

7. 如权利要求 1 所述的双向瞬态电压抑制器件，其中选择少子寿命，穿通击穿电压和理论的雪崩击穿电压以产生一个具有补偿在接通状态该器件的正动态电阻的一部分的负动态电阻 V_{ceo} 。

8. 如权利要求 1 所述的双向瞬态电压抑制器件，进一步包括一个在所述第二外延 p+层的上表面形成的 p++欧姆接点。

9. 如权利要求 1 所述的双向瞬态电压抑制器件，其中磷被用作 n 型掺杂剂，并且硼被用作 p 型掺杂剂。

10. 一种双向瞬态电压抑制器件，包括：

一个第一导电类型的下半导体层；

一个所述第一导电类型的上半导体层；和

一个与所述上下层相邻并淀积于上述两个层之间的中间半导体层，所述中间层具有与第一导电类型相反的第二导电类型，这样形成上下 p-n 结；

其中所述中间层具有一个净掺杂浓度，其在所述结之间的中点最大，

其中一条沿着正交于所述下、中间和上层的线的掺杂轮廓是这样，以使在所述中间层内，所述中间层中心面的一面上的掺杂轮廓对称于

中心面对面的掺杂轮廓，并且

其中该中间层的净掺杂浓度在结间距离上的积分是这样的，以便当发生击穿时，其是穿通击穿，而不是雪崩击穿，

其中所述第一导电类型是 n 型导电体，并且所述第二导电类型是 p 型导电体，

并且进一步包括一个 n++半导体衬底，其中所述下层是一个淀积于所述 n++衬底上的第一外延 n+层，其中所述中间层是一个淀积于所述第一外延 n+层上的外延 p 层，并且其中所述上层是一个淀积于所述外延 p 层上的第二外延 n+层。

11. 一种制作双向瞬态电压抑制器件的方法，包括：

提供一个第一导电类型的半导体衬底；

在所述衬底上布置一个所述第一导电类型的下外延层；

在所述下外延层上布置一个具有与所述第一导电类型相反的第二导电类型的中间外延层，所述下层和所述中间层形成一个下 p-n 结；

在所述中间外延层上布置一个所述第一导电类型的上外延层，所述中间层和所述上层形成一个上 p-n 结；以及

加热所述衬底，所述下外延层，所述中间外延层和所述上外延层，以使：(a) 为所述中间层提供一个净载流子浓度，其在所述结之间的中点最高，(b) 形成一条沿着正交于下、中和上外延层的线的掺杂轮廓，其中在所述中间层和所述下上层的至少一部分内，中间层中心面的一面上的掺杂轮廓对称于中心面的对面的掺杂轮廓，以及 (c) 该中间层的净掺杂浓度在结间距离上的积分是这样的，以便当发生击穿时，其是穿通击穿，而不是雪崩击穿。

12. 如权利要求 11 所述的方法，其中所述第一导电类型是 p 型导电体，而所述第二导电类型是 n 型导电体。

13. 如权利要求 12 所述的方法，其中所述衬底是一个 p++半导体衬底，其中所述下层是一个 p+外延层，其中所述中间层是一个 n 外延

层，其中所述上层是一个 p+外延层，并且其中在下和上 p+外延层的每个的峰值净掺杂浓度是该 n 外延层的峰值掺杂浓度的 5 到 20 倍之间。

14. 如权利要求 13 所述的方法，其中该 n 外延层的峰值净掺杂浓度在 $2 \times 10^{16} \text{cm}^{-3}$ 到 $2 \times 10^{17} \text{cm}^{-3}$ 之间。

15. 如权利要求 13 所述的方法，其中该 n 外延层生长到 1 到 4 微米之间的一个厚度，并且其中结间的距离在加热后在从 0.2 到 1.5 微米范围之间。

16. 如权利要求 13 所述的方法，其中所述积分在 $2 \times 10^{12} \text{cm}^{-3}$ 到 $1 \times 10^{13} \text{cm}^{-2}$ 之间。

17. 如权利要求 13 所述的方法，其中淀积的上 p+外延层掺杂浓度比淀积的下 p+外延层掺杂小 1%到 8%之间。

18. 如权利要求 11 的方法，其中所述第一导电类型是 n 型导电体，并且所述第二导电类型是 p 型导电体。

19. 如权利要求 18 所述的方法，其中所述衬底是一个 n++半导体衬底，其中所述下层是一个 n+外延层，其中所述中间层是一个 p 外延层，其中所述上层是一个 n+外延层。

低电压穿通双向瞬态电压抑制器件以及制作该器件的方法

技术领域

本发明涉及半导体器件。更特别地，本发明涉及具有对称电流-电压特性的双向瞬态电压抑制器件。

背景技术

被设计工作在低电源电压的电子电路在电子工业中是常用的。当前的趋势是要求电路工作电压减小而电路能够承受的最大电压相应减小时，电路不产生损坏。而由静电放电引起的过压状态，电感耦合尖峰，或其他瞬变状态会引起这样的损坏。因此，目前存在对具有例如在 3-6 伏电压范围中的低击穿电压的瞬变状态抑制器的需要。

一种用于过压保护的常规器件是反向偏压的 $p+n+$ 齐纳二极管。这些器件在高电压工作良好，但是在低压会遇到问题，特别是较大的漏电电流和高电容。例如，当击穿电压从 12 伏降到 6.8 伏时，这些器件的漏电电流会从大约 $1\mu A$ 剧增到大约 $1mA$ 。

针对这些问题，已经发展了低电压击穿瞬态电压抑制器。特别，如在授予 Semtech Corporation 的美国专利第 5,880,511 号中所看到的，其完整公开通过参考被包含与此，描述了一种包括一个 $n+p-p+n+$ 穿通二极管的瞬态抑制器。这样的器件具有低击穿电压，同时具有优于某些现有技术的瞬态抑制器的漏电和电容特性。与例如基于雪崩击穿提供过压保护（即，由导致载流子倍增的碰撞电离引起的击穿）的齐纳二极管形成对比，这些器件由于穿通而提供过压保护。（参照一个晶体管可以容易地说明穿通。对于一个晶体管，当耗尽区变得与晶体管的基底一样宽时发生穿通。典型地，当晶体管集电结的耗尽区在低于集电结的雪崩击穿电压的电压延伸到基底层相反方的发射结时，

在一个双极型晶体管中发生穿通。)US 专利第 5,880,511 号的 n+p-p+n+器件还声称优于其它瞬态电压抑制器件,尤其是 n+pn+均匀基底穿通器件,其声称在很高的电流下经受不良夹断特性。可惜, n+p-p+n+器件,如在 US 专利第 5,880,511 号所描述的那样具有不对称的电流-电压特性。因此,为了制作双向瞬态电压抑制器, Semtech 建议一种两个他们的瞬态电压抑制器反向并联的电路。显而易见,这种安排增加了费用,因为它要求多于一个的器件来实现它的预定功能。

发明内容

根据本发明的一个实施例,提供一种具有对称电流-电压特性的双向瞬态电压抑制器件。该器件包括:(a)一个第一导电类型的下半导体层;(b)一个第一导电类型的上半导体层;和(c)一个与上下层相邻并置于上述两个层之间的中间半导体层。在该器件中,该中间层具有与第一导电类型相反的第二导电类型,这样形成上下 p-n 结。此外,中间层具有一个净掺杂浓度,其在结间的中点最大。另外,沿着一条正交于下、中间和上层的线的掺杂轮廓如是这样的,以便在下、中和上层内,在中间层中心面的一面上的掺杂轮廓对称于中心面的相对面的掺杂轮廓。此外,中间层的净掺杂浓度在结间距离上的积分是这样的,以便当发生击穿时,其是穿通击穿,而不是雪崩击穿。

优选的,第一导电类型是 p-型导电体,并且第二导电类型是 n 型导电体。磷优选的被用作 n 型掺杂剂,并且硼被用作 p 型掺杂剂。更好地,双向瞬态电压抑制器件包括:一个 p++半导体衬底,一个淀积于 p++衬底上的第一外延 p+层,一个淀积于第一外延 p+层上的外延 n 层,和一个淀积于外延 n 层上的第二外延 p+层。在第二外延 p+层的上表面典型地形成一个 p++欧姆接点。

还有,优选的,第一和第二外延 p+层的每个的峰值净掺杂浓度是外延 n 掺杂层的峰值净掺杂浓度的 5 到 20 倍之间。更好地,外延 n 掺杂层的峰值净掺杂浓度是从 $2 \times 10^{16} \text{cm}^{-3}$ 到 $2 \times 10^{17} \text{cm}^{-3}$ 之间。第一和

第二外延 p+层的峰值净掺杂浓度是从 $2 \times 10^{17} \text{cm}^{-3}$ 到 $2 \times 10^{18} \text{cm}^{-3}$ 之间。中间层净掺杂浓度在结间距离上的积分优选的是从 $2 \times 10^{12} \text{cm}^{-3}$ 到 $1 \times 10^{13} \text{cm}^{-2}$ 范围之间。上下结之间的最佳距离在从 0.2 到 1.5 微米之间。

第一和第二外延 p+层优选的足够厚以更均匀地在整个器件中分布电流。优选的选择少数(minority)寿命、穿通击穿电压和理论的雪崩击穿电压以产生一个具有补偿在接通状态该器件的正动态电阻至少一部分的负动态电阻的 V_{ce0} (即, 基极开路的集电极-发射极电压)。

与前面相反, 在本发明的某些实施例中, 第一导电类型是 n 型导电, 并且第二导电类型是 p 型导电。在这些实施例中, 双向瞬态电压抑制器件优选的包括一个 n++半导体衬底, 一个淀积于 n++衬底上的第一外延 n+层, 一个淀积于第一外延 n+层上的外延 p 层, 和一个淀积于外延 p 层上的第二外延 n+层。

根据本发明的进一步实施例, 提供一种制作一个双向瞬态电压抑制器件的方法。该方法包括以下: (a) 提供一个第一导电类型的半导体衬底; (b) 在该衬底上淀积一个第一导电类型的下外延层; (c) 在下外延层上淀积一个具有与第一导电类型相反的第二导电类型的中间外延层, 以使下层和中间层形成一个下 p-n 结; (d) 在中间外延层上淀积一个第一导电类型的上外延层, 以使中间层和上层形成一个上 p-n 结; 以及 (e) 加热衬底, 下外延层, 中间外延层和下外延层。执行上面的程序以便: (a) 为中间层提供一个净载流子浓度, 其在结间的中点最高, (b) 建立一个沿着正交于下、中和上外延层的线的掺杂轮廓, 其中在下、中间和上层内, 在中间层中心面的一面上的掺杂轮廓对称于中心面的相反面的掺杂轮廓, 以及 (c) 中间层的净掺杂浓度在结间距离上的积分如此以便发生击穿时, 击穿是穿通击穿, 而不是雪崩击穿。

优选的，在加热后， n 外延层厚度从 1 生长到 4 微米，并且结间的距离从 0.2 生长到 1.5 微米。此外，在淀积时，上 p^+ 外延层的掺杂浓度优选的比淀积时下 p^+ 外延层小 1% 和 8% 之间。

本发明的一个优点是提供一种具有低漏电电流的低电压双向瞬态电压抑制器。

本发明的一个进一步的优点是提供一种具有比有同样击穿电压的齐纳瞬态电压抑制器件更低电容的低电压双向瞬态电压抑制器。

本发明的又一个优点是提供一种具有对称电流-电压特性的低电压双向瞬态电压抑制器。这与例如 US 专利第 5,880,511 号所描述的 $n^+p-p^+n^+$ 器件相反。

本发明的又一个优点是提供一种具有可接受的高电流夹断特性的低电压双向瞬态电压抑制器。更特别地，如上所述，US 专利第 5,880,511 号阐述在高电流时 n^+pn^+ 均匀衬底穿通器件会遭受高电流的不良夹断特性。一个具有均匀载流子浓度的基底在低于大多数其他结构的温度确实有变成本征温度的危险。高温保护是重要的，例如，在功率波动时，结边缘的区域在几毫秒内会升高几百摄氏度。一个具有一个高掺杂部分和一个低掺杂部分的基底将会比一个中度掺杂浓度的均匀掺杂基底工作更好。一种方法是淀积一个高掺杂部分在基底的一面上，如 US 专利第 5,880,511 号所建议的。然而，本发明的器件通过高掺杂部分淀积在基底的中心采用另一种方法。以这种方式，本发明的器件不放弃电流-电压的对称，同时能够提供一种具有高于在均匀基底器件中所发现的峰值掺杂浓度（因此本征温度更高）的基底。

虽然在本发明的优选实施例中通过一个单独的外延层实现一种具有这些特性的基底，但是也可用其他的选择。例如设想一个包括三个外延子层的基底层，三个子层的每个都有均一的浓度。例如，这样一

个器件的中心基底子层可能占用大约整个基底宽度 10%，并且具有十倍于外基底子层的浓度，外子层等分基底宽度的剩余部分。

本发明的另一个优点是提供一种低电压双向瞬态电压抑制器，其提供保护免于表面击穿。在本发明的该穿通器件中，这意味着确保耗尽层在体内延伸到相反的结之前，不会在表面上延伸到相反的结。

本发明的这些和其他优点对于本领域普通技术人员在看到下面的公开和权利要求会更显而易见。

附图说明

图 1 是一个用于根据本发明的一个实施例的低电压双向瞬态电压抑制器的三层外延结构的横截面图（没有按规定比例）。

图 2 是一个根据在形成台面晶体管结构后的图 1 的三层外延结构的横截面图（没有按规定比例）。

图 3 是一个作为在外延层生长后根据本发明的结构的厚度函数的受主（硼）浓度（由菱形表示）和净施主浓度（由方形表示）曲线图。

图 4 是图 3 一部分的放大图（具有大于 10 倍放大的垂直刻度）。在图 4 中，受主（硼）浓度由菱形表示，施主（磷）浓度由方形表示，并且净施主（施主-受主）浓度由三角形表示。

图 5 说明作为硼和磷原子一定数量的扩散后图 4 的器件的厚度函数的受主（硼）浓度（由菱形表示），施主（磷）浓度（由方形表示），和净施主浓度（由三角形表示）。

图 6，如图 2，是根据本发明一个实施例的三外延结构的横截面图（没有按规定比例），但是设置有一个二氧化硅侧壁。

图 7 是图 6 的区域 A 的放大图（没有按规定比例），说明结如何远离彼此远离。

图 8A-8C 是说明用于制作根据本发明的一个实施例的具有一个二氧化硅侧壁的三层外延器件的过程的横截面图（没有按照规定比例）。

图 9A 和 9B 是说明本发明的一个双向瞬态电压抑制器件（曲线 b）

和一个商业可用的双向瞬态抑制器（曲线 a）的双向击穿特性的电流-电压图形。图 9A 中，电流刻度是每格 2mA。图 9B 中，垂直（电流）刻度是每格 200 μ A。

具体实施方式

本领域普通技术人员应该认识到本发明下面的描述仅只是说明而并不以任何方式限制。本发明的其它实施例对于这样的技术人员将很容易想到。

先参照图 1，根据本发明的一种 p++p+np+三层外延穿通双向瞬态电压抑制器 10 在横截面图中示意地表示。本发明的该器件在一个 p++半导体基底 12 上形成。在 p++基底上外延生长了三个区域，优选的以连续的过程。首先在 p++区 12 的上表面上形成一个第一外延 p+区 14。接着在 p+区 14 的上表面上形成一个外延 n 区 16，在 n 区 16 的上表面形成一个第二外延 p+区 18。在 p+区 18 的上表面上典型地提供一个 p++欧姆接点（未示出）。这样的器件包含两个结：（1）在外延生长 p+区 14 和外延生长 n+区 16 的界面形成的结，和（2）在外延生长 n 区 16 和外延生长 p+区 18 的界面形成的结。

如图 2 中所示的，为图 1 的双向瞬态电压抑制器 10 典型地提供有用于结终端的台面晶体管结构。

由于几个理由，一种如图 1 和 2 中所示的结构是有益的。首先，由于外延层可以从同一原料上以一种连续的过程生长，在 n 层的两个面上的 p+电阻系数可以匹配达到一个比如果第一 p+层被一个具有同样电阻系数的 p+基底正式代替的情况高得多的精确度。因此，可以这样为一个带有三层外延配置的两个结建立一个更对称的击穿电压。如下面进一步讨论的，实验结果已经证实，对于这样的器件击穿电压非常对称，在 1.0mA 上正向和反向击穿电压之间只有小于 2%的差。相应地，应该注意 US 专利第 5,880,511 号的 n+p-p+n+器件的 p-n 结不

具有这样的基底和周围区域的对称，因此该器件具有非对称击穿电压。

结合本发明还设想一种 $n^{++}n+pn^{+}$ 三层外延穿通双向瞬态电压抑制器。然而，由于下面的原因 $pn^{+}p$ 型器件比 npn 型器件更好：（1）一种 n 基底具有一个最大电阻系数作为在比一个具有同样掺杂浓度的 p 基底所观察到的更高温度所发生的温度函数。因此，一个 n 基底热点形成到来的温度比一个 p 基底更高。（2）在 $pn^{+}p$ 型器件的 n 基底之外的 p 层可以比 npn 型器件的 p 基底之外的 n 层掺杂更重，同时具有同样的分布电阻。（3）如在下面更详细的讨论，一种生长氧化物的表面钝化将只为 $pn^{+}p$ 型瞬态电压抑制器件工作，而不为 npn 型器件工作。

现在对照图 2，与底部生长的 p^{+} 区 14 相关的击穿电压通常比与上部生长的 p^{+} 区 18 相关的击穿电压更高（典型地大约高出 2%），大部分归因于在 n 区 16 的生长期间从 p^{+} 区 14 到 n 区 16 发生的扩散。因此，如果需要，可以调整 p^{+} 区 18 的掺杂水平以补偿该结果。例如，可以减小大约 2% 的掺杂水平以在与两个 p 层相关的击穿电压之间得到一个相对良好的匹配。

通常，为了得到想要的结果，在进一步的过程中热处理应该一批一批保持固定。例如，在高温的进一步扩散导致减小 n 区 16 宽度和降低穿通击穿。因此，对于一个可再生产的大规模生产过程，扩散数量可以保持固定在一个比与标准二极管相关的扩散数量更小的容限内。

如前面所指出的，雪崩击穿由碰撞电离引起，其导致载流子倍增。另一方面，穿通由本发明的器件的一个结的耗尽区延伸到相反的正向偏压结引起。对于一个给定的击穿电压，通常与穿通相关的耗尽区比与雪崩击穿相关的耗尽区更宽。在这种情况下，穿通期望具有比与雪崩击穿相联系的更小的电容，更小的隧道效应，和更小的漏电电流。

因此，对于本发明的目的，需要提供一种器件，其中 p-n 结的理论雪崩击穿电压（在这种情况下，是由一个 n++区域代替第二 p 区域时的雪崩击穿电压）比穿通击穿发生的电压更大。

一个 6.8 伏的雪崩击穿电压通常与一个大约 0.2 微米的耗尽层厚度相关联。此外，一个 0.4 微米的耗尽层厚度与大约 12 伏的雪崩击穿电压相联系，同样地与低漏电电流相联系。根据本发明的一个优选实施例，使用该厚度作为一个准则，该 n 外延区宽度优选的是大约或大于大约 0.4 微米的厚度。（如果不可能，例如对于大约 2 伏的非常低的电压，在这种条件下宽度应该尽可能宽。）该区域的电阻系数优选的是大约 0.3 到 0.08ohm-cm。选择这种条件以使雪崩击穿电压大于穿通击穿电压。因此，避免雪崩击穿。

由于外延生长对于更厚的层更可再生产，n 外延层 16 优选的生长到一个大于前面所讨论的厚度，更好是 1 到 4 微米，优选的是大约 2 微米。在下面过程中的扩散（随着第二 p+区 18 的外延生长开始并随着后续的过程继续）将缩窄外延层 16 的 n 区厚度，并将降低生长在两个 p-n 结的两侧的掺杂（例如，比较在下面讨论的图 4 和 5）。如果需要，在热处理最后阶段之后可以测试晶片。如果击穿电压要够高，晶片可以返回到高温条件用于更多扩散。在扩散后，优选的 n 区宽度是 0.2 到 1.5 微米，更好地大约 0.4 微米。在外延生长期间 n 区典型地被掺杂到大约 2×10^{16} 到大约 2×10^{17} atoms/cm³。通常，在扩散后，较好的 n 区净掺杂浓度乘它的厚度的乘积，并且更好地净掺杂浓度在厚度上的积分是在大约 2×10^{12} 到 2×10^{13} atoms/cm³ 数量级。

为了保证 p 型掺杂剂的净扩散从 p+区 14, 18 进入 n 区 16，这导致一个更窄的 n 区 16，p+层被掺杂到比 n 区 16 更高的水平。作为特殊的例子，应该注意硼（一种 p 型掺杂剂）和磷（一种 n 型掺杂剂）具有同等的扩散率。因此，相对于磷，硼的更高浓度将导致一个变窄的 n 区 16，反之亦然。由于在处理期间掺杂水平的变化，为了保证 n

区 16 的可再生变窄, p+区 14、18 的掺杂水平优选的大约比 n 区 16 高十倍。

另一方面, 由于 p+区 14、18 提供一个分布的电阻, 它将与本地化的电流浓度相反, 阻止, 或至少延迟热点形成, p 区 14、18 的电阻系数应该不太低 (因而掺杂浓度应该不太高)。因此, 优选的, 选择掺杂浓度以提供 p+区中的电阻系数在大约 0.02 到 0.2 ohm-cm。典型地, 这相应于在外延生长期间 2×10^{17} 到大约 2×10^{18} atoms/cm³ 的掺杂水平。这两个 p+区的厚度可以被调整以提供想要的全部电阻。典型的厚度是 10 到 50 微米。

图 3 是一个作为对于外延生长后根据本发明最早测试的三外延层 p++p+np+器件的厚度的函数的计算机模拟的硼 (受主) 和磷 (施主) 的浓度图。在确定最佳数量之前执行最早的测试, 所以在图形中 n 和 p+层的浓度比当前的最佳结构更低。但是, 这些数量对于构成工作器件足够了。p++区在图形的右手边。在 p++区中的峰值受主浓度是 2×10^{19} cm⁻³, 在 p+区中的峰值受主浓度是 2×10^{16} cm⁻³, 而在 n 区中的峰值受主浓度是 2×10^{15} cm⁻³。图 4 代表图 3 的 n 区附近轮廓的放大并且说明了磷 (施主) 浓度, 硼 (受主) 浓度和净施主 (施主减受主) 浓度。图 5 表示扩散后的同样区域。注意, 基底区域 (即, 具有净掺杂浓度的区域) 尺寸从 2 微米减小到大约 1.6 微米。此外, 还示出了扩散前具有净施主浓度的基底区域的相邻区域在扩散后量级上具有比扩散之前的净施主浓度更大的净受主浓度。

如果没有采用预防性步骤, 台面沟槽侧壁中的硅表面的贯通 (表面击穿) 会在体内贯通之前发生。这里的“表面”, 一个没有 1 微米宽的环, 具有一个大约比器件的体范围更小的范围级。表面贯通导致表面区域中的热量的实质损耗, 由于热点形成导致了器件在低能量毁坏。

美国专利第 4,980,315 号, 其全部公开通过参考被结合于此, 描述了一个过程, 其中一个具有相对高浓度的 n 层扩散到具有相对低浓度的 p 晶片中。接着, 晶片被蚀刻以产生多个台面晶体管半导体结构, 每个具有一个与台面晶体管半导体的一个侧壁相交的 p-n 结。接着, 一个氧化物层在台面晶体管的侧壁上生长, 该氧化物层使该器件钝化。钝化步骤在氧化物层附近朝 p 层弯曲 p-n 结。接着, p-n 结通过扩散面更深地扩散到 p 层, 该扩散面在氧化物层附近远离 n 层弯曲 p-n 结。该扩散进行到这样的程度以便补偿由氧化步骤引起的弯曲, 从而稍微地使 p-n 结变平。该专利教导了采取多个连续的氧化/扩散步骤以进一步使台面晶体管的侧壁相邻的结变平。由于 p-n 结的稍微变平和表面附近的 p 和 n 浓度的减小, 结果 p-n 结在氧化物层附近具有一个更高的雪崩击穿电压。

相反地, 本发明的双向瞬态电压抑制器件的台面晶体管侧壁处的穿通击穿可以被台面晶体管侧壁附近的 p-n 结的弯曲阻止。

特别地, 氧化导致台面晶体管沟槽 (trench) (这里也指“台面晶体管沟槽(moat)”) 侧壁上的硅薄层变为二氧化硅。同时, 氧化物层附近的掺杂剂也重新分布。在硼和磷的情况下, 硼被重新分布以使它在氧化物附近的浓度变得更低, 而磷在该区域的浓度变高。由于 p 型掺杂剂 (硼) 的减少和 n 型掺杂剂的增加 (磷), p-n 结向氧化物层附近的 p 层弯曲, 并且本发明实施例中的 n 区宽度在氧化物附近增加, 从而使结远离 n 区而向邻近的 p+区弯曲。

对于本领域技术人员很清楚, 对于 npn 型瞬态电压抑制器件来说, 在氧化后结弯向彼此, 实际上保证了穿通击穿以比体内低的电压发生在氧化物下非常窄的层中。因此在这种情况下 pnp 型穿通瞬态电压抑制器件优选的。

现参照图 6, 一种本发明的双向瞬态电压抑制器件被示出有 p++

半导体衬底 12, p+区 14, n 区 16 和 p+区 18。示出的台面晶体管结构, 其两面覆盖有生长的二氧化硅层 19。图 7 是图 6 中所示的区域“A”的放大图。从该图可以看到, 由于在氧化物界面 p 型掺杂剂(硼)浓度的降低和 n 型掺杂剂(磷)浓度的升高, 远离作为二氧化硅层 19 的 n 区弯曲的 p-n 结 17a 和 17b 接近了。

把本发明的双向瞬态电压抑制器件看作一个 pnp 晶体管, 可以看出基底区域(即, n 区)在二氧化硅界面变得更宽。如下更详细的讨论, 对于本领域普通技术人员变得显而易见, 由于更宽的基底区域, 晶体管的该部分具有一个比体内区域更高的穿通电压以保护器件免于表面击穿。在穿通击穿电压, 电流开始流过击穿区域。由于击穿发生在体内, 击穿区域构成了结区的大部分(典型地大于 98%)。由于击穿电流流过大部分区域, 热量同样也在大部分区域上被驱散。

特别地, 每个 p-n 结具有一个相关的耗尽区, 其随着反向偏压增加而变宽。假定雪崩击穿没有发生, 由于电压升高, 反向偏压下的耗尽区域逐渐延伸到 n 区直到延伸到 n 区另一方的 p-n 结。在这一点上, 在第一和第二 p+区之间提供了电流通路并发生穿通。在二氧化硅界面的附近, p-n 结远离彼此弯曲。因此, 在体内的耗尽区延伸到相反结处的点上, 氧化层界面附近的耗尽区仍然离相反的结(其远离耗尽区弯曲)有一定距离。以这种方式, 穿通发生在体内, 而不是在表面。

在氧化层正下方的施主(磷)掺杂增加的一个结果是在该区域电场倾斜度的增加。这有一个优点也有一个缺点。优点是该步骤将更进一步使耗尽层变窄, 有利于阻止表面击穿。缺点是更高的场会导致雪崩击穿。然而, 本发明的器件中, 如果穿通的峰值场被做得比雪崩击穿的峰值场足够低, 由掺杂重新分布引起的表面峰值场中的轻微升高典型地不会带来困难。

但是, 在几个实例中, 例如, 对于穿通发生的峰值场期望尽可能

接近雪崩击穿发生的峰值场，以使晶体管的 V_{ceo} 和它的负动态电阻降低器件的正动态电阻。对于这个和其他原因，结的曲率锐度将升高本地峰值电场超出安全水平是可能的。然而在这样的情况下，在氧化后，为了使结的曲率稍微变平，例如，如在美国专利第 4,980,315 号中所指出的那样，可以增加一个补偿扩散步骤。在这样的补偿扩散步骤中，在氧化层升高的施主（磷）浓度将扩散开。但是，由于氧化层附近的施主原子的总体过多数量一般来说保持一样，该表面将继续被保护免于穿通击穿。

本发明的双向瞬态电压抑制器可以使用标准的硅晶片制造技术制造。下面参照图 8A 到 8C 示出了典型的处理流程。本领域普通技术人员将很容易认识到在此公开的处理流程决不意味着限制，因为有大量其他方法制作该双向瞬态电压抑制器。

现参照图 8A，对于本发明的双向瞬态电压抑制器件的开始衬底原料 12 是具有尽可能低的电阻系数的 p 型（p++）硅，典型地从 0.01 到 0.002 ohm-cm。接着使用常规外延生长技术，在衬底 12 上生长一个具有在大约 2×10^{17} 到 2×10^{18} atoms/cm³（对于较高的击穿电压期望有较低的浓度）之间掺杂浓度的 p 型（p+）外延层 14 到大约 10 和大约 50μm（对于较高 p+掺杂期望有较大的厚度，并且，对于较大区域的器件，依赖于电流分布所需要的分布电阻的数量）之间的一个厚度。还使用常规的外延生长技术，在 p 型外延层 14 上生长一个具有从大约 2×10^{16} 到大约 2×10^{17} atoms/cm³（对于较高的击穿电压期望有较低的浓度）之间的掺杂浓度的 n 型（n）外延层 16 到大约 1 和大约 4μm（对于较高的击穿电压和较长的扩散时间期望的有较大的厚度）之间的一个厚度。然后，再次使用常规的外延生长技术在 n 型外延层 16 上生长一个具有与层 14 相同浓度和厚度的 p 型（p+）外延层 18。这些层 14、16 和 18 优选的以连续的过程生长，而不要使晶片在中间暴露到空气中。然后在 p 型外延层 18 中形成一个 p 型（p++）区 20，或用一个足够高的表面浓度通过淀积和扩散以形成一个欧姆接

点，或通过诸如铝合金的其他常规方法。其中，淀积的上 p+外延层掺杂浓度比淀积的下 p+外延层掺杂小 1%到 8%之间。

现在参照图 8B，使用诸如低压化学气相沉积法的常规技术接着在整个表面上淀积一个氮化硅层 22。使用一种传统的光阻掩膜和蚀刻处理以在氮化硅层 22 中形成期望的图形。然后使用标准化学蚀刻技术利用构图的氮化硅层 22 作为掩膜形成沟槽 23。该沟槽 23 延伸足够的深度到衬底（即，两个结之外的槽）以提供绝缘，并制成一个台面晶体管结构。图 8B 表示完成氮化硅掩膜和沟槽蚀刻步骤之后得到的结构。

先参照图 8C，根据本发明的一个实施例，在图 8B 的结构上生长一个厚度优选的大约 1/2 微米的钝化（passifying）二氧化硅层 19。因为掺杂剂在氧化物生长期间重新分布，生长的氧化层更优选的密集，并且通过燃烧或氧化表面上的亚显微粉末的有效部分清除蒸汽（这里采用湿氧化），因此生长的二氧化硅层优选的是淀积层。

通过例子，该晶片优选的经受 1100° C 的蒸汽两个小时以产生生长的氧化层。应该注意，该氧化层仅在暴露的硅上生长而不在氮化层 22 上生长。图 8C 中说明了效果，其示出了在台面晶体管侧壁上的二氧化硅层 19。

如前面指出的，在氧化期间，在氧化层附近发生掺杂剂的重新分布。作为一个特殊的例子，氧化物附近的磷浓度增加，同时氧化物附近的硼浓度降低。这导致结远离彼此弯曲，并且扩宽了氧化物区域中的 n+区 16。

最后，如果需要，可以执行一些另外的扩散以降低击穿电压到期望的值。

然后通过移除氮化层 22 形成接触开口，使用常规技术用 p 型区

20 和 p 型衬底 12 形成接触点。

例子

按照下面程序在试验中制作六个晶片。

以一个连续的处理步骤生长三个外延层。晶片不能暴露到空气中并且在三个外延层连续生长期间不能冷却。p++衬底具有从 0.005 到 0.002 ohm-cm 之间的电阻系数。第一 p+外延层厚 10 微米，并具有 0.5 ohm-cm 的电阻系数。n 外延层厚 2.5 微米，并具有 2.5 ohm-cm 的电阻系数。第二 p+外延层有 20 微米的厚度，并具有 0.5 ohm-cm 的电阻系数。在外延层生长后，在 1100° C 执行硼沉淀步骤一个小时，其中温度缓慢斜坡升高和降低。在一个单独的步骤中在晶片的两面上执行该淀积，产生欧姆接点（p++区）。

接着使用常规技术淀积一个具有 200nm 厚度的硅氮化层。

构图的光阻层然后被应用到衬底形成一个台面晶体管掩膜（台面晶体管沟槽区是没有被光阻材料覆盖的区域）。然后使用现有技术中已知的一种 HF，HNO₃ 和乙酸蚀刻方法蚀刻台面晶体管沟槽。

该器件然后在一个非常干净的熔炉中以缓慢的温度升高和降低经受 1100° C 的蒸汽氧化一个小时。

接着，每个晶片在 1100° C 经过从 0 到 8 小时的一个扩散时间以得到各种期望的击穿电压。

然后在一个等离子腐蚀步骤中移除氮化层（用于接触开口）。以一种标准方式完成该器件，包括磨光，镀镍，晶片测试，晶片锯切并组装到各自的器件。

经受相对短的扩散时间（即，大约 2 小时或更少）的两个晶片制作出期望电压 4 到 7V 范围内的高质量双向三层外延的瞬态电压抑制器件。图 9A 和 9B 中，电流-电压轨迹说明这些器件的一个的双向击穿特性，还示出了一个标准 P6KE6.8CA（通用半导体公司的双向瞬态电压抑制器件）齐纳器件。这些图中横轴对应于电压，而竖轴相应于电流。（水平）电压刻度每格 2V。对于图 9A（垂直）电流刻度为每格 2mA；对于图 9B 放大了十倍为 200 μ A。

在图 9A 和 9B 中，两个试验器件和标准器件在 10mA 具有 7.02 伏的击穿电压。然而，在这些图中，相应于本发明的双向瞬态电压抑制器件的曲线 b 具有比相应于标准器件的曲线 a 更锐的转角。在有放大电流刻度的图 9B 中可以更清楚看到这个效果。较锐的转角表示当接近击穿电压时漏电电压较小。例如，与曲线 a（标准器件）相关的电流在 5.8V 是 230 μ A，而与曲线 b（本发明的三层外延瞬态电压抑制器件）联系的电流在 5.8V 是 0.8 μ A。因此，在离击穿大于 1V 的电压，标准器件的漏电电流是本发明的双向瞬态电压抑制器件的大约 300 倍。

测试了在 10mA 具有 5.72V 和 6.26V 的击穿电压的同样晶片的其他双向瞬态电压抑制器件。还测试了在 10mA 具有 5.20V，5.83V 和 6.74V 的击穿电压的由另一个晶片制成的双向瞬态电压抑制器件。像图 9A 和 9B 的双向瞬态电压抑制器件那样，这些器件的每个都具有比与 P6KE6.8CA 器件相关的尖锐得多的转角，这表明当接近漏电电压时漏电电流更低。

已经示出并描述了本发明的实施例和实例，对于本领域的技术人员来说显然在此不偏离本发明的概念比前面提到的更多的修改是可能的。因此，本发明并不受除附加权利要求的精神之外的限制。

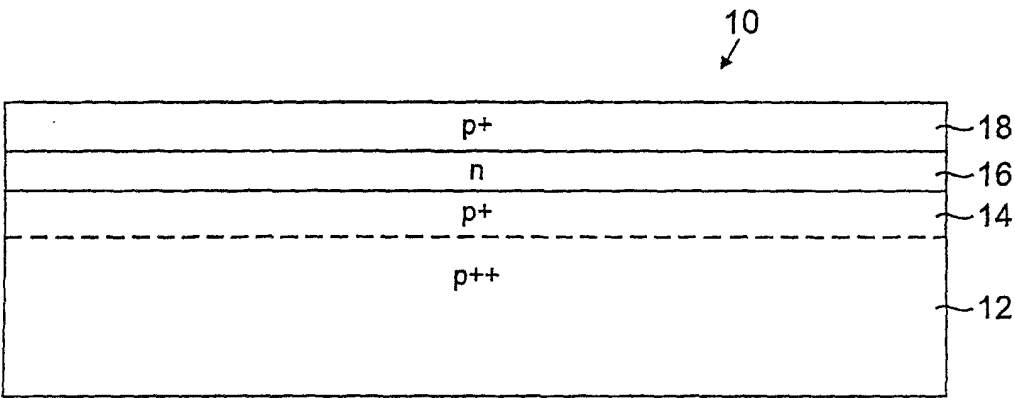


图1

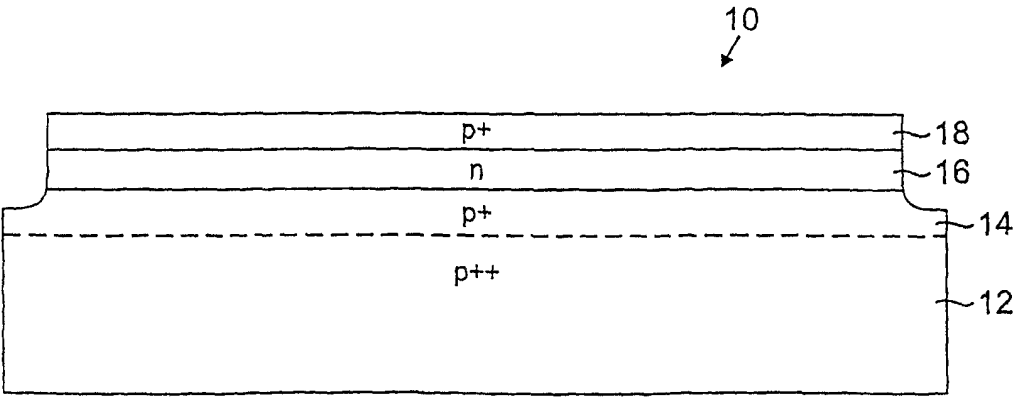


图2

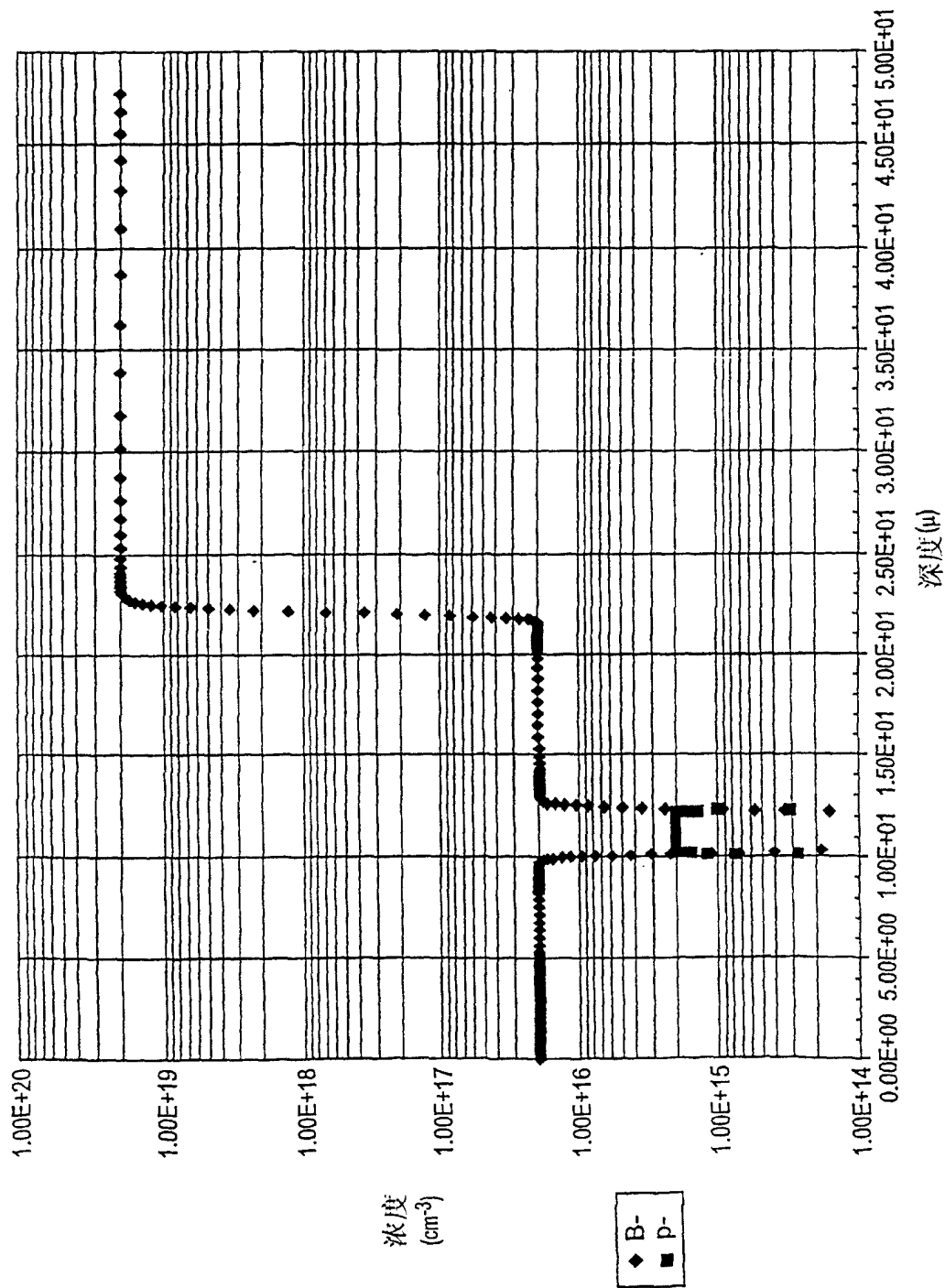


图3

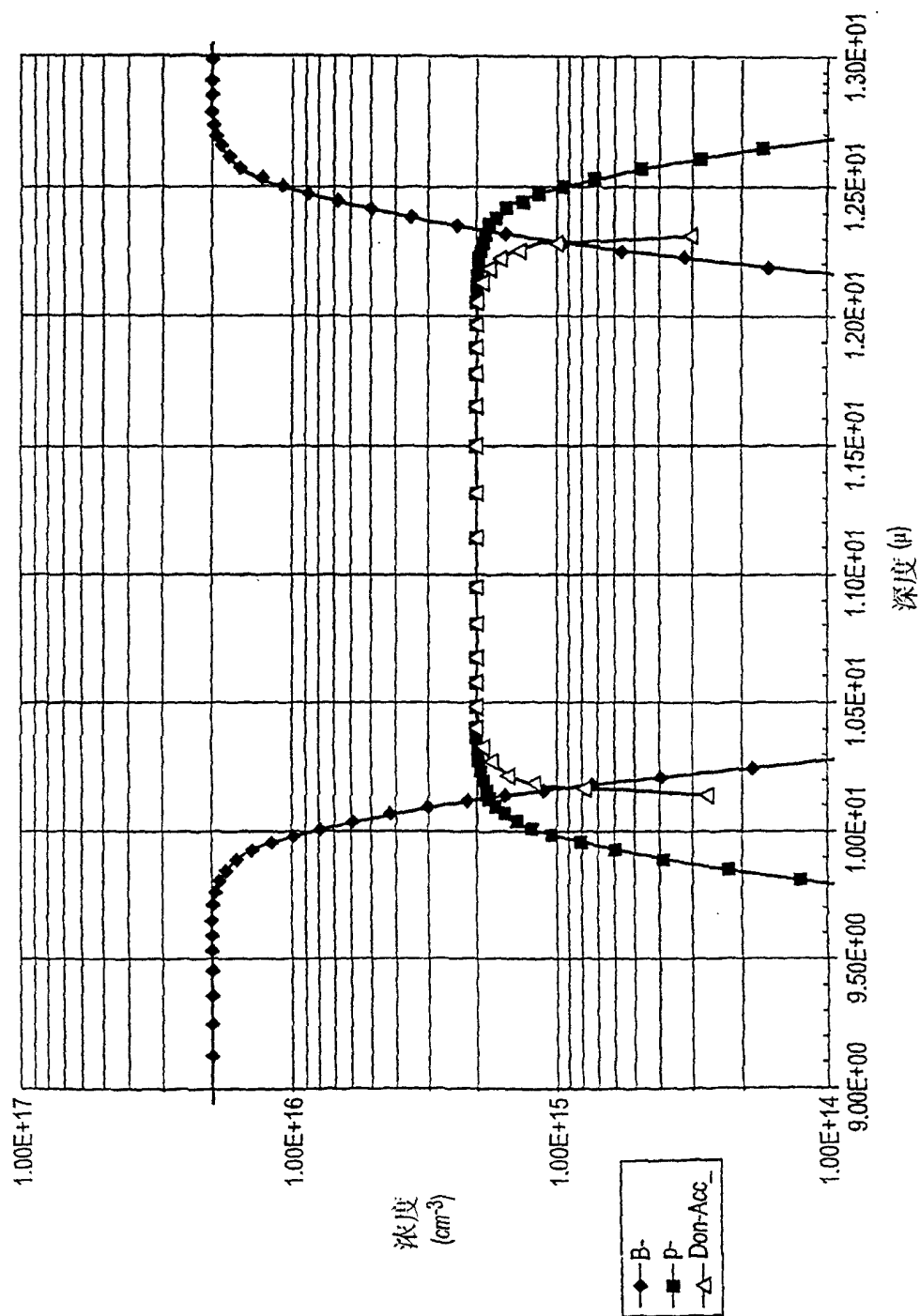


图4

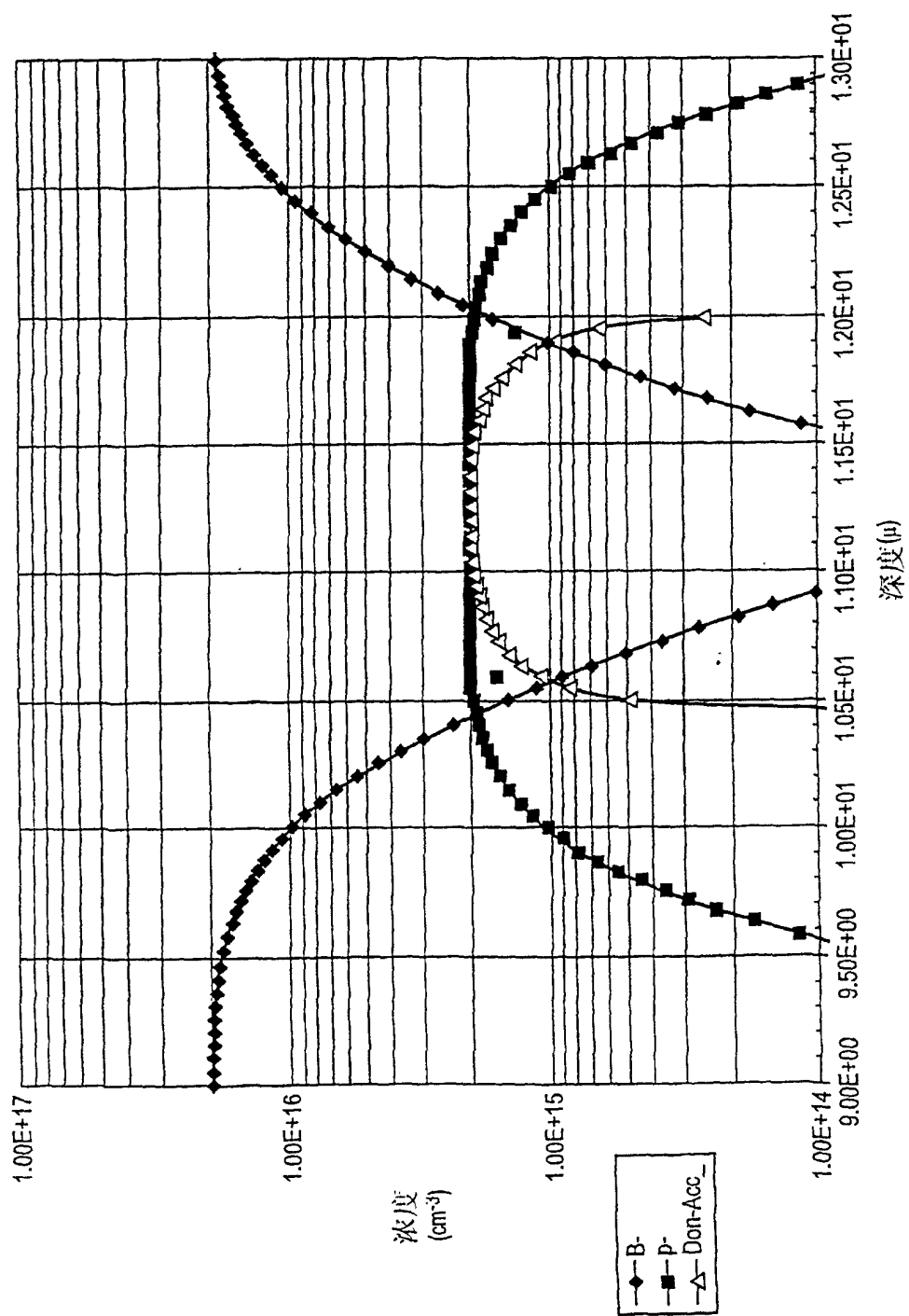


图5

图8A

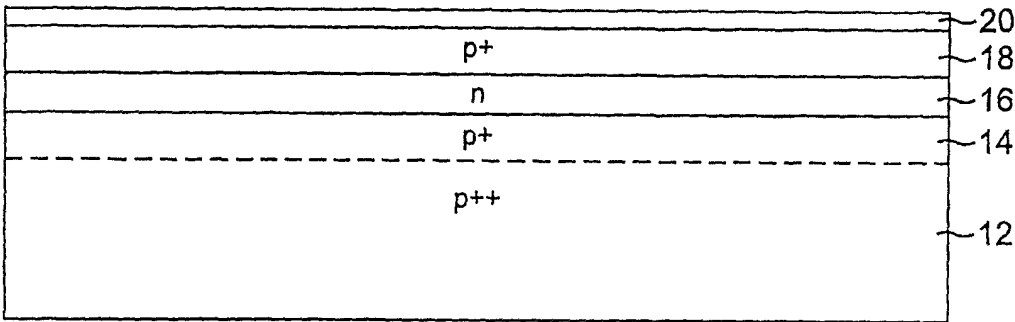
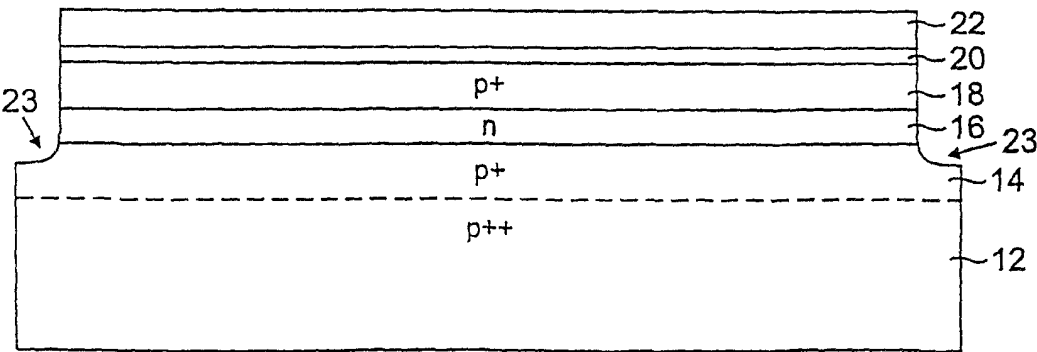


图8B



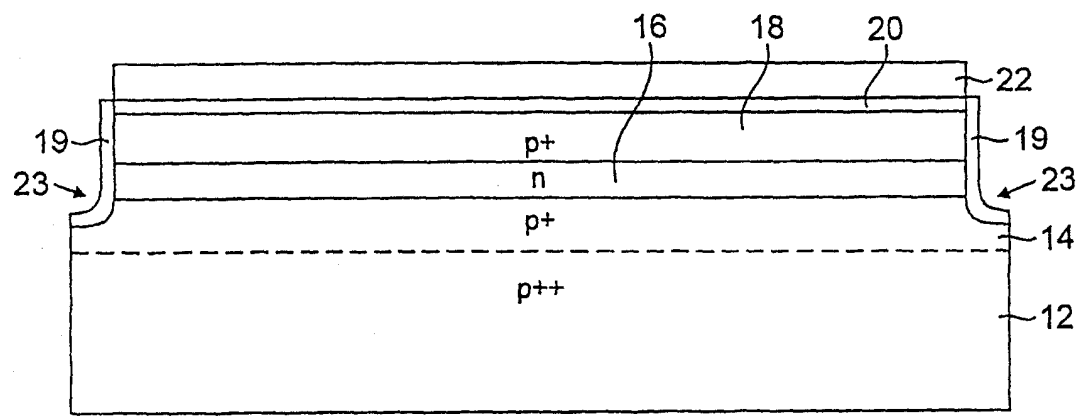


图8C

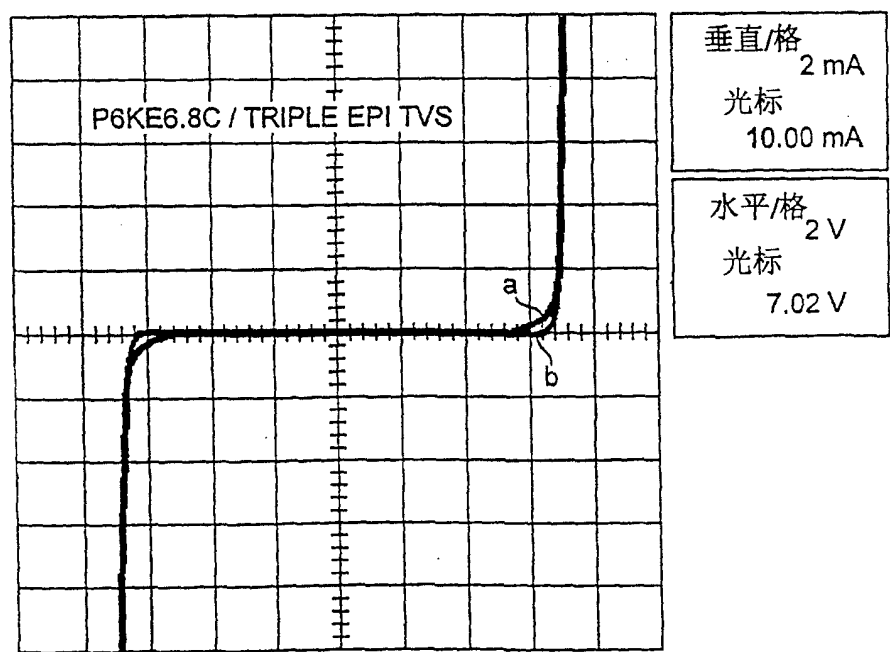


图9A

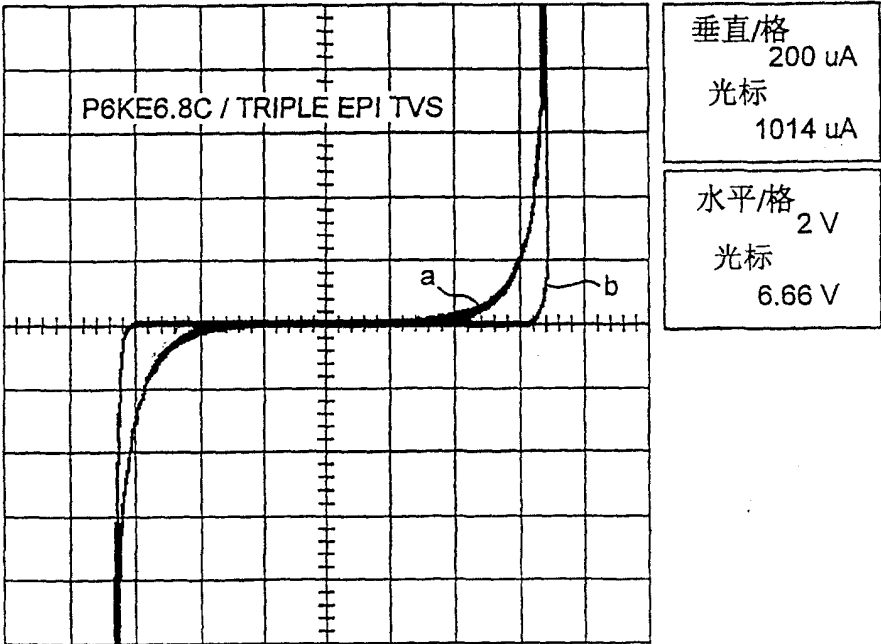


图9B