

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4422833号
(P4422833)

(45) 発行日 平成22年2月24日 (2010. 2. 24)

(24) 登録日 平成21年12月11日 (2009. 12. 11)

(51) Int. Cl.		F I	
HO 3 M	7/46	(2006. 01)	HO 3 M 7/46
HO 4 N	7/30	(2006. 01)	HO 4 N 7/133 Z

請求項の数 6 (全 16 頁)

(21) 出願番号	特願平11-356402	(73) 特許権者	391000818
(22) 出願日	平成11年12月15日 (1999. 12. 15)		トムソン コンシューマ エレクトロニク
(65) 公開番号	特開2000-216687 (P2000-216687A)		ス インコーポレイテッド
(43) 公開日	平成12年8月4日 (2000. 8. 4)		THOMSON CONSUMER EL
審査請求日	平成18年10月5日 (2006. 10. 5)		ELECTRONICS, INCORPORA
(31) 優先権主張番号	213041		TED
(32) 優先日	平成10年12月16日 (1998. 12. 16)		アメリカ合衆国 インディアナ州 462
(33) 優先権主張国	米国 (US)		90-1024 インディアナポリス ノ
			ース・メリディアン・ストリート 103
			30
		(74) 代理人	100070150
			弁理士 伊東 忠彦

最終頁に続く

(54) 【発明の名称】 可変長符号語を復号する復号器及び方法

(57) 【特許請求の範囲】

【請求項 1】

多重サイクルを有するクロック信号に応じて可変長符号語を復号する復号器であって、
ランレングス符号化形式の符号語を表わす順次の可変長符号語の符号語ソースと、

上記符号語ソースに接続され、次に復号化されるべき少なくとも第1の可変長符号語と
上記第1の可変長符号語の次に復号化されるべき第2の可変長符号語とを、前記クロック
信号に応じて出力端子に生じさせるバレルシフト回路と、

上記バレルシフトの上記出力端子に接続され、(a)の場合でも(b)の場合でも前記
クロック信号の単一サイクル内で復号する符号語復号化回路とを有し、

前記(a)は、第1及び第2の可変長符号語の各々が0のランのランレングス符号語を
表わす場合であり、

前記(b)は、第1の可変長符号語が0のランのランレングス符号語を表わし、第2の
可変長符号語が1のランのランレングス符号語を表わす場合であり、

上記符号語復号化回路は、

上記バレルシフト回路の上記出力端子に接続され、可変長符号語によって表わされるラ
ンレングス符号語を表現するデータを発生させる値用ルックアップテーブルと、

上記バレルシフト回路の上記出力端子に接続され、可変長符号語の長さを表現するデー
タを発生させる長さ用ルックアップテーブルとを有し、

該長さ用ルックアップテーブルは、

0のランのランレングス符号語を表わす第1の可変長符号語の長さを表現するデータを

10

20

発生させる第 1 のルックアップテーブルと、

上記第 1 の可変長符号語の次に続く、0 のランのランレングス符号語と 1 のランのランレングス符号語の中の一つを表わす第 2 の可変長符号語の長さを表現するデータを発生させる第 2 のルックアップテーブルと、

上記の可変長符号語以外の符号語の長さを表現するデータを発生させる第 3 のルックアップテーブルとを含む、復号器。

【請求項 2】

上記符号語復号回路は、0 のランのランレングス符号語及び 1 のランのランレングス符号語以外の可変長符号語を、クロックサイクル毎に 1 つ復号する、請求項 1 記載の復号器。

10

【請求項 3】

多重サイクルを有するクロック信号に応じて、ランレングス符号化形式の符号語を表わす順次の可変長符号語を処理する可変長符号語復号器において、可変長符号語を復号化する方法であって、

次に復号化されるべき少なくとも第 1 及び第 2 の可変長符号語を、前記クロック信号の単一クロックサイクルで獲得する工程と、

上記第 1 の可変長符号語が 0 のランのランレングス符号化された符号語を表わすか否かを、前記クロック信号の単一クロックサイクルで検出する工程と、

上記第 1 の可変長符号語が 0 のランのランレングス符号化された符号語を表わしていなかった場合、上記第 1 の可変長符号語によって表わされた上記ランレングス符号語の長さを第 1 のルックアップテーブル内で探すこと、及び上記第 1 の可変長符号語の長さだけ上記順次の可変長符号語をシフトすることにより、次に復号化されるべき少なくとも第 1 及び第 2 の可変長符号語を獲得することを、前記クロック信号の単一クロックサイクル内で行う工程と、

20

上記第 1 の可変長符号語が 0 のランのランレングス符号化された符号語を表わしていた場合、上記第 1 の可変長符号語によって表わされた上記ランレングス符号語の長さを第 2 のルックアップテーブル内で探すこと、及び上記第 2 の可変長符号語が 0 のランのランレングス符号化された符号語と 1 のランのランレングス符号化された符号語の内の一方の符号語を表わすか否かを検査することを、前記クロック信号の単一クロックサイクル内で行う工程と、

30

上記第 2 の可変長符号語が 0 のランのランレングス符号化された符号語と 1 のランのランレングス符号化された符号語の内の一方の符号語を表わしていなかった場合、上記第 1 の可変長符号語の長さだけ上記順次の可変長符号語をシフトすることにより、次に復号化されるべき少なくとも第 1 及び第 2 の可変長符号語を獲得する工程と、

上記第 2 の可変長符号語が 0 のランのランレングス符号化された符号語と 1 のランのランレングス符号化された符号語の内の一方の符号語を表わしていた場合、上記第 2 の可変長符号語によって表わされた上記ランレングス符号語の長さを第 3 のルックアップテーブル内で探し、上記第 2 の可変長符号語の長さと上記第 1 の可変長符号語の長さとを組み合わせ、上記第 1 及び第 2 の可変長符号語の組み合わせられた長さだけ上記順次の可変長符号語をシフトすることにより、次に復号化されるべき少なくとも第 1 及び第 2 の可変長符号語を獲得する工程と

40

を有する方法。

【請求項 4】

上記第 1 の可変長符号語が 0 のランのランレングス符号化された符号語を表わしていなかった場合、上記第 1 のランレングス符号化された符号語の値を、値用ルックアップテーブル内で探す工程と、

上記第 1 の可変長符号語が 0 のランのランレングス符号化された符号語を表わしていた場合、上記第 1 のランレングス符号化された符号語の値を、値用ルックアップテーブル内で探す工程と、

上記第 2 の可変長符号語が 0 のランのランレングス符号化された符号語と 1 のランのラ

50

ランレンクス符号化された符号語の内の一方の符号語を表わしていた場合、上記第2のランレンクス符号化された符号語の値を、値用ルックアップテーブル内で探す工程と
を更に有する請求項3記載の方法。

【請求項5】

上記第2の可変長符号語が、所定数個の長さの内の一つの長さを有し、

上記第2の可変長符号語の値を探すことが、上記第2の可変長符号語の上記所定数個の長さの内の上記一つの長さを表わすインデックスを探すことにより行われ、

上記第1及び第2の可変長符号語の組み合わせられた長さだけ上記順次の可変長符号語をシフトすることにより、次に復号化されるべき少なくとも第1及び第2の可変長符号語を獲得する上記工程が、

10

上記第1の可変長符号語の長さ分だけ上記順次の可変長符号語を予めシフトする工程と、

予めシフトした順次の可変長符号語を、上記所定数個の上記第2の可変長符号語の長さ各々の分だけさらにシフトしたバージョンを所定数個生成する工程と、

上記インデックスに対応した可変長符号語のシフトしたバージョンを選択する工程とを含む、請求項3記載の方法。

【請求項6】

上記第2の可変長符号語が、所定数個の長さの内の一つの長さを有し、

上記第2の可変長符号語の値を探すことが、上記第2の可変長符号語の上記所定数個の長さの内の上記一つの長さを表わすインデックスを探すことにより行われ、

20

上記第2の可変長符号語の長さと上記第1の可変長符号語の長さとを組み合わせる工程が、上記第1の可変長符号語の長さと、上記所定数個の長さの各々とを加算し、上記所定数個の和を求める工程と、上記第1及び第2の可変長符号語の組み合わせられた長さとして、上記所定数個の和の中から上記インデックスに対応する一つの和を選択する工程とを含む、請求項3記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ランレンクス符号化された係数を符号化する連続可変長符号語を復号化する復号器に関する。特に、本発明は、動画像専門家グループ(MPEG)国際標準に準拠して符号化された高精細テレビジョン(HDTV)ビデオデータ信号内の可変長符号語を復号化するため使用される可変長符号復号器(VLD)に関する。

30

【0002】

【従来の技術】

米国において、高精細度テレビジョン信号をデジタル的に符号化する標準が提案されている。この標準は、本質的に、国際標準化機構(ISO)の動画像専門家グループ(MPEG)によって提案されたMPEG2標準と同一である。以下の説明では、この標準をMPEG標準と呼び、MPEG標準に準拠した信号をMPEG又はMPEG符号化信号と呼ぶ。MPEG標準は、ISOから入手可能であり、参考のため引用された“Information Technology - Generic Coding of Moving Pictures and Associated Audio, Recommendation H.262 ISO/IEC 13818.2; 1995(E)”という名称のドラフト国際標準(DIS)刊行物に記載されている。

40

【0003】

MPEG2ビデオ信号符号化標準は、画像を表現するビデオ信号を、大部分が離散コサイン変換(DCT)係数のブロックから構成されるバイナリ(デジタル)信号に符号化する方式を規定する。これらの係数は、固定サイズのランレンクス符号語にランレンクス符号化される。各ランレンクス符号化された符号語は、次に、可変長符号語にホフマン符号化される。MPEG符号化方式HDTV信号の場合に、DCT係数のブロックは、伝送された画像を適切に復号化し表示するため、所定のレートで復号化されるべきである。この瞬間的なレートは、画像のディテール及び動きに依存して変化し得る。しかし、ランレン

50

グス符号化された符号語、すなわち、可変長符号語が最悪ケースの画像に対し生ずる最大レートが存在する。このレートは毎秒 1 億符号語を上回る。このレートで符号語を復号化するため種々の方法が提案されている。

【 0 0 0 4 】

適当な条件下で複数の可変長符号語を単一のクロックサイクル中に同時に復号化する能力のある可変長復号器が提案されている。従来技術の可変長復号器の場合に、受信された符号化信号の多数のビットは、バレルシフタを介して可変長復号器の復号化部に並列に供給される。このような可変長復号器は並列復号器と呼ばれる。そのビット数は、最大サイズ
10
の可変長符号語内のビット数以上になるように選択される。これらのビットは、許容される可変長符号語毎にエンタリーが設けられるように予め構成されたルックアップテーブル (L U P) に供給される。ルックアップテーブルの各エンタリーは、可変長符号語によって表わされたランレングス符号語の値と、可変長符号語の長さ (すなわち、ビット数) とを収容する。符号語が復号化されると共に、新たに復号化された可変長符号語内の並列ビット数は、バレルシフタからシフトされて押し出され、バレルシフタ内の残りのビットは、元の場所にシフトされる。必要ならば、デジタルビットストリーム内の次のビットがバレルシフタに挿入される。次に、バレルシフタ内の残りのビットは、次の符号語を復号化するため処理される。このような可変長復号器は、単一のクロックサイクル中に単一の可変長符号語を復号することができる。

【 0 0 0 5 】

しかし、上記の通り、M P E G 符号化方式 H D T V 信号の場合に、可変長符号語が復号化
20
されるべき最大レートは、毎秒 1 0 0 万回を超える。このためには、1 0 0 M H z 以上のクロック周波数が必要とされる。この周波数での動作は、目下、消費者電子機器に実現されている集積回路の能力を上回る。かくして、1 クロックサイクル毎に 2 個以上の符号語を復号することができる可変長復号器が提案されている。これにより、上記の回路で必要とされた 1 0 0 M H z レート未満のクロック信号レートで動作する可変長復号器を実装することが可能になる。

【 0 0 0 6 】

1 9 9 3 年 7 月 6 日に Wang ほかに発行された名称が “ High Speed Variable Length De
coder ” である米国特許第 5 , 2 2 5 , 8 3 2 号には、並列可変長復号器が記載されている。Wang ほかの特許では、可変長符号語は長さが変化するので、2 個以上の可変長符号語
30
が、最大サイズの可変長符号語中のビット数の範囲内に収まり得ることが認められている。復号化用ルックアップテーブルは、合成された短い符号語のためのエンタリーを更に有する。かくして、2 個の短い符号語がバレルシフタの出力に同時に現れるならば、この 2 個の符号語はルックアップテーブルによって識別され、同時に復号化される。その結果として、可変長復号器は 1 クロックサイクルあたり 1 符号語のレートよりも高いレートで復号化することができる。統計学的により短い符号語の方が長い符号語よりも出現する可能性が高いので、1 クロックサイクルあたり 1 符号語を超えるレートの増加量は、さらに大きくなる。このよう復号化レートの増加は、復号化用ルックアップテーブルの複雑さが増大する代償として選られる。

【 0 0 0 7 】

また、2 個の最大サイズの可変長符号語を同時に生成するためバレルシフタからの出力の
40
幅を拡張することが提案されている。2 倍幅のバレルシフタの出力は、2 個の符号語を同時に認識するルックアップテーブルに供給される。ルックアップテーブルの第 1 部分は、第 1 の可変長符号語を認識し、ルックアップテーブルの第 2 部分は、第 2 の可変長符号語を認識する。ルックアップテーブルは 3 個の出力値を生成する。その中の第 1 の値は第 1 の可変長符号語を表わし、第 2 の値は第 2 の可変長符号語を表わし、第 3 の値は合成された 2 個の符号語の長さを表わす。このような構成によって、可変長復号器は、実際の範囲内に巧く収まる約 5 0 M H z のクロックレートで動作する。しかし、このような構成におけるルックアップテーブルは、1 クロックサイクルあたり 1 個の可変長符号語のレート
50
の場合のルックアップテーブルよりも非常に巨大である。ルックアップテーブルの第 1 の

部分の符号語エントリー毎に、ルックアップテーブルは、第2の部分に対する符号語の完全な集合を調べる回路を含む必要がある。n個の許容された符号語がある場合、 n^2 個のエントリーが必要である。このため、ルックアップテーブルは大きくなり、動作が遅くなる。

【0008】

文献：Bakhmutsky, "Pair - Match Huffman Transcoding to Achieve a Highly Parallel Variable Length Decoder with Two-Word Bit Stream Segmentation", SPIE Proceedings, Volume3021, pages247-265には、上記のWangほかによる文献に開示された並列可変長復号器の改良タイプが記載されている。Bakhmutskyの可変長復号器は、1クロックサイクルあたり少なくとも2個の離散コサイン変換係数を復号化することができる。Bakhmutskyの文献では、可変長復号器の出力が固定長ランレングス符号化方式符号語の系列であり、各符号語は受信された可変長符号語と対応していることが認識されている。各ランレングス符号語は1個以上の離散コサイン変換(DCT)係数を表現し、ラン部分と値部分とを含む。ラン部分は、現在の符号語によって表現された係数よりも前にある零の値を有するDCT係数の数を表わす。値部分は、零の値をもつ係数のランの後に続く非零のDCT係数の値を表現する。

【0009】

単一の可変長符号語によって表わされた0が続くランレングス符号語は、1個の係数値だけ(すなわち、零個の値零の係数)を表現し、単一の可変等符号語によって表わされた1が続くランレングス符号語は、1個の値零の係数と1個の非零の係数からなる2個の係数を表現する。単一の係数を表わす2個の「0のラン」(すなわち、連続した0のつながり)のランレングス符号語を表現する2個の可変長符号語が順番に生起するとき、これらの2個の可変長符号語は、1クロックサイクルあたり2係数の復号化レートを維持するため、単一のクロックサイクル内で同時に復号化されるべきである。また、「0のラン」のランレングス符号(すなわち、1個の係数)を表現する可変長符号語と、その後に続く、「1のラン」(すなわち、連続した1のつながり)のランレングス符号語(すなわち、2個の係数)を表現する可変長符号語は、1クロックサイクルあたり2係数の復号化レートを維持するため、単一クロックサイクル中に同時に復号化されるべきである。このように復号化されない場合、すなわち、各可変長符号語が1クロックサイクル中に別々に復号化される場合、3個の係数(すなわち、1クロックサイクルあたり1.5個の係数)が2クロックサイクル中に復号化され、1クロックサイクルあたり2個の係数の目標には届かない。すべてのケースにおいて、単一の可変長符号語は単一のクロックサイクルで復号化され、1クロックサイクルあたり少なくとも2個の係数の目標は依然として維持され得る。

【0010】

MPEG符号化方式の場合、任意のランレングス符号語は、最大24ビット幅までのサイズを有する可変長符号語(たとえば、エスケープシーケンス)によって表現され得る。このサイズは、MPEG可変長符号語が取り得る最大サイズである。かくして、2個の順次の可変長符号語は、48ビット幅になり得る。Bakhmutskyは、可変長復号器への入力を解析し、2個の順次のコード変換された符号語が可変長復号器のバレルシフタの出力で同時に現れるように、「0のラン」及び「1のラン」のランレングス符号を表現する可変長符号語を、より少ないビット数を有する別々の符号語で置き換えることを提案した。ルックアップテーブルは、コード変換された符号語を認識し、それらを同時に復号化するため修正される。このように、Bakhmutskyのシステムは、2個の順次の「0のラン」のランレングス符号語、又は、「0のラン」のランレングス符号語と後続する「1のラン」のランレングス符号語を表現する2個の可変長符号語を単一クロックサイクルで認識し、復号化し、1クロックサイクルあたり2個の係数の復号化レートを確保することができる。

【0011】

【発明が解決しようとする課題】

しかし、Bakhmutskyによるシステムは、2個の順次のコード変換された符号語を同時に認識し処理するため、可変長復号器の前の信号路にコード変換器を追加し、可変長復号器の

10

20

30

40

50

ルックアップテーブルを修正することを必要とする。付加的な復号化回路又はコード変換回路を必要とすること無く、かつ、 n 個の可変長符号語に対し $2n$ 個のエントリが要求されるルックアップテーブルを必要とすること無く、1クロックサイクルあたり少なくとも2個の係数の復号化レートを維持することができるシステムが望ましい。

【0012】

【課題を解決するための手段】

本発明の原理によれば、可変長符号語の復号器は、多数のサイクルを含むクロック信号に
10 応答し、個々にランレングス符号化された符号語を表現する順次の可変長符号語のソース
を含む。バレルシフト回路は、符号語ソースに接続され、次の未復号化可変長符号語をバ
レルシフトの出力端子の下位側ビットに供給する。符号語復号化回路は、バレルシフトの
出力端子に接続され、「0のラン」のランレングス符号語を表現する2個の順次の可変長
符号語を単一クロックサイクル中に復号するよう動作し、又は、「0のラン」のランレン
グス符号語を表現する第1の可変長符号語と「1のラン」のランレングスを表現する第2
の可変長符号語とからなる2個の順次の可変長符号語を単一クロックサイクル中に復号し、
かつ、他の全ての可変長符号語を単一クロックサイクル中に復号するよう動作する。

【0013】

【発明の実施の形態】

図1は、本発明による可変長復号器(VLD)システム100のブロック図である。同図
20 には、本発明の実現法と動作を理解するために必要な構成要素だけが図示されている。当
業者は、他の構成要素が必要であること、並びに、他の構成要素の設計法、実現法及び図
示された構成要素との接続法が解るであろう。特に、多数のサイクルを有するクロック信
号ソースは図示されていない。同図に示された実施例において、クロック信号は、公知の
方法で図示された構成要素に供給され、約50MHzのレートで繰り返すクロックサイク
ルの系列の形式である。以下に詳述するように、本発明によるこの復号器は、最低でもM
PEG2符号化標準に準拠する毎秒100万回のレートで係数を復号することができる。

【0014】

図1を参照するに、可変長符号語ソース10は、可変長符号語の系列を生成する。符号語
ソース10は、従来の方法で構成された無線周波信号の受信及び処理回路と、デジタル信
号処理回路とを含む。符号語ソースの出力には、先入れ先出し(FIFO)メモリ出力バ
ッファ(図示しない)が従来通りに設けられる。符号語ソース10の出力端子は、バレル
30 シフト回路20のデータ入力端子に接続される。バレルシフト回路20は、たとえば、レ
ジスタ装置、状態機械、順序回路、構成可能な論理アレイ、又は、バレルシフト機能を実
行するようプログラムされたプロセッサのような従来の装置構成によって実現される。バ
レルシフト回路20の出力端子は、符号語長さ用ルックアップテーブル(LUT)30の
入力端子と、符号語値用ルックアップテーブル(LUT)40の入力端子とに接続される
。符号語長さ用ルックアップテーブル30及び符号語値用ルックアップテーブル40は、
組み合わせられて、符号語復号器を形成する。長さ用ルックアップテーブル30の出力端子
はバレルシフト回路20の制御入力端子に接続される。符号語値用ルックアップテーブル
40の出力端子は、固定長ランレングス符号化符号語のシーケンスを生成し、利用回路5
0の入力端子に接続される。利用回路50は、ランレングス符号復号器と、デジタル信号
40 処理回路とを含む。利用回路50は、画像表示装置と、スピーカーのようなオーディオ再
生装置と、上記デジタル信号処理回路に응答する回路とを有し、この回路は、従来の方法
で、画像表示装置に表示されるべき画像、及び、オーディオ再生装置で再生されるべきサ
ウンドを表現する信号を発生する。

【0015】

動作中に、図1に示された可変長復号器100は、符号語ソース10から可変長符号語の
系列を受信する。バレルシフト回路20は、多数のビットを並列に受信する。図示された
実施例の場合に、以下に詳述するような方法で、159ビットが符号語ソース10からバ
レルシフト回路に供給される。バレルシフト20の出力も並列した多数のビットである。
このビット数は、次に復号化されるべき少なくとも第1の可変長符号語と、第1の可変長
50

符号語の後に復号化されるべき第2の可変長符号語とを同時に収容するために十分な数である。図示された実施例の場合に、パレルシフト20は、以下に詳述するような方法で24ビットずつの二つのエスケープシーケンスを同時に供給することができる48ビットを生成する。

【0016】

パレルシフト回路20は、次に復号化されるべき第1の可変長符号語をパレルシフト回路20の出力端子の一方端で常に保持し、第2の可変長符号語を第1の可変長符号語に隣接したパレルシフト回路20の出力端子内の場所で常に保持するよう動作する。パレルシフト回路20の端側の第1の符号語は、長さ用ルックアップテーブル30及び値用ルックアップテーブル40によって認識され、復号化される。長さ用ルックアップテーブル30は、認識された符号語の長さを表わす出力を発生する。値用ルックアップテーブル40は、認識された可変長符号語に対応した固定長のランレングス符号語を表わす出力を発生する。符号語が復号化されたとき、パレルシフト回路20は長さ用ルックアップテーブル30からの長さ信号に応答し、復号化された符号語の長さ分だけパレルシフト回路20の出力をシフトさせるので、復号化されるべき次の符号語はパレルシフト回路20の出力端子の端側に発生される。

【0017】

長さ用ルックアップテーブル30及び値用ルックアップテーブル40は、以下により詳細に説明されるような形で、第1の可変長符号語及び第2の可変長符号語が個々に「0のラン」のランレングス符号語を表わすときを認識するよう構成される。「0のラン」のランレングス符号語を表わすときが認識された場合に、長さ用ルックアップテーブル30は、2個の可変長符号語の合成長を表わす信号を生成し、値用ルックアップテーブル40は、2個の固定長の「0のラン」のランレングス符号語を表わす2個の連続した値を生成する。長さ用ルックアップテーブル30及び値用ルックアップテーブル40は、以下に詳述されるような形で、第1の可変長符号語が「0のラン」のランレングス符号語を表わし、第2の可変長符号語が「1のラン」のランレングス符号語を表わすときを認識するよう構成される。認識できたとき、長さ用ルックアップテーブル30は2個の可変長符号語の合成長を表現する信号を生成し、値用ルックアップテーブル40は、2個の固定長ランレングス符号語を表わす2個の連続した値を生成する。

【0018】

上記の通り、「0のラン」の二つのランレングス符号語、又は、「0のラン」のランレングス符号語及び「1のラン」のランレングス符号語を表現する順次の可変長符号語を同時に認識することによって、1クロックサイクルあたり少なくとも2個のDCT係数のレートは、可変長復号器とランレングス復号器（図示しない）の組み合わせにより維持される。図1の可変長復号器100は、1クロックサイクルあたり2個の係数の符号化レートを維持するので、100MHzの符号語クロックレートの略半分のクロックレートで動作し得る。図示された実施例の場合に、可変長復号器100は54MHzのクロックレートで動作し、消費者電子機器に適切な集積回路技術の動作範囲内に巧く収まる。また、図示された実施例ではコード変換器は必要とされない。

【0019】

図2は、図1に示された可変長復号器システムの一部の詳細なブロック図である。図2において、図1の構成要素と同じ構成要素は同じ番号で参照され、これ以上の詳細な説明は行わない。また、図面を簡単化するため、本発明を理解するために必要な構成要素だけが図示されている。当業者には、図示された構成要素を相互接続し、それらの動作を同期させるために必要となる他の構成要素（たとえば、レジスタ、フリップフロップ、クロック信号など）と、これらの他の構成要素の実現法と、これらの他の構成要素を図示された構成要素に接続する方法が明らかである。

【0020】

図2において、符号語ソース10の出力端子は、レジスタセット22の入力端子に接続される。レジスタ22の出力端子は第1パレルシフト24の入力端子に接続される。第1パ

10

20

30

40

50

レルシフト 24 の出力端子は第 2 バレルシフト 26 の第 1 の入力端子に接続される。第 2 バレルシフト 26 の出力端子はレジスタ 27 の出力端子に接続される。レジスタ 27 の出力端子は、長さ用ルックアップテーブル 30 の入力端子と、第 2 バレルシフト 26 の第 2 の入力端子とに接続される。長さ用ルックアップテーブル 30 の出力端子は第 2 バレルシフト 26 の制御入力と、アキュムレータ 28 の入力端子とに接続される。アキュムレータ 28 の第 1 の出力端子は第 1 バレルシフト 24 の制御入力端子に接続され、アキュムレータ 28 の第 2 の出力端子は、レジスタ 22 の制御入力端子及び符号語ソース 10 の制御入力端子に接続される。

【0021】

動作時に、レジスタ 22 は、符号語ソース 10 からデータを受信するよう動作し、159 ビットを並列的に第 1 バレルシフト 24 に供給する。本実施例の場合に、符号語ソース 10 の先入れ先出しバッファ（図示しない）の出力端子は、並列に 64 ビットを発生する。第 1 及び第 2 のカスケード型 64 ビット並列レジスタ（図示しない）は、符号語ソース 10 の出力に接続される。レジスタの合成出力は、最終的に 128 ビットを生ずる。レジスタ 22 の範囲内で、符号語ソース 10 の先入れ先出しバッファの出力に直結した付加的な 31 ビットは、第 1 及び第 2 のレジスタからの 128 ビットと組み合わせられ、レジスタ 22 から第 1 バレルシフト 24 に向かう 159 ビットの並列信号が形成される。アキュムレータ 28（以下、詳述される）からの読み出し制御信号に応じて、第 1 のレジスタからの出力は第 2 のレジスタにラッチされ、符号語ソース 10 の先入れ先出しバッファ（図示しない）からの 64 ビットの完全な出力は第 1 のレジスタにラッチされ、これらの 64 ビットは先入れ先出しバッファからシフトによって押し出され、先入れ先出しバッファの出力に次の 64 ビットの可変長符号語を生成する。

【0022】

第 1 バレルシフト 24 及び第 2 バレルシフト 26 は、一体的に動作して、次の未だ復号化されていないビットを長さ用ルックアップテーブル 30 の入力端子の下位側ビットに供給する。より詳細には、第 2 バレルシフト 26 は、次の未だ復号化されていないビットが出力端子の下位側ビットに与えられるように制御される。第 1 バレルシフト 24 は、符号語ソース 10 からの 159 ビットを、第 2 バレルシフト 26 内で未だ復号化されていないビットの後縁と整列させるように動作する。

【0023】

本実施例において、第 1 バレルシフト 24 の出力端子は 48 ビットを生成する。第 1 バレルシフト 24 からの 48 ビットは第 2 バレルシフト 26 の第 1 入力端子に供給される。第 2 バレルシフト 26 の出力端子は 48 ビットを生成する。上記の通り、この 48 ビットは 2 個の最大可変長符号語を収容するために十分である。したがって、第 2 バレルシフト 26 は、第 1 の入力端子と第 2 の入力端子とを併せて 96 ビットを受信する。

【0024】

各クロックサイクルの最後に、第 2 バレルシフト 26 の出力端子からの 48 ビットはレジスタ 27 にラッチされる。各クロックサイクルの最初に、前のクロックサイクルからの第 2 バレルシフト 26 の内容を表現するレジスタ 27 からのビットは、第 2 バレルシフト 26 の第 2 の入力端子にフィードバックされ、入力の下位側ビットを形成し、次のクロックサイクルで処理される。同時に、前のクロックサイクルで復号化された可変長符号語の長さは、長さ用ルックアップテーブル 30 から第 2 バレルシフト 26 の制御入力端子に供給される。第 2 バレルシフト 26 は、第 1 及び第 2 の入力端子で、制御入力端子で指定された量ずつビットをシフトさせ、先に復号化されたビットをシフトによって掃出し、次の未だ復号化されていないビットが出力端子の下位側ビットに残される。第 2 バレルシフト 26 への入力は、レジスタ 27 からの 48 ビットと第 1 バレルシフト 24 からの 48 ビットとを併せた 96 ビットであるため、第 2 バレルシフト 26 からの出力は常に少なくとも 48 個の有効データビットを有する。

【0025】

第 1 バレルシフト 24 は、レジスタ 22 からの新しいデータを、第 2 バレルシフト 26 か

らの未だ復号化されていないデータの後方のビットと整列させるように動作する。可変長符号語が、長さ用ルックアップテーブル30によって認識され、復号化されると共に、復号化された符号語の長さはアキュムレータ28に供給され、アキュムレータは、従来の方法でその長さをすでに累算された長さに加算する。累算された長さデータは第1パレルシフタ24の制御入力端子に供給される。第1パレルシフタ24は、そのデータを累算された可変長符号語の長さの量だけシフトする。これにより、第1パレルシフタ24からのデータは、第2パレルシフタ26内の未だ復号化されていない後縁と整列される。レジスタセット22の第2レジスタ(図示しない)からのビットが完全に復号化される毎に、アキュムレータ28は、上記の方法で、符号語ソース10から次の語をラッチするため、読み出し信号をレジスタ22及び符号語ソース10に送出する。

10

【0026】

最悪ケースの状況は、レジスタセット22の出力にただ一つの復号化されていないビットが残され、24ビット長の2個の符号語が復号化されたときに生ずる。この場合、パレルシフタ24は、111ビット、すなわち、第2のレジスタを埋めるための63ビットと、復号化された符号語内の48ビットとを加えたビット数だけ入力をシフトさせる必要がある。第1パレルシフタ24が111ビットだけシフトしたとき、有効な48ビット出力が第2パレルシフタ26に供給されるように上位側のビットに少なくとも48ビットが必要である。このため、第1パレルシフタ24への入力は、最悪ケースのシフト数111と、第2パレルシフタ26への出力用の48ビットを加えた159ビットである。

【0027】

20

図3は、図1に示された可変長復号器システムの一部のより詳細なブロック図である。図3において、図1に示された構成要素と同一の構成要素は同じ番号で参照され、ここでは、これ以上の説明を加えない。図3において、長さ用ルックアップテーブル30の出力端子は加算装置282の加数入力端子に接続される。加算装置282の加算出力端子は、Dフリップフロップ284のD入力に接続される。Dフリップフロップ284のQ出力端子は、同期論理回路286の入力端子と、第1パレルシフタ24の制御入力端子と、加算装置282の被加算数入力端子とに接続される。同期論理回路286の出力端子はレジスタセット22の制御入力端子に接続される。

【0028】

動作時に、加算装置282と、Dフリップフロップ284と、同期論理回路286の組み合わせは、図2に示されたアキュムレータ28として動作する。第2パレルシフタ26(図3には図示されない)は最大で48ビットをシフトするので、制御入力は6ビットが必要であり、その結果として、長さ用ルックアップテーブル30は、6ビットの長さ信号を生成する。6ビットの出力信号は、第2パレルシフタ26(図2)及び加算装置282に供給される。加算装置282の加算出力端子は、7ビットの出力信号を生成する。この7ビットの出力信号は7ビット幅のDフリップフロップ284に保存される。この信号は、加算装置282の被加算数入力端子に再び戻され、7ビットのアキュムレータを形成する。Dフリップフロップ284の出力は第1パレルシフタ24の制御入力端子に接続され、最大128ビットまでのシフトされるビット数を制御する。なお、すでに説明したとおり、111ビットを超えるシフトは必要とされない。Dフリップフロップ284からの最上位ビット(MSB)は、第1パレルシフタ24によってシフトされた量が64を超えたときに活性化される。本例の場合に、レジスタセット22及び符号語ソース10(図3には図示されず)は、既に詳述したように、符号語ソースの先入れ先出しバッファから新しい値を取り出す。

30

40

【0029】

もう一度図2を参照するに、1クロックサイクル毎に2個の「0のラン」、又は、1個の「0のラン」と1個の「1のラン」のランレングス符号語を表現する2個の順次的な可変長符号語を同時に復号化することによって、復号化の処理レートを1クロックサイクルあたり少なくとも2係数に維持するため、1クロックサイクル内で処理を終了しなければならない図示された可変長復号器には、3本の重要なパスが示されている。第1のパス

50

は、159ビットの入力端子から第2バレルシフタ26と48ビットのレジスタ27とを經由して第1バレルシフタ24に達するパスである。第2のパスは、48ビットのレジスタ27から、長さ用ルックアップテーブル30と、加算装置282とを介して、7ビット・アキュムレータのDフリップフロップ284に達するパスである。第3のパスは、48ビットのレジスタ27から、第2バレルシフタ26を介して、48ビットのレジスタ27に戻るパスである。3本のパスが1クロックサイクル内で動作できるように、本発明は、以下に説明するような回路の最適化を提案する。

【0030】

第1の最適化において、長さ用ルックアップテーブル30は、図1に示されるように値ルックアップテーブル40から分離される。この方法によれば、論理最適化は、可変長符号語をその長さに応じて分類するため、長さ用ルックアップテーブル30に適用される。長さ用ルックアップテーブル30内のエントリーの数は減少し、待ち時間は対応して減少する。

【0031】

また、長さ用ルックアップテーブル30は、2個の「0のラン」ランレングス符号語、又は、1個の「0のラン」ランレングス符号語と後続の1個の「1のラン」ランレングス符号語とを表す連続的な可変長符号語を認識し復号化する部分と、他のすべての可変長符号語を認識し復号化する部分とに分離される。このことが図4に示されている。

【0032】

図4において、レジスタ27（図4には図示せず）の出力端子は長さ用ルックアップテーブル30の入力端子35に接続され、入力端子35はレジスタ27から可変長符号語（CW）を含むデータを受信する。入力端子35は、単一符号語復号化用ルックアップテーブル32に接続される。単一符号語復号化用ルックアップテーブル32の出力端子は出力端子31に接続される。入力端子35は、「0のラン」符号語検出用ルックアップテーブル342と、「0のラン」符号語インデックス用ルックアップテーブル344と、「0のラン」符号語長さ用ルックアップテーブル346と、第3バレルシフタ348とに接続される。「0のラン」符号語検出用ルックアップテーブル342の出力端子及び「0のラン」符号語インデックス用ルックアップテーブル344の出力端子は、第3バレルシフタ348の制御入力端子に接続される。第3バレルシフタ348の出力端子は、「0のラン」及び「1のラン」符号語検出用ルックアップテーブル350の入力端子と、「0のラン」及び「1のラン」符号語インデックス用ルックアップテーブル352の入力端子とに接続される。「0のラン」及び「1のラン」符号語インデックス用ルックアップテーブル352の出力端子は、ゲート354のデータ入力端子に接続され、「0のラン」及び「1のラン」符号語検出用ルックアップテーブル350の出力端子はゲート354の制御入力端子に接続される。ゲートの出力端子は長さ用ルックアップテーブル30の出力端子33に接続される。「0のラン」長さ用ルックアップテーブル346の出力端子は長さ用ルックアップテーブル30の出力端子37に接続される。

【0033】

動作時に、単一符号語復号化用ルックアップテーブル32は、従来より知られた方法で、1個以上のランを有する固定長ランレングス符号化方式符号語を表す入力端子35からの可変長符号語CWを復号化し、復号化された符号語の長さを表す信号を出力端子31に発生させる。「0のラン」長さ用ルックアップテーブル346は、「0のラン」ランレングス符号語を表す入力端子35からの可変長符号語を復号化し、その符号語の長さを表す信号を出力端子に発生させる。図5には、「0のラン」符号語長さ用ルックアップテーブル346の内容を表すテーブルが示されている。左側の欄は、レジスタ27（図2）からの入力符号語CWの内容を示す。記号ダッシュ（“-”）は“ドントケア”ビットを表す。右側の欄は認識された「0のラン」ランレングス符号語の長さを表す。このテーブルは比較的小さいので、このデータはかなり短い待ち時間だけを生じ、クロックサイクルの早い段階で得られる。

【0034】

「0のラン」又は「1のラン」ランレングス符号語を表す次の順番の符号語を復号化するため、入力端子からの符号語CWは、「0のラン」符号語用ルックアップテーブル346によって認識された符号語の幅だけシフトされる必要があり、その結果として、次の符号語は下位側ビットを使用する。第3バレルシフタ348はこのシフトを実行する。第3バレルシフタ348は、「0のラン」ランレングス符号語が「0のラン」符号語長さ用ルックアップテーブル346によって認識され、「0のラン」符号語が検出されたときに限り動作する。上記の通り、このような符号語の長さの種類の数は限られている。そのため、待ち時間を短縮するため、第3バレルシフタ348はマルチプレクサとして実装される。例えば、本例の場合に、「0のラン」ランレングス符号語を表現する符号語には13種類の長さしか存在しないことが解った。したがって、第3バレルシフタ348を形成するマルチプレクサは、13個の入力を有するマルチプレクサで十分である。「0のラン」符号語インデックス用ルックアップテーブル344は、「0のラン」符号語に対し起こり得る長さ毎に1ビットずつの合計13ビットの出力信号を、すなわち、復号化されたフォーマットで出力信号を生成する。このテーブルの構造は図5に示されたテーブルの構造と類似している。テーブルからの出力は13ビットであり、その中の1ビットは同じ長さを有するすべての符号を表す。当業者であれば、このような出力を得るために図5のテーブルを変更する方法が解るであろう。

【0035】

さらに、「0のラン」符号語検出用ルックアップテーブル342は、入力端子35の符号語が「0のラン」符号語であることを示すため、1ビットの出力を生ずる。このテーブルの構造は、出力が1ビットであって、リストに掲載されたすべてのエントリーに対し“1”であり、その他の場合に“0”である点を除いて、図5のテーブルの構造と類似している。当業者であれば、このような出力を得るため、図5のテーブルを変更する方法が解るであろう。「0のラン」インデックス用ルックアップテーブル344からの制御信号は復号化されたフォーマットであるため、第3バレルシフタ348を形成するマルチプレクサは、13バンクのANDゲートとして実装してもよい。ANDゲートの各バンクは、所定のビット数で入力をシフトさせるように構成され、「0のラン」符号語インデックス用ルックアップテーブル344からのビットの中の1ビット、及び、「0のラン」符号語検出用ルックアップテーブル342からの「0のラン」符号語検出ビットによってイネーブル状態にされる。第3バレルシフタ348は、このように製作することによって短い待ち時間で動作する。

「0のラン」及び「1のラン」符号語インデックス用ルックアップテーブル352は、第3バレルシフタからのシフトされた符号語CWにおいて「0のラン」又は「1のラン」のいずれかの第2の順番の符号語を検出する。また、第2の符号語は、起こり得る長さの種類の数に制限がある。そのため、「0のラン」及び「1のラン」符号語インデックス用ルックアップテーブル352は、復号化されたフォーマットでインデックス信号を発生し、インデックス信号の各ビットはこの第2の符号語のそれぞれの長さを表現する。図6は、「0のラン」及び「1のラン」インデックス用ルックアップテーブル352の内容を表現するテーブルである。図6において、記号ダッシュ“-”は「ドントケア」ビットを表わす。図示された実施例の場合に、14通りの第2の符号語の長さが起こり得る。「0のラン」及び「1のラン」インデックス用ルックアップテーブル352からの出力信号は、14ビットを含む。「0のラン」及び「1のラン」符号語検出用ルックアップテーブル350は、「0のラン」又は「1のラン」符号語の存在を示す1ビット信号を生成する。「0のラン」及び「1のラン」符号語検出用ルックアップテーブル350は、図6に示されたテーブルの構造と類似した構造を有するが、単一ビットは図示された各エントリーに対して活性化し、それ以外の場合には負活性である点で相違する。当業者であれば、この信号を生成するため図6に図示されたテーブルを変更する方法が解るであろう。ゲート354は、「0のラン」及び「1のラン」符号語検出用ルックアップテーブル350からの信号が符号語の存在を示すときに、「0のラン」及び「1のラン」インデックス用ルックアップテーブル352からのインデックス信号を通過させ、それ以外の場合には、ゲート35

10

20

30

40

50

4によって信号は伝達されない。図4に示された種々のルックアップテーブルに本質的な処理時間のため、ゲート354からの信号はクロックサイクルのかなり後の段階で現れる。

【0036】

図3を参照するに、長さ用ルックアップテーブル30からの長さ信号は、加算装置282において、Dフリップフロップ284からのアキュムレータの内容と加算される。同様に、長さ用ルックアップテーブル30からの長さ信号は、第2パレルシフタ26のシフト動作を制御するため使用される。加算処理及びシフト処理のための待ち時間を最小限に抑えるため、加算装置282及び第2パレルシフタの構造は、図4、5及び6を参照して説明したように長さ用ルックアップテーブル30の構造に適合される。

10

【0037】

図7は、図1及び3に図示された可変長復号器システムの一部のより詳細なブロック図である。図7において、長さ用ルックアップテーブル30内の「0のラン」符号語長さ用ルックアップテーブル346(図4)は、加算器292の第1の入力端子と、パレルシフトユニット302の制御入力端子とに接続される。加算器292の出力端子は、複数の加算器294:294A、294B、...、294nの第1の入力端子に共通に接続される。複数の加算器294のそれぞれの出力端子は、第1のマルチプレクサ296の対応したデータ入力端子に接続される。マルチプレクサ296の出力端子はアキュムレータのDフリップフロップ284の入力端子に接続される。アキュムレータのDフリップフロップ284の出力端子は加算器292の第2の入力端子に接続される。固定長信号の複数のソ

20

【0038】

パレルシフトユニット302の入力端子は、第1パレルシフタ24(図2、但し、図7には図示されず)の出力端子に接続される。パレルシフトユニット302の出力端子は、第2のマルチプレクサ306のそれぞれの入力端子に共通して接続される。パレルシフタ302とマルチプレクサとの組み合わせは、第2パレルシフタ回路26を形成する。第2のマルチプレクサ306の出力端子は、長さ用ルックアップテーブル30の入力端子に接続される。長さ用ルックアップテーブル30内のゲート354(図4)からの「0のラン」及び「1のラン」インデックスは、第1のマルチプレクサ296及び第2のマルチプレクサ306のそれぞれの制御入力端子に接続される。

30

【0039】

動作時に、アキュムレータのDフリップフロップ284の現在値は、加算器292の「0のラン」符号語長さに加算される。これら二つの値はクロックサイクルのかなり最初の段階で利用できるので、加算器292は、回路の残りの部分に伝播させるために十分な時間内に出力値を生成することができる。しかし、第2の連続的な「0のラン」又は「1のラン」符号語は、第3パレルシフタ347と、ルックアップテーブル350及び352に本質的に存在する待ち時間に起因して、クロックサイクルのかなり後の段階になるまで利用できないので、加算器におけるこれらの値の処理は十分な伝播時間を与えない。その代わりに、加算器292からの和は複数の加算器294に並列に供給される。

40

【0040】

並列加算器294へのそれぞれの第2の入力L1乃至Lnは、第2の連続的な「0のラン」又は「1のラン」に対し起こり得る一定の個数の長さの中の一つの長さを表現する。好ましい実施例の場合に、第2の符号語に対し14個の起こり得る長さが存在し、14個の並列加算器は、その加算器に対応した符号語の長さを表わす値をそれぞれの第2の入力端子に受信する。上記の通り、「0のラン」又は「1のラン」符号語インデックス信号は1

50

4ビット信号であり、その中の各ビットは起こり得る長さの中の一つの長さを表現し、インデックス信号内の1ビットだけが同時に活性状態になる。この14ビットのインデックス信号は、第1のマルチプレクサ296を制御する。第1のマルチプレクサ296は、14バンクを有するANDゲートにより製作され、各ゲートは、複数の加算器294の中に対応した加算器からの信号を受信し、インデックス信号内の対応したビットによりイネーブル状態にされる。第1のマルチプレクサ296からの出力信号は、アキュムレータのDフリップフロップ284に記憶される。第1のマルチプレクサ296と、1個の固定値が入力された14個の各加算器294の動作は、第2の全加算器よりも高速であるので、このような構成によって、第2の「0のラン」又は「1のラン」のランレングス符号語の長さが単一の符号語の区間内でアキュムレータ値に加算され得る。

10

【0041】

また、14個の並列加算器294は多数の回路を必要とするように考えられるかもしれないが、各加算器が固定値である1個の入力をとるように並列加算器が実現されるならば、論理最小化が適用され、その結果として、例示された回路は全加算器の回路に対し最小限の回路構成を増加するだけで実現される。

同様に、第2のマルチプレクサ306のそれぞれの入力端子は、第1バレルシフタから与えられ、バレルシフトユニット302により認識された第1の「0のラン」符号語の長さ分だけシフトされた符号語を受信する。第2のマルチプレクサ306の各入力端子において、この信号は、第2の連続的な「0のラン」又は「1のラン」符号語の一定種類数の起こり得る長さの中の一つの長さを表現する量だけ更にシフトされる。上記の通り、第2の符号語には14通りの起こり得る長さが存在するので、14個の入力端子が存在し、各入力端子は、その入力端子に対応した第2の符号語の長さ分だけシフトされた符号語信号を受信する。このシフト動作は、バレルシフトユニット302の出力端子からの信号を、図7にラベル“S”で表示されているように適当なビット位置の数だけシフトされた第2のマルチプレクサ306の入力端子に配線することによって従来の方法で行われる。上記の通り、「0のラン」又は「1のラン」符号語インデックス信号は14ビット信号であり、その信号の各ビットは起こり得る長さの中の一つの長さを表現し、インデックス信号の中の1ビットだけが同時に活性化する。14ビットのインデックス信号は、第2のマルチプレクサ306を制御する。第2のマルチプレクサ306は14バンクのANDゲートによって製作され、ANDゲートはインデックス信号内の対応したビットによってイネーブル状態にされる。第2のマルチプレクサ306からの出力信号は、次の未だ復号化されていない符号語を表現し、長さ用ルックアップテーブル30に供給される。第2のマルチプレクサ306の動作はバレルシフタの動作よりも高速であるため、この構成によって、次の未だ復号化されていない符号語は、単一の符号語の区間内で長さ用ルックアップテーブル30に供給され得る。

20

30

【図面の簡単な説明】

【図1】本発明による可変長復号器(VLD)システムのブロック図である。

【図2】図1に示された可変長復号器の各部の詳細なブロック図である。

【図3】図1に示された可変長復号器の各部の詳細なブロック図である。

【図4】図1に示された可変長復号器の各部の詳細なブロック図である。

40

【図5】図1乃至4に示された可変長復号器内のルックアップテーブルの内容を表わすテーブルである。

【図6】図1乃至4に示された可変長復号器内のルックアップテーブルの内容を表わすテーブルである。

【図7】図1及び3に示された可変復号器の一部のより詳細なブロック図である。

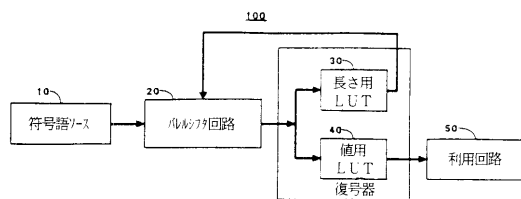
【符号の説明】

- 10 可変長符号語ソース
- 20 バレルシフト回路
- 22 レジスタセット
- 24 第1バレルシフタ

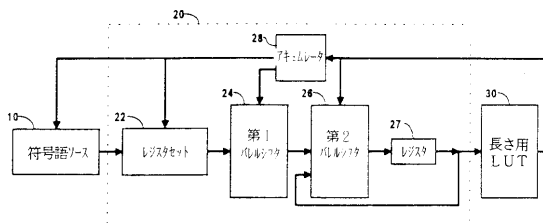
50

2 6	第 2 バレルシフタ	
2 7	レジスタ	
2 8	アキュムレータ	
3 0	符号語長さ用ルックアップテーブル	
3 1	出力端子	
3 2	単一符号語復号化用ルックアップテーブル	
3 5	入力端子	
4 0	符号語値用ルックアップテーブル	
5 0	利用回路	
1 0 0	可変長復号器システム	10
2 8 2	加算装置	
2 8 4	Dフリップフロップ	
2 8 6	同期論理回路	
2 9 2 , 2 9 4 , 2 9 4 A , 2 9 4 B , . . . , 2 9 4 n	加算器	
2 9 6	第 1 のマルチプレкса	
3 0 2	バレルシフトユニット	
3 0 6	第 2 のマルチプレкса	
3 4 2	「0 のラン」符号語検出用ルックアップテーブル	
3 4 4	「0 のラン」符号語インデックス用ルックアップテーブル	
3 4 6	「0 のラン」符号語長さ用ルックアップテーブル	20
3 4 8	第 3 バレルシフタ	
3 5 0	「0 のラン」及び「1 のラン」符号語検出用ルックアップテーブル	
3 5 2	「0 のラン」及び「1 のラン」符号語インデックス用ルックアップテーブル	
3 5 4	ゲート	

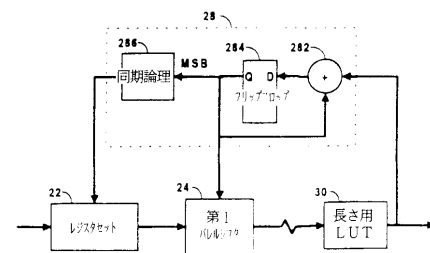
【図 1】



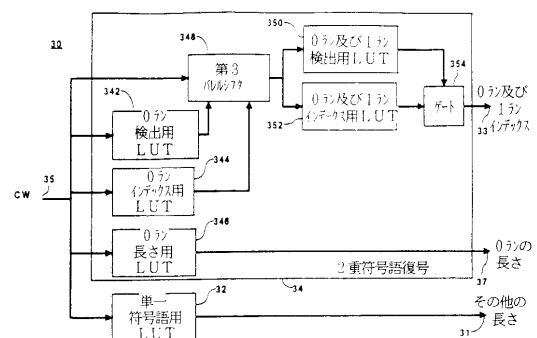
【図 2】



【図 3】



【図 4】



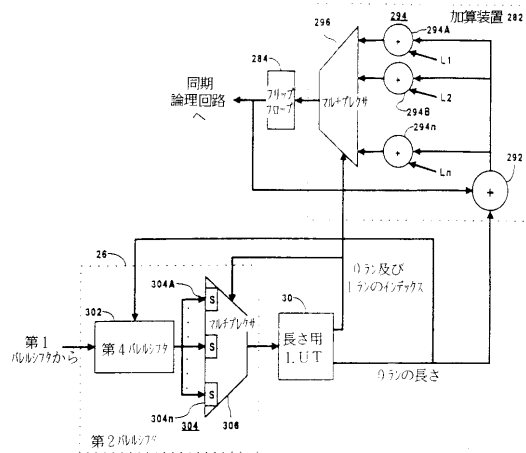
【 図 5 】

[illegible]

【 図 6 】

07及び17可変長符号	7-出力
MF002 077 AC1485 3210 14	長さ(7出力)14
--001 1---	00 1000 0000 0001
--0-0 100- ----	00 1000 1000 1100
--0-0 0101 ----	01 1000 0100 1100
--0-0 0001 10--	00 1001 0001 1001
--0-0 0100 110-	00 1000 0100 1000
--0-0 0100 001- ----	00 1000 1100 0000
--0-0 0000 0101 0--	00 0000 1000 0000
--0-0 0000 0011 101-	00 0001 0000 1000
--0-0 0000 0011 000-	00 0000 0000 1000
--0-0 0000 0010 011-	00 0001 0000 0000
--0-0 0000 0010 000-	00 0001 0000 0000
--0-0 0000 0001 1010 -	00 0010 0000 0000
--0-0 0000 0001 100-	00 0010 0000 0000
--0-0 0000 0001 0111-	00 0010 0000 0000
--0-0 0000 0000 1---	00 0100 0000 0000
--0-0 0000 0000 0110 00	00 0100 0000 0000
--0-0 0000 0000 010- --	00 1000 0000 0001
-1-1 0--- ----	00 0000 0000 0001
-1-1 10- ----	00 0000 0000 1010
-1-0 111- ----	00 0000 0000 1100
-1-1 110- ----	00 0000 0000 1000
-1-0 0010 ----	00 0000 0001 0000
-1-1 1110 11- ----	00 0000 0010 0000
-1-1 1111 00- ----	00 0000 0010 0000
-1-0 0100 01- ----	00 0000 0100 0000
-1-1 1111 01- ----	00 0000 0100 0000
-1-1 1111 11- ----	00 0000 0100 0000
1-0 0000 1000 000- --	10 0000 0000 0000
--0-0 11- ----	00 0000 0000 0010
--0-0 0011 0- ----	00 0000 0001 0000
--0-0 0100 101- ----	00 0000 0100 0000
--0-0 0000 0110 00--	00 0000 1000 0000
--0-0 0000 0011 011-	00 0001 0000 0000
--0-0 0000 0001 0110-	00 0010 0000 0000
--0-0 0000 0001 0101 --	00 0010 0000 0000
--0-0 0000 0000 0111-	00 0000 0000 0000
--0-0 0000 0000 0110 1-	00 1000 0000 0000
--0-0 0000 0000 0110 0-	00 1000 0000 0000
--0-0 0000 0000 0010 0-	01 0000 0000 0000
-1-0 10- ----	00 0000 0000 1010
-1-0 0110 ----	00 0000 0000 1000
-1-1 1110 011- ----	00 0000 0010 0000
-1-0 0100 111- ----	00 0000 0100 0000
-1-0 0100 000- ----	00 0000 0100 0000
1-0-0 0000 1000 001-	10 0000 0000 0000

【 圖 7 】



フロントページの続き

(72)発明者 ジェフリィ アレン クーパー
アメリカ合衆国 インディアナ州 4 6 2 2 8 インディアナポリス ノウル・クレスト・コート
5 0 1 5

審査官 北村 智彦

(56)参考文献 特開平 0 6 - 1 0 4 7 6 7 (J P , A)
特開平 0 8 - 2 6 5 1 6 5 (J P , A)
特開平 0 8 - 0 5 6 1 6 4 (J P , A)
特開平 0 7 - 2 5 5 0 5 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H03M3/00-11/00
H04N 7/30