



(12) 发明专利

(10) 授权公告号 CN 106716840 B

(45) 授权公告日 2021.03.30

(21) 申请号 201580052201.9

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287

(22) 申请日 2015.10.16

代理人 沈锦华

(65) 同一申请的已公布的文献号

申请公布号 CN 106716840 A

(51) Int.CI.

H03K 17/96 (2006.01)

(43) 申请公布日 2017.05.24

H03M 1/12 (2006.01)

(30) 优先权数据

62/065,129 2014.10.17 US

(56) 对比文件

14/883,842 2015.10.15 US

US 2010102832 A1, 2010.04.29

(85) PCT国际申请进入国家阶段日

US 2013088242 A1, 2013.04.11

2017.03.27

US 2012254803 A1, 2012.10.04

(86) PCT国际申请的申请数据

US 2003197632 A1, 2003.10.23

PCT/US2015/055874 2015.10.16

CN 103918185 A, 2014.07.09

(87) PCT国际申请的公布数据

CN 1929288 A, 2007.03.14

W02016/061429 EN 2016.04.21

CN 102187582 A, 2011.09.14

(73) 专利权人 密克罗奇普技术公司

CN 201303304 Y, 2009.09.02

地址 美国亚利桑那州

US 2010078304 A1, 2010.04.01

(72) 发明人 詹姆士·E·巴特林

US 2009002206 A1, 2009.01.01

伊戈尔·沃耶沃达 凯文·基尔策

审查员 陈新宇

权利要求书2页 说明书6页 附图8页

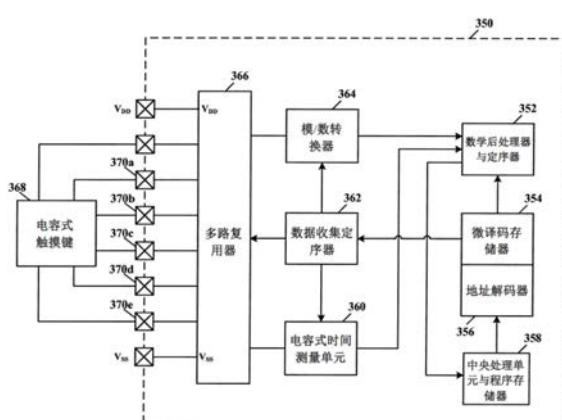
(54) 发明名称

利用微译码定序器的模/数转换

(57) 摘要

一种微译码定序器独立于中央处理单元CPU来控制复杂转换序列。微译码实现了容易地添加新过程步骤及/或更新现有过程步骤。此可编程定序器结合例如模/数转换器ADC或充电时间测量单元CTMU等模/数转换模块及数字处理电路而可经配置以独立于所述CPU而与所述微译码定序器组合地工作。借此在所述CPU及其它高功率模块处于低功率睡眠模式中时在低功率模式中提供自足式操作。此外外围装置可执行数据收集及其处理,接着仅在需要时唤醒所述CPU,借此节省功率。此外,此外围装置不需要CPU处理,使得确实需要受所述CPU控制的时间关键应用程序可更高效地且以更少操作开销负担来操作。

CN 106716840 B



1. 一种微控制器,所述微控制器包括用于使用微译码定序器进行模/数转换的设备,所述微控制器进一步包括:

中央处理单元和程序存储器;

其中所述用于使用微译码定序器进行模/数转换的设备包括:

用于模/数转换的构件;

微译码定序器,其耦合到所述模/数转换构件且控制所述模/数转换构件;

微译码数学后处理器定序器,其耦合到所述模/数转换构件的输出以接收经转换的数据,且进一步经配置以处理所述经转换的数据且将结果提供至所述中央处理单元;及

存储器,其耦合到所述微译码定序器和所述微译码数学后处理器定序器,所述微译码数学后处理器定序器经配置以对从所述模/数转换构件接收的数据进行算术处理,其中所述存储器存储用于指令所述微译码定序器如何控制所述模/数转换构件以及如何控制用于处理所述用于模/数转换的构件产生的数据的所述微译码数学后处理器定序器的微译码字。

2. 根据权利要求1所述的微控制器,其中所述模/数转换构件是模/数转换器。

3. 根据权利要求1所述的微控制器,其中所述模/数转换构件是充电时间测量单元。

4. 根据权利要求1所述的微控制器,其进一步包括具有耦合到所述模/数转换构件的输入的输出且受所述微译码定序器控制的模拟多路复用器,其中所述模拟多路复用器选择其输入,所述输入由指令所述微译码定序器的所述微译码字确定。

5. 根据权利要求1所述的微控制器,其进一步包括耦合到所述存储器且用于为所述微译码定序器和所述微译码数学后处理器定序器选择微译码字的地址解码器。

6. 根据权利要求1所述的微控制器,其中所述中央处理单元具有低功率睡眠模式,其中当所述中央处理单元处于所述低功率睡眠模式中时所述微译码定序器、微译码数学后处理器定序器、模/数转换构件及存储器起作用。

7. 根据权利要求1所述的微控制器,其中所述微译码字中的每一者包括数据部分及数学后处理器部分。

8. 根据权利要求1所述的微控制器,其中第一多个微译码字控制所述微译码定序器且第二多个微译码字控制所述微译码数学后处理器定序器。

9. 根据权利要求8所述的微控制器,其中所述第一多个微译码字和所述第二多个微译码字由地址解码器选择以大体上同时指令所述微译码数学后处理器定序器和所述微译码定序器。

10. 根据权利要求1所述的微控制器,其中第一多个微译码字控制第一步骤序列且第二多个微译码字控制第二步骤序列。

11. 根据权利要求10所述的微控制器,其中所述第一多个微译码字和所述第二多个微译码字由地址解码器选择以大体上同时指令所述微译码数学后处理器定序器和所述微译码定序器。

12. 根据权利要求1所述的微控制器,其中所述微译码字包括选自由以下各项组成的群组的若干部分:循环控制、数学计算控制、模/数转换控制、充电时间测量单元控制及外部节点连接控制。

13. 根据权利要求1所述的微控制器,其中所述微译码字包括选自由以下各项组成的群

组的若干部分：序列结束、阈值控制、模/数转换锁存器时钟、累加器锁存器时钟、记录控制及累加器控制。

14. 根据权利要求1-13中任一权利要求所述的微控制器，其中所述微译码定序器由状态机形成，所述状态机受可编程指令字控制，其中所述状态机执行所述模/数转换器核心的控制功能且可操作以至少配置所述微控制器的外部引脚，起始取样及转换，将结果存储于存储器中，且执行循环操作。

15. 根据权利要求14所述的微控制器，其中指令字包括用于定义以下各项中的至少一者的位字段：循环、后处理功能、ADC控制功能及外部引脚配置。

16. 根据权利要求15所述的微控制器，其进一步包括电容式时间测量单元CTMU，且其中所述指令字包括用于控制所述CTMU的位字段。

17. 根据权利要求14所述的微控制器，其进一步包括可受至少一个后处理指令字控制的算术逻辑单元，其中由状态机指令字起始后处理。

18. 根据权利要求17所述的微控制器，其中所述后处理指令字包括用于控制阈值、累加器输入及结果存储的至少一个位字段。

利用微译码定序器的模/数转换

[0001] 相关专利申请案

[0002] 本申请案主张2014年10月17日提出申请的共同拥有的第62/065,129号美国临时专利申请案的优先权,所述美国临时专利申请案特此出于所有目的以引用方式并入本文中。

技术领域

[0003] 本发明涉及模/数转换模块,且特定来说涉及与微译码定序器组合的模/数转换模块。

背景技术

[0004] 模/数转换(特定来说,嵌入于微控制器中的模/数转换模块)通常处于微控制器的相应中央处理单元(CPU)核心的软件控制下。这些模/数转换模块在CPU非作用时在低功率模式(例如睡眠及闲置)中具有受限制操作。在某些应用中,模/数转换模块需要与其它微控制器外围装置功能(例如,存储寄存器、累加器、多路复用器、取样与保持电路等)交互作用,此需要CPU控制所述模/数转换模块与这些其它微控制器外围装置功能之间的交互作用。对CPU必须控制模/数转换模块与其它支持外围装置之间的交互作用的此需要消耗可更有成效地使用的有价值的CPU处理功率(举例来说但并不限于用于电动机控制、切换模式电力供应(SMPS)控制、数字信号处理(DSP)等)。而且,当需要CPU执行各种任务时,此可增加微控制器的功率消耗。

[0005] 作为对CPU控制的替代,与模/数转换模块组合的硬译码定序器可针对(例如)执行算法的过程提供一个步骤序列。然而,无法改变硬译码定序器中的步骤以校正错误或将改进并入到所述过程。仅单个过程序列是可用的且无其它或更多步骤可被改变或添加到所述过程。此导致每一集成电路装置最终可能是唯一的,这是因为在生产集成电路装置期间从一个集成电路装置到另一者调整过程步骤。

发明内容

[0006] 因此,需要独立于CPU涉入且可视需要改变及更新的复杂过程转换序列。一些此类过程转换序列可为(举例来说但并不限于)电容式(CAP)触摸检测。复杂过程是不断演进的,因此过程转换序列需要随所述复杂过程演进且以过程目标所需要的最小功率运行。

[0007] 根据一实施例,一种用于使用微译码定序器进行模/数转换的设备可包括:用于模/数转换的构件;微译码定序器,其耦合到所述模/数转换构件且控制所述模/数转换构件;及存储器,其耦合到所述微译码定序器,其中所述存储器存储用于指令所述微译码定序器如何控制所述模/数转换构件的微译码字。

[0008] 根据另一实施例,所述模/数转换构件可为模/数转换器(ADC)。根据另一实施例,所述模/数转换构件可为充电时间测量单元(CTMU)。根据另一实施例,可提供具有耦合到所述模/数转换构件的输入的输出且可受所述微译码定序器控制的模拟多路复用器,其中所

述模拟多路复用器可选择其输入,所述输入可由指令所述微译码定序器的所述微译码字确定。根据另一实施例,地址解码器可耦合到所述存储器且可用于为所述微译码定序器选择微译码字。

[0009] 根据另一实施例,中央处理单元(CPU)可具有低功率睡眠模式,其中当所述CPU可处于所述低功率睡眠模式中时,所述微译码定序器、模/数转换构件及存储器起作用。根据另一实施例,所述CPU、微译码定序器、模/数转换构件及所述存储器可由微控制器提供。根据另一实施例,所述微译码定序器可包括数据收集定序器及数学后处理器定序器。根据另一实施例,可提供数学后处理器,其中所述数学后处理器可受所述数学后处理器定序器控制。根据另一实施例,所述微译码字中的每一者可包括数据部分及数学后处理器部分。根据另一实施例,第一多个微译码字控制所述数据收集定序器且第二多个微译码字控制所述数学后处理器定序器。根据另一实施例,第一多个微译码字可控制第一步骤序列且第二多个微译码字可控制第二步骤序列。根据另一实施例,所述微译码字可包括选自由以下各项组成的群组的若干部分:循环控制、数学计算控制、模/数转换控制、充电时间测量单元控制及外部节点连接控制。根据另一实施例,所述微译码字可包括选自由以下各项组成的群组的若干部分:序列结束、阈值控制、模/数转换锁存器时钟、累加器锁存器时钟、记录控制及累加器控制。

[0010] 根据另一实施例,一种位于集成电路装置中的模/数转换器外围装置可包括:模/数转换器(ADC)核心;状态机,其受可编程指令字控制,其中所述状态机可执行所述ADC核心的控制功能且可操作以至少配置所述集成电路装置的外部引脚,起始取样及转换,将结果存储于存储器中,且可执行循环操作;及存储器,其可存储相关联指令字序列。

[0011] 根据另一实施例,指令字可包括用于定义以下各项中的至少一者的位字段:循环、后处理功能、ADC控制功能及外部引脚配置。根据另一实施例,可提供电容式时间测量单元(CTMU),其中所述指令字可包括用于控制所述CTMU的位字段。根据另一实施例,可提供可受至少一个后处理指令字控制的算术逻辑单元,其中可由状态机指令字起始后处理。根据另一实施例,所述后处理指令字可包括用于控制阈值、累加器输入及结果存储的至少一个位字段。根据另一实施例,一种微控制器可包括前述模/数转换器外围装置中的任一或更多者。

附图说明

[0012] 通过参考联合附图所进行的以下说明可获取对本发明的更完整理解,其中:

[0013] 图1,包含图1(a)到1(c),图解说明根据本发明的教示的电容式分压器测量(例如,用于电容式触摸检测)的示意性电路图、示意性曲线图及其开关时序图;

[0014] 图2图解说明根据本发明的特定实施例的图1中所展示的步骤序列的流程图的示意图;

[0015] 图2A图解说明根据本发明的特定实例性实施例的微控制器的示意性框图;

[0016] 图2B图解说明根据本发明的特定实施例的多个微译码字的示意性框图;

[0017] 图3图解说明根据本发明的特定实例性实施例的用于控制CVD过程所需要的资源的微译码字的寄存器位指派图;

[0018] 图4图解说明根据本发明的特定实例性实施例的数据累加与处理逻辑的示意性框图;

[0019] 图5图解说明根据本发明的特定实例性实施例的数据比较逻辑的示意性框图；及
[0020] 图6图解说明根据本发明的特定实例性实施例的用于控制数学后处理所需要的资源的微译码字的寄存器位指派图。

[0021] 虽然本发明易于作出各种修改及替代形式，但已在图式中展示并在本文中详细描述其特定实例性实施例。然而，应理解，本文中对特定实例性实施例的说明并非打算将本发明限制于本文中所揭示的特定形式。

具体实施方式

[0022] 根据本发明的各种实施例，微译码定序器可用于独立于集成电路装置（例如但并不限于微控制器）的模/数转换及/或中央处理单元（CPU）核心来提供完全复杂转换序列。通过使定序器为微译码的，可添加新过程步骤且更新现有过程步骤。

[0023] 此可编程定序器结合模/数转换模块（举例来说但并不限于模/数转换器（ADC）及/或充电时间测量单元（CTMU））及数字处理（例如，计算）电路而可经配置以独立于CPU核心而工作。因此，当CPU及/或其它高功率消耗模块处于低功率睡眠模式中时，控制模/数转换及后续数字处理的微译码定序器在低功率模式中提供自足式操作。此外围装置可执行数据收集及其处理，接着仅在需要时唤醒CPU，借此节省功率。此外，此外围装置不需要CPU处理，使得确实需要受CPU控制的时间关键应用程序可更高效地且以更少操作开销负担来操作。

[0024] 预期且在本发明的范围内，可通过任一类型的ADC或CTMU而将电容式分压器（CVD）电路的因组合ADC的经充电/放电外部电容（例如，触摸键）与经放电/充电内部取样与保持电容器所致的的模拟电压转换为数字表示，所述任一类型的ADC或CTMU可用于提供模拟电压值的数字表示。CTMU可用于将具有CVD结果的取样与保持电容器充电或放电到已知电压值，且达到所述已知电压值所花费的时间（时钟计数）可用于确定CVD电压值结果。在以下文献中更全面地描述用于提供模拟值的数字表示的CTMU的应用：可在www.microchip.com处获得的微芯片应用注解AN1250及AN1375，以及两者均为詹姆斯E.巴特林（James E.Bartling）的共同拥有的第US 7,460,441 B2号美国专利（标题为“测量长时间周期（Measuring a long time period）”）及第US 7,764,213 B2号美国专利（标题为“当前数/模转换器（Current-time digital-to-analog converter）”），其中所述文献全部特此出于所有目的以引用方式并入本文中。

[0025] 可编程定序器提供灵活性，这是因为其微译码程序步骤可经改变以校正错误或将改进并入到应用的过程步骤。可视需要添加及/或改变可编程定序器中的过程步骤。可容易地更新使用此微译码可编程定序器的所有装置，借此简化其设计及支持。另外，可需要较少的此类装置，这是因为一个装置可经编程以用于许多不同应用。

[0026] 现在参考图式，示意性地图解说明实例性实施例的细节。将由相似编号表示图式中的相似元件，且将由具有不同小写字母后缀的相似编号表示类似元件。

[0027] 参考图1，描绘根据本发明的教示的电容式分压器测量（例如，用于电容式触摸检测）的示意图、示意性曲线图及其开关时序图。此电容式分压器（CVD）测量可具有步骤序列，所述步骤序列可包括预充电阶段、获取阶段（电压平衡）及转换阶段。通常可执行这些步骤序列两次且将两个结果一起求平均以实现经改进噪声排除。针对第一步骤序列，可将外部电容器充电且将取样电容器放电。针对后续第二步骤序列，可将外部电容器放电且可将取

样电容器充电,或反之亦然。对于这些步骤序列两者来说,获取及转换阶段可为相同的。

[0028] 图1(a)展示使用与模/数转换器(ADC)102及多个开关SW_a到SW_e(例如,模拟多路复用器)组合的内部取样电容器Cb的广义CVD电路的示意图。电容器Ca是位于所述集成电路外部的电容器(例如,电容式触摸键)。图1(b)展示电容器Ca及Cb的各种电压电荷状态。CVD依据以下原理操作:当将相反电压电荷的两个电容器连接在一起时,所得静态电压电荷将为两个不同电容值的比率。可通过知晓一个电容值(例如,Cb)而确定另一个电容值(例如,Ca)。

[0029] 参考图2,描绘根据本发明的特定实施例的图1中所展示的步骤序列的流程图。前述步骤序列需要存取及控制资源(例如输入/输出(I/O)引脚),逐次逼近寄存器(SAR)可在模/数转换器(ADC)或CTMU、多路复用器、取样与保持电路等中使用。CVD过程在步骤202处开始。在步骤204中,将外部电容器Ca充电到V_{DD}且将内部电容器Cb放电到V_{SS}达时间A。在步骤206中,将两个电容器Ca及Cb连接在一起且在时间B之后其相应电荷将均衡(平衡)到V_{DD}与V_{SS}之间的电压V_{Ca}+V_{Cb}。在步骤208中,将内部电容器Cb上的此均衡电压V_{Ca}及V_{Cb}转换为数字值A(转换结束(EOC))。在步骤210中,将此数字值A发送到后过程转换A,如在下文中更全面地描述。在步骤212中,将外部电容器Ca放电到V_{SS}且将内部电容器Cb充电到V_{DD}达时间A。在步骤214中,将两个电容器Ca及Cb连接在一起且在时间B之后其相应电荷将均衡(平衡)到V_{DD}与V_{SS}之间的电压。在步骤216中,将内部电容器Cb上的此均衡电压转换为数字值B(转换结束(EOC))。在步骤218中,将此数字值B发送到后过程转换B,如在下文中更全面地描述。

[0030] 参考图2A,描绘根据本发明的特定实例性实施例的微控制器的示意性框图。微控制器350可包括数学后处理器与定序器(MPPS)352、微译码存储器354、地址解码器356、CPU与程序存储器358、CTMU 360、数据收集定序器(DCS)362、ADC 364、模拟多路复用器366、可用于将微控制器350耦合到电容式触摸键368的多个外部连接节点370a..e。

[0031] DCS 362可使用来自微译码存储器354的微译码字(DCSCW)来控制。用于每一序列状态的DCSCW可用于指令DCS 362如何控制多路复用器366、ADC 364及/或CTMU 360。MPPS 352可使用来自微译码存储器354的微译码字(MPPSCW)来控制。用于每一计算序列状态的MPPSCW可用于指令MPPS 352如何处理来自ADC 364及/或CTMU 360的数据,接着在适当时将结果提供到CPU 358。

[0032] 多路复用器366可用于将外部节点370耦合到V_{DD}、V_{SS}或者ADC 364或CTMU 360的输入,如在上文对图1及2的论述中更全面地描述。DCS 362、MPPS 352、多路复用器366及微译码存储器354可独立于CPU及程序存储器358而操作,且可允许微控制器350中的较高功率汲取模块保持处于低功率睡眠模式中直到满足预定义准则(例如,触摸键368的电容改变足以指示电容式物件紧密接近于其(例如,手指触摸(未展示)))为止。

[0033] 参考图2B,描绘根据本发明的特定实施例的多个微译码字的示意性框图。第一步骤序列可包括多个微译码字320a、b、c,其中多个微译码字320a、b、c中的每一者表示相关联第一序列中的步骤。第二步骤序列可包括多个微译码字322a、b、c,其中多个微译码字322a、b、c中的每一者表示相关联第二序列中的步骤。接收地址ADDR的地址解码器356可控制选择多个微译码字320a、b、c或322a、b、c中的哪一者,其中多个微译码字320a、b、c或322a、b、c中的所述选定一者的微译码内容提供用于DCS 362及MPPS 352的操作指令。预期且在本发明的范围内,可通过地址解码器356基本上同时地选择适当微译码字320a、b、c及322a、b、c以

指令MPPS 352及DCS 362控制其管线操作的适当功能。

[0034] 参考图3,描绘根据本发明的特定实例性实施例的用于控制CVD过程所需要的资源的微译码字的寄存器位指派图。微译码字可存储于(举例来说但并不限于)一次编程(OTP)存储器、快闪存储器、随机存取存储器(RAM)、易失性及/或非易失性存储器中。在此架构中可添加或修改序列,借此形成可减小CPU工作负载或在其它较高功率需求模块(例如,CPU)处于睡眠模式中时运行以节约功率的智能外围装置。

[0035] 微译码字可包括用于以下功能的位字段:定义一或多个循环,控制后处理转换数学运算,控制各种CVD阶段,控制ADC 364,控制电容式时间测量单元(CTMU)360及其各种操作阶段,控制与外围装置相关联的各种外部节点370a...e(集成电路封装的外部连接)的操作等等。从如图1中所展示的测量转换序列开始,可形成如图2中所展示的状态图。接着,针对流程图中的每一相关联状态而定义程序字。接着,将序列步骤存储于微译码存储器354(例如,快闪存储器、RAM)中或将其硬译码到一次可编程(OTP)存储器中。

[0036] 图3中所展示的微译码字可包括(举例来说但并不限于)32个位。其中位[31:26](L0...L4、Seq End)可用于循环控制,位[25:19](R0...R6)可经保留以供未来使用,位[18:16](M0..M2)可用于数学计算控制,位[15:12](SAM、CON、ADC DIS、ADC CHG)可用于ADC控制,位[11:8](RST..TEM)可用于CTMU控制,且位[7:0](PC0 0、PC0 1、PC1 0、PC1 1、PC2 0、PC2 1、PC3 0、PC3 1)可用于外部节点连接(例如,微控制器集成电路封装上的外部连接引脚)。

[0037] 可编程定序器(DCS 362及/或MPPS 352)可包括状态机,所述状态机可存取装置的模块(外围装置)的相应特殊功能寄存器以控制其相关联功能。可实施通过微译码字320及322控制的状态机。当仅需要某些功能时,状态机可经设计有最少相关联逻辑以使其逻辑装置占用面积在集成电路硅裸片上是小的。

[0038] 现在参考图4,描绘根据本发明的特定实例性实施例的数据累加与处理逻辑的示意性框图。整体由编号400表示的数据累加与处理逻辑可包括第一多路复用器420、记录锁存器422、记录文件424、第二多路复用器426、移位寄存器430、ADC锁存器432、加法/减法逻辑436、第三多路复用器438及累加器锁存器440。所有前述逻辑可在状态机配置中使用且受微译码字320及/或322控制。

[0039] 现在参考图5,描绘根据本发明的特定实例性实施例的数据比较逻辑的示意性框图。整体由编号500表示的数据比较逻辑可包括“大于”比较器550、“小于”比较器552、第四多路复用器554、第五多路复用器560、第六多路复用器562、N+1记录锁存器556、高阈值锁存器(THHLDH)558、N记录锁存器564及低阈值锁存器(THHLDL)566。

[0040] 可提供如图4及5中所展示的数学处理。可通过使用可与MPPS 352计算序列控制有联系的一或多个单独微译码字来定义数学处理。如图6中所展示的相应微译码字允许使用如图4中所展示的相关联算术逻辑单元及如图5中所展示的比较运算来执行数学运算。可执行加法或减法且可选择用于所执行的相应运算的各种输入信号。阈值寄存器允许与上限阈值及下限阈值的比较且产生如图5中所展示的相关联信号。

[0041] 现在参考图6,描绘根据本发明的特定实例性实施例的用于控制数学后处理所需要的资源的微译码字的寄存器位指派图。数学后处理可通过以下各项来完成:首先,定义后处理的各种状态且创建相关联状态图。随后,可使用(举例来说但并不限于)图6中所展示的

微译码字来针对每一状态定义程序字。图6中所展示的微译码字可包括(举例来说但并不限于)24个位。其中位[23] (Seq End) 可指示序列的结束,位[22:19] (R0…R3) 可经保留以供未来使用,位[18:13] (CMP SRC、CMP DATA、CY 0、CT 1、RLOCLK、RL1CLK) 可用于阈值控制,位[12] (ADC Latch CLK) 可用于ADC锁存器时钟,位[11] (ACC Latch CLK) 可用于ACC(累加器)锁存器时钟,位[10:6] (SRC 0、SRC 1、STR 0、STR 1、STR 2) 可用于记录控制,且位[5:0] (AIN 0、AIN 1、BIN 0、BIN 1、F0、F1) 可用于累加器控制。每一微译码字可存储于快闪或DRAM中或者可经硬译码于类似于定序器控制的OTP存储器中。

[0042] 所得微译码定序器外围装置提供以下益处:其可为实现较大灵活性而配置,其允许容易地从错误恢复,其允许较易于包含新过程步骤。可由经存储码提供预定义序列,所述经存储码可经创建且针对多个预定义应用对用户可用。然而,所述装置当然也将允许用户创建其自身的定制过程步骤。此微译码定序器外围装置能够独立于CPU而操作。

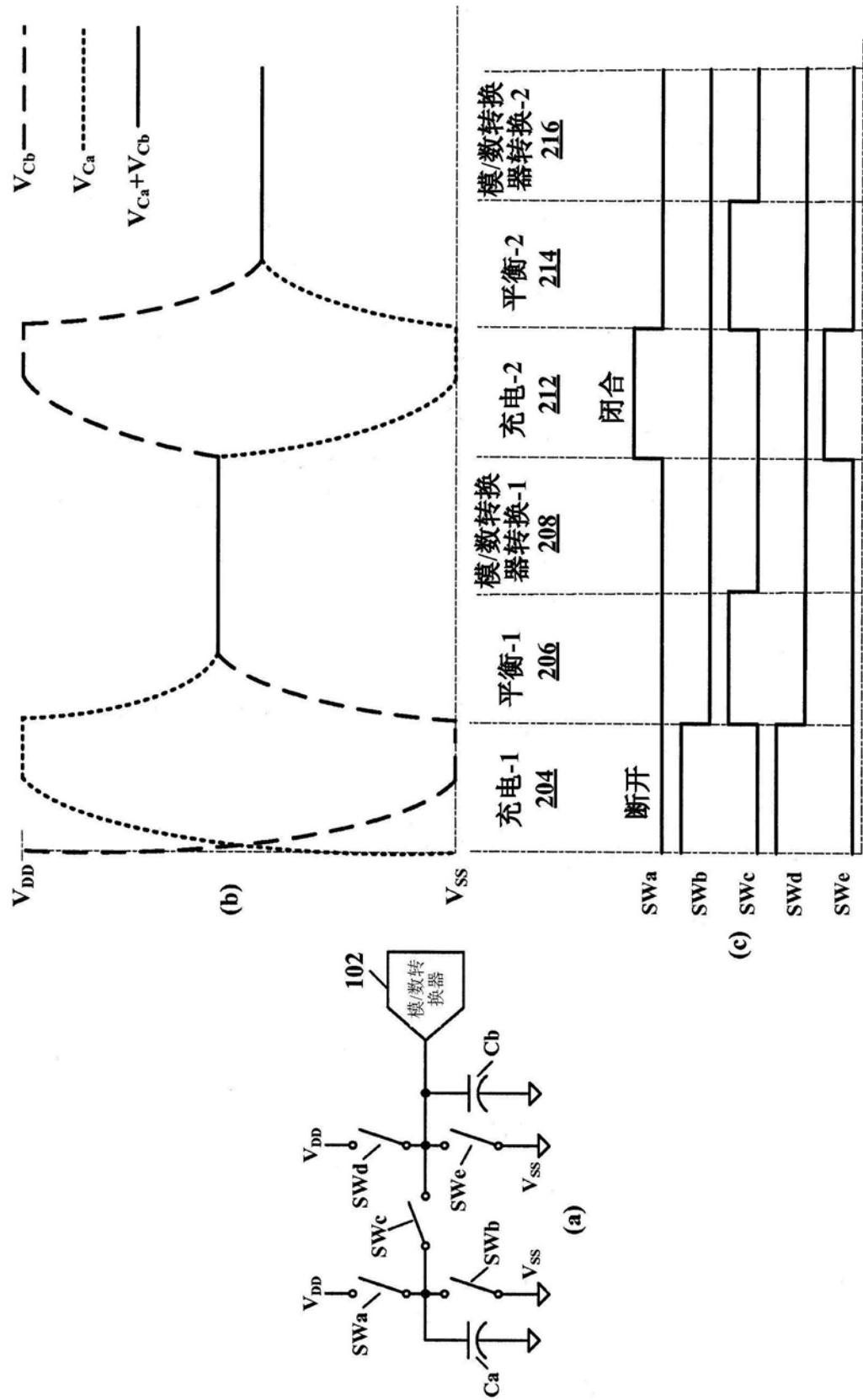


图1

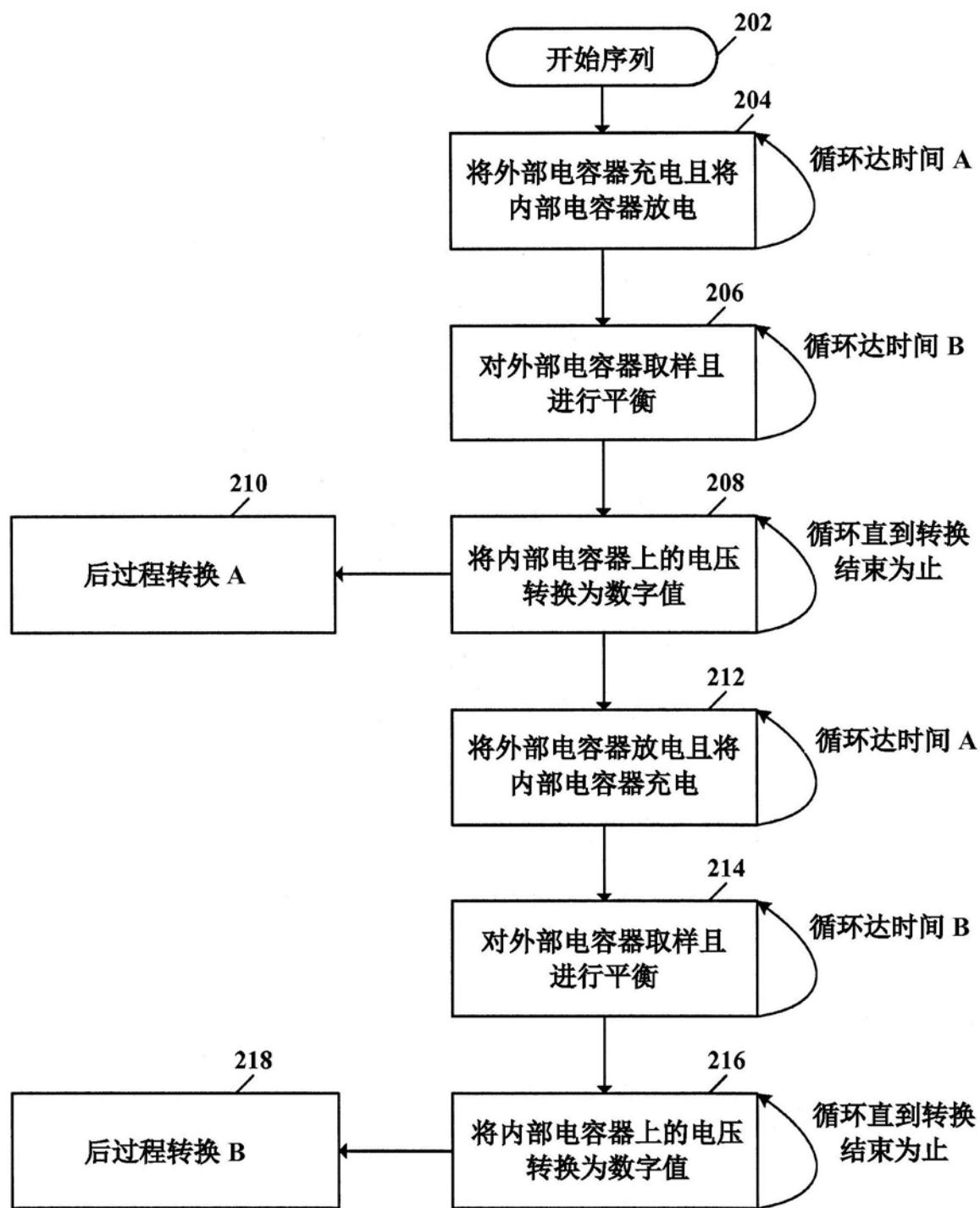


图2

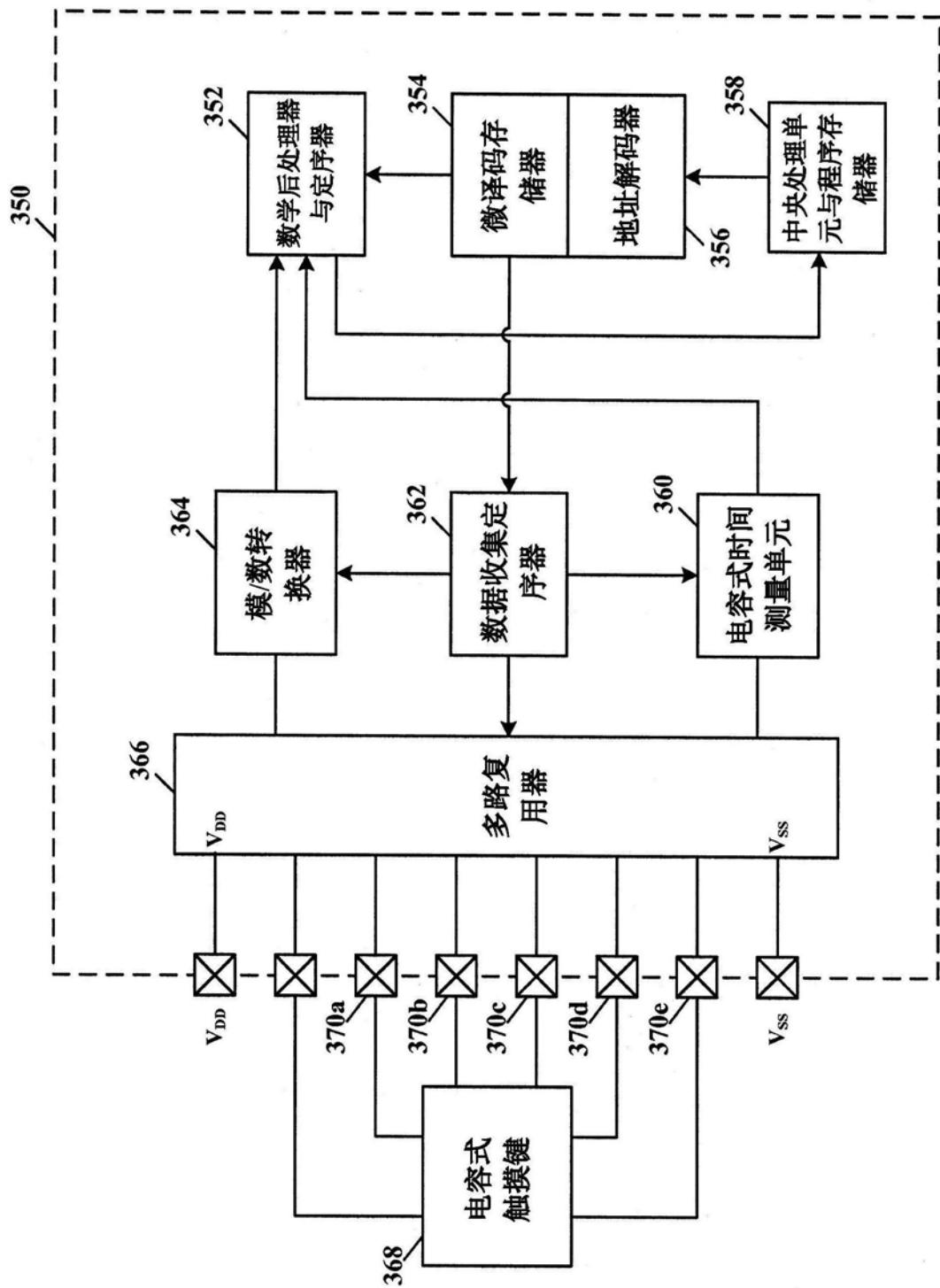


图 2A

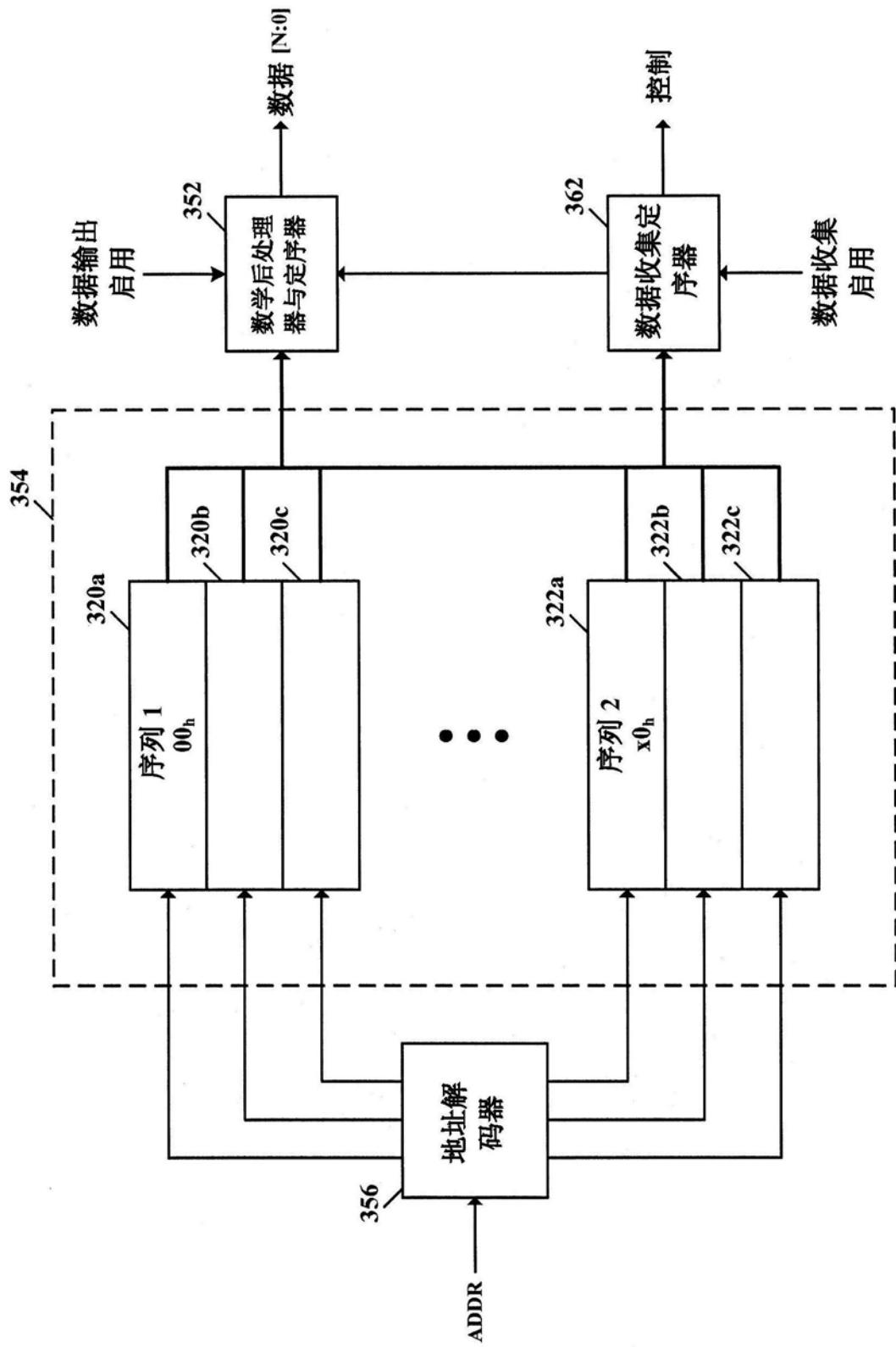


图2B

图3

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R3	R2	R1	RO	RL 1 CLK	RL 0 CLK	CT 1	CT 0	CMP DATA	CMP SRC	STR 2	STR 1	STR 0	SRC 1	SRC 0	F1	F0	BIN 1	BIN 0	AIN 1	AIN 0			
序列 结束		保留		阈值控制		累加器锁存器时钟		累加器锁存器时钟		写入时钟选择		写入来源		功能选择		来源 B		来源 A		累加器控制			
记录控制																							

图6

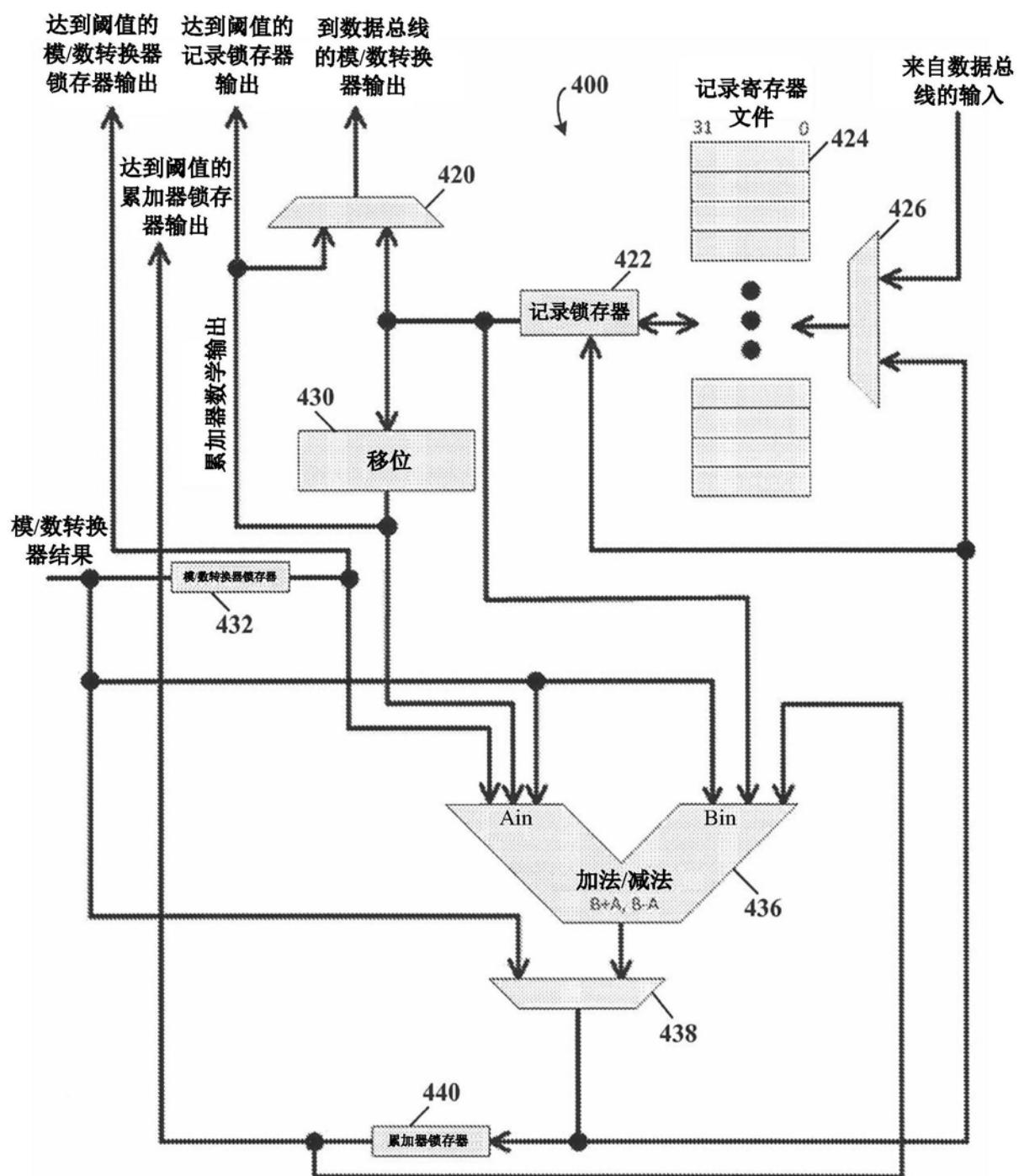


图4

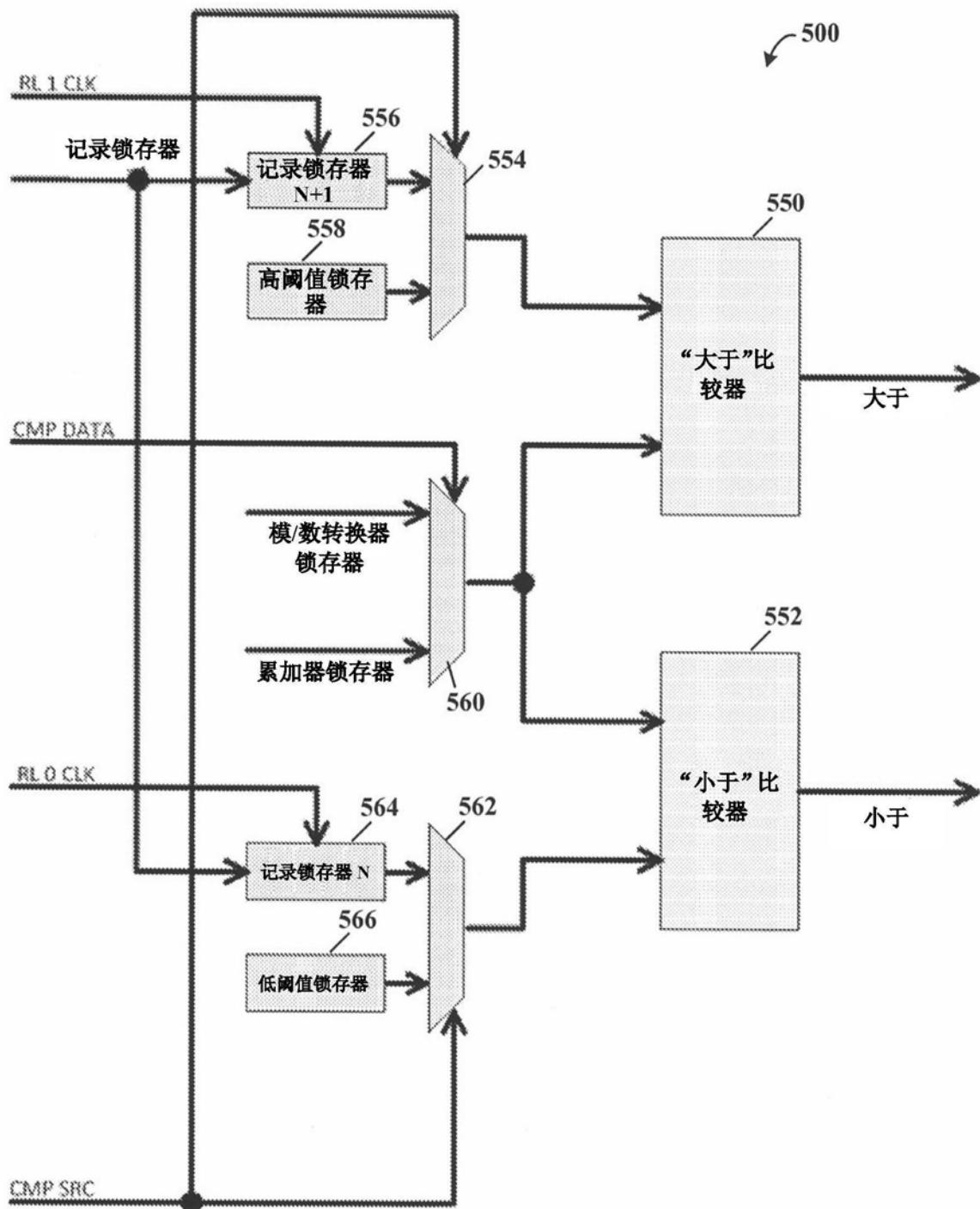


图5