



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0014765
(43) 공개일자 2019년02월13일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 27/12 (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 27/1214 (2013.01)
(21) 출원번호 10-2017-0098643
(22) 출원일자 2017년08월03일
심사청구일자 2017년08월03일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
김태근
경기도 성남시 분당구 양현로 88 이매촌동부코오
롱아파트 503동 1403호
최혁준
대구광역시 달서구 장기로 145 성당래미안e-편한
세상2단지아파트 214동 802호
(74) 대리인
특허법인주원

전체 청구항 수 : 총 22 항

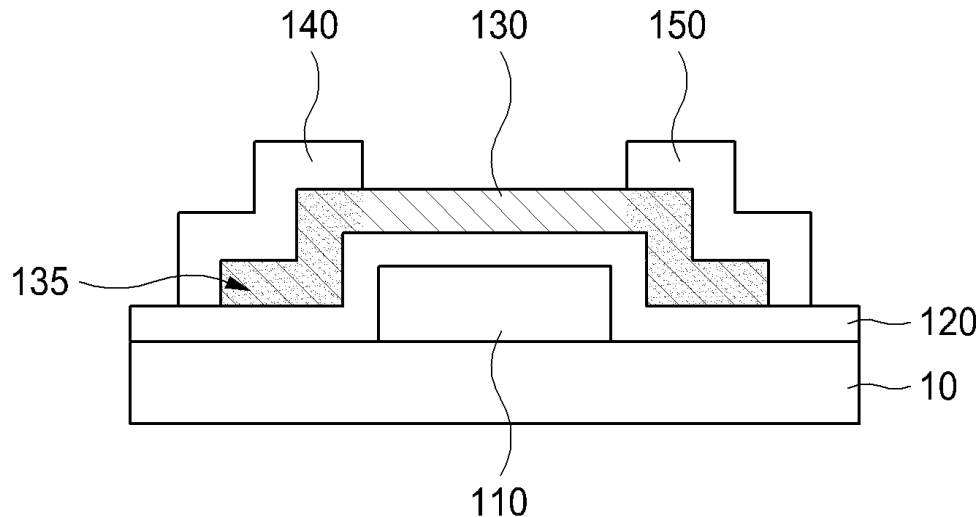
(54) 발명의 명칭 산화물 박막 트랜지스터 및 이의 제조방법

(57) 요약

본 발명은 산화물 박막 트랜지스터 및 이의 제조방법에 관한 것이다.

또한, 본 발명은 기판 상에 형성되는 게이트 전극, 기판과 상기 게이트 전극의 위에 형성되는 게이트 절연막, 상기 게이트 절연막의 상부에서 상기 게이트 전극을 따라 형성되고, 전기적 포밍 공정에 의한 산소 공공(oxygen vacancy)이 전체 또는 일부 영역에 포함되어 있는 산화물 반도체층, 상기 산화물 반도체층 위에서 상기 게이트 전극의 일측으로 형성되는 소스 전극 및 상기 산화물 반도체층 위에서 상기 게이트 전극의 타측으로 형성되는 드레인 전극을 포함하는 산화물 박막 트랜지스터를 제공할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 29/78618 (2013.01)

명세서

청구범위

청구항 1

기관 상에 형성되는 게이트 전극;

기관과 상기 게이트 전극의 위에 형성되는 게이트 절연막;

상기 게이트 절연막의 상부에서 상기 게이트 전극을 따라 형성되고, 전기적 포밍 공정에 의한 산소 공공(oxygen vacancy)이 전체 또는 일부 영역에 포함되어 있는 산화물 반도체층;

상기 산화물 반도체층 위에서 상기 게이트 전극의 일측으로 형성되는 소스 전극; 및

상기 산화물 반도체층 위에서 상기 게이트 전극의 타측으로 형성되는 드레인 전극;을 포함하는 산화물 박막 트랜지스터.

청구항 2

제 1항에 있어서,

상기 산화물 반도체층에는,

상기 소스 전극 및 상기 드레인 전극의 형성 이전에, 상기 산화물 반도체층 위에 금속층을 증착하고 소정의 전압을 인가하여 산소 공공을 유도하는 포밍 공정이 수행된 후, 상기 금속층을 제거하는 에칭 공정이 수행된 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 3

제 2항에 있어서,

상기 산화물 반도체층에는,

상기 금속층의 증착 이전에, 상기 산화물 반도체층 위에 절연층을 증착하고, 상기 절연층 위에 상기 금속층을 증착하며, 상기 금속층에 소정의 전압을 인가하여 산소 공공을 유도하는 포밍 공정이 수행된 후, 상기 절연층 및 상기 금속층을 제거하는 에칭 공정이 수행된 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 4

제 3항에 있어서,

상기 산화물 반도체층에 증착되는 절연층은 AlN, SiO₂, Al₂O₃, NiO, HfO₂, HfO_x, MgO, TiO₂, TiO_x 및 ZnO 중에서 선택된 어느 하나인 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 5

제 2항에 있어서,

상기 산화물 반도체층에 증착되는 금속층은 Pt, Ti, Al, Ta, Ni, W, Cu, Ag, Ir, Au, In, Ga, Zn 및 Cr 중 적어도 하나인 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 6

기관 상에 형성되고, 전기적 포밍 공정에 의한 산소 공공(oxygen vacancy)이 전체 또는 일부 영역에 포함되어 있는 산화물 반도체층;

상기 산화물 반도체층의 위에 형성되는 게이트 절연막;

상기 게이트 절연막의 위에 형성되는 게이트 전극;

상기 게이트 전극의 일측으로 상기 산화물 반도체층의 일단에 연결되는 소스 전극; 및

상기 게이트 전극의 타측으로 상기 산화물 반도체층의 타단에 연결되는 드레인 전극;을 포함하는 산화물 박막 트랜지스터.

청구항 7

제 6항에 있어서,

상기 산화물 반도체층에는,

상기 소스 전극 및 상기 드레인 전극의 연결 이전에, 상기 산화물 반도체층 위에 금속층을 증착하고 소정의 전압을 인가하여 산소 공공을 유도하는 포밍 공정이 수행된 후, 상기 금속층을 제거하는 에칭 공정이 수행된 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 8

제 7항에 있어서,

상기 산화물 반도체층에는,

상기 금속층의 증착 이전에, 상기 산화물 반도체층 위에 절연층을 증착하고, 상기 절연층 위에 상기 금속층을 증착하며, 상기 금속층에 소정의 전압을 인가하여 산소 공공을 유도하는 포밍 공정이 수행된 후, 상기 절연층 및 상기 금속층을 제거하는 에칭 공정이 수행된 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 9

제 8항에 있어서,

상기 산화물 반도체층에 증착되는 절연층은 AlN , SiO_2 , Al_2O_3 , NiO , HfO_2 , HfO_x , MgO , TiO_2 , TiO_x 및 ZnO 중에서 선택된 어느 하나인 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 10

제 7항에 있어서,

상기 산화물 반도체층에 증착되는 금속층은 Pt, Ti, Al, Ta, Ni, W, Cu, Ag, Ir, Au, In, Ga, Zn 및 Cr 중 적어도 하나인 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 11

(1) 기관 상에 게이트 전극을 형성하는 단계;

(2) 기관과 상기 게이트 전극 위에 게이트 절연막을 형성하는 단계;

(3) 상기 게이트 절연막의 상부에서 상기 게이트 전극을 따라 산화물 반도체층을 형성하고, 그 산화물 반도체층

의 전체 또는 일부 영역에 산소 공공(oxygen vacancy)이 포함되도록 전기적 포밍 공정을 수행하는 단계; 및

(5) 상기 게이트 전극의 양측에 각각 배치되도록, 소스 전극과 드레인 전극을 상기 산화물 반도체층 위에 각각 형성하는 단계;를 포함하는 산화물 박막 트랜지스터의 제조방법.

청구항 12

제 11항에 있어서,

상기 제 (3)단계는,

(3-1) 상기 게이트 절연막 위에 산화물 반도체층을 형성하는 단계;

(3-3) 상기 산화물 반도체층 위에 금속층을 증착하는 단계; 및

(3-4) 상기 금속층에 소정의 전압을 인가하여 상기 산화물 반도체층에 산소 공공을 유도하는 단계;를 포함하는 것을 특징으로 하는 산화물 박막 트랜지스터의 제조방법.

청구항 13

제 12항에 있어서,

상기 제 (3-1)단계와 상기 제 (3-3)단계 사이에,

(3-2) 상기 금속층의 증착 이전에, 상기 산화물 반도체층 위에 절연층을 증착하는 단계;를 더 포함하고,

상기 제 (3-3)단계는 상기 절연층 위에 상기 금속층을 증착하는 것을 특징으로 하는 산화물 박막 트랜지스터의 제조방법.

청구항 14

제 13항에 있어서,

상기 제 (3)단계와 상기 제 (5)단계 사이에,

(4) 상기 금속층을 제거하거나, 상기 금속층과 함께 상기 절연층을 제거하는 단계;를 더 포함하는 것을 특징으로 하는 산화물 박막 트랜지스터의 제조방법.

청구항 15

제 13항에 있어서,

상기 제 (3-2)단계에서, 상기 산화물 반도체층에 증착되는 절연층은 AlN, SiO₂, Al₂O₃, NiO, HfO₂, HfO_x, MgO, TiO₂, TiO_x 및 ZnO 중에서 선택된 어느 하나인 것을 특징으로 하는 산화물 박막 트랜지스터의 제조방법.

청구항 16

제 12항에 있어서,

상기 제 (3-3)단계에서, 상기 산화물 반도체층에 증착되는 금속층은 Pt, Ti, Al, Ta, Ni, W, Cu, Ag, Ir, Au, In, Ga, Zn 및 Cr 중 적어도 하나인 것을 특징으로 하는 산화물 박막 트랜지스터의 제조방법.

청구항 17

- (1) 기판 상에 산화물 반도체층을 형성하고, 그 산화물 반도체층의 전체 또는 일부 영역에 산소 공공(oxygen vacancy)이 포함되도록 전기적 포밍 공정을 수행하는 단계;
- (3) 상기 산화물 반도체층 위에 게이트 절연막을 형성하는 단계;
- (4) 상기 게이트 절연막 위에 게이트 전극을 형성하는 단계; 및
- (5) 상기 산화물 반도체층의 양단에 각각 연결되도록, 상기 게이트 전극의 양측에 소스 전극과 드레인 전극을 각각 형성하는 단계;를 포함하는 산화물 박막 트랜지스터의 제조방법.

청구항 18

제 17항에 있어서,

상기 제 (1)단계는,

- (1-1) 기판에 상기 산화물 반도체층을 형성하는 단계;
- (1-3) 상기 산화물 반도체층 위에 금속층을 증착하는 단계; 및
- (1-4) 상기 금속층에 소정의 전압을 인가하여 상기 산화물 반도체층의 산소 공공을 유도하는 단계;를 포함하는 것을 특징으로 하는 산화물 박막 트랜지스터의 제조방법.

청구항 19

제 18항에 있어서,

상기 제 (1-1)단계와 상기 제 (1-3)단계 사이에,

- (1-2) 상기 금속층의 증착 이전에, 상기 산화물 반도체층 위에 절연층을 증착하는 단계;를 더 포함하고,
- 상기 제 (1-3)단계는 상기 절연층 위에 상기 금속층을 증착하는 것을 특징으로 하는 산화물 박막 트랜지스터의 제조방법.

청구항 20

제 19항에 있어서,

상기 제 (1)단계와 상기 제 (3)단계 사이에,

- (2) 상기 금속층을 제거하거나, 상기 금속층과 함께 상기 절연층을 제거하는 단계;를 더 포함하는 것을 특징으로 하는 산화물 박막 트랜지스터의 제조방법.

청구항 21

제 19항에 있어서,

상기 제 (1-2)단계에서, 상기 산화물 반도체층에 증착되는 절연층은 AlN, SiO₂, Al₂O₃, NiO, HfO₂, HfO_x, MgO, TiO₂, TiO_x 및 ZnO 중에서 선택된 어느 하나인 것을 특징으로 하는 산화물 박막 트랜지스터의 제조방법.

청구항 22

제 19항에 있어서,

상기 제 (1-3)단계에서, 상기 산화물 반도체층에 증착되는 금속층은 Pt, Ti, Al, Ta, Ni, W, Cu, Ag, Ir, Au,

In, Ga, Zn 및 Cr 중 적어도 하나인 것을 특징으로 하는 산화물 박막 트랜지스터의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 산화물 박막 트랜지스터 및 이의 제조방법에 관한 것이다.

배경 기술

[0003] 일반적으로, 박막 트랜지스터(thin film transistor, TFT)는 액정표시장치(Liquid Crystal Display, LCD)등의 스위칭 소자로서 널리 사용되고 있는데, 예컨대, 액정표시장치의 게이트 배선과 데이터 배선의 교차 지점에 형성되어 단위 화소영역에 대해 전류를 온(on) 또는 오프(off)로 스위칭하는 기능을 수행하고 있다.

[0004] 이러한, 박막 트랜지스터는 비정질 실리콘(a-Si)를 채널 물질로 사용하거나, 저온 폴리 실리콘(Low Temperature Poly Silicon, LTPS)을 채널 물질로 사용하거나, IGZO(In-Ga-Zn-Oxide) 박막을 포함하는 산화물 반도체를 채널 물질로 사용하고 있다.

[0005] 한편, IGZO 박막을 채널 물질로 사용하여 제작된 박막 트랜지스터의 경우에는, IGZO 박막의 전기적 특성을 향상시키기 위해 Ar, H₂, He 등을 이용한 플라즈마 처리를 수행하게 되는데, 이러한 플라즈마 처리에 의해 전기적 특성이 향상될 수는 있으나, 선택적인 플라즈마 처리가 어렵기 때문에 플라즈마 처리가 이루어지지 않아야 할 영역에 플라즈마가 충돌하면서 소자 자체의 손상을 야기하는 문제점이 있다.

[0006] 따라서, 박막 트랜지스터에 데미지를 가하지 않는 방식으로 IGZO 박막의 전기적 특성을 향상시킬 수 있는 방안이 마련될 필요가 있다 할 것이다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 상기와 같은 문제점을 감안하여 안출된 것으로, 박막 트랜지스터 자체에 데미지를 가하지 않는 방식으로 IGZO 박막의 전기적 특성을 향상시키고, 소스 전극 및 드레인 전극과의 접촉 저항을 줄일 수 있는 산화물 박막 트랜지스터 및 이의 제조방법을 제공하는데 그 목적이 있다.

[0009] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0011] 상기와 같은 목적을 달성하기 위한 본 발명은 기판 상에 형성되는 게이트 전극; 기판과 상기 게이트 전극의 위에 형성되는 게이트 절연막; 상기 게이트 절연막의 상부에서 상기 게이트 전극을 따라 형성되고, 전기적 포밍 공정에 의한 산소 공공(oxygen vacancy)이 전체 또는 일부 영역에 포함되어 있는 산화물 반도체층; 상기 산화물 반도체층 위에서 상기 게이트 전극의 일측으로 형성되는 소스 전극; 및 상기 산화물 반도체층 위에서 상기 게이트 전극의 타측으로 형성되는 드레인 전극;을 포함하는 산화물 박막 트랜지스터를 제공한다.

[0012] 바람직한 실시예에 있어서, 상기 산화물 반도체층에는, 상기 소스 전극 및 상기 드레인 전극의 형성 이전에, 상기 산화물 반도체층 위에 금속층을 증착하고 소정의 전압을 인가하여 산소 공공을 유도하는 포밍 공정이 수행된 후, 상기 금속층을 제거하는 에칭 공정이 수행된다.

[0013] 바람직한 실시예에 있어서, 상기 산화물 반도체층에는, 상기 금속층의 증착 이전에, 상기 산화물 반도체층 위에 절연층을 증착하고, 상기 절연층 위에 상기 금속층을 증착하며, 상기 금속층에 소정의 전압을 인가하여 산소 공공을 유도하는 포밍 공정이 수행된 후, 상기 절연층 및 상기 금속층을 제거하는 에칭 공정이 수행된다.

[0014] 바람직한 실시예에 있어서, 상기 산화물 반도체층에 증착되는 절연층은 AlN, SiO₂, Al₂O₃, NiO, HfO₂, HfO_x,

MgO, TiO₂, TiO_x 및 ZnO 중에서 선택된 어느 하나이다.

- [0015] 바람직한 실시예에 있어서, 상기 산화물 반도체층에 증착되는 금속층은 Pt, Ti, Al, Ta, Ni, W, Cu, Ag, Ir, Au, In, Ga, Zn 및 Cr 중 적어도 하나이다.
- [0017] 또한, 본 발명은 기판 상에 형성되고, 전기적 포밍 공정에 의한 산소 공공(oxygen vacancy)이 전체 또는 일부 영역에 포함되어 있는 산화물 반도체층; 상기 산화물 반도체층의 위에 형성되는 게이트 절연막; 상기 게이트 절연막의 위에 형성되는 게이트 전극; 상기 게이트 전극의 일측으로 상기 산화물 반도체층의 일단에 연결되는 소스 전극; 및 상기 게이트 전극의 타측으로 상기 산화물 반도체층의 타단에 연결되는 드레인 전극;을 포함하는 산화물 박막 트랜지스터를 제공한다.
- [0018] 바람직한 실시예에 있어서, 상기 산화물 반도체층에는, 상기 소스 전극 및 상기 드레인 전극의 연결 이전에, 상기 산화물 반도체층 위에 금속층을 증착하고 소정의 전압을 인가하여 산소 공공을 유도하는 포밍 공정이 수행된 후, 상기 금속층을 제거하는 에칭 공정이 수행된다.
- [0019] 바람직한 실시예에 있어서, 상기 산화물 반도체층에는, 상기 금속층의 증착 이전에, 상기 산화물 반도체층 위에 절연층을 증착하고, 상기 절연층 위에 상기 금속층을 증착하며, 상기 금속층에 소정의 전압을 인가하여 산소 공공을 유도하는 포밍 공정이 수행된 후, 상기 절연층 및 상기 금속층을 제거하는 에칭 공정이 수행된다.
- [0020] 바람직한 실시예에 있어서, 상기 산화물 반도체층에 증착되는 절연층은 AlN, SiO₂, Al₂O₃, NiO, HfO₂, HfO_x, MgO, TiO₂, TiO_x 및 ZnO 중에서 선택된 어느 하나이다.
- [0021] 바람직한 실시예에 있어서, 상기 산화물 반도체층에 증착되는 금속층은 Pt, Ti, Al, Ta, Ni, W, Cu, Ag, Ir, Au, In, Ga, Zn 및 Cr 중 적어도 하나이다.
- [0023] 또한, 본 발명은 (1) 기판 상에 게이트 전극을 형성하는 단계; (2) 기판과 상기 게이트 전극 위에 게이트 절연막을 형성하는 단계; (3) 상기 게이트 절연막의 상부에서 상기 게이트 전극을 따라 산화물 반도체층을 형성하고, 그 산화물 반도체층의 전체 또는 일부 영역에 산소 공공(oxygen vacancy)이 포함되도록 전기적 포밍 공정을 수행하는 단계; 및 (5) 상기 게이트 전극의 양측에 각각 배치되도록, 소스 전극과 드레인 전극을 상기 산화물 반도체층 위에 각각 형성하는 단계;를 포함하는 산화물 박막 트랜지스터의 제조방법을 제공한다.
- [0024] 바람직한 실시예에 있어서, 상기 제 (3)단계는, (3-1) 상기 게이트 절연막 위에 산화물 반도체층을 형성하는 단계; (3-3) 상기 산화물 반도체층 위에 금속층을 증착하는 단계; 및 (3-4) 상기 금속층에 소정의 전압을 인가하여 상기 산화물 반도체층에 산소 공공을 유도하는 단계;를 포함한다.
- [0025] 바람직한 실시예에 있어서, 상기 제 (3-1)단계와 상기 제 (3-3)단계 사이에, (3-2) 상기 금속층의 증착 이전에, 상기 산화물 반도체층 위에 절연층을 증착하는 단계;를 더 포함하고, 상기 제 (3-3)단계는 상기 절연층 위에 상기 금속층을 증착한다.
- [0026] 바람직한 실시예에 있어서, 상기 제 (3)단계와 상기 제 (5)단계 사이에, (4) 상기 금속층을 제거하거나, 상기 금속층과 함께 상기 절연층을 제거하는 단계;를 더 포함한다.
- [0027] 바람직한 실시예에 있어서, 상기 제 (3-2)단계에서, 상기 산화물 반도체층에 증착되는 절연층은 AlN, SiO₂, Al₂O₃, NiO, HfO₂, HfO_x, MgO, TiO₂, TiO_x 및 ZnO 중에서 선택된 어느 하나이다.
- [0028] 바람직한 실시예에 있어서, 상기 제 (3-3)단계에서, 상기 산화물 반도체층에 증착되는 금속층은 Pt, Ti, Al, Ta, Ni, W, Cu, Ag, Ir, Au, In, Ga, Zn 및 Cr 중 적어도 하나이다.
- [0030] 또한, 본 발명은 (1) 기판 상에 산화물 반도체층을 형성하고, 그 산화물 반도체층의 전체 또는 일부 영역에 산소 공공(oxygen vacancy)이 포함되도록 전기적 포밍 공정을 수행하는 단계; (3) 상기 산화물 반도체층 위에 게이트 절연막을 형성하는 단계; (4) 상기 게이트 절연막 위에 게이트 전극을 형성하는 단계; 및 (5) 상기 산화물 반도체층의 양단에 각각 연결되도록, 상기 게이트 전극의 양측에 소스 전극과 드레인 전극을 각각 형성하는 단

계;를 포함하는 산화물 박막 트랜지스터의 제조방법을 제공한다.

- [0031] 바람직한 실시예에 있어서, 상기 제 (1)단계는, (1-1) 기판에 상기 산화물 반도체층을 형성하는 단계; (1-3) 상기 산화물 반도체층 위에 금속층을 증착하는 단계; 및 (1-4) 상기 금속층에 소정의 전압을 인가하여 상기 산화물 반도체층의 산소 공공을 유도하는 단계;를 포함한다.
- [0032] 바람직한 실시예에 있어서, 상기 제 (1-1)단계와 상기 제 (1-3)단계 사이에, (1-2) 상기 금속층의 증착 이전에, 상기 산화물 반도체층 위에 절연층을 증착하는 단계;를 더 포함하고, 상기 제 (1-3)단계는 상기 절연층 위에 상기 금속층을 증착한다.
- [0033] 바람직한 실시예에 있어서, 상기 제 (1)단계와 상기 제 (3)단계 사이에, (2) 상기 금속층을 제거하거나, 상기 금속층과 함께 상기 절연층을 제거하는 단계;를 더 포함한다.
- [0034] 바람직한 실시예에 있어서, 상기 제 (1-2)단계에서, 상기 산화물 반도체층에 증착되는 절연층은 AlN , SiO_2 , Al_2O_3 , NiO , HfO_2 , HfO_x , MgO , TiO_2 , TiO_x 및 ZnO 중에서 선택된 어느 하나이다.
- [0035] 바람직한 실시예에 있어서, 상기 제 (1-3)단계에서, 상기 산화물 반도체층에 증착되는 금속층은 Pt , Ti , Al , Ta , Ni , W , Cu , Ag , Ir , Au , In , Ga , Zn 및 Cr 중 적어도 하나이다.

발명의 효과

- [0037] 전술한 과제해결 수단에 의해 본 발명은 박막 트랜지스터 자체에 데미지를 가하지 않는 방식의 전기적 포밍 공정을 통해 산화물 반도체층의 전체 또는 일부 영역에 산소 공공이 포함되게 함으로써, 산화물 반도체층이 n^+ 도핑(doping)이 되어, 산화물 반도체층에서 소스 전극 및 드레인 전극이 증착되는 연결부의 접촉 저항을 줄일 수 있는 효과가 있다.
- [0038] 아울러, 본 발명은 산화물 반도체층과 소스 전극, 산화물 반도체층과 드레인 전극 간의 접촉 저항을 줄임으로써, 산화물 박막 트랜지스터 자체의 성능을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

- [0040] 도 1은 본 발명의 제 1실시예에 따른 산화물 박막 트랜지스터를 설명하기 위한 도면.
- 도 2는 본 발명의 제 1실시예에 따른 산화물 박막 트랜지스터의 산화물 반도체층에서 수행되는 포밍 공정을 설명하기 위한 도면.
- 도 3은 본 발명의 제 1실시예에 따른 산화물 박막 트랜지스터의 산화물 반도체층에서 수행되는 포밍 공정의 변형예를 설명하기 위한 도면.
- 도 4는 본 발명의 제 2실시예에 따른 산화물 박막 트랜지스터를 설명하기 위한 도면.
- 도 5는 본 발명의 제 2실시예에 따른 산화물 박막 트랜지스터의 산화물 반도체층에서 수행되는 포밍 공정을 설명하기 위한 도면.
- 도 6은 본 발명의 제 2실시예에 따른 산화물 박막 트랜지스터의 산화물 반도체층에서 수행되는 포밍 공정의 변형예를 설명하기 위한 도면.
- 도 7은 본 발명의 제 1실시예에 따른 산화물 박막 트랜지스터의 제조방법을 설명하기 위한 도면.
- 도 8은 본 발명의 제 2실시예에 따른 산화물 박막 트랜지스터의 제조방법을 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

- [0041] 하기의 설명에서 본 발명의 특정 상세들이 본 발명의 전반적인 이해를 제공하기 위해 나타나 있는데, 이들 특정 상세들 없이 또한 이들의 변형에 의해서도 본 발명이 용이하게 실시될 수 있다는 것은 이 기술분야에서 통상의 지식을 가진 자에게 자명할 것이다.
- [0042] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도 1 내지 도 6을 참조하여 상세히 설명하되, 본 발명에 따른

동작 및 작용을 이해하는데 필요한 부분을 중심으로 설명한다.

- [0044] 도 1은 본 발명의 제 1실시예에 따른 산화물 박막 트랜지스터를 설명하기 위한 도면이고, 도 2는 본 발명의 제 1실시예에 따른 산화물 박막 트랜지스터의 산화물 반도체층에서 수행되는 포밍 공정을 설명하기 위한 도면이며, 도 3은 본 발명의 제 1실시예에 따른 산화물 박막 트랜지스터의 산화물 반도체층에서 수행되는 포밍 공정의 변형예를 설명하기 위한 도면이다.
- [0045] 도 1 내지 도 3을 참조하면, 본 발명의 제 1실시예에 따른 산화물 박막 트랜지스터는 게이트 전극(110), 게이트 절연막(120), 산화물 반도체층(130), 소스 전극(140) 및 드레인 전극(150)을 포함하여 구성될 수 있다.
- [0046] 여기서, 본 발명의 제 1실시예에 따른 산화물 박막 트랜지스터는 Inverted staggered 구조의 산화물 박막 트랜지스터일 수 있다.
- [0047] 게이트 전극(110)은 기판(10) 상에 형성된다. 이때, 스퍼터링(Sputtering)을 포함하는 증착 공정을 수행하여 기판(10)에 전도성 물질을 증착한 다음, 그 전도성 물질을 습식 식각을 이용하여 소정의 패턴으로 패터닝함으로써, 게이트 전극(110)을 형성할 수 있다.
- [0048] 게이트 절연막(120)은 게이트 전극(110)과 후술할 산화물 반도체층(130) 간의 절연을 위한 것으로, 게이트 절연막(120)은 절연체로 이루어지며, 기판(10)과 상기 게이트 전극(110)의 위에 형성된다. 그리고, 게이트 절연막(120)은 플라즈마 화학증착(PECVD)을 포함하는 증착 공정을 수행하여 형성될 수 있다.
- [0049] 산화물 반도체층(130)은 게이트 절연막(120)의 상부에서 게이트 전극(110)을 따라 형성된다.
- [0050] 또한, 산화물 반도체층(130)은 IGZO(In-Ga-Zn-Oxide)를 포함하는 산화물 반도체로 이루어지고, 스퍼터링(Sputtering)을 포함하는 증착 공정을 수행하여 게이트 절연막(120)의 위에 증착된 후 게이트 전극(110)의 패턴에 대응하도록 패터닝될 수 있다.
- [0051] 한편, 산화물 반도체층(130)에는 후술할 소스 전극(140)과 드레인 전극(150)이 형성되는데, 그 이전에, 산화물 반도체층(130)의 전체 또는 일부 영역에 산소 공공(oxygen vacancy)이 포함되도록 전기적 포밍 공정이 수행될 수 있다.
- [0052] 일 예로, 도 2에 도시된 바와 같이, 산화물 반도체층(130)이 형성되면(도 2의 (a)), 그 산화물 반도체층(130)의 위에 금속층(131)을 증착한 후(도 2의 (b)), 해당 금속층(131)을 통해 소정의 전압을 인가하여 산소 공공을 유도하는 포밍 공정이 수행된다(도 2의 (c)). 그 이후에는, 금속층(131)을 제거하는 에칭 공정이 더 수행될 수 있다.(도 2의 (d)).
- [0053] 이때, 산화물 반도체층(130)에 증착되는 금속층(131)은 적어도 2개로 구비되어 소정 거리 이격된 상태로 형성됨이 바람직하고, Pt, Ti, Al, Ta, Ni, W, Cu, Ag, Ir, Au, In, Ga, Zn 및 Cr 중 적어도 하나의 금속 또는 둘 이상의 금속으로 증착될 수 있다.
- [0054] 다른 예로, 도 3에 도시된 바와 같이, 산화물 반도체층(130)이 형성되면(도 3의 (a)), 전술한 금속층(131)을 증착하기 전에 산화물 반도체층(130)에 절연층(132)을 먼저 증착하고(도 3의 (b)), 그 절연층(132)의 위에 금속층(131)을 증착하며(도 3의 (c)), 증착된 금속층(131)을 통해 소정의 전압을 인가하여 산소 공공을 유도하는 포밍 공정이 수행될 수도 있다(도 3의 (d)). 포밍 공정이 수행된 이후에는, 절연층(132)과 금속층(131)을 제거하는 에칭 공정이 더 수행되게 된다(도 3의 (e)).
- [0055] 이때, 산화물 반도체층(130)에 증착되는 절연층(132)은 2개의 금속층(131)이 증착될 수 있도록 소정의 넓이를 갖도록 형성되거나, 적어도 2개로 구비되어 소정 거리 이격된 상태로 형성될 수 있으며, AlN, SiO₂, Al₂O₃, NiO, HfO₂, HfO_x, MgO, TiO₂, TiO_x 및 ZnO 중에서 선택된 어느 하나로 형성될 수 있다.
- [0056] 이러한, 포밍 공정에 의해 산화물 반도체층(130)에 산소 공공이 형성됨으로써, 산화물 반도체층(130)이 n+ 도핑(doping)이 되어 전도성이 향상되게 한다. 특히, 산화물 반도체층(130)에서 소스 전극(140) 및 드레인 전극(150)이 증착되는 연결부에 캐리어들이 증가함으로써, 산화물 반도체층(130)과 소스 전극(140), 산화물 반도체층(130)과 드레인 전극(150) 간의 접촉 저항을 줄일 수 있다.
- [0057] 소스 전극(140)은 산화물 반도체층(130) 위에서 게이트 전극(110)의 일측에 형성되고, 드레인 전극(150)은 산화물 반도체층(130) 위에서 게이트 전극(110)의 타측에 형성된다.

- [0058] 이때, 스퍼터링(Sputtering)을 포함하는 증착 공정을 수행하여 산화물 반도체층(130)에 전도성 물질을 증착한 다음, 그 전도성 물질을 습식 식각을 이용하여 소스 전극(140)과 드레인 전극(150)으로 구분되도록 패터닝함으로써, 소스 전극(140)과 드레인 전극(150)을 형성할 수 있다.
- [0059] 아울러, 소스 전극(140)과 드레인 전극(150)까지 형성한 이후에는, SiO₂를 포함하는 산화물로 보호층을 형성하고, 그 보호층에 콘택 홀을 형성한 후, 그 콘택 홀을 통해 드레인 전극(150) 또는 소스 전극(140)에 연결되도록 화소 전극을 형성하는 공정이 더 수행될 수도 있다.
- [0060] 이하에서는, 본 발명의 제 2실시예에 따른 산화물 박막 트랜지스터에 대해 설명한다.
- [0062] 도 4는 본 발명의 제 2실시예에 따른 산화물 박막 트랜지스터를 설명하기 위한 도면이고, 도 5는 본 발명의 제 2실시예에 따른 산화물 박막 트랜지스터의 산화물 반도체층에서 수행되는 포밍 공정을 설명하기 위한 도면이며, 도 6은 본 발명의 제 2실시예에 따른 산화물 박막 트랜지스터의 산화물 반도체층에서 수행되는 포밍 공정의 변형예를 설명하기 위한 도면이다.
- [0063] 도 4 내지 도 6을 참조하면, 본 발명의 제 2실시예에 따른 산화물 박막 트랜지스터는 산화물 반도체층(230), 게이트 절연막(220), 게이트 전극(210), 소스 전극(240) 및 드레인 전극(250)을 포함하여 구성될 수 있다.
- [0064] 여기서, 본 발명의 제 2실시예에 따른 산화물 박막 트랜지스터는 Coplanar 구조의 산화물 박막 트랜지스터일 수 있다.
- [0065] 산화물 반도체층(230)은 기판(10)에 형성된다. 이때, 산화물 반도체층(230)에 주입된 전류가 기판(10)으로 누설되지 않도록 SiO₂를 포함하는 산화물로 버퍼층을 먼저 형성하고 그 위에 산화물 반도체층(230)을 형성함이 바람직하다.
- [0066] 또한, 산화물 반도체층(230)은 스퍼터링(Sputtering)을 포함하는 증착 공정을 통해 IGZO(In-Ga-Zn-Oxide)를 포함하는 산화물 반도체를 증착한 후 소정의 패턴으로 패터닝함으로써 형성될 수 있다. 그리고, 산화물 반도체층(230)의 전체 또는 일부 영역에는, 산소 공공(oxygen vacancy)이 포함되도록 전기적 포밍 공정이 수행될 수 있다.
- [0067] 일 예로, 도 5에 도시된 바와 같이, 산화물 반도체층(230)이 형성되면(도 5의 (a)), 그 산화물 반도체층(230)의 위에 금속층(231)을 증착하고(도 5의 (b)), 소정의 전압을 인가하여 산소 공공을 유도하는 포밍 공정이 수행될 수 있다(도 3의 (c)). 그 다음에는, 전술한 금속층(231)을 제거하는 에칭 공정이 더 수행되게 된다(도 3의 (d)).
- [0068] 여기서, 산화물 반도체층(230)에 증착되는 금속층(231)은 적어도 2개로 구비되어 소정 거리 이격된 상태로 형성됨이 바람직하고, Pt, Ti, Al, Ta, Ni, W, Cu, Ag, Ir, Au, In, Ga, Zn 및 Cr 중 적어도 하나의 금속 또는 둘 이상의 금속으로 증착될 수 있다.
- [0069] 다른 예로, 도 6에 도시된 바와 같이, 산화물 반도체층(230)이 형성되면(도 6의 (a)), 전술한 금속층(231)을 증착하기 전에 산화물 반도체층(230)에 절연층(232)을 먼저 증착하고(도 6의 (b)), 그 절연층(232)의 위에 금속층(231)을 증착하며(도 6의 (c)), 증착된 금속층(231)에 소정의 전압을 인가하여 산소 공공을 유도하는 포밍 공정이 수행될 수도 있다(도 6의 (d)). 아울러, 포밍 공정이 수행된 다음에는, 전술한 절연층(232)과 금속층(231)을 제거하는 에칭 공정이 수행되게 된다(도 6의 (e)).
- [0070] 이 경우, 산화물 반도체층(230)에 증착되는 절연층(232)은 2개의 금속층(231)이 증착될 수 있도록 소정의 넓이를 갖도록 형성되거나, 적어도 2개로 구비되어 소정 거리 이격된 상태로 형성될 수 있으며, AlN, SiO₂, Al₂O₃, NiO, HfO₂, HfO_x, MgO, TiO₂, TiO_x 및 ZnO 중에서 선택된 어느 하나로 형성될 수 있다.
- [0071] 이러한, 포밍 공정에 의해 산화물 반도체층(230)에 산소 공공이 형성됨으로써, 산화물 반도체층(230)이 n+ 도핑(doping)이 되어 전도성이 향상되게 한다. 특히, 산화물 반도체층(230)에서 소스 전극(240) 및 드레인 전극(250)이 증착되는 연결부에 캐리어들이 증가함으로써, 산화물 반도체층(230)과 소스 전극(240), 산화물 반도체층(230)과 드레인 전극(250) 간의 접촉 저항을 줄일 수 있다.
- [0072] 게이트 절연막(220)은 산화물 반도체층(230)과 후술할 게이트 전극(210) 간의 절연을 위한 것으로, 절연체로 구비되어 산화물 반도체층(230)의 위에 증착되며, 플라즈마 화학증착(PECVD)을 포함하는 증착 공정을 수행하여 형

성될 수 있다.

- [0073] 게이트 전극(210)은 게이트 절연막(220)의 위에 형성된다. 그리고, 게이트 전극(210)은 스퍼터링(Sputtering)을 포함하는 증착 공정을 수행하여 게이트 절연막(220)의 위에 전도성 물질을 증착한 다음, 그 전도성 물질을 습식 식각을 통해 소정의 패턴으로 패터닝하여 형성될 수 있다.
- [0074] 소스 전극(240)은 게이트 전극(210)의 일측으로 산화물 반도체층(230)의 일단에 연결되도록 형성되고, 드레인 전극(250)은 게이트 전극(210)의 타측으로 산화물 반도체층(230)의 타단에 연결되도록 형성될 수 있다.
- [0075] 이때, 소스 전극(240) 및 드레인 전극(250)이 전술한 게이트 전극(210)에 접촉되지 않도록 중간 절연층(260)을 형성하고, 그 중간 절연층(260)과 전술한 게이트 절연막(220)을 관통하여 산화물 반도체층(230)까지 연결되는 콘택 홀을 형성하는 공정이 먼저 수행될 수 있다.
- [0076] 그리고, 소스 전극(240)과 드레인 전극(250)은, 스퍼터링(Sputtering)을 포함하는 증착 공정을 수행하여 전술한 중간 절연층(260)의 콘택 홀을 통해 산화물 반도체층(230)에 연결되도록 전도성 물질을 증착한 다음, 그 전도성 물질을 습식 식각을 이용하여 소스 전극(240)과 드레인 전극(250)으로 구분되도록 패터닝하여 형성될 수 있다.
- [0077] 이하에서는, 본 발명의 산화물 박막 트랜지스터를 제조하는 제조방법에 대해 설명한다.
- [0079] 도 7은 본 발명의 제 1실시예에 따른 산화물 박막 트랜지스터의 제조방법을 설명하기 위한 도면이다.
- [0080] 도 7을 참조하여, 본 발명의 제 1실시예에 따른 산화물 박막 트랜지스터를 제조하는 산화물 박막 트랜지스터의 제조방법을 설명한다.
- [0081] 먼저, 기판을 준비하고 그 기판의 위에 게이트 전극을 형성한다(S110).
- [0082] 이때, 게이트 전극은 기판에 전도성 물질을 증착한 다음, 그 전도성 물질을 소정의 패턴으로 패터닝하여 형성될 수 있다.
- [0083] 아울러, 스퍼터링(Sputtering)을 포함하는 증착 공정을 수행하여 전술한 전도성 물질의 증착이 이루어질 수 있고, 증착된 전도성 물질은 습식 식각을 이용하여 패터닝할 수 있다.
- [0084] 다음, 기판과 게이트 전극의 위에 게이트 절연막을 형성한다(S120).
- [0085] 여기서, 게이트 절연막은 절연체로 이루어질 수 있고, 플라즈마 화학증착(PECVD)을 포함하는 증착 공정을 수행하여 기판과 게이트 전극의 위에 증착될 수 있다.
- [0086] 그 다음, 게이트 절연막의 상부에 게이트 전극을 따라 산화물 반도체층을 형성하고, 그 산화물 반도체층의 전체 또는 일부 영역에 산소 공공(oxygen vacancy)이 포함되도록 전기적 포밍 공정을 수행한다(S130).
- [0087] 이때, 스퍼터링을 포함하는 증착 공정을 수행하여 IGZO(In-Ga-Zn-Oxide)를 포함하는 산화물 반도체를 게이트 절연막의 위에 증착하는 방식으로 산화물 반도체층을 형성하고(S131), 그 산화물 반도체층의 위에 절연층을 증착하며(S132), 그 절연층의 위에 금속층을 증착하고(S133), 증착된 금속층에 소정의 전압을 인가하여 산화물 반도체층에 산소 공공이 유도되게 하는 포밍 공정이 수행될 수 있다(S134).
- [0088] 또한, 전술한 절연층은 AlN, SiO₂, Al₂O₃, NiO, HfO₂, HfO_x, MgO, TiO₂, TiO_x 및 ZnO 중에서 선택된 어느 하나로 형성될 수 있고, 금속층은 Pt, Ti, Al, Ta, Ni, W, Cu, Ag, Ir, Au, In, Ga, Zn 및 Cr 중 적어도 하나의 금속 또는 둘 이상의 금속으로 형성될 수 있다.
- [0089] 이러한, 포밍 공정에 의해 산화물 반도체층에 산소 공공이 형성됨으로써, 산화물 반도체층이 n+ 도핑(doping)이 되어 전도성이 향상되게 한다. 특히, 산화물 반도체층에서 소스 전극 및 드레인 전극이 증착되는 연결부에 캐리어들이 증가함으로써, 산화물 반도체층과 소스 전극, 산화물 반도체층과 드레인 전극 간의 접촉 저항을 줄일 수 있다.
- [0090] 그 다음에는, 산화물 반도체층 위에 증착된 절연층과 금속층을 제거하는 에칭 공정을 수행한다(S140).
- [0091] 그 다음에는, 산화물 반도체층 위에서 게이트 전극의 일측에 위치하도록 소스 전극을 형성하고, 산화물 반도체층 위에서 상기 게이트 전극의 타측에 위치하도록 드레인 전극을 형성한다(S150).
- [0092] 이때, 기판에 전도성 물질을 증착한 다음, 그 전도성 물질을 습식 식각을 이용하여 소스 전극과 드레인 전극으

로 구분되도록 패터닝함으로써, 소스 전극과 드레인 전극을 형성할 수 있다.

[0093] 이하에서는, 본 발명의 제 2실시예에 따른 산화물 박막 트랜지스터를 제조하는 제조방법에 대해 설명한다.

[0095] 도 8은 본 발명의 제 2실시예에 따른 산화물 박막 트랜지스터의 제조방법을 설명하기 위한 도면이다.

[0096] 도 8을 참조하여, 본 발명의 제 2실시예에 따른 산화물 박막 트랜지스터를 제조하는 산화물 박막 트랜지스터의 제조방법을 설명한다.

[0097] 먼저, 기판 상에 산화물 반도체층을 형성하고, 그 산화물 반도체층의 전체 또는 일부 영역에 산소 공공(oxygen vacancy)이 포함되도록 전기적 포밍 공정을 수행한다(S210).

[0098] 이때, SiO_2 를 포함하는 산화물로 이루어진 버퍼층을 기판에 먼저 증착한 다음, 스퍼터링을 포함하는 증착 공정을 수행하여 IGZO(In-Ga-Zn-Oxide)를 포함하는 산화물 반도체를 버퍼층의 위에 증착하는 방식으로 산화물 반도체층을 형성하고(S211), 그 산화물 반도체층의 위에 절연층을 증착하며(S212), 그 절연층의 위에 금속층을 증착하고(S213), 증착된 금속층에 소정의 전압을 인가하여 산화물 반도체층에 산소 공공이 유도되게 하는 포밍 공정이 수행될 수 있다(S214).

[0099] 여기서, 전술한 절연층은 AlN , SiO_2 , Al_2O_3 , NiO , HfO_2 , HfO_x , MgO , TiO_2 , TiO_x 및 ZnO 중에서 선택된 어느 하나 일 수 있고, 전술한 금속층은 Pt, Ti, Al, Ta, Ni, W, Cu, Ag, Ir, Au, In, Ga, Zn 및 Cr 중 적어도 하나의 금속 또는 둘 이상의 금속으로 증착될 수 있다.

[0100] 이러한, 포밍 공정에 의해 산화물 반도체층에 산소 공공이 형성됨으로써, 산화물 반도체층이 n+ 도핑(doping)이 되어 전도성이 향상되게 한다. 특히, 산화물 반도체층에서 소스 전극 및 드레인 전극이 증착되는 연결부에 캐리어들이 증가함으로써, 산화물 반도체층과 소스 전극, 산화물 반도체층과 드레인 전극 간의 접촉 저항을 줄일 수 있다.

[0101] 그 다음에는, 산화물 반도체층 위에 증착된 절연층과 금속층을 제거하는 에칭 공정을 수행한다(S220).

[0102] 그 다음에는, 산화물 반도체층의 위에 게이트 절연막을 형성한다(S230).

[0103] 이때, 플라즈마 화학증착(PECVD)을 포함하는 증착 공정을 수행하여, 산화물 반도체층의 위에 절연체를 증착하는 방식으로 게이트 절연막을 형성할 수 있다.

[0104] 그 다음에는, 게이트 절연막의 위에 게이트 전극을 형성한다(S240).

[0105] 이때, 스퍼터링을 포함하는 증착 공정을 수행하여 게이트 절연막의 위에 전도성 물질을 증착하고, 증착된 전도성 물질을 습식 식각을 통해 소정의 패턴으로 패터닝하여 게이트 전극을 형성할 수 있다.

[0106] 그 다음에는, 산화물 반도체층의 일단에 연결되도록 게이트 전극의 일측에 소스 전극을 형성하고, 산화물 반도체층의 타단에 연결되도록 게이트 전극의 타측에 드레인 전극을 형성한다(S250).

[0107] 이때, 소스 전극과 드레인 전극이 게이트 전극에 접촉될 수 있으므로, 게이트 전극과 게이트 절연막 및 산화물 반도체층을 모두 포함되도록 절연체로 이루어진 중간 절연층을 증착하여 형성하고, 그 중간 절연층과 게이트 절연막을 관통하여 산화물 반도체층에 연결되는 컨택 홀을 형성하는 과정이 먼저 수행될 수 있다.

[0108] 아울러, 전술한 컨택 홀을 통해 산화물 반도체층에 연결되도록 전도성 물질을 증착한 후, 습식 식각을 이용하여 전도성 물질을 패터닝함으로써, 소스 전극과 드레인 전극을 형성할 수 있다.

[0109] 이상에서는 본 발명의 바람직한 실시예를 예시적으로 설명하였으나, 본 발명의 범위는 이와 같은 특정 실시예에만 한정되는 것은 아니며, 특허청구범위에 기재된 범주 내에서 적절하게 변경 가능한 것이다.

부호의 설명

[0111] 110, 210 : 게이트 전극

120, 220 : 게이트 절연막

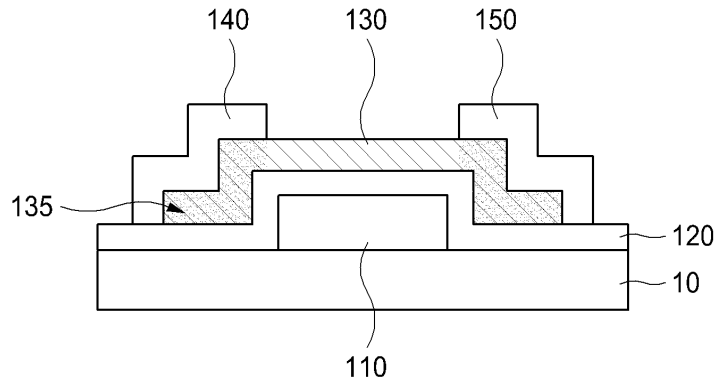
130, 230 : 산화물 반도체층

140, 240 : 소스 전극

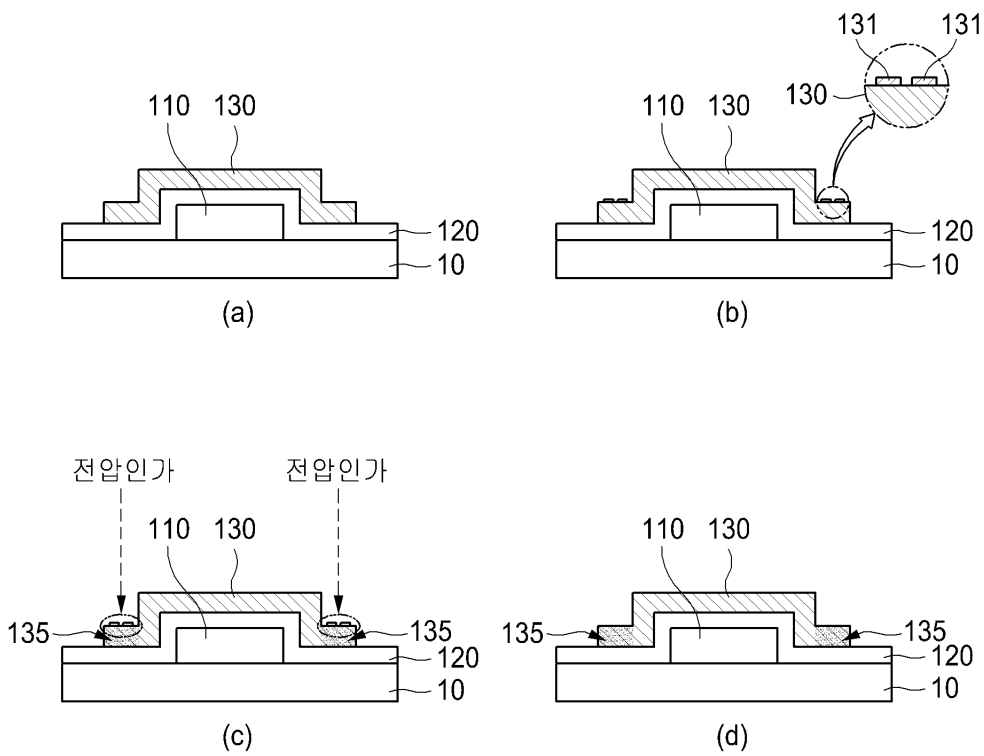
150, 250 : 드레인 전극

도면

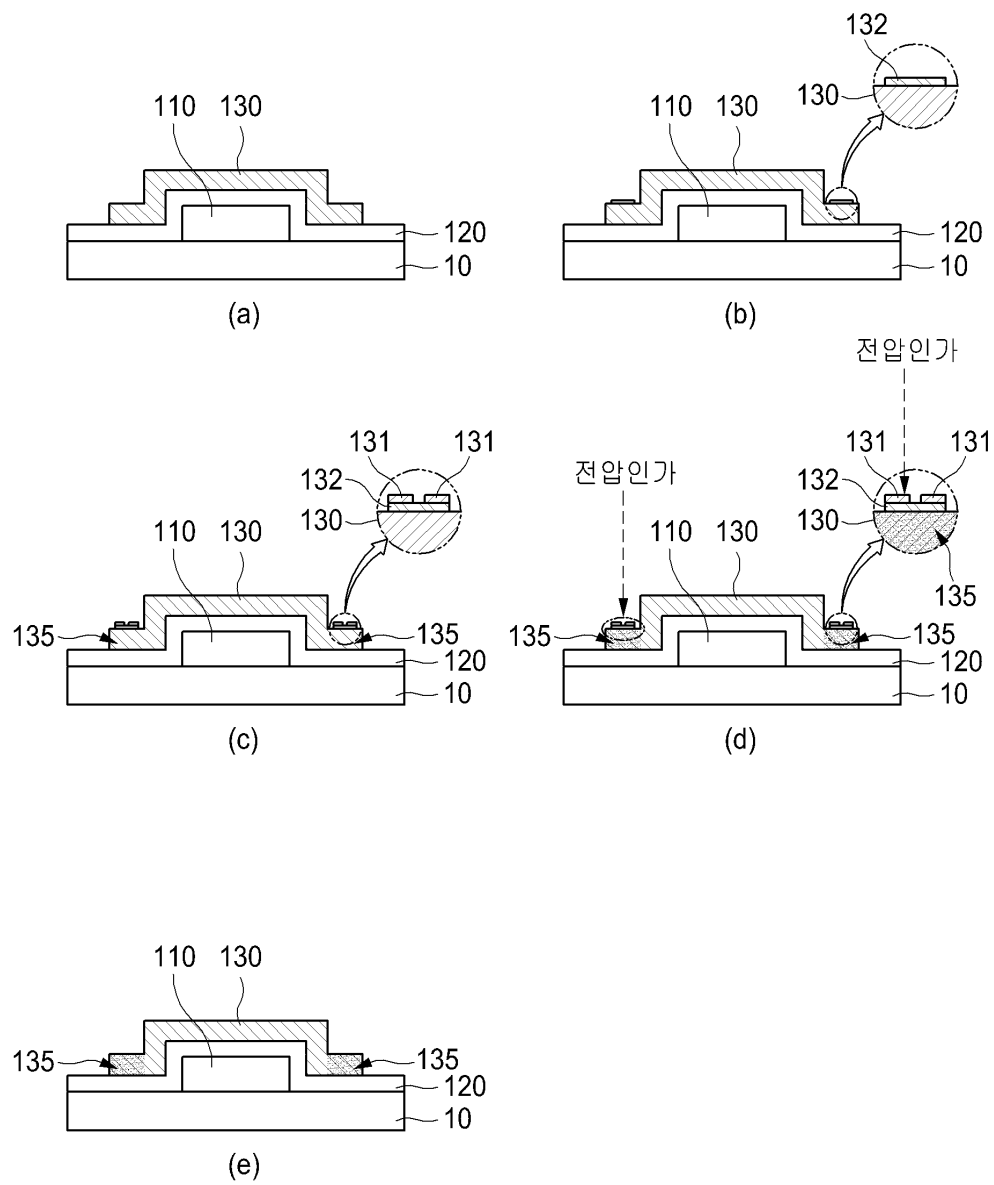
도면1



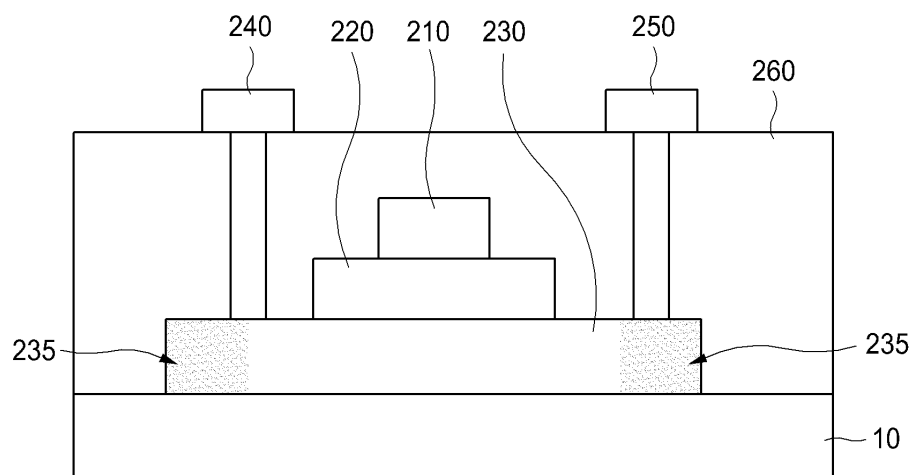
도면2



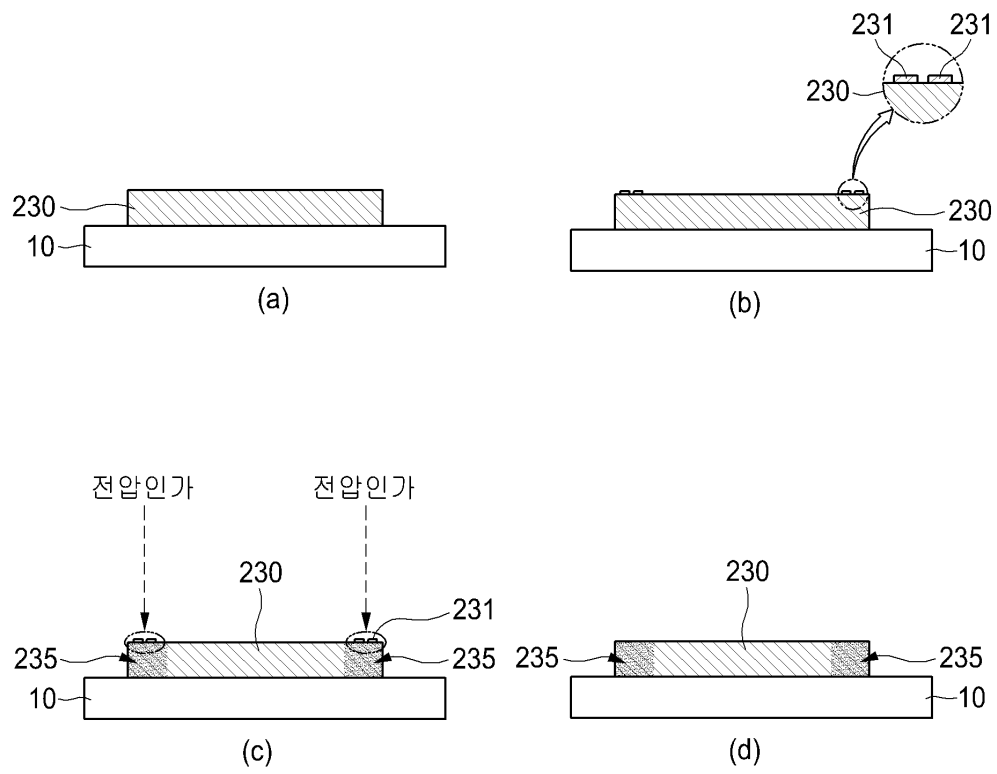
도면3



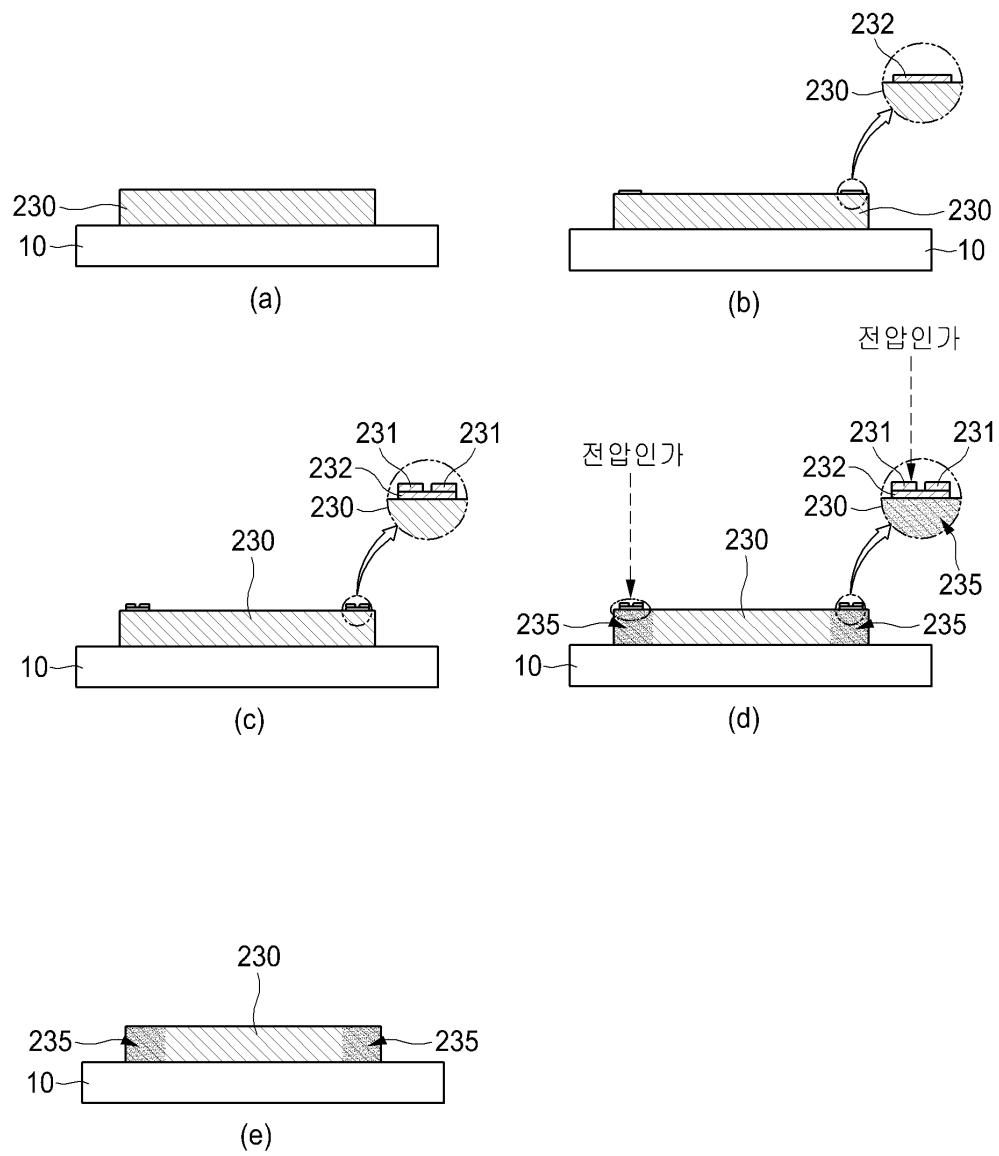
도면4



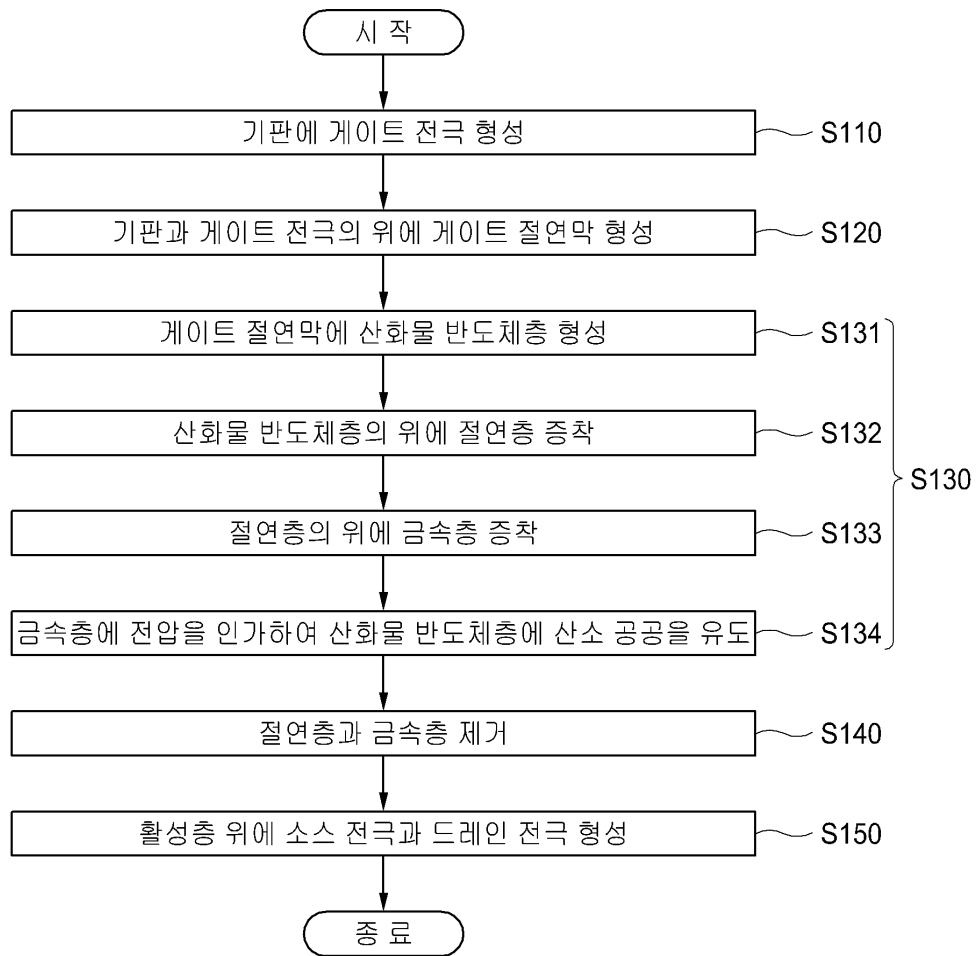
도면5



도면6



도면7



도면8

