



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년04월04일
(11) 등록번호 10-1026335
(24) 등록일자 2011년03월25일

(51) Int. Cl.
G11C 11/4193 (2006.01)
(21) 출원번호 10-2003-0067721
(22) 출원일자 2003년09월30일
심사청구일자 2008년09월30일
(65) 공개번호 10-2004-0029260
(43) 공개일자 2004년04월06일
(30) 우선권주장
10/262,631 2002년09월30일 미국(US)
(56) 선행기술조사문헌
JP06060667 A*
JP06076582 A*
JP06168591 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
에이저 시스템즈 인크
미합중국 펜실베니아 18109 알렌타운 노스이스트
아메리칸 파크웨이 1110
(72) 발명자
레이먼폴아서
미국, 플로리다32835, 올랜도, 캐논레이크셔클7893
초드리사미르
미국, 캘리포니아92606,
얼바인, 산타마리아드라이브220
(뒤편에 계속)
(74) 대리인
장훈

전체 청구항 수 : 총 10 항

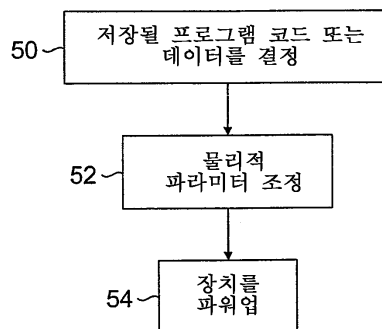
심사관 : 권영학

(54) 스택틱 랜덤 액세스 메모리의 초기 상태 규정 방법

(57) 요약

스택틱 랜덤 액세스 메모리가 파워업될 때 미리 결정된 초기 상태들이 얻어지도록 스택틱 랜덤 액세스 메모리의 메모리 셀들의 초기 상태를 미리 결정하는 방법이다. 상기 초기 상태들은 메모리 셀들을 포함하는 MOSFET들의 하나 이상의 물리적 또는 동작 파라미터들을 변경함으로써 미리 결정될 수 있다.

대표도 - 도2



(72) 발명자
노먼제임스게리
미국, 플로리다32837, 올랜도, 탈라포레인14526

툼슨제이.로스
미국, 플로리다34711, 클러몬트, 썸머우드드라이브556

특허청구의 범위

청구항 1

제 1 및 제 2 상보적인 소자들을 갖는 SRAM 메모리 셀의 초기 상태를 규정하는 방법에 있어서,

상기 초기 상태에 영향을 주는 상기 메모리 셀의 파라미터를 결정하는 단계;

상기 메모리 셀의 원하는 초기 상태를 결정하는 단계; 및

상기 원하는 초기 상태에 영향을 주기 위하여 스타트업시에 상기 상보적인 소자들의 하나가 다른 하나보다 먼저 턴 온 되어 파라미터 미스매치들을 생성하도록 상기 결정된 파라미터를 제어하는 단계로서, 상기 원하는 초기 상태는 미리 결정된 초기 상태인, 상기 제어 단계를 포함하는, SRAM 메모리 셀의 초기 상태를 규정하는 방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

복수의 메모리 셀들의 초기 상태를 결정하는 단계를 더 포함하고,

상기 복수의 메모리 셀들은 디바이스 내에서 동작하는 스태틱 랜덤 액세스 메모리(static random access memory)를 포함하는, SRAM 메모리 셀의 초기 상태를 규정하는 방법.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

제 1 항에 있어서,

상기 메모리 셀은 복수의 MOSFET들을 포함하고, 상기 결정된 파라미터를 제어하는 단계는 상기 복수의 MOSFET들 중 적어도 하나의 물리적 파라미터를 제어하는 단계를 포함하는, SRAM 메모리 셀의 초기 상태를 규정하는 방법.

청구항 8

제 7 항에 있어서,

상기 물리적 파라미터는 상기 복수의 MOSFET들의 채널 길이, 채널 폭, 채널 도핑 밀도 및 트랩된 전하들 중에서 선택되는, SRAM 메모리 셀의 초기 상태를 규정하는 방법.

청구항 9

제 8 항에 있어서,

상기 복수의 MOSFET들은 2개의 교차 결합된 CMOS 인버터들을 포함하고, 상기 CMOS 인버터들 각각은 NMOS 및 PMOS 전계 효과 트랜지스터를 포함하는, SRAM 메모리 셀의 초기 상태를 규정하는 방법.

청구항 10

제 9 항에 있어서,

상기 NMOS 및 PMOS 트랜지스터들 각각은 채널 영역에 의해 분리된 소스 및 드레인 영역들을 포함하고, 상기 채널 영역에 근접하게 배향되고 게이트 산화물에 의해서 이로부터 분리된 게이트 전극을 더 포함하고, 상기 물리적 파라미터는 복수의 상기 소스 및 드레인 영역들의 도핑 레벨, 게이트 산화물 캐패시턴스, 상기 게이트 산화물 내의 트랩된 전하들, 상기 채널 영역 내의 트랩된 전하들, 디바이스 영역들간의 기하학적 오프셋들, 상기 채널 길이 및 상기 채널 폭으로 구성된 그룹으로부터 선택된 하나 이상의 물리적 파라미터들을 포함하는, SRAM 메모리 셀의 초기 상태를 규정하는 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

제 1 항에 있어서,

상기 메모리 셀은 복수의 MOSFET들을 포함하고, 상기 결정된 파라미터를 제어하는 단계는 상기 복수의 MOSFET들 중 적어도 하나의 동작 파라미터(operational parameter)를 제어하는 단계를 포함하는, SRAM 메모리 셀의 초기 상태를 규정하는 방법.

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

제 8 항에 있어서,

상기 복수의 MOSFET들은 2개의 교차 결합된 PMOS 트랜지스터들, 2개의 교차 결합된 NMOS 트랜지스터들 및 2개의 교차 결합된 바이폴라 트랜지스터들 중에서 선택되는, SRAM 메모리 셀의 초기 상태를 규정하는 방법.

청구항 32

복수의 메모리 셀들을 포함하는 SRAM 메모리 어레이의 초기 상태를 규정하는 방법으로서, 상기 복수의 메모리 셀들 각각은 복수의 MOSFET들을 포함하고, 상기 메모리 어레이는 상기 복수의 메모리 셀들 내에 디바이스에 의해 실행되기 위한 프로그램 코드 및 스타트업 데이터를 저장하도록 상기 디바이스와 관련하여 동작하고, 상기 방법에 있어서,

상기 메모리 셀의 상기 초기 상태에 영향을 주는 상기 복수의 MOSFET들의 파라미터를 결정하는 단계;

상기 메모리 셀의 원하는 초기 상태를 결정하는 단계; 및

상기 메모리 셀의 초기 상태가 상기 원하는 초기 상태가 되도록 상기 결정된 파라미터에 영향을 주기 위해 상기 복수의 MOSFET들 중 하나 이상의 동작 파라미터들 이상으로 상기 하나 이상의 MOSFET들에 스트레스를 가하는 단계를 포함하는, SRAM 메모리 어레이의 초기 상태를 규정하는 방법.

청구항 33

삭제

청구항 34

복수의 트랜지스터들을 포함하는 SRAM 메모리 셀의 초기 상태를 결정하는 방법에 있어서,

상기 복수의 트랜지스터들 중에서 상기 초기 상태에 영향을 주는 트랜지스터의 물리적 파라미터 또는 동작 특성을 결정하는 단계;

상기 메모리 셀의 원하는 초기 상태를 결정하는 단계; 및

상기 메모리 셀의 초기 상태가 상기 원하는 초기 상태가 되도록 상기 결정된 물리적 파라미터 또는 동작 특성을

제어하는 단계를 포함하는, SRAM 메모리 셀의 초기 상태를 결정하는 방법.

청구항 35

삭제

청구항 36

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0008] 발명의 분야
- [0009] 본 발명은 일반적으로 스테틱 랜덤 액세스 메모리들에 관한 것이고, 보다 구체적으로는 스테틱 랜덤 액세스 메모리 셀들의 초기 상태를 규정하는 방법과 장치에 관한 것이다.
- [0010] 발명의 배경
- [0011] 스테틱 랜덤 액세스 메모리(Static Random Access Memory; SRAM)들을 포함하는, 랜덤 액세스 메모리 어레이(Random Access Memory Array)들은 기술적으로 널리 알려져 있다. 이러한 어레이들은 복수의 메모리 셀들로 구성되어 있고, 각각의 셀은 이진 1 또는 이진 0의 형태로 1비트의 정보를 저장한다. 각각의 셀은 본질적으로 행과 열 어드레스 라인들의 어레이의 교차점에 위치한 플립플롭(flip-flop)이다. 구체적으로는, 각각의 셀은 메모리 어레이의 행을 선택하는 워드라인과, 그 어레이의 열을 선택하는 한 세트의 상보성 비트라인들(즉, 비트라인과 역(inverse) 비트라인)의 교차점에 위치한다. 이 메모리들은, 각각의 셀이 행과 열 어드레스 디코더(decoder)에 제공된 어드레스에 의해 결정되는 것과 같이 판독 및 기록 동작들에 대해 개별적으로 액세스될 수 있다는 점에서 랜덤 액세스를 제공하고, 상기 디코더는 행과 열 어드레스 라인들의 교차점에서 의도된 셀을 차례로 선택한다. 일반적으로, 행 또는 워드라인이 먼저 선택되어, 그 선택된 행의 모든 셀들을 이네이블(enable)시킨다. 비트라인과 역 비트라인은 그 비트라인과 역 비트라인 위의 선택된 셀로부터 비트를 판독하거나 선택된 셀에 비트를 기록하기 위해, 선택된 셀 행 내로부터 개개의 열을 선택한다.
- [0012] SRAM들은 프로그램 명령들을 실행하는 프로세서의 제어 하에서 동작하는 컴퓨터들 및 다른 디바이스들과 같은 전자 디바이스들에서, 프로그램 메모리를 저장하는 데 종종 사용된다. SRAM들은 휘발성 메모리 디바이스들이기 때문에, 외부의 과위가 디바이스에 공급되지 않을 때, 스타트업(start-up)이나 부트업(boot-up) 동작 상태 동안에 필요한 프로그램 명령들과 데이터 항목들은 비휘발성 메모리에 저장된다. 스타트업 시 명령들과 데이터가 SRAM에 다운로드된다. SRAM이 비휘발성 메모리보다 더 고속의 액세스 횟수를 제공하므로, 디바이스가 동작하는 동안, 프로세서는 SRAM에 저장된 명령들과 데이터를 액세스하고 그 결과로서 얻어지는 데이터를 SRAM에 다시 기록한다. 그러나, 디바이스의 초기 동작은 프로그램 명령들과 스타트업 데이터가 비휘발성 메모리로부터 SRAM으로 로드되는 동안 지연된다. 실행 가능한 프로그램들과 스타트업 데이터를 저장하는 비휘발성 메모리 유형들 중에는, 리드 온리 메모리(read only memory; ROM)들, 프로그래머블 리드 온리 메모리(programmable read only memory; PROM)들, 이레이저블 프로그래머블 리드 온리 메모리(erasable programmable read only memory; EPROM)들 및 디스크 드라이브들과 같은 광학적 매체들과 플로피 디스크 드라이브들과 같은 자기 매체들이 포함된다.

발명이 이루고자 하는 기술적 과제

- [0013] 발명의 개요
- [0014] 메모리 어레이는 각기 메모리 셀을 형성하는 복수의 교차 접속된 CMOS 인버터(inverter) 쌍들을 포함한다. CMOS

인버터들 각각은 복수의 MOSFET 디바이스(metal-oxide semiconductor field-effect transistor; 금속 산화물 반도체 전계 효과 트랜지스터)들을 포함한다. 어레이의 초기 상태 또는 어레이 내의 개별적인 메모리 셀들을 미리 결정하기 위해, 메모리 셀의 하나 이상의 MOSFET들의 스타트업이나 초기 상태에 영향을 주는 물리적 파라미터가 식별된다. 예를 들어, 문턱 전압이 그러한 파라미터이다. MOSFET들의 제조 동안이나 그 다음에, 물리적 파라미터는 메모리 셀이 미리 결정된 초기 상태로 과위압하도록 제어된다. 또 다른 실시예에서 이 프로세스는 메모리 어레이에 대한 미리 결정된 초기 상태를 제공하기 위해 메모리 어레이의 모든 메모리 셀들로 연장될 수 있다.

[0015] 본 발명의 상기 및 기타 다른 특징들은, 첨부 도면들에 도시되어 있듯이, 발명의 하기의 보다 상세한 설명으로부터 명백해질 것이고, 도면에서 유사한 도면 부호들은 모든 다른 도면들의 동일 부분들을 나타낸다. 도면들은 축적 비율에 꼭 맞는 것은 아니며, 대신 발명의 원리들을 설명하는 데 중점을 두고 있다.

발명의 구성 및 작용

[0016] 본 발명의 교시에 따르는 SRAM의 초기 상태를 규정하는 특별한 방법을 상세히 설명하기 전에, 본 발명이 기본적으로 하드웨어 요소들과 방법 단계들의 새로운 결합에 있다는 점이 주시되어야 한다. 따라서, 그 요소들 및 단계들은 도면들에서 종래의 요소들에 의해 나타내어져 있고, 도면들은 단지 본 발명에 관련된 그 특정한 세부 사항들만을 도시하여, 본 명세서에서의 기재 내용들에 유리한 당업자들에게 쉽게 명백해지도록 구조적인 세부 사항들의 기재로 발명을 모호하지 않게 하였다.

[0017] 도 1은 본 발명의 교시가 적용될 수 있는 SRAM 메모리 어레이(18)를 구성하는 4개의 스태틱 랜덤 액세스 메모리(SRAM) 셀들(20,21,22,23)의 대표적인 개략도이다. SRAM 메모리 어레이(18)는 n개의 워드라인들(워드라인(0) 내지 워드라인(n))과 m개의 비트라인들(비트라인(0) 내지 비트라인(m))을 가진다. 메모리 셀들(20,21,22,23) 각각은 2개의 교차 결합된 상보성 MOSFET들(즉, CMOS) 인버터들로서 배열된 6개의 MOSFET(metal-oxide field-effect transistor)들을 포함한다. 셀들(20,21,22,23) 각각은 같은 방식으로 동일한 기본 성분들과 기능들을 포함한다. 따라서, 단지 셀(20)만이 아래에서 상세히 설명된다.

[0018] 셀(20)은 워드라인(0)에 접속된 게이트 터미널들을 가지는 NMOS 스위칭 트랜지스터들(30,32)을 포함한다. 트랜지스터(30)의 소스 및 드레인 터미널들은 역 비트라인(0)과 노드(34) 사이에 접속되어 있다. 트랜지스터(32)의 소스 및 드레인 터미널들은 역 비트라인(0)과 노드(36) 사이에 접속되어 있다. NMOS(또는 n-채널 MOSFET들) 트랜지스터들(40,42)의 제 1 소스/드레인 터미널은 접지되어 있다. PMOS(또는 p-채널 MOSFET들) 트랜지스터들(46,48)의 제 1 소스/드레인 터미널은 공급 전압(V_{DD})에 접속되어 있다. 트랜지스터들(40,42)의 제 2 소스/드레인 터미널은 각각, 노드들(34,36)에 있는 트랜지스터들(46,48)의 제 2 소스/드레인 터미널에 접속되어 있다. 노드(34)는 또한 각각의 트랜지스터(42,48)의 게이트 터미널에 접속되어 있다. 노드(36)는 또한 트랜지스터들(40,46) 각각의 게이트 터미널에 접속되어 있다.

[0019] 동작에 있어서, 2개의 CMOS 인버터들(제 1 인버터는 출력 터미널로서 동작하는 노드(34)와 함께 트랜지스터들(40,46)을 포함하고, 제 2 인버터는 출력 터미널로서 동작하는 노드(36)와 함께 트랜지스터들(42,48)을 포함)의 교차 결합(cross-coupling)은 쌍안정 디바이스를 만들어 낸다. 만약 제 1 인버터의 출력이 하이(high)이면(즉, 트랜지스터(46)은 온, 트랜지스터(40)은 오프이고 노드(34)의 전압이 하이), 노드(34)의 그 하이 전압은 제 2 인버터를 포함하는 트랜지스터들(42,48)의 게이트 터미널들에 입력으로서 제공된다. 하이 전압은 제 2 인버터를 로우(low)로 구동한다(즉, 트랜지스터(48)은 오프, 트랜지스터(42)는 온이고, 노드(36)의 전압은 로우 또는 접지 전위).

[0020] 노드(34)가 하이일 때(즉, 제 1 인버터가 하이), 셀(20)의 상태는 "1" 상태로 간주될 수 있다. 만약 트랜지스터들(40,42,46,48)이 상술한 것과 반대 상태에 있다면, 제 1 인버터 출력은 로우이고, 제 2 인버터 출력은 하이이다. 이 상태는 셀(20)에 대해 "0" 상태로 간주될 수 있다. "0" 상태에서 노드(34)는 로우이고, 노드(36)는 하이이다.

[0021] 셀(20)에 비트를 기록하기 위해, 워드라인(0)이 선택되어, 트랜지스터들(30,32)을 턴온시킨다. 비트라인(0)과 역 비트라인(0)은, 도시하지 않은 기록-드라이버(writer-driver)에 의해 반대 상태들로 충전되어, 메모리 셀(20)에 비트라인(0)상의 비트를 저장한다. 만약 비트라인(0)상에 "1"이 저장되면, 트랜지스터(48)는 오프 상태로 되고 교차 결합은 트랜지스터(46)을 온으로 구동한다. 따라서 노드(34)에서의 전압은 하이로 되고 "1"이 셀

(20)에 저장된다. 역 비트라인(0)은 트랜지스터(48)가 오프될 때 노드(36)가 효과적으로 접지됨에 따라 로우로 된다.

- [0022] 대안적으로는, 비트라인(0)상에 로우 전압과 역 비트라인(0)상에 하이 전압을 배치함으로써 "0"이 저장된다. 이 전압들은 트랜지스터(48)를 도전 상태로 구동하고 트랜지스터(46)는 오프되어, 노드(34)는 접지시키고 노드(36)는 하이로 만든다.
- [0023] 메모리 셀(20)에 저장된 비트는 워드라인(0)을 선택하고 비트라인(0)상의 전압과 역 비트라인(0)상의 전압간 차이를 결정함으로써 판독된다. 감도 증폭기(도 2에 도시하지 않음)가 전압 차분을 측정하고 저장된 비트를 나타내는 출력 비트를 제공한다.
- [0024] 설계 및 제조 프로세스들 동안, 구성 요소인 MOSFET들을 매치(match)시킴으로써, SRAM 셀을 포함하는 2개의 CMOS 인버터들의 동작 파라미터들을 매치시키고자 하는 것이 종래의 시도이다. 따라서 품질 제조 프로세스 제어는 2개의 p-채널 MOSFET들(46,48) 및 2개의 n-채널 MOSFET들(40,42)을 매치시키고자 한다.
- [0025] 본 발명의 교시에 따르면, 하나 이상의 프로세스 단계들은 메모리 셀(20)과 같은 메모리 셀을 포함하는 트랜지스터들에서 미스매치(mismatch)들 및 대응하는 비-동일 디바이스 특성들을 생성하는데 채용된다. 특히, 한 실시예에서 다른 문턱 전압들을 가지는 디바이스들을 만들어 내는 것이 요구된다. 결과적으로, 메모리 셀(20)을 포함하는 CMOS 인버터들 중 하나가 다른 하나보다 먼저 턴온되고 따라서 메모리 셀(20)은 예측 가능한 초기 파워온(또는 파워-업) 상태를 나타낸다.
- [0026] 제 2 실시예에서는 다른 구동 전류들을 가지는 디바이스들을 만들어 내는 것이 요구된다. 결과적으로, 비록 MOSFET들(46,48) 모두 동일한 문턱 전압을 가져서 동시에 턴온되더라도, 하나는 더 높은 구동 전류를 가져서 메모리 셀(20)은 예측 가능한 초기 파워온 상태를 나타낸다. 제 3 실시예에서는 문턱 전압들 및 구동 전류들이 모두 다른 디바이스들을 만들어 내는 것이 요구된다. 다시 이것은 메모리 셀(20)로 하여금 예측 가능한 파워온 상태를 나타내게 할 것이다.
- [0027] 예를 들어, 만약 2개의 p-채널 MOSFET들(46,48)이 정확하게 매치되지 않아서 2개의 MOSFET들(46,48) 중 하나가 다른 하나보다 더 낮은 문턱 전압을 나타내게 되면, 더 낮은 문턱 전압을 가지는 MOSFET는 파워가 처음 메모리 어레이(18)에 인가될 때 처음 턴온된다. 따라서 만약 MOSFET(46)가 MOSFET(48) 전에 턴온된다면, 노드(34)에서의 전압은 하이이고 메모리 셀(20)의 초기 상태는 "1"이다. 반대로, 만약 MOSFET(48)가 더 낮은 문턱 전압을 가지면, 메모리 셀(20)의 초기 상태는 "0"이다.
- [0028] 예시적인 프로세스의 미스매치들은 하나가 다른 하나보다 더 짧은 채널 길이를 나타내도록 MOSFET들(46,48)을 형성하는 예칭 프로세스 단계 동안, 근소한 기하학적 오프셋(offset)을 포함한다. 이 기하학적 오프셋은 예를 들어, MOSFET들(46,48)을 만드는데 사용되는 하나 이상의 리소그래픽 마스크(lithographic mask)들의 약간의 변경으로 생성될 수 있다. 기하학적 오프셋은 MOSFET들 중 하나가 다른 하나보다 더 큰 구동 전류를 갖게 하고, 따라서 CMOS 인버터들 중 양호한 하나가 다른 하나보다 먼저 턴온된다. 따라서 메모리 셀(20)의 파워업 상태는 미리 결정되며 예측 가능하다.
- [0029] 또 다른 예시적인 프로세스의 미스매치는 MOSFET 채널 영역들 중 한 곳에서의 주입 조절을 포함한다. 정밀한 양의 불순물이 주입될 수 있기 때문에, 프로세스는 문턱 전압에 대한 제어를 가능하게 한다. 예를 들어, 만약 붕소(boron, p형 물질)가 최대량의 주입이 채널 영역의 표면 바로 아래에서 일어나도록, p-채널 MOSFET의 게이트 산화물을 통해 주입된다면, 음으로 충전된 붕소 억셉터(acceptor)들은 채널에서 포지티브 디플리션(positive depletion) 전하의 영향들을 감소시킨다. p-채널 MOSFET의 문턱 전압이 음의 값을 인식한다면, 붕소 억셉터들은 문턱 전압이 보다 덜 음으로 되게 한다. 따라서 2개의 p-채널 MOSFET들(46,48) 중 하나에서 수행된 주입 조절은 조정된 MOSFET가 다른 하나보다 먼저 턴온되게 한다. 주입 도우즈의 신중한 선택은 SRAM(18)의 정상적인 동작에 영향을 주지 않으면서도 SRAM(18)의 셀들의 초기 상태를 설정할 수 있다.
- [0030] 문턱 전압에 영향을 주는 많은 요인들 중에는, 소스 및 드레인 영역들의 도핑 레벨들, 산화물 캐패시턴스, 각종 산화물 계면 트랩된 전하들 및 인접한 층들간의 기하학적 오프셋들이 있다. 이 파라미터들 중 하나 이상의 임의의 것은 메모리 셀(20)의 파워온 상태를 제어하기 위해 제조 프로세스 동안 변경될 수 있다.
- [0031] 또한, 2개의 n-채널 MOSFET들(40,42)(양수인 문턱 전압을 가짐) 중 하나는 그것의 문턱 전압을 낮추는 n형 도펀트(dopant)의 주입에 의한 불순물 조절 또는 구동 전류에 영향을 주는 채널 길이의 조절을 받을 수 있다.
- [0032] SRAM의 각각의 메모리 셀의 파워온 상태는 제어 가능하므로, 종래 기술에 따라 비휘발성 메모리에 저장되는 실

행 가능한 프로그램은 이제 SRAM(18)에 저장될 수 있어서, 디바이스가 파워업된 후 실행 가능한 프로그램이 SRAM(18)에서 즉시 이용 가능하게 된다. SRAM(18)에 저장되는 프로그램 코드와 함께, 별도의 비휘발성 메모리 디바이스는 필요하지 않고, 프로그램 코드를 비휘발성 메모리에서 SRAM(18)으로 옮기는데 소요된 초기화 시간이 회피된다. 또한, 메모리 소자들에 전용되는 회로기판 면적이 감소된다.

[0033] SRAM(18)에 프로그램 코드를 저장하는 것 외에, 메모리 셀들에서의 미스매치들은 또한 SRAM(18)로 하여금 그 안에 저장된 알려진 데이터로써 파워업할 수 있게 하여, 데이터를 저장하는 별도의 비휘발성 메모리에 대한 필요를 제거한다. 다시 말해, 이 별도의 메모리 디바이스들에 의해 소비되는 회로기판 면적과 디바이스 초기화 시간은 감소된다.

[0034] 도 2는 본 발명의 교시에 따라 SRAM(18)의 초기 상태를 설정하기 위한 흐름도를 도시하고 있다. 단계(50)에서는, 파워업시 SRAM(18)에 저장될 데이터나 프로그램 코드가 결정되고, 코드나 데이터의 개개의 이진 비트들이 SRAM(18) 내의 메모리 셀들에 할당된다. 단계(52)에서는, SRAM(18)의 메모리 셀들을 포함하는 MOSFET들의 문턱 전압 또는 구동 전류(또는 턴온 상태에 영향을 주는 또 다른 동작 특성)가, MOSFET의 턴온 상태를 차례로 결정하는 원하는 동작 효과를 생성하기 위해, MOSFET의 물리적 특성을 조정하는 하나 이상의 전술한 기술들에 따라 확립된다. 대표적인 조정 가능한 물리적 특성들은 상술한 바와 같은 주입 조정이나 기하학적 오프셋을 포함한다. 원하는 턴온 상태를 달성할 수 있는 다른 조정 가능한 물리적 특성들은 당업자들에게 알려져 있다. SRAM(18)이 파워업될 때 각각의 메모리 셀 내의 적절한 MOSFET가 먼저 턴온되고, 따라서 정확한 비트가 메모리 셀에 존재한다. 단계(54)에서는, SRAM(18)을 포함하는 디바이스가 파워업되고, SRAM(18)은 디바이스의 적절한 동작을 위해 원하는 초기 상태 값들을 나타낸다.

[0035] 본 발명의 또 다른 실시예에 따르면, 메모리 셀(20)을 포함하는 MOSFET들의 물리적 또는 동작 특성들은 SRAM(18)의 제조 후에 변경된다. 하나 이상의 그러한 특성들의 변경은 영향을 받은 MOSFET들의 턴온 상태를 미리 결정하기 위해 동작 특성들에 영향을 주므로, 메모리 셀의 턴온 상태는 상기 영향을 받은 MOSFET를 포함한다.

[0036] 이 실시예에서, SRAM 어레이(18)의 각각의 메모리 셀(20,21,22,23)은 원하는 상태의 역으로 배치된다. 즉, 만약 실행 가능한 코드나 스타트업 데이터의 비트를 나타내기 위해 메모리 셀에 이진 "1"을 저장하는 것이 요구된다면, "1"의 역, 즉 "0"이 메모리 셀에 저장된다. 메모리 셀(20)이 "0" 상태가 된다고 가정해 보자. MOSFET들(48,40)은 온이고, MOSFET들(42,46)은 오프이다. 이어서 MOSFET들은, 예를 들어, 공급 전압(V_{DD})을 그것의 정상적인 값 이상으로 핫 캐리어들이 "온"인 MOSFET들(48,40)의 채널에 형성될 때까지 상승시킴으로써 스트레스를 받는다. 구체적으로, 핫 캐리어 홀들이 MOSFET(48)의 채널에 형성된다. 만약 공급 전압이 충분히 높은 레벨까지 상승된다면, 상기 홀들은 채널과 게이트 산화물간의 전위 장벽을 넘기에 충분한 운동 에너지를 얻을 것이다. 이 핫 홀들의 일부는 고정된 전하들처럼 게이트 산화물에 트랩되고, MOSFET(48)에 대한 문턱 전압을 상승시킨다. MOSFET(48)에 대한 문턱 전압이 증가했기 때문에, MOSFET(46)은 파워업 시 MOSFET(48)보다 먼저 턴온된다. 따라서 메모리 셀들에 스트레스를 가한 후, MOSFET들은 원하는 프로그램 코드나 데이터가 파워업 시에 메모리 어레이에 "로딩(loaded)"되는 방식으로 미스매치된다.

[0037] 핫 캐리어들이 또한, n-채널 MOSFET들(이를테면 n-채널 MOSFET들(40,42))을 위해 생성될 수 있다. n-채널 디바이스들에서의 전자들에 대한 핫 캐리어 효과는 p-채널 디바이스들에서의 홀들에 대한 것보다 더 명백하다. 홀 이동도는 전자들의 이동도의 약 절반이므로, V_{DD} 를 상승시킴으로써 생성된 동일한 전계에 대해, 핫 홀들의 수는 핫 전자들의 수의 약 절반이다. 또한, 홀들이 게이트 산화물에 들어가기 위해 타고 넘어야 하는 전위 장벽은 전자들에 대한 전위 장벽보다 크다. 핫 캐리어들, 핫 홀들과 핫 전자들 모두를 생성하는 공급 전압값의 주의 깊은 선택은 메모리 어레이(18)의 정상적인 동작에 현저하게 영향을 미치지 않고도 문턱 전압을 쉬프트한다.

[0038] 또한 핫 캐리어들의 형성의 결과로서, 스트레스를 받은 디바이스의 출력 전류는 증가한다. 이 전류 증가는 파워업될 때 메모리 셀(20)에서 불균형을 초래하며, 따라서 메모리 셀(20)은 예측 가능한 초기 상태로 된다.

[0039] 상술한 바와 같이 MOSFET들에 스트레스를 가하기 위해, 공급 전압은 그것의 정상적인 값 이상, 예를 들어, 정상적인 값의 3 또는 4배로 현저하게 증가시킬 필요가 있을 수 있다. 또한, MOSFET 성능에서의 핫 캐리어들의 형성 및 영향은 MOSFET의 터브 바이어스(tub bias)를 변경함으로써 영향을 받을 수 있다. 터브는 소스, 드레인 및 채널 영역들이 CMOS 인버터 디바이스를 위해 형성되어 있는 도핑된 반도체 웰이나 영역을 지칭한다. NMOS 디바이스는 p형 웰에서 형성되고 PMOS 디바이스는 n형 웰 내에서 형성된다. 상기 웰들은 또한 서로 절연된다.

[0040] 도 3은 본 발명의 교시에 따르는 또 다른 실시예의 흐름도이며, SRAM(18)의 파워업 상태를 제어하는 단계들을

도시하고 있다. 단계(60)에서는, 파워업 시 메모리에서 나타날 프로그램 코드나 데이터의 역이 SRAM(18)에 로딩된다. 단계(62)에서는 프로그램 코드나 데이터를 저장하는 메모리 셀들을 포함하는 MOSFET 디바이스들이 상술된 바와 같이 스트레스를 받는다. 디바이스가 나중에 파워업될 때(단계 64), SRAM(18)의 스트레스를 받은 메모리 셀들은 원하는 초기 단계로 된다.

[0041] 메모리 셀들(20,21,22,23)의 초기 상태를 미리 결정하기 위해 SRAM(18)에 스트레스를 가하는 프로세스는 또한 SRAM(18)이 사용되게 배치된 후에 수행될 수 있다. 따라서 이 방법에 따라, SRAM(18)은 사용되는 동안 "재프로그램"될 수 있다. 이 실시예는 SRAM(18)이 스타트업 데이터와 실행 가능한 프로그램 코드에 대한 초기 상태 값들과 함께 사용되게 배치되는 디바이스와 함께 동작하고 있을 때 특히 유용하지만, 나중에 스타트업 데이터나 코드를 변경하는 것이 요구된다. 초기 서비스 후 SRAM(18)에 다시 스트레스를 가하는 것은 디바이스가 코드나 스타트업 데이터를 변경함으로써 재프로그램될 수 있게 한다.

[0042] 본 발명의 다른 실시예들에서, 도 4, 도 5와 도 6에 도시된 바와 같이, 관련된 레지스터(resistor)들을 포함하는 NMOS, PMOS 및 바이폴라 트랜지스터(bipolar transistor) 구성들은 메모리 셀들(20,21,22,23)을 형성하고, 복수의 상기 메모리 셀들은 메모리 어레이(18)를 형성한다. 당업자들에게 알려진 바와 같이, 이 실시예들의 동작은 상술된 교차 결합된 COMS 실시예와 유사하다. 이 디바이스들은 또한 다른 물리적 파라미터들과 함께 제조될 수 있거나, 상술된 바와 같이 스타트업 상태를 제어하기 위해 스트레스를 받을 수 있다.

[0043] 본 발명이 양호한 실시예들을 참조하여 설명되는 동안, 본 발명의 범위에서 벗어나지 않고도, 다양한 변경들이 행해질 수 있으며 균등한 요소들이 그의 요소들로 대체될 수 있다는 것이 당업자들에 의해 이해될 것이다. 본 발명의 범위는 또한 본 명세서에 기재된 다양한 실시예로부터의 요소들의 임의의 결합을 포함한다. 또한, 변경예들은 본 발명의 본질적인 범위를 벗어나지 않고도, 특정한 상황이 본 발명의 교시에 적합하도록 행해질 수 있다. 그러므로, 본 발명은 이 발명을 수행하기 위해 심사숙고된 최상의 모드로서 개시된 상기 특정한 실시예에 한정되지 않으나 본 발명은 첨부된 특허 청구 범위의 범위 내에 있는 모든 실시예들을 포함하는 것으로 의도되어 있다.

발명의 효과

[0044] 본 발명에 의해 스테틱 랜덤 액세스 메모리 셀들의 초기 상태를 규정하는 방법이 제공된다.

도면의 간단한 설명

[0001] 도 1은 전형적인 스테틱 랜덤 액세스 메모리 어레이의 개략도.

[0002] 도 2와 도 3은 본 발명의 교시에 따라 스테틱 랜덤 액세스 메모리의 원하는 초기 상태를 달성하기 위한 단계들을 나타낸 흐름도들.

[0003] 도 4 내지 도 6은 스테틱 랜덤 액세스 메모리에 대한 메모리 셀들의 대안적인 실시예들의 개략도들.

[0004] *도면의 주요 부분에 대한 부호의 설명*

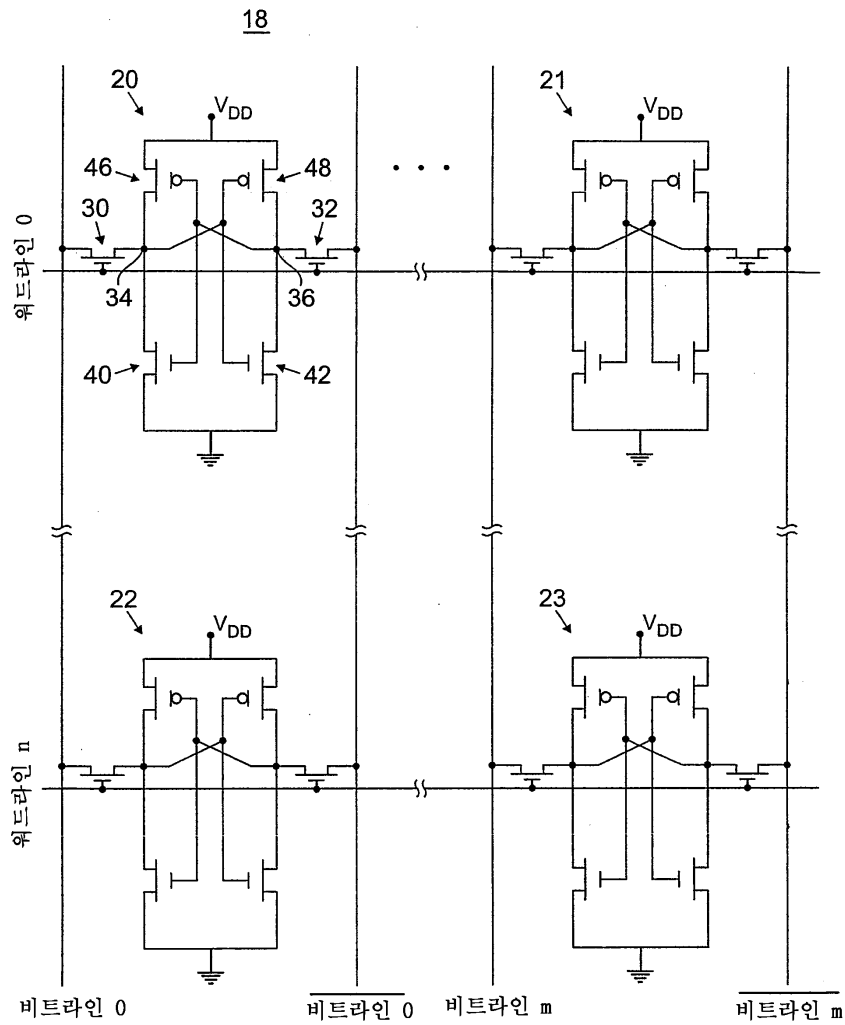
[0005] 18; SRAM 메모리 어레이 20,21,22,23; SRAM 셀들

[0006] 30,32,40,42; NMOS 트랜지스터들

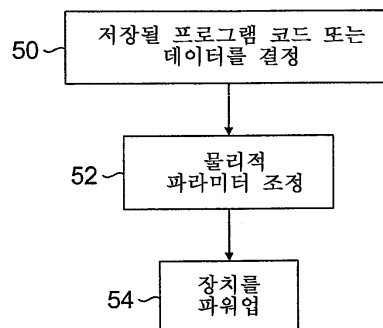
[0007] 34,36; 노드들 46,48; PMOS 트랜지스터들

도면

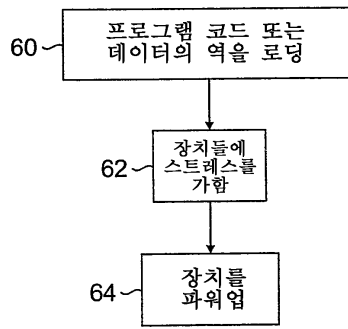
도면1



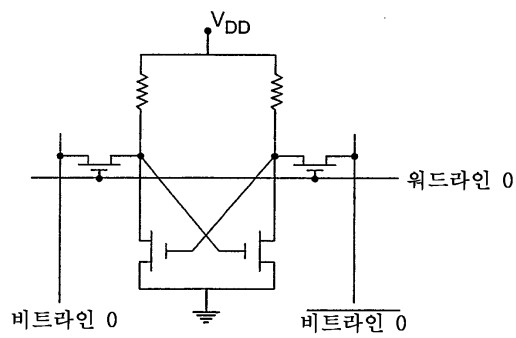
도면2



도면3



도면4



도면5

