



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월20일

(11) 등록번호 10-1522033

(24) 등록일자 2015년05월14일

- (51) 국제특허분류(Int. Cl.)
H04B 1/10 (2006.01) H04L 1/20 (2006.01)
- (21) 출원번호 10-2009-7009379
- (22) 출원일자(국제) 2007년10월05일
심사청구일자 2012년08월20일
- (85) 번역문제출일자 2009년05월06일
- (65) 공개번호 10-2009-0083365
- (43) 공개일자 2009년08월03일
- (86) 국제출원번호 PCT/AU2007/001506
- (87) 국제공개번호 WO 2008/040088
국제공개일자 2008년04월10일
- (30) 우선권주장
2006905545 2006년10월05일 오스트레일리아(AU)
2006905618 2006년10월10일 오스트레일리아(AU)
- (56) 선행기술조사문헌
EP00838928 A2
WO2006092877 A1
US20030039203 A1
EP1594259 A

- (73) 특허권자
코다 와이어리스 피티와이 리미티드
오스트레일리아 사우스 오스트레일리아 5067 켄트
타운 플라톤 로드 83 스위트 5
- (72) 발명자
알렉산더, 폴, 딘
오스트레일리아, 사우스 오스트레일리아 5067, 켄트
타운, 85 플라톤 로드, 스위트 5, 코다 와이어리스
피티와이 리미티드
그레이, 폴, 킹슬리
오스트레일리아, 사우스 오스트레일리아 5067, 켄트
타운, 85 플라톤 로드, 스위트 5, 코다 와이어리스
피티와이 리미티드
(뒷면에 계속)
- (74) 대리인
허용록

전체 청구항 수 : 총 43 항

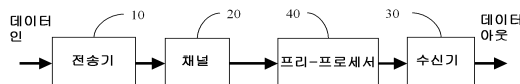
심사관 : 고연화

(54) 발명의 명칭 **통신 네트워크에서 수신기 성능 향상**

(57) 요약

통신 시스템에서 인코딩된 심볼(250)이 전송 채널(20)을 통해 전송되는 멀티캐리어 통신 네트워크 내의 수신기 성능의 향상을 위한 방법 및 장치가 기술된다. 전송 채널(20)의 모델은 추정되며(718,760), 상기 모델은 멀티캐리어 시스템의 적어도 하나의 캐리어에 대한 인터캐리어 간섭의 영향을 특징을 기술한다. 상기 수신된 심볼(250)은 추정된 모델을 이용하여 디코딩되어(720,762), 인터캐리어 간섭의 예측된 영향을 제거한다. 또한, 프리-프로세서(40)가 네트워크의 통신 수신기(30)와 결합하여 동작하기 위해 기술된다. 상기 프리-프로세서(40)는 상기 수신된 신호를 기반으로 상기 통신 채널의 적어도 하나의 특징을 추정하도록 동작하는 채널 추정기(42)를 포함한다. 상기 프리-프로세서(40)는 상기 적어도 하나의 추정된 특징에 의존하여 상기 수신된 신호를 변경하고, 상기 변경된 신호를 상기 통신 수신기(30)로 제공한다.

대표도 - 도2



(72) 발명자

할레이, 데이비드, 빅터, 로우리

오스트레일리아, 사우스 오스트레일리아 5067, 켄트 타운, 85 플라톤 로드, 슛 5, 코다 와이얼리스 퍼티와이 리미티드

뷰데퓨어, 존, 로우렌스

오스트레일리아, 사우스 오스트레일리아 5067, 켄트 타운, 85 플라톤 로드, 슛 5, 코다 와이얼리스 퍼티와이 리미티드

그랜트, 알렉산더, 제임스

오스트레일리아, 사우스 오스트레일리아 5067, 켄트 타운, 85 플라톤 로드, 슛 5, 코다 와이얼리스 퍼티와이 리미티드

팜, 푼, 느콕

오스트레일리아, 사우스 오스트레일리아 5067, 켄트 타운, 85 플라톤 로드, 슛 5, 코다 와이얼리스 퍼티와이 리미티드

수톤, 조슈아, 찰리스

오스트레일리아, 사우스 오스트레일리아 5067, 켄트 타운, 85 플라톤 로드, 슛 5, 코다 와이얼리스 퍼티와이 리미티드

수터, 마틴

오스트레일리아, 사우스 오스트레일리아 5067, 켄트 타운, 85 플라톤 로드, 슛 5, 코다 와이얼리스 퍼티와이 리미티드

명세서

청구범위

청구항 1

통신 수신기와 짝을 이루어 사용되는 프리-프로세서(pre-processor)로서, 상기 통신 수신기는 인코딩된 데이터를 포함하는 신호를 수신하고 디코딩된 데이터의 추정을 추출하도록 구성되는, 상기 프리-프로세서는:

통신 채널을 통해, 짝을 이룬 프리-프로세서와 통신 수신기에 전송된 입력 신호를 수신하도록 동작하는 입력단으로, 상기 입력 신호는 제1인코딩된 데이터를 포함하는, 입력단;

상기 입력 신호 및 피드백 신호를 기반으로 상기 통신 채널의 적어도 하나의 특징을 추정하도록 동작하는 채널 추정기;

상기 추정된 적어도 하나의 특징에 의존하여 상기 입력 신호를 변경하도록 동작하여, 변경된 신호가 상기 제1인코딩된 데이터와 상이한 제2인코딩된 데이터를 포함하도록 하는 신호 변경기; 및

상기 변경된 신호를 상기 통신 수신기로 제공하는 출력단;

을 포함하고,

상기 신호 변경기는 상기 채널 추정기에 제공된 피드백 신호를 유도하기 위한 FEC(Forward Error Correction) 유닛을 포함하며,

상기 채널 추정기 및 상기 신호 변경기는 상기 통신 수신기로부터의 피드백 없이 동작하는 프리-프로세서.

청구항 2

제 1항에 있어서,

상기 신호 변경기는 타임 도메인 필터를 포함하는 프리-프로세서.

청구항 3

제 2항에 있어서,

상기 채널 추정기의 출력을 기반으로 상기 타임 도메인 필터의 하나 또는 그 이상의 계수를 결정하도록 동작하는 계수 계산기를 더 포함하는 프리-프로세서.

청구항 4

제 1항에 있어서,

상기 신호 변경기는 주파수 도메인에서 상기 입력 신호를 변경하는 프리-프로세서.

청구항 5

제 4항에 있어서, 상기 신호 변경기는

상기 입력 신호와 상기 채널 추정기의 출력을 조합하는 조합기(combiner)를 포함하는 프리-프로세서.

청구항 6

제 5항에 있어서, 상기 조합기는

MRC(Maximum Ratio Combiner);

제로 포싱 조합기(zero forcing combiner); 및

MMSE(Minimum Mean Square Error) 조합기;

로 구성된 그룹에서 선택되는 프리-프로세서.

청구항 7

제 5항에 있어서,
상기 채널 추정기는 상기 조합기의 출력에 의존하여 적어도 하나의 특징을 추정하는 프리-프로세서.

청구항 8

삭제

청구항 9

제 5항에 있어서,
상기 신호 변경기는 변조(modulation) 유닛을 더 포함하고, 상기 채널 추정기는 복조되고 재변조된 상기 조합기의 출력을 사용하여 구동되는 프리-프로세서.

청구항 10

제 9항에 있어서,
상기 신호 변경기는 변조유닛을 더 포함하고; 상기 채널 추정기는 복조되고, FEC 디코딩되고, FEC 재인코딩되고, 재변조된 상기 조합기의 출력을 사용하여 구동되는 프리-프로세서.

청구항 11

제 1항 내지 제 7항, 제 9항 및 제 10항 중 어느 한 항에 있어서,
상기 통신 수신기는 RF/PHY/MAC 수신기이며, 상기 프리-프로세서는 사용시에는 하나 또는 그 이상의 안테나와 상기 통신 수신기 사이에서 동작하는 프리-프로세서.

청구항 12

제 1항 내지 제 7항, 제 9항 및 제 10항 중 어느 한 항에 있어서,
하나 또는 그 이상의 RF 회로를 더 포함하는 프리-프로세서.

청구항 13

제 12항에 있어서, 상기 프리-프로세서는 하나 또는 그 이상의 안테나와 PHY/MAC 통신 수신기 사이에서 동작하도록 사용되는 프리-프로세서.

청구항 14

제 1항 내지 제 7항, 제 9항 및 제 10항 중 어느 한 항에 있어서, 상기 프리-프로세서는 하나 또는 그 이상의 RF 회로와 PHY/MAC 통신 수신기 사이에서 동작하도록 사용되는 프리-프로세서.

청구항 15

제 1항 내지 제 7항, 제 9항 및 제 10항 중 어느 한 항에 있어서,
하나 또는 그 이상의 RF 회로로부터 상기 입력 신호를 수신하고 출력 신호를 상기 통신 수신기로 재전송하는 브리지(bridge)로서 동작하는 프리-프로세서.

청구항 16

제 14항에 있어서,
상기 프리-프로세서는 상기 통신 수신기의 획득 회로(acquisition circuit)를 바이패스(bypass)하도록 동작하는 프리-프로세서.

청구항 17

제 14항에 있어서,

상기 프리-프로세서는 상기 통신 수신기의 PHY 모듈을 바이패스하도록 동작하는 프리-프로세서.

청구항 18

제 1항 내지 제 7항, 제 9항 및 제 10항 중 어느 한 항에 있어서,

상기 프리-프로세서의 출력단은 다수의 제조자의 컴포넌트의 인터페이스를 지원하는 프리-프로세서.

청구항 19

제 1항 내지 제 7항, 제 9항 및 제 10항 중 어느 한 항에 있어서,

상기 프리-프로세서는 PHY 모듈로서 동작하는 프리-프로세서.

청구항 20

제 1항 내지 제 7항, 제 9항 및 제 10항 중 어느 한 항에 있어서,

상기 프리-프로세서는 IEEE 802.11 규격 수신기와 동작하는 프리-프로세서.

청구항 21

제 1항 내지 제 7항, 제 9항 및 제 10항 중 어느 한 항에 있어서,

상기 입력 신호가 실질적으로 변경(modification)되지 않고 상기 입력단에서 상기 출력단으로 전달되는 바이패스 모드를 가지는 프리-프로세서.

청구항 22

제 1항 내지 제 7항, 제 9항 및 제 10항 중 어느 한 항에 있어서,

상기한 길이의 두 개의 오토코릴레이션(autocorrelations)을 이용하는 획득 회로를 더 포함하는 프리-프로세서.

청구항 23

제 1항 내지 제 7항, 제 9항 및 제 10항 중 어느 한 항에 있어서,

상기 통신 수신기로 제공되는 상기 변경된 신호에 포함시키기 위한 적어도 하나의 프리앰블(preamble)을 저장하는 데이터 스토리지를 더 포함하는 프리-프로세서.

청구항 24

제 1항 내지 제 7항, 제 9항 및 제 10항 중 어느 한 항에 있어서,

적어도 하나의 프리앰블 및 선택적으로 임의의 데이터 심볼(data symbols)은 상기 입력단에서 상기 프리-프로세서의 출력단으로 전달되는 프리-프로세서.

청구항 25

제 1항 내지 제 7항, 제 9항 및 제 10항 중 어느 한 항에 있어서,

상기 통신 수신기로 제공되는 상기 변경된 신호에 포함시키기 위한 신호 프리앰블(signal preamble)을 필터링하는 필터를 더 포함하는 프리-프로세서.

청구항 26

제 1항 내지 제 7항, 제 9항 및 제 10항 중 어느 한 항에 있어서,

프리앰블의 일부는 상기 변경된 신호로 포함되기 전에 변경되거나 삭제되는 프리-프로세서.

청구항 27

제 1항 내지 제 7항, 제 9항 및 제 10항 중 어느 한 항에 있어서,

상기 입력 신호가 상기 입력단에 의해 검출되는 경우, 상기 프리-프로세서의 출력단은 짧은 프리앰블(short preamble)을 출력하는 프리-프로세서.

청구항 28

제 27항에 있어서,

상기 입력 신호의 타이밍이 획득되면, 상기 출력단은 긴 프리앰블(long preamble)을 출력하는 프리-프로세서.

청구항 29

제 28항에 있어서,

상기 입력신호의 타이밍이 획득되면, 상기 출력단은 상기 짧은 프리앰블의 최소한 하나를 반복적으로 출력하고, 그리고 나서 상기 긴 프리앰블을 출력하며;

상기 입력신호의 타이밍이 획득되면, 상기 짧은 프리앰블의 일부분이 반복적으로 출력되고나서, 긴 프리앰블이 출력되는 프리-프로세서.

청구항 30

제 14항에 있어서,

상기 프리-프로세서는 IEEE 802.11 RF 회로로부터의 상태(status) 및 제어 신호를 처리하고, 상기 프리-프로세서의 출력단은 상기 처리된 상태 및 제어 신호를 출력하는 프리-프로세서.

청구항 31

제 1항 내지 제 7항, 제 9항 및 제 10항 중 어느 한 항에 있어서,

상기 입력단은 다수의 입력 신호를 수신하도록 동작하는 프리-프로세서.

청구항 32

제 31항에 있어서,

상기 다수의 입력 신호에서 입력 신호를 선택하도록 동작하는 선택기를 포함하는 프리-프로세서.

청구항 33

제 31항에 있어서,

상기 채널 추정기 및 상기 신호 변경기는 상기 다수의 입력 신호에 대해 동작하는 프리-프로세서.

청구항 34

제 1항 내지 제 7항, 제 9항 및 제 10항 중 어느 한 항에 있어서,

상기 신호 변경기는 상기 통신 수신기의 기정의된 캐퍼빌리티(capability)에 의존하여 상기 입력 신호를 변경하도록 배열되는 프리-프로세서.

청구항 35

제 1항 내지 제 7항, 제 9항 및 제 10항 중 어느 한 항에 있어서, 상기 프리-프로세서는 상기 통신 수신기가 동작 가능한 통신 채널의 범위를 확장시키도록 배열되는 프리-프로세서.

청구항 36

적어도 하나의 프리-프로세서 인에이블된 노드(pre-processor-enabled node)를 포함하는 통신 시스템에 있어서,

제 1항에 따른 프리-프로세서; 및

작을 이룬 상기 프리-프로세서로부터 변경된 신호를 수신하는 통신 수신기;

를 포함하는 통신 시스템.

청구항 37

제 36항에 있어서,

입력 신호를 직접 수신하는 통신 수신기를 포함하는 적어도 하나의 비-프리프로세서 인에이블된 노드(non-pre-processor enabled node)를 더 포함하는 통신 시스템.

청구항 38

제 36항 또는 제 37항에 있어서,

상기 통신 시스템은 IEEE 802.11 네트워크이며, 상기 시스템은 커버리지 클래스(Coverage Class)를 증가시킴으로써 프리-프로세서 인에이블 가능 노드 내의 딜레이(delay)를 보상하는 딜레이 보상기를 포함하는 통신 시스템.

청구항 39

제 36항 또는 제 37항에 있어서,

상기 통신 시스템은 IEEE 802.11 네트워크이며, 상기 시스템은 IEEE 802.11 MAC/PHY ASIC의 SIFS 타임을 감소시킴으로써 프리-프로세서 인에이블된 노드 내의 딜레이를 보상하는 딜레이 보상기를 포함하는 통신 시스템.

청구항 40

제 36항 또는 제 37항에 있어서,

상기 통신 시스템은 IEEE 802.11 네트워크이며, 상기 시스템은 SIFS 타임을 PIFS 타임으로 증가시킴으로써 프리-프로세서 인에이블된 노드 내의 딜레이를 보상하는 딜레이 보상기를 포함하는 통신 시스템.

청구항 41

제 36항 또는 제 37항에 있어서,

상기 통신 시스템은 IEEE 802.11 네트워크이며, 상기 시스템은 상기 프리-프로세서로부터의 신호를 상기 채널로부터 수신된 상기 입력 신호의 데이터 레이트(data rate)보다 높은 데이터 레이트로 출력함으로써 프리-프로세서 인에이블된 노드 내의 딜레이를 보상하는 딜레이 보상기를 포함하는 통신 시스템.

청구항 42

제 36항 또는 제 37항에 있어서,

상기 통신 시스템은 IEEE 802.11 네트워크이며, 상기 시스템은 IEEE 802.11 MAC/PHY 회로의 CCA 신호를 일찍 어서트(asserting)함으로써 프리-프로세서 인에이블된 노드 내의 딜레이를 보상하는 딜레이 보상기를 포함하는 통신 시스템.

청구항 43

통신 수신기와 짝을 이루어 사용되는 프리-프로세서에 신호를 프리-프로세싱하는 방법으로서, 상기 통신 수신기는 인코딩된 데이터를 포함하는 신호를 수신하고 디코딩된 데이터의 추정을 추출하도록 구성되는, 프리-프로세싱 방법은:

통신 채널을 통해, 짝을 이룬 프리-프로세서와 통신 수신기에 전송된 입력 신호를 수신하는 단계로, 상기 입력 신호는 제1인코딩된 데이터를 포함하는, 단계;

상기 입력 신호 및 피드백 신호를 기반으로 상기 통신 채널의 적어도 하나의 특징을 추정하는 단계로, 상기 피드백 신호는 FEC(Forward Error Correction) 유닛으로부터 유도되는 것인, 단계;

상기 적어도 하나의 추정된 특징 및 상기 통신 수신기의 기정의된 캐퍼빌리티(capability)에 의존하여 상기 입력 신호를 변경하여, 변경된 신호가 상기 제1인코딩된 데이터와 상이한 제2인코딩된 데이터를 포함하도록 하는, 변경 단계; 및

상기 변경된 신호를 상기 통신 수신기로 공급하는 단계;

를 포함하고;

상기 추정하는 단계 및 상기 변경하는 단계는 상기 통신 수신기로부터의 피드백 없이 수행되는 프리-프로세싱 방법.

청구항 44

삭제

청구항 45

통신 수신기와 짝을 이루어 사용되는 프리-프로세서에 신호를 프리-프로세싱하는 방법을 수행하도록 프로그램 코드를 실행하는 데이터 프로세싱 장치의 동작을 제어하기 위한, 컴퓨터로 읽을 수 있는 프로그램 코드를 포함하는 컴퓨터 프로그램을 기록한 기록매체로서, 상기 통신 수신기는 인코딩된 데이터를 포함하는 신호를 수신하고 디코딩된 데이터의 추정을 추출하도록 구성되고, 상기 프리-프로세싱 방법은:

통신 채널을 통해, 짝을 이룬 프리-프로세서와 통신 수신기에 전송된 입력 신호를 수신하는 단계로, 상기 입력 신호는 제1인코딩된 데이터를 포함하는, 단계;

상기 입력 신호 및 피드백 신호를 기반으로 상기 통신 채널의 적어도 하나의 특징을 추정하는 단계로, 상기 피드백 신호는 FEC(Forward Error Correction) 유닛으로부터 유도되는 것인, 단계;

상기 적어도 하나의 추정된 특징 및 상기 통신 수신기의 기정의된 캐퍼빌리티에 의존하여 상기 입력 신호를 변경하는 단계로, 변경된 신호가 상기 제1인코딩된 데이터와 상이한 제2인코딩된 데이터를 포함하도록 하는, 변경 단계; 및

상기 변경된 신호를 상기 통신 수신기로 공급하는 단계;

를 포함하고,

상기 추정하는 단계 및 상기 변경하는 단계는 상기 통신 수신기로부터의 피드백 없이 수행되는 것을 특징으로 하는 컴퓨터 프로그램을 기록한 기록매체.

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

발명의 설명

기술 분야

[0001] 본 발명은 통신 시스템에 관한 것으로, 구체적으로 통신 네트워크에서 수신기의 성능 향상에 관한 것이다.

배경 기술

[0002] 도 1에 도시된 바와 같이, 통신 시스템은 송신기(10) 및 수신기(30)에 의해 구성될 수 있으며, 이들은 채널(20)에 의해 분리된다. 송신기(10)는 데이터를 채널(20) 상의 전송에 적합한 신호로 변환한다. 어떤 면에서는 채널은 상기 전송된 신호를 왜곡시킬 수 있다. 수신기의 목표는 신호로부터 채널 왜곡(channel distortions)의 영향을 제거하고, 상기 신호를 원래 데이터의 추정(estimate)으로 변환하는 것이다.

[0003] 수신기는 채널 추정기(Channel Estimator)를 포함할 수 있다. 채널 추정기는 채널 상의 전송에 의해 왜곡되어진 수신된 신호를 관찰하고, 상기 관찰을 기반으로 한 채널 추정(channel estimate)을 생성할 수 있다. 채널 왜곡은 진폭 왜곡, 주파수 오프셋, 위상 오프셋, 도플러 효과 또는 메모리를 구비한 채널로부터 야기된 왜곡, 예컨대 레일리 페이딩(Rayleigh fading), 라이시안 페이딩(Rician fading), 또는 다중경로 채널, 또는 부가적인 노이즈 또는 간섭을 포함할 수 있다. 수신기는 상기 채널 추정을 사용하여 채널의 영향을 제거하고 전송된 데이터의 추정을 생성할 수 있다.

[0004] 이상적인 수신기(일명 지나-지원(Genie-aided) 수신기)에서 채널 추정은 완벽할 것이고, 전송된 데이터의 추정은 최선책일 것이다. 그러나, 실제 채널 추정은 완벽하지 않을 수 있으며, 그 결과 전송된 데이터의 추정은 차선책일 수 있다. 더욱이, 많은 수신기는 협대역의 채널 타입 상의 동작을 위해 설계된다. 이들 수신기가 설계되지 않은 타입의 채널 상에서 전송된 데이터를 수신하도록 사용되는 경우, 이들의 채널 추정기는 방대한 채널 추정을 생성하기 쉬울 수 있으며, 그 결과 성능이 감소한다.

[0005] ETSI(European Telecommunications Standard Institute)에 의해 발행된 DVB-H(Digital Video Broadcast Handheld) 표준은 옥상 표준(DVB-T)까지 확장된다. DVB-H는 멀티미디어 서비스를 배터리-전원의 소형 단말기까지 방송하기 위한 효율적인 수단을 기술하는 것을 목표로 한다. DVB-H는 그 옥상 선행기(terrestrial predecessor)와 소급하여 양립(backward compatible)한다.

[0006] 표준은 다음과 같이 발행된다:

[0007] ● DVB(Digital Video Broadcasting); 소형 단말기를 위한 전송 시스템(DVB-H), ETSI EN 302 304 V1.1.1 (2004-11), 유럽 통신 표준 기관(European Telecommunications Standards Institute); 및

[0008] ● DVB; 프레임링 구조(framing structure), 디지털 지상 텔레비전을 위한 채널 코딩 및 변조, ETSI EN 300 744 V1.5.1 (2004-11), 유럽 통신 표준 기관.

[0009] DVB-H 표준의 목표는 다음을 포함한다:

[0010] ● 강한 모바일 커넥티비티(mobile connectivity);

[0011] ● 커버리지의 최대화;

[0012] ● 저전력 소모;

[0013] ● 임펄스 간섭의 완화; 및

[0014] ● 셀 간의 사용자 로밍.

[0015] 이들 목표를 고려하여, 표준은 표 1에 기술된 컴포넌트를 포함한다.

표 1

[0016] DVB-H 세부 컴포넌트

컴포넌트	레이어	필수/선택	기술된 목표(Stated Aim)
타임-슬라이싱	링크(Link)	필수	평균 전력 소모를 감소시키고 안정된 핸드오버를 허용함
DVB-H 시그널링	PHY	필수	신속한 서비스 개시 및 핸드오버
MPE-FEC	링크	선택	모바일 채널에서 C/N 및 도플러 성능 향상, 및 임펄스 간섭에 대한 내성 향상
4K 모드	PHY	선택	모빌리티와 SFN 사이즈의 트레이드 오프
상세한 심볼 인터리버	PHY	선택	2K, 4K 모드를 위한 향상된 강인성(robustness)

[0017] 모빌리티(mobility)가 제공되는 경우, DVB 파형은 모빌리티-유도 도플러(mobility-induced Doppler)에 기인한 ICI(Inter-Carrier Interference)로부터 영향받을 수 있으며, 서브캐리어(subcarriers)는 상호 간에 간섭한다.

[0018] 상기 문제점을 언급하기 위해, DVB-H 표준은 2K 및 8K 모드에 "4K" 모드를 추가함으로써 DVB-T까지 확장한다. 여기서 상기 숫자는 전송된 DVB 파형을 생성하기 위해 사용된 FFT 내의 서브캐리어의 수를 언급한다. 주어진 대역폭 신호에서 보다 많은 서브캐리어는 보다 근접한 캐리어 및 도플러에 대한 보다 높은 취약성(vulnerability)을 의미한다. 8K 모드는 도플러에 대해 특히 취약하다. 4K 모드는 2K 모드에 의해 제공되는 보다 간격이 넓은 서브캐리어와 8K 모드에 의해 제공되는 보다 긴 사이클릭 프리픽스(cyclic prefix) 간의 타협으로 보인다.

[0019] DVB는 또한 파형이 두 가지 방법으로 복조될 수 있는 계층적 모드(hierarchical mode)를 가진다. 일 방법은 보다 낮은 데이터 레이트에서 보다 신뢰성 있는 복조를 야기하고, 다른 방법은 복조하기 더 어렵지만 보다 높은 데이터 레이트를 야기한다. 보다 높은 데이터 레이트 모드에서 복조하기 위한 능력은 최종 사용자에게 향상된 서비스를 제공한다.

- [0020] 파일럿 심볼(polot symbols)은 전송된 파형에 삽입되어 수신기에서의 일관된(coherent) 복조 및 디코딩을 위한 채널 추정을 가능하게 한다. 임의의 주어진 OFDM(Orthogonal Frequency-Division Multiplexing) 심볼에서, 대략 1/9 번째의 서브캐리어는 DVB에서 이러한 목적을 위해 사용된다. 커버리지 및 모빌리티의 제한 상, 이들 파일럿만을 사용하는 것은, 정확한 채널 추정을 유도하기 위한 수신기의 능력(ability)은 절충된다.
- [0021] 발명의 상세한 설명 내의 임의의 종래 기술에 대한 언급은 상기 종래 기술이 오스트레일리아 또는 임의의 다른 관할 내의 일반적인 지식의 일부를 형성하거나, 상기 종래 기술이 유명되도록 합리적으로 예상될 수 있는 언급 또는 임의의 형태의 제안으로 받아들여지지 않아야 하며, 해당 분야의 당업자에 의해 이해되고 관련된 것으로 간주된다.
- 발명의 상세한 설명
- [0022] 본 발명은 존재하는 나열(existing arrangements)의 하나 또는 그 이상의 단점을 실질적으로 극복하거나, 또는 적어도 개선하는 것을 목적으로 한다.
- [0023] 본 발명의 제 1 양상에 따르면, 통신 수신기와 함께 작동하기 위한 프리-프로세서가 제공되며, 상기 프리-프로세서는 다음을 포함한다:
- [0024] 통신 채널을 통해 전송된 입력 신호를 수신하도록 동작하는 입력단;
- [0025] 상기 입력 신호를 기반으로 상기 통신 채널의 적어도 하나의 특징을 추정하도록 동작하는 채널 추정기;
- [0026] 상기 적어도 하나의 추정된 특징에 의존하여 상기 입력 신호를 변경하도록 동작하는 신호 변경기; 및
- [0027] 상기 변경된 신호를 상기 통신 수신기로 제공하며;
상기 채널 추정기 및 상기 신호 변경기는 상기 통신 수신기로부터의 피드백 없이 동작하는, 출력단.
- [0028] 본 발명의 제 2 양상에 따르면, 통신 수신기로 제공하기 위한 신호를 프리-프로세싱하는 방법이 제공되며, 상기 방법은 다음을 포함한다:
- [0029] 통신 채널을 통해 전송된 입력 신호를 수신하는 단계;
- [0030] 상기 입력된 신호를 기반으로 상기 통신 채널의 적어도 하나의 특징을 추정하는 단계;
- [0031] 상기 추정된 적어도 하나의 특징에 의존하여 상기 입력 신호를 변경하며, 상기 추정하는 단계 및 상기 변경하는 단계는 상기 통신 수신기로부터의 피드백 없이 수행되는 단계; 및
- [0032] 상기 변경된 신호를 상기 통신 수신기로 제공하는 단계.
- [0033] 본 발명의 또 다른 양상에 따르면, 컴퓨터가 읽을 수 있는 컴퓨터가 읽을 수 있는 프로그램 코드를 포함하는 기록매체 및 이 기록매체를 포함하는 컴퓨터 프로그램 제품이 제공되며, 이는 통신 수신기로 제공하기 위한 신호를 프리-프로세싱하는 방법을 수행하기 위해 상기 프로그램 코드가 실행되는 데이터 처리 장치의 동작을 제어하며, 상기 방법은 다음을 포함한다:
- [0034] 통신 채널을 통해 전송된 입력 신호를 수신하는 단계;
- [0035] 상기 입력 신호를 기반으로 상기 통신 채널의 적어도 하나의 특징을 추정하는 단계;
- [0036] 상기 추정된 적어도 하나의 특징에 의존하여 상기 입력 신호를 변경하는 단계; 및
- [0037] 상기 변경된 신호를 상기 통신 수신기로 제공하는 단계.
- [0038] 상기 프리-프로세서를 탑재한 통신 시스템이 또한 기술된다.
- [0039] 본 발명의 다른 양상에 따르면, 멀티캐리어 통신 시스템에서 심볼을 디코딩하는 방법이 제공되며, 다음을 포함한다:
- [0040] a) 통신 시스템의 전송 채널을 통해 전송된 인코딩된 심볼을 수신하는 단계;
- [0041] b) 상기 전송 채널의 모델을 추정하며, 상기 모델은 상기 멀티캐리어 시스템 내의 적어도 하나의 캐리어에 대한 인터캐리어 간섭(inter-carrier interference)의 영향을 기술하는 단계;
- [0042] c) 상기 추정된 모델을 이용하여 상기 수신된 심볼을 디코딩하여, 인터캐리어 간섭의 예측된 영향을 제거하는

단계.

- [0043] 본 발명의 다른 양상에 따르면, 멀티캐리어 무선 통신 시스템을 위한 수신기에서 인터캐리어 간섭 예측 및 제거 방법이 제공되며, 다음을 포함한다:
- [0044] ● 파일럿 심벌(polot symbols)을 기반으로 제 1 평탄화된 다이렉트 채널(smoothed direct channel)을 추정하는 단계;
- [0045] ● 상기 제 1 평탄화된 다이렉트 채널 추정을 이용하여 수신된 심벌을 디코딩하여, 연전송된(soft transmitted) 심벌 추정 및 경전송된(hard transmitted) 심벌 추정을 생성하는 단계;
- [0046] ● 파일럿 및 제 1 경전송된 심벌 추정을 이용하여 제 2 평탄화된 다이렉트 채널을 추정하는 단계;
- [0047] ● 상기 제 2 평탄화된 다이렉트 채널 추정을 이용하여 상기 수신된 심벌을 디코딩하여, 제 1 연전송된 심벌 추정 및 제 2 경전송된 심벌 추정을 생성하는 단계;
- [0048] ● 파일럿 심벌 및 제 2 경전송된 심벌 추정을 이용하여 제 3 평탄화된 다이렉트 채널을 추정하는 단계; 및
- [0049] ● 제 1 경전송된 심벌 추정을 이용한 관찰로부터 다이렉트 채널 간섭의 제 1 제거된 현재 추정을 가지는 적어도 인접 서브캐리어를 위한 평탄화된 인터캐리어 간섭 채널을 추정하는 단계.
- [0050] 바람직하게, 상기 방법은 다음을 포함한다:
- [0051] ● 상기 채널 추정에 따라 적어도 하나의 서브캐리어로부터 간섭을 소거하는 단계;
- [0052] ● 간섭이 소거된 서브캐리어를 디코딩하여 정보 비트 추정(information bit estimates)을 반환하는 단계.
- [0053] 상기 방법은 디코딩 전에, 평탄화된 채널 추정에 따라, 상기 간섭이 소거된 심벌을 조합하는 단계를 추가적으로 포함할 수 있다.
- [0054] 상기 방법은 다음과 같은 단계의 일 또는 그 이상의 추가적인 반복을 포함할 수 있다:
- [0055] ● 파일럿 심벌 및 현재의 경 디코더(hard decoder) 결과를 이용하여 새로운 평탄화된 다이렉트 채널을 추정하는 단계;
- [0056] ● 현재의 연전송된 심벌 추정을 이용한 관찰로부터 다이렉트 채널 간섭의 제 1 제거된 현재 추정을 가지는 적어도 인접한 서브캐리어를 위한 평탄화된 인터캐리어 간섭 채널을 추정하는 단계;
- [0057] ● 상기 채널 추정에 따라 적어도 하나의 서브캐리어로부터 간섭을 소거하는 단계;
- [0058] ● 상기 평탄화된 다이렉트 채널 추정을 이용하여 상기 수신된 심벌을 디코딩하여, 새로운 연전송된 심벌 추정 및 경전송된 심벌 추정을 생성하는 단계.
- [0059] 상기 채널 추정을 평탄화하는 단계는 다음 중 어느 하나를 이용하여 달성될 수 있다:
- [0060] ● 지역 통과 필터에 의한 컨볼루션,
- [0061] ● FFT, 윈도우잉(windowing) 및 IFFT를 통한 변환.
- [0062] 다중 수신기 안테나로의 일반화는 각각의 안테나에 대해 하나의 채널 세트를 정의하고 디코딩 프로세스의 복조 스테이지를 벡터화함(vectorising)에 의해 달성될 수 있다.
- [0063] FFT의 출력에 제시되는 ICI는 또한 측정된 주파수 오프셋에 대한 타임 도메인 시퀀스를 결정하는 프리-FFT 모듈로 로컬 주파수 오프셋 추정을 피드백함으로써 감소될 수 있다. 이러한 정정은 오직 순방향 방식(forward manner) 또는 소급적으로(retrospectively) 수행될 수 있으며, 즉, 상기 주파수 오프셋 추정이 수신기의 적용(application) 도중 변하는 경우, 임의의 주어진 OFDM 심벌은 다수 번의 FFT를 통해 변환될 수 있다.
- [0064] 컨볼루션 코드의 연출력(soft output) 디코딩의 사용(예컨대, A-Posteriori Probaility decoding을 포함)은 임의의 수반하는 리드-솔로몬 디코딩(Reed-Solomon decoding)에 앞서 삭제 예측(erasure prediction)을 허용하도록 사용될 수 있어, 그에 의해 시스템의 에러 정정 능력을 향상시킨다.
- [0065] 본 발명의 또 다른 양상에 따르면, 멀티캐리어 무선 통신 시스템을 위한 수신기에서 인터캐리어 간섭 예측 및 제거 방법이 제공되며, 다음을 포함한다:

- [0066] ● 파일럿 심볼을 기반으로 제 1 평탄화된 다이렉트 채널을 추정하는 단계;
 - [0067] ● 상기 제 1 평탄화된 다이렉트 채널 추정을 이용하여 수신된 심볼을 디코딩하여, 연전송된 심볼 추정 및 경전송된 심볼 추정을 생성하는 단계;
 - [0068] ● 파일럿 심볼 및 경전송된 심볼 추정을 이용하여 다음의 평탄화된 다이렉트 채널을 추정하는 단계; 및
 - [0069] ● 적어도 인접한 서브캐리어에 대해 상기 평탄화된 인터캐리어 간섭 채널을 추정하여, 바람직하게 연전송된 심볼 추정을 이용한 관찰로부터 다이렉트 채널 간섭의 제 1 제거된 현재 추정을 가지는 단계.
- [0070] 바람직하게, 상기 방법은 다음을 포함한다:
- [0071] ● 상기 채널 추정에 따라 적어도 하나의 서브캐리어로부터 간섭을 소거하는 단계;
 - [0072] ● 상기 간섭이 소거된 서브캐리어를 디코딩하여 정보 비트 추정을 반환하는 단계.

실시예

[0103] 프리-프로세서(Pre-Processor)

[0104] 통신 네트워크에서 통신 수신기 전에 위치하여 상기 수신기의 성능을 향상시킬 수 있는 프리-프로세서의 실시예가 기술된다. 프리-프로세서는 수신기에 의해 관찰된 통신 채널을 변경하여 수신기의 캐퍼빌리티(capability)에 보다 잘 매치시킨다.

[0105] 상기 기술된 프리-프로세서는 다음과 분야에 잠재적인 적용을 가진다:

- [0106] ● 무선 통신 시스템, 예컨대 DVB-T, DVB-H, IEEE 802.11, IEEE 802.16, 3GPP2;
- [0107] ● 위성 통신 시스템; 및
- [0108] ● 유선 통신 시스템, 예컨대 ADSL, 홈플러그(HomePlug)

[0109] 상기 기술된 프리-프로세서는 존재하는 통신 수신기의 레인지와 짝을 이루어 수신기의 성능을 향상시킬 수 있다. 일 배열(arrangement)에서, 프리-프로세서는 논-모바일, 수신기가 모바일로 동작할 수 있도록 하는 실내 채널, 실외 채널에서 동작하도록 설계된 존재하는 IEEE 802.11 수신기와 짝을 이룰 수 있다.

[0110] 프리-프로세서는 수신기로의 신호 입력을 변경하도록 사용될 수 있어, 시스템의 성능을 향상시킨다. 이는 도 2에 도시된다. 프리-프로세서(40)는 채널(20)에 의해 영향받은 신호를 입력받고, 다른 채널에 의해 영향받은 것으로 나타나는 수신기(30)로의 신호 출력으로 신호를 처리하며, 여기서 채널은 수신기(30)의 캐퍼빌리티(capabilities)에 매칭된다. 프리-프로세서(40)의 사용은 존재하는 수신기가 작동할 수 있는 채널의 범위를 확장시킨다. 존재하는 수신기가 쉽게 변경될 수 없는 경우에서(예컨대 존재하는 수신기가 ASIC(Application Specific Integrated Circuit)인 경우), 수신기는 그 캐퍼빌리티를 벗어나는 채널에 대한 성능 요구를 만족시키는데 실패할 수 있다. 이 경우에서, 프리-프로세서(40)는 존재하는 수신기에 선행하도록 추가되어 수신기(30)가 동작할 수 있는 채널의 범위를 확장시킬 수 있다.

[0111] 프리-프로세서(40)는 수신된 신호를 기반으로 채널(20)의 추정을 생성한다. 그리고 나서, 상기 프리-프로세서(40)는 상기 채널 추정을 사용하여 채널의 영향을 제거하거나 변경한다. 프리-프로세서(40)의 목표는 수신기로의 입력을 수신기가 관찰하는 효율적인 채널이 수신기가 동작할 수 있는 범위 내에 존재하는 형태가 되도록 하는 것이다.

[0112] 도 3은 타임 도메인에서 구현된 프리-프로세서(40)의 블록도를 도시한다. 프리-프로세서(40)로의 입력은 채널 추정기(42) 및 필터(41)로 제공된다. 여기서 채널 추정기(42)는 타임 도메인 상의 입력을 입력받고, 추정기 출력은 수신된 신호가 통신 시스템의 실제 채널이 아닌 다른 채널에 의해 영향받은 것으로 나타나도록 변경하는 타임 도메인 필터(41)에 대한 필터 계수(filter coefficients)를 계산하도록 모듈(39)에 의해 사용된다. 필터(41)의 출력은 수신기(30)로 제공된다.

[0113] 도 4는 주파수 도메인 상에서 구현된 또 다른 프리-프로세서(40)의 일반 블록도를 도시한다. 여기서 수신된 신호는 먼저 타임 도메인에서 주파수 도메인으로 변환된다. 매퍼블럭(mapper block)(43)은 주파수 도메인 신호가 통신 시스템의 실제 채널(20)이 아닌 다른 채널에 의해 영향받은 것으로 나타나도록 변경하고, 그리고 나서 상기 신호는 타임 도메인으로 변환되어 출력된다. 채널 추정기(42)는 타임 도메인 상에서 수신된 신호(44), 주파수 도메인 상에서 수신된 신호(45), 또는 타임 도메인 및 주파수 도메인(44,45) 둘 모두에서 수신된 신호를 입

력으로 사용한다. 채널 추정기(42)는 또한 선택적으로 주파수 도메인 상의 매핑된 신호(mapped signal)(46), 타임 도메인 상의 매핑된 신호(47), 또는 주파수 도메인 및 타임 도메인 둘 모두에서 매핑된 신호(46,47)를 사용할 수 있다. 매핑 블럭(43)에 의해 수행된 매핑은 채널 추정기(42)에 의해 생성된 채널 추정을 기반으로 한다.

[0114] 도 5는 다른 주파수 도메인 프리-프로세서 구조(40)의 블록도를 도시한다. 여기서 타임 도메인에서 주파수 도메인에서의 변환은 FFT(Fast Fourier Transform)(48)를 사용하여 수행되고, 주파수 도메인에서 타임 도메인에서의 변환은 IFFT(Inverse Fast Fourier Transform)(49)를 사용하여 수행된다. 주파수 도메인에서 수신된 신호는 MRC(Maximum Ratio Combiner)(50)를 사용하여 채널 추정기 블럭(42)의 출력과 조합한다. 채널 추정기(42)는 타임 도메인에서 수신된 신호, 주파수 도메인에서 수신된 신호, 또는 타임 도메인 및 주파수 도메인 둘 모두에서 수신된 신호를 입력으로 사용한다. 채널 추정기는 또한 선택적으로 주파수 도메인에서의 MRC 출력 신호, 타임 도메인에서의 MRC 신호, 또는 주파수 도메인 및 타임 도메인 둘 모두에서의 MRC 신호를 사용할 수 있다.

[0115] 도 6은 다른 주파수 도메인 프리-프로세서 구조의 블록도를 도시한다. 여기서 주파수 도메인에서 MRC(50)에 의해 출력된 변경된 입력 신호는 채널 추정기(42)로 송신되도록 사용되기 전에, 먼저 복조되고 그리고 나서 재변조된다. 채널 추정기(42)는 타임 도메인 상의 수신된 신호, 주파수 도메인 상의 수신된 신호, 또는 타임 도메인 및 주파수 도메인 둘 모두 상의 수신된 신호를 입력으로 사용한다. 채널 추정기는 또한 선택적으로 주파수 도메인에서의 재변조된 신호, 타임 도메인에서의 재변조된 신호, 또는 주파수 도메인 및 타임 도메인 둘 모두에서의 재변조된 신호를 사용할 수 있다.

[0116] 도 7은 또 다른 주파수 도메인 프리-프로세서 구조의 블록도를 도시한다. 여기서 주파수 도메인에서 MRC(50)에 의해 출력된 변경된 입력 신호는 채널 추정기(42)로 송신되기 전에, 먼저 복조되고, 그리고 나서 FEC(Forward Error Control) 블럭(51)에서 디코딩되고 재인코딩되고, 그리고 나서 재변조된다. 채널 추정기(42)는 타임 도메인에서 수신된 신호, 주파수 도메인에서 수신된 신호, 또는 타임 도메인 및 주파수 도메인 둘 모두에서 수신된 신호를 입력으로 사용한다. 채널 추정기(42)는 또한 선택적으로 주파수 도메인에서 재변조된 신호, 타임 도메인에서 재변조된 신호, 또는 주파수 도메인 및 타임 도메인 둘 모두에서 재변조된 신호를 사용할 수 있다.

[0117] 도 5, 도 6, 도 7에서, FFT(48) 및 IFFT(49)는 각각 임의의 형태의 타임에서 주파수 도메인에서의 변환 또는 주파수에서 타임 도메인에서의 변환으로 대체될 수 있다. 또한 MRC(50)은 임의의 형태의 신호 조합기(signal combiner), 예컨대 MMSE(Minimum Mean Square Error) 조합기 또는 제로 포싱 조합기(zero forcing combiner)로 대체될 수 있다.

[0118] 프리-프로세서(40)가 적용될 수 있는 채널(20)의 예는 주파수 오프셋 채널(frequency offset channel)이다. 주파수 오프셋 채널은 주파수 오프셋을 전송된 신호로 적용한다. 수신기가 정확하게 주파수 오프셋을 추정하면, 채널의 영향은 제거될 수 있다. 10 kHz까지의 주파수 오프셋에서 동작하도록 설계된 수신기(30)의 경우를 고려한다. 주파수 오프셋이 예를 들어 100kHz인 경우, 성능은 매우 열악할 수 있다. 대신 채널 추정기(42)가 100kHz의 주파수 오프셋에서 대처할 수 있는 프리-프로세서(40)에서 사용되는 경우, 프리-프로세서(40)는 채널의 영향을 제거할 수 있다. 이는 오직 10 kHz 주파수 오프셋에서 대처할 수 있는 기존의 수신기가 100 kHz까지의 주파수 오프셋을 가지는 채널에서도 사용될 수 있도록 하며, 그에 의해 존재하는 수신기의 동작할 수 있는 채널의 레인지를 확장시킨다.

[0119] 프리-프로세서(40)가 적용될 수 있는 채널(22)의 다른 예는 위성 채널이다. 도 8에 도시된 바와 같이, 위성 채널은 경로 딜레이(path delay)에 의한 라이시안 페이딩(Rician fading)에 의해 특징이 기술된다. 일반적인 해상(즉, 정지위성을 통해 통신하는 바다 위의 배) 위성 채널은 10 dB의 K-팩터, 0.7 Hz의 페이딩 대역폭(fading bandwidth), 및 0 μs의 경로 딜레이를 가진다. 일반적인 항공(즉, 정지위성을 통해 통신하는 대기 중의 비행기) 위성 채널은 20 dB의 K-팩터, 100 Hz의 페이딩 대역폭(fading bandwidth), 및 15 μs의 경로 딜레이를 가진다. 해상 위성 채널에서 동작하도록 설계된 수신기는 보다 가혹한 항공 위성에 대해 대처하지 못할 수 있다. 이 경우, 프리-프로세서(40)는 해상 위성 채널을 위해 설계된 수신기(30)에 선행하도록 추가되어 수신기(30)가 항공 위성 채널에서 제대로 동작하도록 할 수 있다.

[0120] 프리-프로세서(40)가 적용될 수 있는 채널(24)의 또 다른 예는 IEEE 802.11a 라디오에 의해 경험되는 채널이며, 이는 예를 들어 IEEE 802.11 WG, "IEEE 802.11 WLAN(Wireless Local Area Network)", <http://grouper.ieee.org/groups/802/11>로 기술된다.

[0121] 종래의 IEEE 802.11a 전송기 및 수신기가 도 9a에 도시된다. 전송기는 입력 데이터에 동작(operations)의 시퀀스, 즉 스크램블(scramble), FEC 인코드, 인터리브(interleave), 변조, IFFT, 사이클릭 프리픽스(cyclic

prefix)의 추가, 업샘플링 및 필터링을 구현한다. 결과 신호는 전송 채널을 통해 전송되고 보완적인 수신기(complementary receiver)는 수신된 신호를 필터링하고 다운샘플링하도록 동작하며, 이는 동기화되어 사이클릭 프리픽스가 제거되고 FFT에 의해 주파수 도메인으로 변환된다. FFT의 출력은 채널 추정기(42) 및 복조기로 제공되며, 복조기는 채널 추정기의 출력을 이용한다. 복조된 신호는 디인터리브(deinterleave)되고, FEC 디코딩되고 디스크램블된다.

[0122] 수신기는 다중경로 채널(multipath channel)을 위해 설계된다. 종래의 IEEE 802.11a 수신기는 실내, 낮은 RMS 딜레이 스프레드(예컨대 200ns 미만) 및 낮은 도플러 주파수(예컨대 300 Hz 미만)에 의해 기술되는 낮은 모빌리티 채널을 위해 설계된다. 수신기가 실외, 높은 모빌리티 채널을 경험하는 경우, 수신기는 실패한다. 그러나, 채널 추정기 및 신호 처리기는 실외, 모바일 채널의 높은 RMS 딜레이 스프레드 및 높은 도플러 주파수에 견딜 수 있도록 구현될 수 있다.

[0123] 이러한 채널 추정기 및 신호 처리기가 프리-프로세서(40)에 구비되는 경우, 프리-프로세서는 기존의 IEEE 802.11a 수신기가 견딜 수 있는 포인트까지 채널의 영향을 감소시킬 수 있다. 그러한 프리-프로세서는 실내, 낮은 모빌리티 채널을 위해 설계된 종래의 IEEE 802.11a ASIC 수신기를 실외, 높은 모바일 채널에 사용되도록 허용한다.

[0124] 이하 기술되는 예시적인 실시예는 모두 IEEE 802.11a 프리-프로세서이다. 그러나, 이 기술은 다른 통신 시스템에 적용될 수도 있다. 기술된 프리-프로세서는 RF 회로, MAC(Medium Access Control) 회로 및 PHY(Physical Layer) 회로를 포함하는 통신 수신기와 관련된다. RF/PHY/MAC를 포함하는 프로토콜은 IEEE 802.16 및 IEEE 802.11을 포함한다. 기술된 프리-프로세서는 DVB-H 및 DVB-T 문맥에 사용될 수도 있으며, 이는 RF/PHY를 포함한다. 프리-프로세서를 사용할 수 있는 다른 관련된 적용, 예컨대 ADSL 및 홈플러그(Homeplug)는 오직 PHY/MAC를 포함한다.

[0125] 여기에 기술된 프리-프로세서는 하드웨어, 예를 들어 ASICs(Application-Specific Integrated Circuits)에 구현될 수 있다. 그러나 이에 제한되지 않고, FPGAs(Field-Programmable Gate Arrays), 구조화된(structured) ASICs, 디지털 신호 프로세서 및 디스크리트 로직(discrete logic)과 같은 다른 하드웨어 구현을 포함할 수 있다. 대체적으로, 프리-프로세서는 소프트웨어, 예컨대 컴퓨터 시스템에서 실행가능한 하나 또는 그 이상의 응용 프로그램으로 구현될 수 있다. 소프트웨어는 컴퓨터로 읽을 수 있는 매체에 저장될 수 있고, 컴퓨터 시스템에 의한 실행을 위해 컴퓨터로 읽을 수 있는 매체로부터 컴퓨터 시스템으로 로딩될 수 있다. 매체에 기록된 컴퓨터 프로그램을 구비하는 컴퓨터로 읽을 수 있는 매체는 컴퓨터 프로그램 제품이다. 이러한 미디어의 예는 CD-롬, 하드디스크 드라이브, 롬 또는 직접 회로를 포함하나 이에 제한되지 않는다. 프로그램 코드는 컴퓨터로 읽을 수 있는 전송 미디어, 예를 들어 라디오 전송 채널 또는 다른 컴퓨터 또는 네트워크로 구성된 장치로의 네트워크 연결을 통해 전송될 수도 있다.

[0126] 일 실시예에서, 프리-프로세서(40)는 IEEE 802.11a 채널로부터의 다중경로 및 모빌리티의 영향을 제거하고, 수반되는 복조 및 프로세싱을 위해 IEEE 802.11a 수신기로 제공되도록 설계된다. IEEE 802.11 노드 53의 일반적인 예가 도 9b에 도시된다. 여기서 기성의 IEEE 802.11 RF ASIC 55는 안테나(54)에 수신된 신호를 베이스밴드로 다운컨버트(downconvert)하고 이 신호를 기성의 IEEE 802.11 PHY/MAC ASIC(56)으로 전송하며, 이는 신호를 처리하고 데이터를 많은 가능한 인터페이스를 통해 사용자에게 출력한다. 프리-프로세서(40)의 ASIC 구현을 구비하는 IEEE 802.11 노드 60을 위한 모델은 도 10에 도시된다(다른 구현도 가능하다). 여기서 두 개의 기성의 IEEE802.11 RF ASICs 63, 64는 두 개의 구분된 안테나(61,62)로 수신된 신호를 베이스밴드로 다운컨버트하고, 이 신호를 프리-프로세서(40)로 전송한다. 프리-프로세서(40)는 이들 두 신호를 조합하고, 상기 처리된 신호를 기성의 IEEE 802.11 PHY/MAC ASIC 56으로 전송하기 전에 결과 신호로부터 채널 영향의 일부 또는 전부를 제거하며, 이는 그 전에 신호를 처리하고 출력한다. 프리-프로세서(40)의 묘사된 실시예는 두 개의 안테나(61,62)로부터의 신호를 사용하지만, 이는 하나의 안테나 또는 두 개 이상의 안테나를 사용할 수도 있다. 다른 실시예는 신호 조합에 대체적으로 안테나 선택(antenna selection)을 수행할 수 있다.

[0127] 프리-프로세서를 포함하는 IEEE 802.11 노드의 시스템의 가능한 실시예가 도 11에 도시된다. 도 11은 프리-프로세서 인에이블된 노드 70이 IEEE 802.11 네트워크에서 표준(즉, 프리-프로세서 인에이블되지 않은) 노드 72와 함께 공존할 수 있음을 도시한다.

[0128] 일 배열에서, 프리-프로세서는 아날로그 베이스밴드 입력 및 출력을 사용한다. 그러나 이는 다수의 다른 가능한 인터페이스가 포함된다:

- [0129] ● 디지털 베이스밴드 신호. 이는 RF ASIC 및/또는 PHY/MAC ASIC가 디지털 베이스밴드 인터페이스를 포함하거나, 외부 아날로그-디지털 컨버터 및 디지털-아날로그 컨버터가 사용되는 것을 요구한다.
- [0130] ● 사후-획득(post-acquisition) 베이스밴드 신호. 이는 PHY/MAC ASIC가 바이패스된(bypassed) PHY 획득 기능성(functionality)을 가질 수 있음을 요구할 것이다.
- [0131] ● 사후 PHY 복조된 신호. 이는 PHY/MAC ASIC가 그 바이패스된 PHY(bypassed PHY)를 가질 수 있음을 요구할 것이다. 이는 또한 이 구성에서 MAC 만의 ASIC(MAC only ASIC)을 사용할 수 있음을 요구할 것이다.
- [0132] ● PHY 브리지(PHY Bridge). 이 구성에서, 프리-프로세서는 MAC 및전송기를 포함할 것이며, PHY/MAC ASIC로 데이터를 재전송할 것이다.
- [0133] ● RF 입력. 이 구성에서, RF ASIC의 기능성은 프리-프로세서 ASIC로 구비될 것이다.
- [0134] ● RF 출력. 이 구성에서, 프리-프로세서 ASIC는 독립형(standalone) RF ASIC로부터 베이스밴드 신호를 수신하고, RF 신호를 통합된 RF/MAC/PHY ASIC로 출력한다.
- [0135] ● RF 입력 및 출력. 이 구성은 RF ASIC 및 MAC/PHY ASIC가 통합된 기성의 IEEE 802.11 라디오와 함께 작동할 것이다. 프리-프로세서 ASIC는 RF로 안테나로부터 직접 신호를 수신할 것이며, 이들을 처리하고, 이들을 RF로 RF/MAC/PHY ASIC로 출력할 것이다. 이 경우 중요한 것은 프리-프로세서 ASIC의 RF 입력 및 RF 출력이 간섭하지 않도록 보장하는 것이다. 이는 RF 출력의 파워 레벨을 매우 낮게 유지하고, 및/또는 입력에 사용된 채널과 다른 채널로 신호를 출력함으로써 달성될 수 있다. IEEE 802.11 프리-프로세서의 인터페이스는 여러 제조자로부터의 RF ASICs 및 PHY/MAC ASICs가 지원되도록 설계될 수 있다.
- [0136] 프리-프로세서(40)는 변경 없이(일부 딜레이를 제외하고) 존재하는 수신기(30)로 신호를 전송할 수 있다. 이 바이패스 모드는 또한 프리-프로세서 인에이블된 노드(70)의 동작이 표준 노드(즉, 프리-프로세서 인에이블된 노드)(72)로부터 구별되지 않을 수 있도록 허용할 수 있다.
- [0137] 도 12는 IEEE 802.11a 프리-프로세서의 바람직한 실시예(80)를 도시한다. 이 실시예는 2004년 12월 30일에 발행된 미국 공개번호 US2004/0264561 "Filter structure for iterative signal processing", 2005년 8월 22일에 출원된 오스트레일리아 가출원 2005904528 및 2007년 2월 27에 출원된 관련된 PCT 출원 PCT/AU2006/001201, PCT 출원 PCTAU2007/000231 "Method and system for communication in a wireless network" 및 2007년5월 24일에 출원된 PCT/AU2007/000722 "Method and apparatus for multicarrier communications"에서 정의된 알고리즘을 사용하며, 여기에 기술된 내용은 이하 상호-참조로 포함된다.
- [0138] 프리-프로세서(80)는 두 개의 RF ASICs(예컨대 63,64)로부터 베이스밴드 신호를 받고 블록 81에서 AGC(Automatic Gain Control), DC 오프셋 제거, 및 필터링을 수행한다. 필터링된 신호는 획득 블록(82)으로 출력되며, 이는 유효한(valid) 전송된 프레임의 시작을 식별한다. 프레임이 유효한 경우, FFT(Fast Fourier Transform)(48)을 이용하여 타임 도메인에서 주파수 도메인으로 변환된다. FFT 블록(48)로부터의 출력은 채널 추정기 블록(42) 및 선형 조합기(linear combiner) 블록(83) 둘 모두로 전송되며, 여기서 묘사된 배열은 MRC(Maximal Ratio Combiner) 블록이다. MRC 블록(83)은 FFT 블록(48)의 출력 및 채널 추정기 블록(42)의 출력을 조합한다. MRC 블록(83)의 출력은 FEC(Forward Error Correction) 블록(84)으로 공급된다. 그리고 나서 FEC 블록(84)의 출력은 채널 추정기(42)를 지시하도록 사용된다. 이들은 또한 IFFT(Inverse FFT) 블록(85)으로 전송되어, 다시 타임 도메인으로 변환되고, CP(Cyclic Prefix)가 삽입된다. 블록(85)의 출력은 블록(86)에서 필터링되고 프리-프로세서(80)로부터 출력한다.
- [0139] 선형 조합기 블록(83)은 맥시멀 레이셔(matimal ratio) 알고리즘에 대체하기 위해 MMSE(Minimum Mean Square Error) 알고리즘을 사용할 수 있거나, 제로 포싱 알고리즘을 사용할 수 있다.
- [0140] FEC 블록(84)는 비터비 디코더 블록, 리인코더/매퍼(re-encoder/mapper) 블록, 및 선택적인 LLR 계산기 블록(도 13)과 APP(A Posteriori Probability) 디코더 블록, 리인코더/매퍼 블록 및 선택적인 LLR 계산기(도 14) 중 어느 하나를 사용할 수 있다.
- [0141] 프리-프로세서(80)의 또 다른 실시예에서, PCT/AU2007/000722에 도시된 바와 같이, 제 2 FEC 디코더는 리인코딩(re-encoding) 전에 사용되며, 이는 오스트레일리아 특허 출원 2006902812로부터 우선권을 주장한다. 이는 더 큰 지연을 야기하나 디코딩 게인이 증가한다.
- [0142] IEEE 802.11a 프리-프로세서(80)의 바람직한 실시예는 짧은 프리앰블 워드 사이즈(즉, 20MHz = 0.8 μs에서 16

샘플들)와 동일한 딜레이 길이의 오토코릴레이션(autocorrelation)을 포함하는 초기 획득(initial acquisition) 방법을 사용한다. 그리고 나서 8 샘플과 동일한 지연 길이의 또 다른 오토코릴레이션이 상기 제 1 오토코릴레이션으로부터 빠져 CW 및 DC 오프셋 리젝션(rejection)을 제공한다. 초기 획득은 피크 값(도 15 참조)으로부터 디센더(descender)의 수를 카운팅함으로써 검출된다. 디센더 카운트가 증가하기 전에 상기 피크 값은 기정의된 임계값 이상이어야 한다. 디센더의 수가 임계값을 초과하면, 획득이 발생하는 것으로 간주된다. 실시예에 최소 지연이 있고 지연은 샘플만을 수신하는 제한에 기인한 경우, 짧은 프리앰블 개시 획득 결정에 대한 지연(latency)은 긴 프리앰블로 20 MHz에서 32 샘플이다. 이 딜레이는 짧은 프리앰블의 시작 후 1.6 μ s이거나 패킷의 시작 후 9.6 μ s이다.

- [0143] IEEE 802.11a 의 바람직한 실시예에서, 프리앰블을 저장한 프리-프로세서(80)는 지연을 감소시키도록 사용된다. 여기서 짧은 긴 프리앰블은 데이터 저장부(87)에 저장되고 프리-프로세서(80)가 입력 패킷을 획득하는 경우 출력된다. 이는 프리-프로세서(80)가 감소된 딜레이로 프리앰블의 출력을 시작할 수 있음을 의미한다.
- [0144] IEEE 802.11 프리-프로세서(80)의 또 다른 실시예에서, 채널로부터 수신된 프리앰블은 프리-프로세서의 출력단으로 전송된다.
- [0145] IEEE 802.11a 프리-프로세서의 또 다른 실시예에서, 저장되거나 전송된 프리앰블은 MAC/PHY ASIC가 바라보는 채널 내의 연속성을 보증하기 위해 처리된다.
- [0146] MAC/PHY ASIC(56)이 그가 소유한 채널 추정 및 신호에 대한 제어를 여전히 수행하고 있으므로, ASIC(56)은 성능 저하 없이 복조할 수 있는 신호를 제공할 수 있다.
- [0147] IEEE 802.11a 프리-프로세서(80)의 바람직한 실시예에서, 지연(latency)은 오직 짧은 프리앰블의 일부를 출력함으로써 감소된다. 이 배열에서, 프리-프로세서(80)는 감소된 수의 짧은 프리앰블 서브-워드를 출력하며, 여기서 짧은 프리앰블은 서브-워드의 10회 반복으로 구성된다. IEEE 802.11a 프리앰블의 구조는 도 16에 도시된다.
- [0148] IEEE 802.11a 프리-프로세서(80)의 또 다른 실시예에서, 획득 딜레이는 짧은 프리앰블(short preamble)을 패킷이 검출된 MAC/PHY ASIC(56)로 즉시 출력하기 시작함으로써 감소된다. 그리고 나서, 타이밍이 긴 프리앰블(long preamble)로부터 결정되면, 프리-프로세서(80)는 짧은 프리앰블의 전송을 중단하고 저장된 긴 프리앰블의 전송을 시작할 수 있다. 전송은 두 가지 방법 중 하나로 시작할 수 있다. 첫 번째로, 전송은 짧은 프리앰블 서브-워드의 바운더리(boundary)에서 시작할 수 있다. 두 번째로, 서브-워드 바운더리가 무시되어, 짧은 프리앰블 서브-워드에 관계 없이 수신된 패킷의 타이밍에 의해 지시된 대로 정확한 위치에서 긴 프리앰블의 전송이 시작되도록 허락할 수 있다.
- [0149] IEEE 802.11 프리-프로세서(80)의 또 다른 실시예에서, 획득 딜레이는 패킷이 존재하지 않은 경우일지라도, 저장된 짧은 프리앰블을 MAC/PHY ASIC(56)으로 연속적으로 전송함에 의해 감소된다. 그리고 나서, 실제 패킷이 검출되면, 짧은 프리앰블은 적절한 위치에서 중단되고 긴 프리앰블 및 패킷의 나머지(remainder)가 MAC/PHY로 전송된다.
- [0150] 도 17은 낮은 지연을 가지는 IEEE 802.11a 프리-프로세서의 대체적인 실시예(90)을 도시한다. 이 실시예(90)에서, MRC(Maximum Ratio Combiner)(83)의 출력(91)은 IFFT 블록(85)로 직접(또는 버퍼를 경유하여) 전달되며, 그에 의해 프로세싱 딜레이를 감소시킨다.
- [0151] 도 18은 낮은 지연을 IEEE 802.11a 프리-프로세서의 대체적인 실시예(100)를 도시한다. 이 실시예에서, 채널의 영향은 타임 도메인 필터(102)를 이용하여 감소되거나 제거된다. 타임 도메인 필터(102)의 계수는 필터 계수 생성기(104)에 의해 생성되며, 이는 채널 추정기(42)로부터 출력을 수신한다. 타임 도메인 필터(102)의 출력은 프리-프로세서(100)의 출력으로 전달된다.
- [0152] 도 19는 연 재변조(soft re-modulation) 또는 경 재변조(hard re-modulation) 중 어느 하나를 수행하고, 데이터의 재전송 전에 주파수 도메인에서 처리하는 IEEE 802.11a 프리-프로세서 구조의 대체적인 실시예(200)를 도시한다.
- [0153] 이 구조는 MRC 블록(83)으로부터의 출력을 수신하는 SISO(Soft-Input Soft-Output) FEC 블록(212)를 사용한다. SISO FEC 블록 내의 디코더는 임의의 SISO 디코더, 예컨대 SOVA(Soft-Output Viterbi Algorithm) 또는 APP 디코더일 수 있다. SISO FEC(212)의 출력은 연/경 결정 재변조기(soft/hard decision re-modulator)(214)에 의해 처리되며, 이는 채널 추정기(42)로 전송된다. 재변조기(214)의 출력은 또한 IFFT 블록(85)로 전달된다. 프리앰블은 필터(210)에 의해 처리되며, 이에 대한 계수는 채널 추정기(42)에 의해 제공된다.

- [0154] IEEE 802.11a 표준은 ACK(Acknowledgement) 프레임이 수신된 해당 데이터 프레임의 끝(end)의 일 SIFS(Short Interframe Space) 내에 전송이 시작되는 것을 기술한다. SIFS 시간은 16 μ s가 되도록 정의된다. IEEE 802.11a 표준의 IEEE 802.11j 변경은 커버리지 클래스(Coverage Classes)를 소개하며, 이는 신호의 공중 전파 시간(air propagation time)을 보상하기 위한 메커니즘이다. IEEE 802.11a 프리-프로세서의 기술된 실시예에서, SIFS 시간을 초과하는 임의의 딜레이가 존재하는 경우, 그러한 딜레이는 커버리지 클래스를 증가시킴에 의해 적어도 상기 딜레이와 동일한 양만큼 보상된다.
- [0155] 몇 개의 IEEE 802.11 MAC/PHY ASICs(56)은 프로그래밍 가능한 SIFS 시간을 가지며, 16 μ s보다 더 작은 값으로 감소된 SIFS 시간을 가질 수 있다. IEEE 802.11a 프리-프로세서의 기술된 실시예에서, 프리-프로세서 ASIC 및 MAC/PHY ASIC 조합의 SIFS 시간을 초과하는 임의의 딜레이가 존재하는 경우, 그러한 딜레이 또는 그 일부는 MAC/PHY ASIC(56)의 프로그래밍 가능한 SIFS 시간을 감소시킴으로써 보상된다.
- [0156] IEEE 802.11a 표준은 ACK 프레임이 이전 프레임의 끝의 SIFS(16 μ s) 내에 전송되는 것을 기술한다. 그러나, DCF(Distributed Control Function)의 제어 하의 다른 전송기는 이전 프레임 후 DCF 인터프레임 스페이스(DCF Interframe Space)(DIFS, 34 μ s)까지는 채널로 전송하지 않을 것이다. 이는 PCF(Point Control Function)의 제어 하의 전송기가 이전 프레임 후 PIFS(PCF Interframe Space, 25 μ s)를 전송하도록 허용한다. 그러나, PCF가 네트워크에서 사용되지 않는 경우, IEEE 802.11a 프리-프로세서에서 SIFS 시간을 초과하는 임의의 딜레이가 존재하는 경우, 그러한 딜레이 또는 그 일부는 ACK 프레임에 대해 PIFS 시간을 대기함으로써 견딜 수 있다.
- [0157] IEEE 802.11a 표준은 다수의 PHY 데이터 레이트(6,9,12,18,24,36,48 및 54 Mbps)를 지원한다. 도 12에 도시된 IEEE 802.11a 프리-프로세서의 실시예에서, 출력 신호의 리인코딩(re-encoding) 및 리매핑(re-mapping)은 입력 신호와 동일한 데이터 레이트일 필요는 없다. SIFS 시간을 초과하는 딜레이 일부는 프리-프로세서의 출력에서의 프레임의 끝이 프리-프로세서로의 입력에서의 프레임의 끝에 가능한 한 인접하도록 보증하는 방법으로, 딜레이된 출력 신호를 높은 데이터 레이트에서 출력함으로써 보상될 수 있다.
- [0158] IEEE 802.11a 표준에서 슬롯 타이밍 메커니즘(slot timing mechanism)이 정확하게 동작하기 위해, 수신기는 CCA(Clear Channel Assessment)(CCA_time) 내에 또 다른 802.11a 신호의 존재를 검출할 수 있어야 한다. IEEE 802.11a에서 검출 시간은 4 μ s이다. IEEE 802.11 MAC/PHY ASICs는 일반적으로 IEEE 802.11 RF ASIC로부터 RSSI(Received Signal Strength Indicator)를 사용하여 CCA를 수행한다. IEEE 802.11a 프리-프로세서의 일 실시예는 MAC/PHY ASIC(56) 내의 CCA_비지 스테이트(CCA_busy state)를 이러한 RSSI를 CCA_과워_입계치(표준은 62 dBm보다 큰 임의의 신호가 CCA_비지 스테이트를 생성하도록 요구한다)보다 큰 레벨로 설정함으로써 강제한다(forces). 이는 MAC/PHY ASIC(56)의 CCA 회로가 프리-프로세서(80)의 딜레이에 의해 영향받지 않음을 의미한다.
- [0159] IEEE 802.11a 프리-프로세서의 바람직한 실시예에서, IEEE 802.11 RF ASIC(예컨대 63,64)로부터의 상태 및 제어 신호(예컨대, RSSI 신호)는 프리-프로세서 ASIC(40)로의 입력이며, 프리-프로세서(40)의 출력 신호 및 IEEE 802.11a MAC/PHY ASIC(56)으로의 출력에 정렬되도록 딜레이된다.
- [0160] 여기에 기술된 프리-프로세서 배열은 다음을 제공한다:
- [0161] ● 통신 수신기의 전단에 위치한 프리-프로세서를 사용하여 수신기의 성능을 향상시키는 방법;
- [0162] ● 통신 수신기의 전단에 위치한 프리-프로세서를 사용하여 수신기가 관찰하는 채널을 변경함으로써 수신기의 성능을 향상시키는 방법;
- [0163] ● 통신 수신기의 전단에 위치한 프리-프로세서를 사용하여 수신기가 동작할 수 있는 채널의 범위를 확장시키는 방법;
- [0164] ● 기존의 통신 수신기와 함께 프리-프로세서를 사용하여 수신기의 성능을 향상시키고 수신기가 동작할 수 있는 채널의 범위를 확장시키는 방법;
- [0165] ● IEEE 802.11 통신 수신기와 함께 프리-프로세서를 사용하여 수신기의 성능을 향상시키고 수신기가 동작할 수 있는 채널의 범위를 확장시키는 방법;
- [0166] ● 타임 도메인에서 동작하는 프리-프로세서;
- [0167] ● 타임 도메인에서 동작하고 타임 도메인 필터를 사용하여 채널 추정과 수신된 신호를 조합하는 프리-프로세서;

- [0168] ● 주파수 도메인에서 동작하는 프리-프로세서;
- [0169] ● 주파수 도메인에서 동작하고 FFT 및 IFFT를 사용하여 각각 타임 도메인에서 주파수 도메인으로의 변환을 수행하고, 주파수 도메인에서 타임 도메인으로의 변환을 수행하는 프리-프로세서;
- [0170] ● 주파수 도메인에서 동작하고 MRC를 이용하여 채널 추정과 수신된 신호를 조합하는 프리-프로세서;
- [0171] ● 주파수 도메인에서 동작하고 채널 추정기를 MRC의 출력과 함께 구동하는 프리-프로세서;
- [0172] ● 주파수 도메인에서 동작하고 채널 추정기를 MRC의 복조되고 재변조된 출력과 함께 구동하는 프리-프로세서;
- [0173] ● 주파수 도메인에서 동작하고 채널 추정기를 MRC의 복조되고, FEC 디코딩되고, FEC 재인코딩되고 재변조된 출력과 함께 구동시키는 프리-프로세서;
- [0174] ● 하나 또는 그 이상의 안테나로부터의 입력을 가지는 프리-프로세서;
- [0175] ● 프리-프로세서가 사용 가능한 수신기를 프리-프로세서 인에이블된 수신기와 네트워크에 공존시키는 프리-프로세서;
- [0176] ● 안테나와 기존의 IEEE 802.11 RF/PHY/MAC 수신기 회로 사이에 위치시킬 수 있는 프리-프로세서;
- [0177] ● IEEE 802.11 RF 회로를 포함하고 안테나와 IEEE 802.11 PHY/MAC 수신기 회로 사이에 위치시킬 수 있는 프리-프로세서;
- [0178] ● 하나 또는 그 이상의 기존의 IEEE 802.11 RF 회로와 기존의 IEEE 802.11 RF/PHY/MAC 수신기 회로 사이에 위치시킬 수 있는 프리-프로세서;
- [0179] ● 기존의 IEEE 802.11 RF 회로와 기존의 IEEE 802.11 PHY/MAC 수신기 회로 사이에 위치시킬 수 있는 프리-프로세서;
- [0180] ● 기존의 IEEE 802.11 RF 회로와 기존의 IEEE 802.11 PHY/MAC 수신기 회로 사이에 위치시킬 수 있으며, 기존의 PHY 회로의 취득 회로(acquisition circuit)를 바이패스하는 프리-프로세서;
- [0181] ● 기존의 IEEE 802.11 RF 회로와 기존의 IEEE 802.11 PHY/MAC 수신기 회로 사이에 위치시킬 수 있으며, 기존의 PHY 회로를 바이패스하는 프리-프로세서;
- [0182] ● 기존의 IEEE 802.11 RF 회로와 기존의 IEEE 802.11 PHY/MAC 수신기 회로 사이에 위치시킬 수 있으며, 브리지로서 동작하는 프리-프로세서;
- [0183] ● IEEE 802.11 라디오 컴포넌트의 하나 이상의 제조자의 인터페이스를 지원하는 프리-프로세서;
- [0184] ● 변동이 거의 없거나 완전히 없이 입력 신호를 출력으로 전달하는 바이패스 모드를 가지는 프리-프로세서;
- [0185] ● FEC 디코더 회로의 경관정 출력으로부터 유도된 신호를 출력하는 프리-프로세서;
- [0186] ● MRC 회로의 연관정 출력으로부터 유도된 신호를 출력하는 프리-프로세서;
- [0187] ● 타임 도메인 필터 회로로부터 유도된 신호를 출력하는 프리-프로세서;
- [0188] ● 비터비 디코더를 사용하는 프리-프로세서;
- [0189] ● SOVA 디코더를 사용하는 프리-프로세서;
- [0190] ● APP 디코더를 사용하는 프리-프로세서;
- [0191] ● 하나 이상의 FEC 블럭을 구비하는 프리-프로세서;
- [0192] ● 두 개의 상이한 길이의 오토코릴레이션을 이용하는 획득 회로를 사용하는 프리-프로세서;
- [0193] ● 출력되는 저장된 프리엠블을 사용하는 프리-프로세서;
- [0194] ● 출력으로 프리엠블을 전달하는 프리-프로세서;
- [0195] ● 저장되거나 전달되는 프리엠블을 처리하는 프리-프로세서;
- [0196] ● 프리엠블의 일부를 삭제하는 프리-프로세서;

- [0197] ● 신호가 입력에서 검출되는 짧은 프리앰블을 즉시 출력하고, 그리고 나서 타이밍이 획득되면 긴 프리앰블을 출력하는 프리-프로세서;
- [0198] ● 짧은 프리앰블을 연속적으로 출력하고, 그리고 나서 타이밍이 획득되면 긴 프리앰블을 출력하는 프리-프로세서;
- [0199] ● 커버리지 클래스를 증가시킴으로써 IEEE 802.11 네트워크 내의 프리-프로세서가 사용 가능한 노드에서의 딜레이를 보상하는 방법;
- [0200] ● IEEE 802.11 MAC/PHY ASIC의 SIFS 시간을 감소시킴으로써 IEEE 802.11 네트워크 내의 프리-프로세서가 사용 가능한 노드에서의 딜레이를 보상하는 방법;
- [0201] ● SIFS 시간을 PIFS 시간으로 증가시킴으로써 IEEE 802.11 네트워크 내의 프리-프로세서가 사용 가능한 노드에서의 딜레이를 보상하는 방법;
- [0202] ● 채널로부터 수신된 것보다 높은 데이터 레이트로 프리-프로세서로부터 신호를 출력함으로써 IEEE 802.11 네트워크 내의 프리-프로세서가 사용 가능한 노드에서의 딜레이를 보상하는 방법;;
- [0203] ● IEEE 802.11 MAC/PHY 회로의 CCA 신호를 일찍 어서트함(asserting)으로써 IEEE 802.11 네트워크 내의 프리-프로세서가 사용 가능한 노드에서의 딜레이를 보상하는 방법; 및
- [0204] ● IEEE 802.11 RF로부터 입력된 상태 및 제어 신호를 IEEE 802.11 MAC/PHY 회로로 출력하기 전에 처리하는 프리-프로세서;

[0205] **ICI의 예측 및 제거**

[0206] 수신기 성능은 이하 기술하는 바와 같이, ICI(Inter-Carrier Interference)의 예측 및 제거에 의해 향상될 수 있다.

[0207] 주파수 도메인에서, ICI에 의해 영향받는 OFDM(Orthogonal Frequency Division Multiplexing)을 위한 채널은 매트릭스 모델을 사용하여 모델링될 수 있으며, 여기서 간섭 매트릭스(interference matrix)는 전송된 심볼을 수신된 심볼의 등가 세트(equivalent set)로의 변환을 모델링한다. 매트릭스가 논-제로 비-대각(non-zero off-diagonals)을 가지는 경우, ICI를 야기한다. 대부분의 환경에서, 주요 간섭 항은 인접 서브캐리어로부터의 간섭을 기술하는 주요 비-대각(principal off-diagonals)이다. 오직 인접 서브캐리어로부터의 간섭만을 고려한다면, 수신된 OFDM 심볼의 도출되는 벡터 모델 $r[i]$ 는 다음과 같다:

$$r[i] = h_{-1}[i] \bullet d_{-1}[i] + h_0[i] \bullet d[i] + h_{+1}[i] \bullet d_{+1}[i]$$

[0208]

[0209] 여기서,

- [0210] ● $h_0[i]$ 는 요구되는 심볼을 포함하는 수신된 심볼의 컴포넌트에 대한 채널의 직접적인 영향을 기술하는 채널 간섭 매트릭스로부터의 벡터이며;
- [0211] ● $h_{-1}[i]$ 는 관심있는 서브캐리어보다 인덱스가 하나 적은 서브캐리어에 의해 야기되는 간섭을 기술하는 채널 간섭 매트릭스로부터의 벡터이며(서브캐리어는 대역에 걸쳐 증분 순서(incremental order)로 인덱스된다)
- [0212] ● $h_{+1}[i]$ 는 관심있는 서브캐리어보다 인덱스가 하나 큰 서브캐리어에 의해 야기되는 간섭을 기술하는 채널 간섭 매트릭스로부터의 벡터이며;
- [0213] ● $d[i]$ 는 OFDM 심볼 i 에 대한 전송된 주파수 도메인 심볼의 벡터이며;
- [0214] ● $d_{-1}[i]$ 는 그들의 원래 위치보다 인덱스가 하나 적은 새로운 위치로 값을 이동시킴으로써 $d[i]$ 로부터 유도되며(가장 낮은 인덱스의 서브캐리어의 취급은 임의적(arbitrary)이다);
- [0215] ● $d_{+1}[i]$ 는 그들의 원래 위치보다 인덱스가 하나 큰 새로운 위치로 값을 이동시킨 $d[i]$ 의 순환적 회전(cyclic rotation)이며(가장 높은 인덱스의 서브캐리어의 취급은 임의적이다);

- [0216] ● 연산자 \cdot 는 동일 사이즈 벡터의 엘리먼트별 곱(element-wise multiplication)을 나타낸다.
- [0217] 비록 $d_{-1}[i]$, $d_{+1}[i]$ 및 $d[i]$ 가 모두 서로 간에 시프트된 버전이지만, 벡터 $h_{-1}[i]$, $h_{+1}[i]$ 및 $h_0[i]$ 가 동일하지는 않음을 주의한다. 수신기에서 이들 파라미터의 추정은 caret(^)을 사용하여 식별되거나 명시적으로 추정 임을 언급한다.
- [0218] 여기서 $h_0[i]$ 의 추정은 직접 채널 추정(direct channel estimates)로 언급할 수 있다. $h_{-1}[i]$ 및 $h_{+1}[i]$ 의 추정은 인터캐리어 간섭 채널 추정(intercarrier interference channel estimates)으로 언급할 수 있다.
- [0219] ICI 제거 시스템 및 방법은 세 개의 모듈러 빌딩 블록을 참조하여 기술되며, 이는 각각 모듈 A, 모듈 B 및 모듈 C로 지정된다. 상기 모듈은 하드웨어, 예를 들어 ASICs(Application-Specific Integrated Circuits)로 구현될 수 있다. 다른 하드웨어 구현은 FPGAs(Field-Programmable Gate Arrays), 구조화된 ASICs(structured ASICs), 디지털 신호 처리 및 디스크릿 로직을 포함하지만 이에 제한되지는 않는다. 대체적으로, 상기 모듈은 소프트웨어, 예컨대 수신기 시스템 내에서 실행될 수 있는 하나 또는 그 이상의 응용 프로그램으로 구현될 수 있다. 소프트웨어는 컴퓨터로 읽을 수 있는 매체에 저장되거나 리시버 시스템에 의한 실행을 위해 컴퓨터로 읽을 수 있는 매체로부터 리시버 시스템으로 로딩될 수 있다. 매체에 기록된 컴퓨터 프로그램을 가지는 컴퓨터로 읽을 수 있는 매체는 컴퓨터 프로그램 제품이다. 이러한 미디어의 예는 CD-롬, 하드디스크 드라이브, 롬 또는 직접 회로를 포함하지만 이에 제한되지는 않는다. 프로그램 코드는 또한 컴퓨터로 읽을 수 있는 전송 매체로 전송될 수도 있으며, 예를 들어 라디오 전송 채널 또는 다른 컴퓨터 또는 네트워크로 구성된 장치로의 네트워크 연결을 통해 전송될 수 있다.
- [0220] ICI 제거는 수신기 유닛 또는 수신기 유닛에 조합된 프리-프로세서 내에서 수행될 수 있다.
- [0221] 도 21은 FEC 제한(FEC constraints)을 적용하도록 동작하는 모듈(300)(모듈 A로 지시됨)의 기능 블록도를 도시한다. FEC 모듈(300)로의 입력은 전송된 심볼 추정 $\hat{d}[i]$ (270), 채널 추정 세트 $\hat{h}_0[i], \hat{h}_{-1}[i]$ and $\hat{h}_{+1}[i]$ (260) 및 수신된 신호 $r[i]$ 이다. FEC 모듈(300)의 출력은 정보 비트 시퀀스(information bit sequence) 및 (선택적으로) 전송된 심볼 추정이다. FEC 모듈(300)은 기능블록(310)(ICI 소거 및 조합 블록)을 포함한다. 블록(310)에서, 복조를 위해 사용되는 심볼 추정은 먼저 인접 서브캐리어로부터 간섭을 소거하고, 그리고 나서 다음과 같은 관심 있는 심볼에 부착된 ICI 자유 에너지(free energy)를 조합함으로써 유도된다:

수학식 1

$$r_c[i] = \text{shift}\left(\hat{h}_{-1}^*[i] \cdot \left(r[i] - \hat{h}_0[i]\hat{d}_0[i] - \hat{h}_{+1}[i]\hat{d}_{+1}[i]\right), 1\right) + \hat{h}_0^*[i] \cdot \left(r[i] - \hat{h}_{-1}[i]\hat{d}_{-1}[i] - \hat{h}_{+1}[i]\hat{d}_{+1}[i]\right) + \text{shift}\left(\hat{h}_{+1}^*[i] \cdot \left(r[i] - \hat{h}_0[i]\hat{d}_0[i] - \hat{h}_{-1}[i]\hat{d}_{-1}[i]\right), -1\right)$$

- [0222]
- [0223] shift(x,m) 함수는 상술한 m 스텝만큼 벡터의 순환적 회전(cyclic rotation)을 실행한다. *는 공액 전치(conjugate transpose)를 나타낸다. 순환적 회전은 위치 i 내의 전부를 위치 j로 매핑시키며, 여기서 j=i-m이다. j가 음수이거나 입력 벡터의 최대 인덱스보다 큰 경우, 어떠한 동작도 취해지지 않는다. 기재되지 않은 값은 영으로 설정된다.
- [0224] 여기서는 수학식 1의 $\hat{h}^{*[i]}$ 의 사용을 통한 MRC(Maximum Ratio Combiner) 접근을 사용하였다. 다른 가중치 예컨대 MMSE 척도(criteria)에 따라 유도된 것이 사용될 수 있다.
- [0225] 새로운 합성 심볼(composite symbol)이 복조된 채널은 다음과 같이 계산된다:

$$h_c[i] = \hat{h}_{-1}^*[i] \cdot h_{-1}[i] + \hat{h}_0^*[i] \cdot h_0[i] + \hat{h}_{+1}^*[i] \cdot h_{+1}[i]$$

[0226]

[0227] 선택적으로, 수학식 1의 첫 번째 줄과 세 번째 줄은 복잡성을 줄이기 위해 무시할 수 있으며, 관찰 (observation) $r_c[i] = h_c^*[i] \cdot (r[i] - \hat{h}_{-1}[i] \hat{d}_{-1}[i] - \hat{h}_{+1}[i] \hat{d}_{+1}[i])$ 및 합성 채널 $h_c[i] = h_{-1}^*[i-1] \cdot h_{+1}[i]$ 를 남길 수 있다.

[0228] 주어진 OFDM 심볼 i에 대한 ICI 소거기 및 조합기 프로세싱 엘리먼트(310)가 도 25에 도시된다.

[0229] ICI 소거 및 조합 블록(310)의 출력은 복조 모듈(320)로 제공된다. FEC 디코딩(330)은 복조(320)의 출력을 사용하여 정보 비트 추정(information bit estimates)를 생성한다. FEC 디코딩(330)이 연 출력 방법(softoutput methods)(예컨대, 순방향 후방향 알고리즘(forward backward algorithm)을 사용한 APP(A-Posteriori Probability) 디코딩)을 도입하는 경우, 경전송된 심볼 추정 및 연전송된 심볼 추정(hard and soft transmitted symbol estimates)은 경 재변조기 및 연 재변조기(hard and soft remodulators)(340)를 사용하여 생성될 수 있다. 경 판정 디코딩(예컨대 비터비 디코딩)이 FEC디코더(330)에서 사용되는 경우, 경 재변조가 블록(340)에 적용되어 전송된 심볼의 경 추정을 생성할 수 있다. 임의의 경우에서, 파일럿 심볼(프라이어리(priori)로 알려졌음)은 추정에 삽입되어야 한다.

[0230] 또한 FEC 제한을 무시하고 "슬라이서(slicer)"를 수신된 심볼 r[i]로 적용하여 전송된 심볼 d[i]의 추정을 생성할 수도 있다. 슬라이서는 경 또는 연관정을 생성할 수 있다. "슬라이서"로부터의 경 판정은 채널 모델에 주어진 수신된 지점까지의 최소 거리를 가지는 성상 지점(constellation point)을 계산함으로써 생성될 수 있다. "슬라이서"로부터의 연 판정은 채널 모델에 주어진 각각의 성상 지점에 대한 가능성을 계산하고 평균 심볼(average symbol)을 계산함으로써 생성될 수 있다.

[0231] 도 22는 직접 채널 추정기(400)(모듈 B로 지시됨)의 기능 블록도를 도시한다. 수신된 심볼 r[i], 전송된 심볼 추정 $\hat{d}[i]$ (270) 및 ICI 채널추정 $\hat{h}_{-1}[i]$ and $\hat{h}_{+1}[i]$ (260)이 주어지고, 직접 채널 추정 $\hat{h}_0[i]$ 은 다음과 같이 유도될 수 있다:

수학식 2

$$\hat{h}_0[i] = smooth \left(inv \left(\hat{d}[i] \right) \cdot \left(r[i] - \hat{h}_{-1}[i] \hat{d}_{-1}[i] - \hat{h}_{+1}[i] \hat{d}_{+1}[i] \right) \right)$$

[0232]

[0233] 도 23에 도시된 바와 같이, ICI 소거 블록(410)은 ICI 추정을 수신된 신호 r[i]로부터 뺀다. 트레이닝 블록(420)은 경 추정의 인버스 inv(d[i])를 이용하여 엘리먼트-바이-엘리먼트 곱을 생성하고, 트레이닝 블록(420)의 출력은 평탄화 블록(smoothing block)(430)에 의해 평탄화되어 직접 컴포넌트 채널의 추정(280) h₀[i]를 생성한다. 다양한 평탄화 기술이 사용될 수 있으며, 이는 저역 통과 필터에 의한 컨볼루션을 포함한다. 또 다른 평탄화 옵션은 FFT를 이용하여 추정을 변환하고, 상기 변환 결과를 윈도우(window)하고 IFFT를 적용하는 것이다.

[0234] 수학식 2는 블록들(410, 420, 430)의 조합된 동작을 반영한다. 주어진 OFDM 심볼 i에 대한 직접 채널 추정기 프로세싱 엘리먼트(400)는 평탄화 함수(430)를 제외한 도 22에서 보다 상세하게 도시된다.

[0235] 도 24는 ICI 채널 추정기(500)(모듈 C로 지시됨)의 기능 블록도를 도시한다. ICI 채널 추정기(500)로의 입력은 수신된 심볼 r[i](250), 전송된 심볼 추정 $\hat{d}[i]$ (270) 및 직접 채널 추정 $\hat{h}_0[i]$ (260)이다. ICI 채널추정기(500)는 다음과 같은 $\hat{h}_{-1}[i]$ and $\hat{h}_{+1}[i]$ 의 추정(290)을 생성한다:

수학식 3a

$$\hat{h}_{-1}[i] = smooth \left(inv \left(\hat{d}_{-1}[i] \right) \cdot \left(r[i] - \hat{h}_0[i] \hat{d}_0[i] - \hat{h}_{+1}[i] \hat{d}_{+1}[i] \right) \right)$$

[0236]

수학식 3b

$$\hat{h}_{+1}[i] = smooth \left(inv \left(\hat{d}_{+1}[i] \right) \cdot \left(r[i] - \hat{h}_0[i] \hat{d}_0[i] - \hat{h}_{-1}[i] \hat{d}_{-1}[i] \right) \right)$$

[0237]

- [0238] 수학적 식 3a 및 3b는 ICI 채널 추정기(500)의 기능 블록들(510, 520, 530)의 전반적인 동작을 반영한다. '직접 소거(Direct Cancel)' 블록(510)은 직접 채널의 기여(contribution of the direct channel) 및 ICI 항 중 하나를 수신된 심볼 $r[i]$ 로부터 빼는 등근 괄호 내의 수식을 구현한다. 트레이닝 블록(520)은 블록(510)의 각각의 출력과 심볼 추정 $d_{-1}[i]$ 또는 $d_{+1}[i]$ 의 인버스의와의 엘리먼트-바이-엘리먼트 곱을 구현한다. 블록(520)의 미처리 출력(raw outputs)(즉, $h_{-1}[i]$ 또는 $h_{+1}[i]$ 의 추정)은 평탄화 블록(520)에서 평탄화된다. 평탄화 함수는 타임 또는 주파수 도메인에서 구현될 수 있다. 평탄화의 대역폭은 라디오 채널의 코히런스 주파수(coherence frequency)에 따라 설정될 수 있다.
- [0239] inv 함수는 심볼의 인버스를 계산한다(또는 룩업 테이블을 통해 획득한다). 예를 들어, 서브캐리어로 전송된 심볼이 $(1+j)/\sqrt{10}$ 인 경우, (프로덕트(product)를 유니티(unity)로 강제하는)인버스는 $\sqrt{5/2}(1-j)$ 이다.
- [0240] 주어진 OFDM 심볼 i 에 대한 ICI 채널 추정기 프로세싱 엘리먼트(500)는 도 24에 도시되며, 이는 평탄화 함수(530)를 제외한다. 기술된 배열에서, 전송된 심볼의 연 추정(soft estimates)은 블록(510)으로의 입력으로서 사용되고, 경 추정은 트레이닝 블록(520)을 위해 사용된다.
- [0241] 도 26은 수신된 OFDM 심볼(250)을 디코딩하기 위한 스케줄(702)의 개략적인 표현이다. OFDM 심볼(250)은 전송기에서 컨볼루션 코딩(convolutional coding), 인터리빙(interleaving) 및 변조 과정을 거친다. 스케줄(702)는 상술한 모듈 A, B 및 C를 이용하여 수신기에서 구현될 수 있다.
- [0242] 모든 추정 메모리는 영으로 초기화되며, 이는 직접 채널 추정, 전송된 심볼 추정 및 ICI 채널 추정을 포함한다. 스케줄(702)로의 입력은 수신된 OFDM 심볼(250) 및 파일럿 심볼(704)을 포함한다.
- [0243] 스케줄(702)의 제 1 스테이지(710)에서, 수신기는 수신된 출력 $r[i]$ (250) 및 파일럿 심볼(704)을 이용하여 제 1 직접 채널 추정을 획득한다. 출력 $r[i]$ 는 FFT(미도시)로부터의 주파수 도메인 버전 출력일 수 있다. 직접 채널의 초기 추정(initial estimate)은 수신된 OFDM 심볼(250) 내의 해당 서브캐리어로의 전송된 파일럿(704)의 제 1 제거에 의해 스테이지(710)에서 획득될 수 있다. 이는 PSK(Phase Shift Keyed) 변조에서, 전송된 파일럿의 컨쥬게이트(conjugate)와의 곱을 통해 일반적으로 수행된다. 이는 트레이닝 블록(420)을 이용하여 구현될 수 있다. 그리고 나서 직접 채널의 구해진 미처리 추정(raw estimate)은 평탄화될 수 있으며, 예를 들어 블록(430)을 이용하여 데이터 베어링 서브캐리어(data bearing subcarrier)를 위한 채널 추정을 획득할 수 있다. 채널 추정을 획득하기 위한 옵션은 다음을 포함한다:
- [0244] a) 다음 파일럿 서브캐리어가 접근할 때까지 주변 서브캐리어에 대한 파일럿 서브캐리어의 채널 추정을 반복한다(replicating).
- [0245] b) 파일럿-기반 채널 추정을 서브캐리어의 개수와 동일한 길이의 벡터로 카피하여 채널의 주파수 도메인 추정을 구성하고, 데이터 포지션을 영으로 설정한다. 도출된 벡터는 IFFT의 사용을 통해 변환된다. 전치된(transposed) 도메인의 저주파 항은 윈도우의 적용을 통해 선택된다. 윈도우된 벡터는 다시 주파수 도메인으로 변환된다.
- [0246] c) 다른 옵션은 프로세스 a)를 수행하고 그리고 나서 프로세스 b)를 수행하는 것이다.
- [0247] d) 또 다른 옵션은 프로세스 a)를 수행하고 그리고 나서 양방향 자동회귀(bidirectional auto regression)를 적용하는 것이다(예를 들어, 오스트레일리아 출원 AU2005904528로부터 우선권을 주장하는 출원계속 중인 PCT 출원 PCT/AU2006/001201(출원번호 WO 2007/022564)에 기술된 바와 같음, 상기 내용은 여기에 크로스-레퍼런스로 도입된다)
- [0248] 그리고 나서 스케줄(702)의 스테이지(712)는 스테이지(710)으로부터 출력된 제 1 직접 채널 추정을 이용하여 OFDM 심볼(250)을 복조하고 디코딩한다. 스테이지(712)의 출력은 제 1 전송된 심볼 추정(파일럿 삽입(pilot insertion)을 포함함)이다. 스테이지(712)는 모듈 A(300)를 이용하여 구현될 수 있다.
- [0249] 스케줄(702)의 다음 스테이지(714)는 스테이지(710)으로부터 출력된 제 1 직접 채널 추정(260) 및 스테이지(712)로부터 출력된 제 1 전송된 심볼 추정(270)을 사용하여, 직접 채널의 제 2 추정(280)을 생성한다. 스테이지(714)는 모듈 B(400)를 사용하여 구현될 수 있다.
- [0250] 스테이지(714)로부터 출력된 직접 채널 추정은 다음 스테이지(716)으로의 입력으로 사용되고, 또한 수반되는 스테이지(718)로의 입력으로 사용된다. 스테이지(716)은 모듈 A(300)를 사용하여, 제 2 직접 채널 추정(280)을 사용하여 OFDM 심볼(250)을 복조하고 디코딩하여, 제 2 전송된 심볼 추정(파일럿 삽입을 포함함)을 획득한다. 스테이지(716)은 전송된 심볼의 경 주파수 도메인 추정 및 연 주파수 도메인 추정 둘 모두를 출력할 수 있다.

- [0251] 스케줄(702)의 다음 스테이지(718)은 모듈 B(400) 및 모듈 C(500)을 사용하여 구현될 수 있다. 스테이지(718)로의 입력은 스테이지(714)로부터의 제 2 직접 채널 추정 및 스테이지(716)로부터의 제 2 전송된 심볼 추정을 포함한다. 스테이지(718)에서, 제 2 직접 채널 추정(280) 및 제 2 전송된 심볼 추정(270)은 모듈 B(400)로 제공되어 직접 채널(280)의 제 3 추정을 생성한다.
- [0252] 스테이지(718)에서, 제 3 직접 채널 추정(280) 및 제 2 전송된 심볼 추정(270)은 모듈 C(500)로 제공되어 제 1 ICI 채널추정(290)을 생성한다.
- [0253] 스테이지(720)은 재전송 스테이지(340)가 없는 모듈 A(300)를 사용하여, 제 3 직접 채널 추정(280) 및 제 1 ICI 채널추정(290)을 사용하여 OFDM 심볼(250)을 복조하고 디코딩하여, 최종 정보 비트 추정을 획득한다. 스테이지(720)은 스테이지(716)의 연 주파수 도메인 심볼 추정 출력을 사용한다.
- [0254] 도 26은 스케줄(702)를 도시하고, 이는 연 관정을 사용한다. 도 28은 스케줄(702)과 유사하지만 연 관정을 사용하지 않는 스케줄(750)의 개략적인 설명이다. 입력은 파일럿 심볼(704) 및 수신된 OFDM 심볼(250)을 포함한다. 스테이지(752)는 파일럿 심볼을 기반으로 직접 채널의 초기 추정을 제공한다. 그리고 나서 스테이지(754)는 전송된 OFDM 심볼의 제 1 추정을 제공한다. 그리고 나서 스테이지(756)은 직접 채널의 업데이트된 추정을 제공하고 스테이지(758)은 주파수 도메인 OFDM 심볼의 제 2 추정을 제공한다. 스테이지(760)은 직접 채널의 또 다른 추정을 제공하고 ICI 채널 특성의 추정을 제공하며, 이는 스테이지(762)에서 ICI 영향을 소거하고 전송된 심볼의 최종 추정을 출력하도록 사용된다.
- [0255] 스테이지(754, 756, 758, 760 및 762) 각각은 모듈 A, B 및 C(300, 400, 500)가 각각의 스테이지에서 요구되는 동작을 수행하도록 이용될 수 있음을 도시하는 표시를 포함한다. 스테이지(754)는 모듈 A(300)을 사용하고, 스테이지(756)은 모듈 B(400)을 사용하고, 스테이지(758)은 모듈 A(300)을 사용하고, 스테이지(760)은 모듈 B(400) 및 모듈 C(500)을 사용하고, 스테이지(762)는 모듈 A(300)로부터의 블록들을 사용한다. 스케줄들(702 및 705)은 시퀀스 ABABCA에 의해 요약될 수 있다.
- [0256] 대체적인 스케줄, 도 28 및 도 29
- [0257] 모듈 A, B, C의 인터페이스가 일치하므로, 즉, 모듈들이 채널 추정 및 전송된 심볼 추정을 업데이트하므로, 다른 스케줄들도 예상된다. (모듈 정의는 영 입력에 대해 허락되며, 이는 프로세싱의 초기 상(initial phases) 도중 마주친다)
- [0258] 명령 시퀀스의 표시를 사용하면(스케줄(702 및 750)은 ABABCA임) 다른 스케줄이 정의될 수 있으며, 다음을 포함한다:
- [0259] A
- [0260] ABA
- [0261] ABCA
- [0262] ABACA
- [0263] ABCABCA
- [0264] 이들 변형예의 일부 예가 도 28 및 도 29에 도시된다.
- [0265] 도 29는 시퀀스 ABACA를 사용하는 스케줄(770)을 도시한다. 이는 직접 채널 추정의 업데이트가 하나 적은 것에서 시퀀스(702 및 750)과 다르다.
- [0266] 스테이지(710)을 참조하여 기술한 바와 같이, 스테이지(772)는 파일럿 심볼을 기반으로 직접 채널의 초기 추정을 제공한다. 그리고 나서 스테이지(774)는 OFDM 심볼의 제 1 추정을 제공하며, 이는 스테이지(776)에 의해 사용되어 직접 채널의 추정을 업데이트한다. 그리고 나서 스테이지(778)은 심볼 추정을 업데이트하고 스테이지(780)은 ICI 영향의 추정을 생성한다. 최종적으로, 스테이지(782)는 스테이지(780)로부터의 ICI 추정 및 스테이지(776)로부터의 직접 채널 추정을 사용하여, 추정된 ICI 영향을 소거하고 전송된 심볼의 최종 추정을 제공한다.
- [0267] 도 30은 시퀀스 ABACA를 사용하는 스케줄(790)을 도시한다. 스테이지(710)을 참조로 기술한 바와 같이, 스테이지(792)는 파일럿 심볼을 기반으로 직접 채널의 초기 추정을 제공한다. 그리고 나서 스테이지(794)는 OFDM 심볼의 제 1 추정을 제공하며, 이는 스테이지(796)에 의해 사용되어 직접 채널의 추정을 업데이트하고, 또한 ICI 추정

을 생성한다. 스테이지(796)은 모듈 B 및 C를 사용한다. 스테이지(798)은 스테이지(796)로부터의 ICI 추정 및 직접 채널 추정을 사용하여 추정된 ICI 영향을 소거하고 전송된 심볼의 최종 추정을 제공한다.

[0268] 3. FEC 디코더로부터의 연 및 경 심볼 추정

[0269] 모듈 A(300) 내의 FEC 디코더(330)은 인코더 출력 비트의 연 추정을 출력할 수 있다. 이러한 연 출력 비트는 전송된 OFDM 심볼의 추정을 생성하기 위해 사용될 수 있다. 연 비트(soft bits)는 심볼에 대응하는 비트의 비트 PDF에 걸친 정상 맵(constellation map) 상의 평균 위치(average position)를 계산함으로써 연 변조(softmodulated)(340)된다. 파일럿 심볼(프라이어리(priori)로 알려짐)도 또한 삽입된다. FEC 디코더(330)은 동시에 경 판정을 출력할 수 있다.

[0270] 전송된 OFDM 심볼 추정은 수신기에서 다음과 같은 두 가지 방법으로 사용될 수 있다:

[0271] ● 트레이닝 블록(420 및 520)에서 채널 추정을 위한 트레이닝 심볼, 및

[0272] ● 간섭 소거(inteference cancellation)에서, 예를 들어 ICI 소거 및 조합 블록(310)에서 사용될 수 있다.

[0273] 일 배열에서, 연 심볼(soft symbols)은 간섭 소거를 위해 사용되고 경 심볼은 트레이닝을 위해 사용된다. 간섭 소거를 위한 연 심볼의 사용의 일 효과는 디코더가 불확실할 경우, 연 심볼은 작으며, 이는 간섭 소거 단계의 정확성을 향상시킬 수 있다. 경 심볼이 트레이닝을 위해 사용되는 경우, 심볼 인버스(symbol inverses)는 수신기 내의 룩업 테이블에 저장될 수 있다.

[0274] 4: 간섭-소거된 상태의 차동적 업데이트(differential update)

[0275] 몇몇의 모듈은 양(quantity)를 사용할 수 있다.

$$\hat{r}[i] = r[i] - \hat{h}_{-1}[i] \hat{d}_{-1}[i] - \hat{h}_0[i] \hat{d}_0[i] - \hat{h}_{+1}[i] \hat{d}_{+1}[i]$$

[0276] 이는 수신된 심볼에 모델링된 모든 신호 컴포넌트를 뺀 것이다. 직접 컴포넌트의 추정은 직접 컴포넌트 추정 $\hat{h}_0[i] \hat{d}_0[i]$ 을 노이즈 추정 $\hat{n}[i]$ 에 더함으로써 획득할 수 있다. 임의의 ICI 항은 유사한 방식으로 생성될 수 있다.

[0278] 모듈이 수행하는 임의의 업데이트는 모듈이 변경해온 파라미터의 서브셋에 의해 야기된 차분 항(difference term)으로 표현될 수 있다.

[0279] ICI 소거 단계가 또 다른 ICI 항을 사용할 필요가 있는 경우, 이러한 노이즈 추정은 일반적으로 다음과 같이 계산될 수 있다:

$$\hat{n}[i] = r[i] - \sum_{j \in C} \hat{h}_j[i] \hat{d}_j[i]$$

[0281] 5: 사전 FEC(FEC prior)를 위한 싱크 바이트(Sync byte)의 사용

[0282] FEC 모듈(A)(300)의 성능은 임의의 알려진 인코더 입력 비트의 사용을 통해 향상될 수 있다. DVB의 경우, 싱크 바이트가 인코딩된다. 이는 컨볼루션 코드를 알려진 상태로 강제할 것이다. 예를 들어, 이러한 정보는 컨볼루션 코드의 비터비 및 APP 디코더 둘 모두로 도입될 수 있다. APP 디코딩의 경우, 사전 정보 비트(information bit priors)는 싱크 바이트 값에 따라 설정된다. 비터비 디코딩의 경우, 알려진 비트는 종료된 트레이스백(traceback)을 실행하기 위해 사용될 수 있다.

[0283] 6: 주파수 오프셋 추적(Frequency Offset Tracking)

[0284] ICI는 수신기 시스템의 FFT의 출력에 나타나며, 예를 들어, FFT(48)은 또한 로컬 주파수-오프셋 추정을 측정된 주파수 오프셋에 대한 타임 도메인 시퀀스를 정정하는 프리-FFT(pre-FFT) 모듈로 피드백함으로써 감소된다. 이러한 정정은 오직 순방향 방식(forward-only manner) 또는 회고적으로(retrospectively) 수행될 수 있으며, 즉, 주파수 오프셋 추정이 수신기의 적용도중 변하는 경우, 임의의 주어진 OFDM 심볼은 다수 번의 FFT를 통해 변환될 수 있다.

[0285] 채널 추정 모듈(400,500)(모듈 B 및/또는 C) 중 어느 하나의 일부로서 유도된 양(quantity)은 주파수 오프셋 추

정을 형성하기 위해 사용될 수 있다. 일 배열에서, 양 $h_{rav}[i] = \text{inv}\left(\hat{a}[i]\right) \bullet \left(r[i] - \hat{h}_{-1}[i]\hat{a}_{-1}[i] - \hat{h}_{+1}[i]\hat{a}_{+1}[i]\right)$ 또는 $h_{rav}[i] = \text{inv}\left(\hat{a}[i]\right) \bullet r[i]$ 은 두 개의 연속적인 OFDM 심볼 간에 비교되어 주파수-오프셋 추정을 형성한다. OFDM 심볼 주기 당 위상 변화는 다음과 같다:

$$\theta[i] = \angle \sum h_{rav}^*[i-1]h_{rav}[i]$$

[0286]

[0287] 일반적으로, 위상 변화는 OFDM 심볼로부터 심볼로 변화한다. 이 경우, 주파수 오프셋을 위한 타임 도메인 정정은 인접 OFDM 심볼들 간의 샘플 포인트의 세트에 대한 $\theta[i]$ 의 인터플레이션을 기반으로 할 수 있다. 이러한 방법으로, 타임 도메인 신호가 정확한 주파수는 OFDM 심볼 주기보다 더 높은 레이트에서 변화할 수 있다.

[0288]

7: 리드 솔로몬 삭제 마킹(Reed Solomon Erasure Marking)

[0289]

연 출력 FEC 디코더(330)은 외부 RS(outer Reed Solomon) 삭제 디코더를 위해 삭제를 마크하도록 사용될 수 있고, RS 외부 코드의 에러 정정 능력을 향상시킬 수 있다. 연 출력은 RS 코드워드(codeword) 심볼로 신뢰성을 할당하도록 사용될 수 있고, 그리고 나서 최소 신뢰 심볼(least reliable symbols)의 일부 개수는 RS 디코더로의 입력에서 삭제를 위해 마크될 수 있다. RS 삭제 디코더는 하나 또는 그 이상의 이터레이션으로 구동될 수 있으며, 여기서 각각의 연속적인 이터레이션에서 마크된 삭제의 개수는 임의의 최소 값까지 감소된다. 상기 최소값이 영인 경우, 동작은 에러-정정 RS 디코더의 동작과 동등하다. 이터레이션 루프는 디코더가 성공적인 디코딩을 보고하는 경우 일찍 종료될 수 있다. 도입된 이터레이션의 수, 각각의 이터레이션 단계에서 삭제를 위해 마크될 심볼의 개수는 임의의 시스템 상태 계량에 따라 고정되거나 동적으로 업데이트될 수 있다.

[0290]

본 명세서에서 개시되고 정의된 발명은 기술되거나 도면으로 도시된 둘 또는 그 이상의 특징들의 모든 대체적인 조합으로 확장된다. 이러한 모든 상이한 조합은 본 발명의 다양한 대체적인 양상을 구성한다.

[0291]

또한, 용어 "포함하는(comprises)" 및 이 명세서에 사용된 바와 같은 그 문법적 변화는 용어 "포함하는(includes)"과 동등하고 다른 엘리먼트 또는 특징의 존재를 배제하지 않아야 한다.

도면의 간단한 설명

[0073]

본 발명의 실시예는 다음의 도면을 참조하여 기술될 것이다:

[0074]

도 1은 통신 시스템의 개략도이다.

[0075]

도 2는 프리-프로세서(Pre-Processor)를 구비한 통신 시스템의 개략도이다.

[0076]

도 3은 타임-도메인 프리-프로세서 구조의 개략도이다.

[0077]

도 4는 주파수-도메인 프리-프로세서 구조의 개략도이다.

[0078]

도 5는 MRC(Maximum Ratio Combiner)를 구비한 주파수 도메인 프리-프로세서 구조를 도시한다.

[0079]

도 6은 복조를 수행하는 주파수 도메인 프리-프로세서 구조를 도시한다.

[0080]

도 7은 FEC(Forward Error Correction) 디코딩을 수행하는 주파수 도메인 프리-프로세서 구조를 도시한다.

[0081]

도 8은 위상 채널 모델의 개략도이다.

[0082]

도 9는 종래의 IEEE 802.11a 수신기 실시예의 개략도이다.

[0083]

도 10은 프리-프로세서가 사용 가능한 IEEE 802.11a 수신기 실시예의 개략도이다.

[0084]

도 11은 프리-프로세서가 사용 가능한 IEEE 802.11a 수신기 및 프리-프로세서가 구비되지 않은 수신기를 포함하는 통신 네트워크의 일부의 개략도이다.

[0085]

도 12는 제 1 IEEE 802.11a 프리-프로세서 주파수 도메인 실시예의 개략적인 블록도를 도시한다.

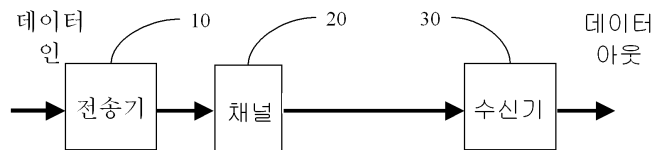
[0086]

도 13은 도 13의 프리-프로세서에서 사용하기 위한 LLR 계산기 및 비터비 디코더(Viterbi decoder)로 구성된 FEC 블록의 개략도를 도시한다.

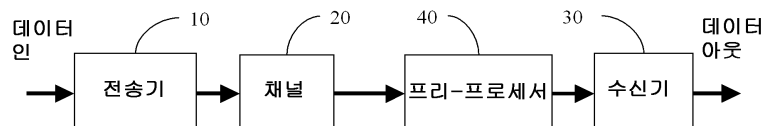
- [0087] 도 14는 도 13의 프리-프로세서에서 사용하기 위한 LLR 계산기 및 APP 디코더로 구성된 FEC 블록의 개략도를 도시한다.
- [0088] 도 15는 IEEE 802.11a 프리-프로세서 획득(acquisition) 프로세싱을 설명한다.
- [0089] 도 16은 IEEE 802.11a 프리앰블 구조를 설명한다.
- [0090] 도 17은 낮은 지연을 가지는 제 2 IEEE 802.11a 프리-프로세서 주파수 도메인 실시예의 개략도이다.
- [0091] 도 18은 타임 도메인 프로세싱을 사용하는 제 3 IEEE 802.11a 프리-프로세서의 개략도이다.
- [0092] 도 19는 경(hard) 또는 연판정(soft decision) 재변조를 수행하는 주파수 도메인 프로세싱을 사용하는 다른 IEEE 802.11a 프리-프로세서의 개략도이다.
- [0093] 도 20은 ICI(Inter-Carrier Interference) 영향의 예측 및 제거에 사용될 수 있는 FEC 제약 모듈(FEC constraint module)의 개략도를 도시한다.
- [0094] 도 21은 채널 추정의 다이렉트 컴포넌트를 추정하기 위해 사용될 수 있는 모듈의 개략도를 도시한다.
- [0095] 도 22는 도 22의 다이렉트 채널 추정기의 ICI 소거(Cancelling) 및 트레이닝 양상의 다른 세부사항을 도시한다.
- [0096] 도 23은 채널 추정의 ICI 컴포넌트를 추정하는 모듈의 개략도를 도시한다.
- [0097] 도 24는 도 24의 ICI 채널 추정기의 ICI 소거 및 연습 양상의 세부사항을 도시한다.
- [0098] 도 25는 도 21의 FEC 모듈에서 사용되는 ICI 소거기(Canceller) 및 조합기(Combiner) 블록의 개략도를 도시한다.
- [0099] 도 26은 도 21 내지 도 26의 모듈을 사용하고 연 재변조(Soft Remodulation)를 기반으로 한 ICI의 예측 및 제거를 위한 스케줄을 설명한다.
- [0100] 도 27은 도 21 내지 도 26의 모듈을 사용하고 경 재변조(Hard Remodulation)를 기반으로 한 ICI의 예측 및 제거를 위한 스케줄을 설명한다.
- [0101] 도 28은 도 21 내지 도 26의 모듈을 사용한 ICI의 예측 및 제거를 위한 대체적인 스케줄을 설명한다.
- [0102] 도 29는 도 21 내지 도 26의 모듈을 사용한 ICI 예측 및 제거를 위한 또 다른 대체적인 스케줄을 설명한다.

도면

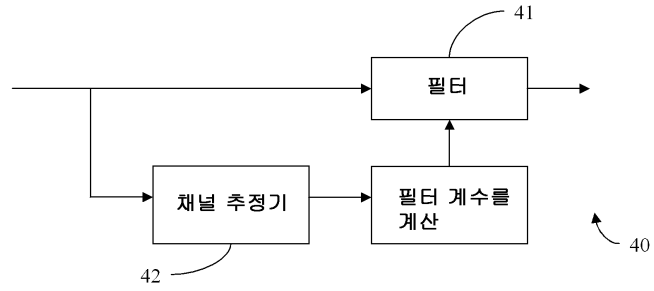
도면1



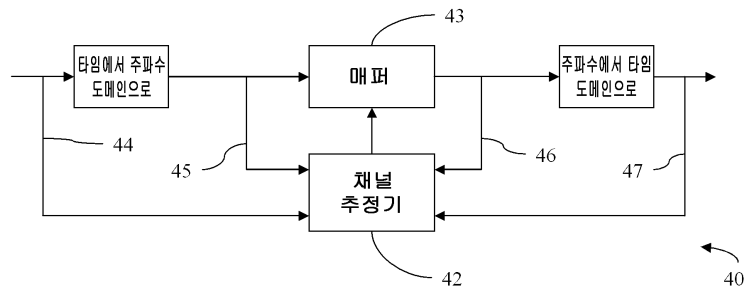
도면2



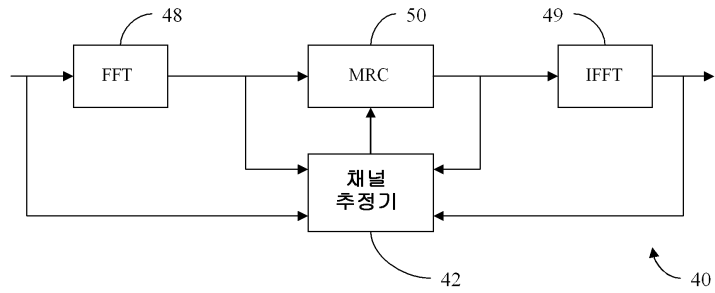
도면3



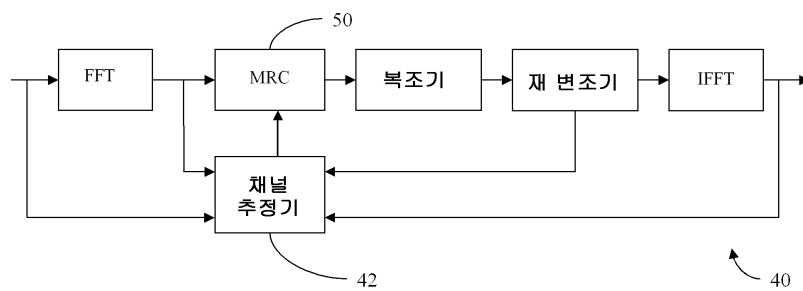
도면4



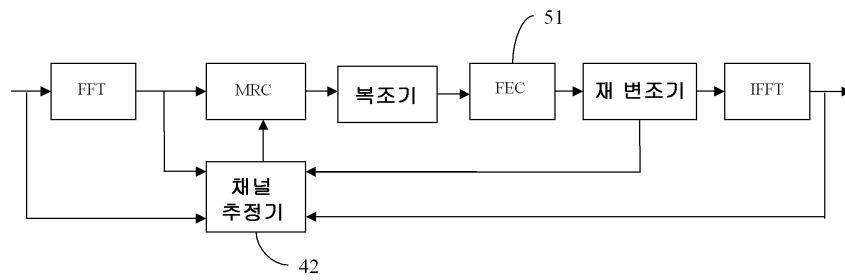
도면5



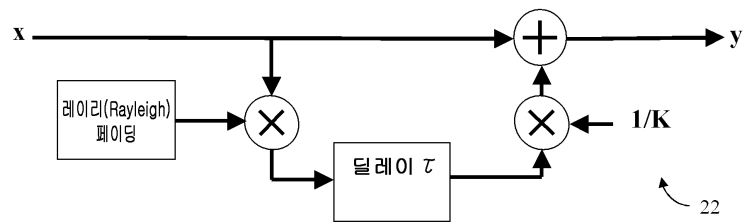
도면6



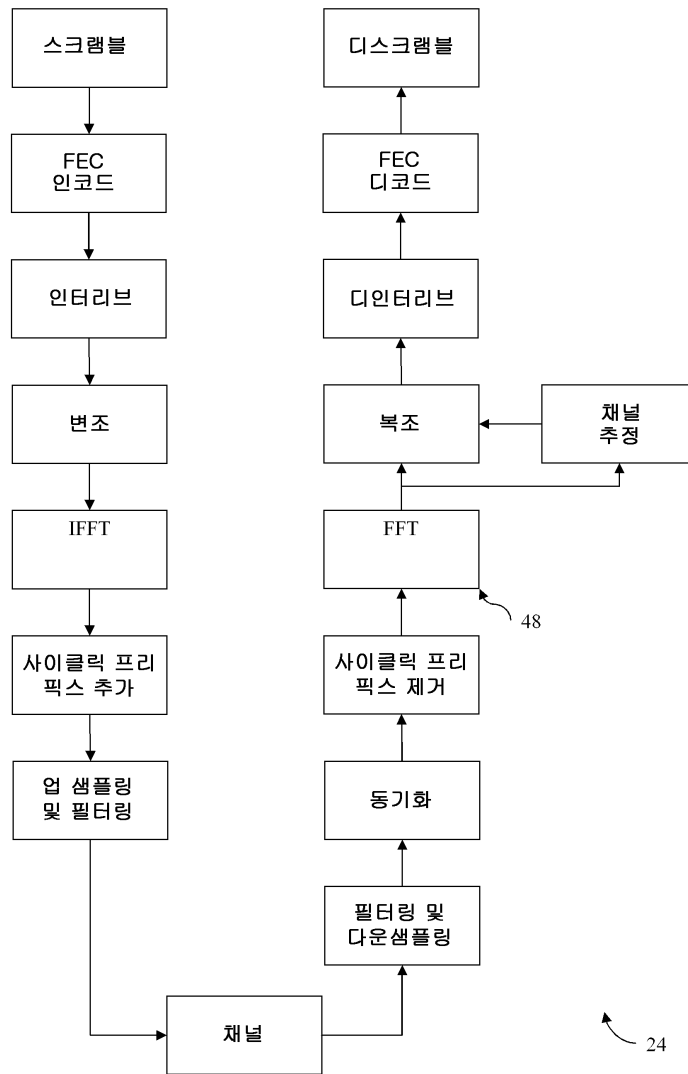
도면7



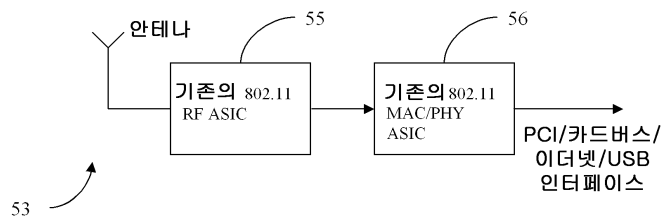
도면8



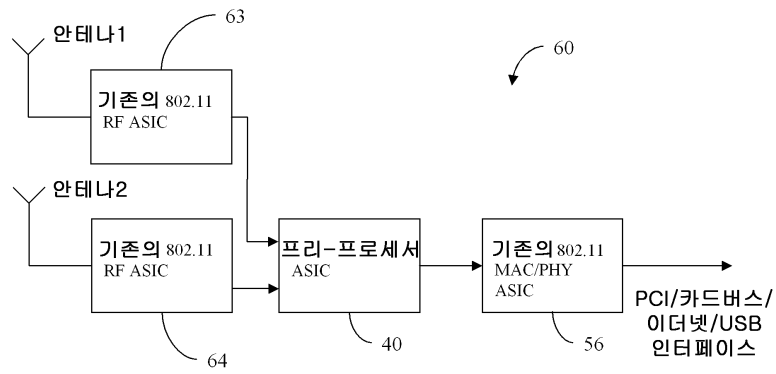
도면9a



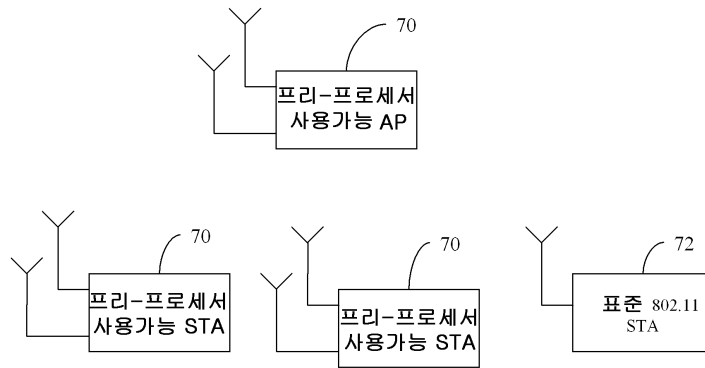
도면9b



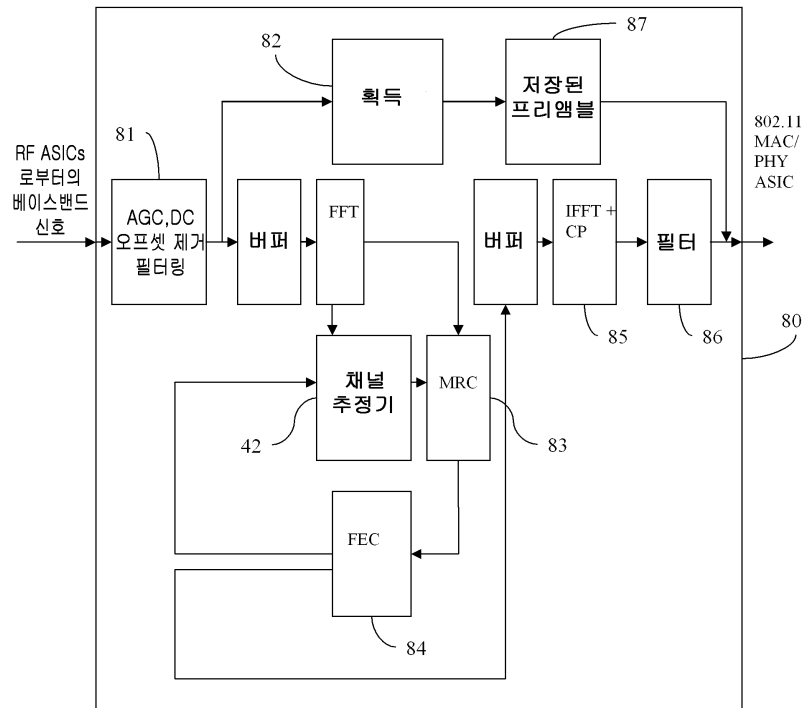
도면10



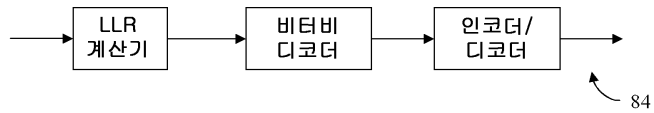
도면11



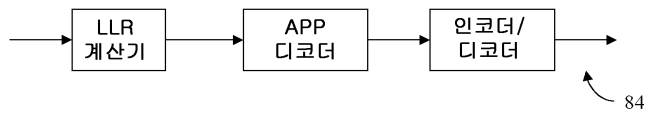
도면12



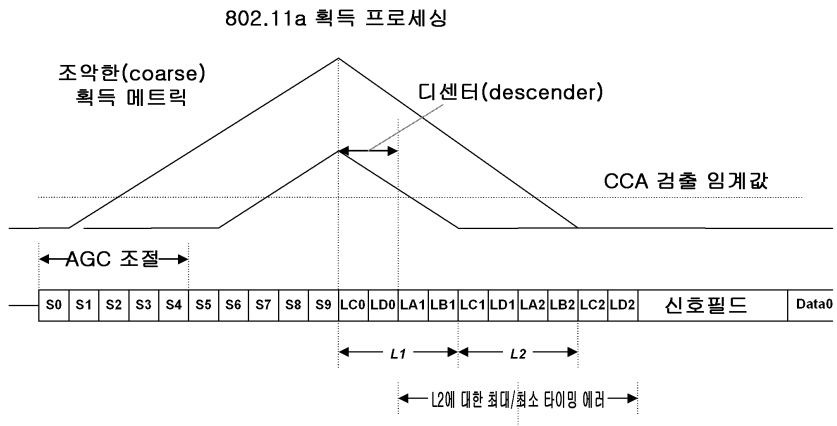
도면13



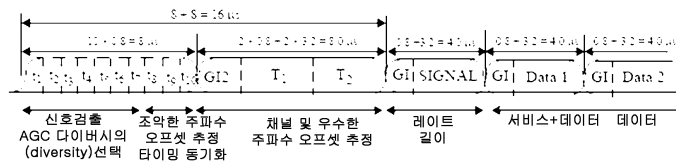
도면14



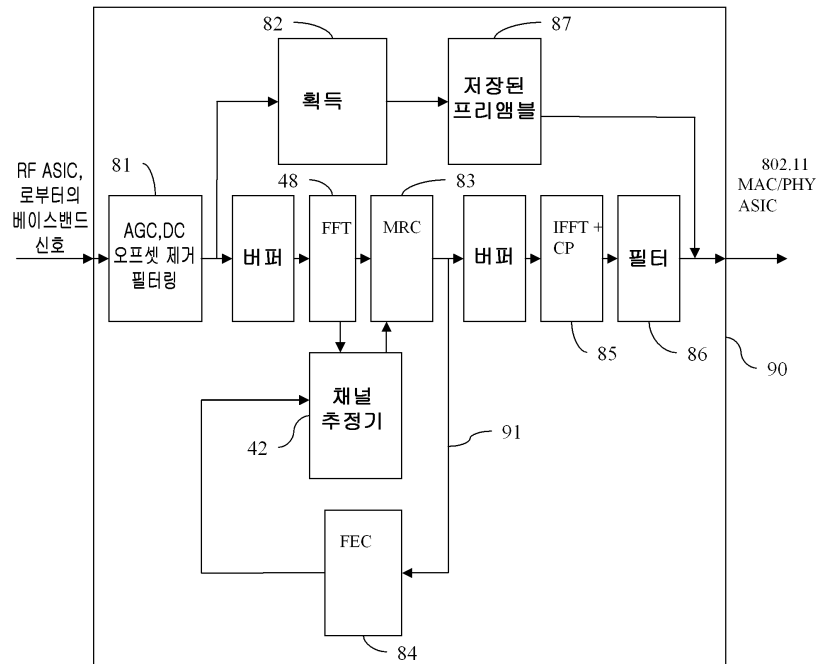
도면15



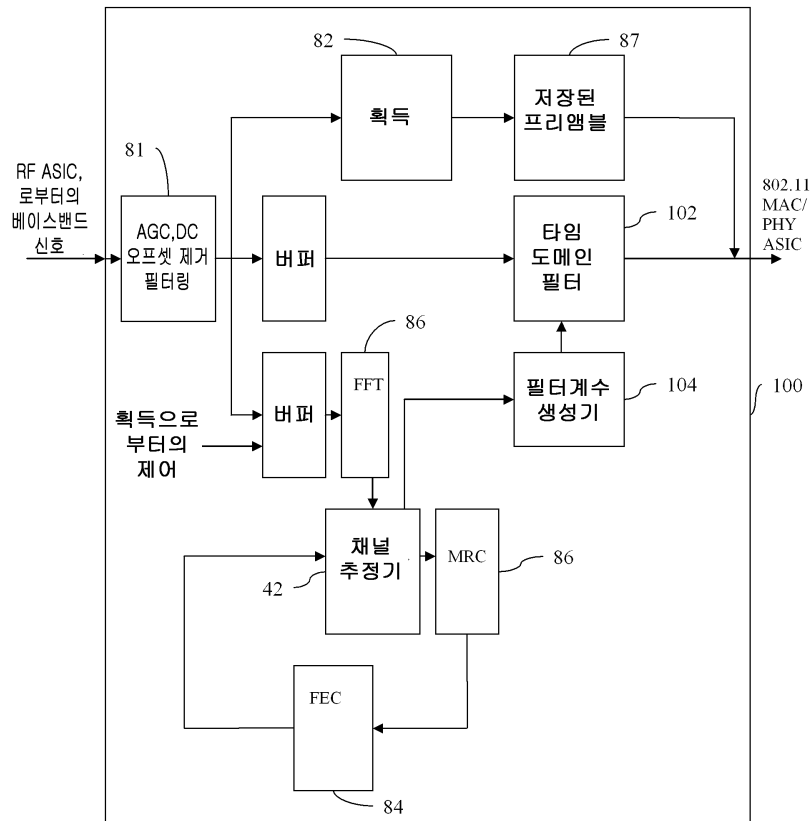
도면16



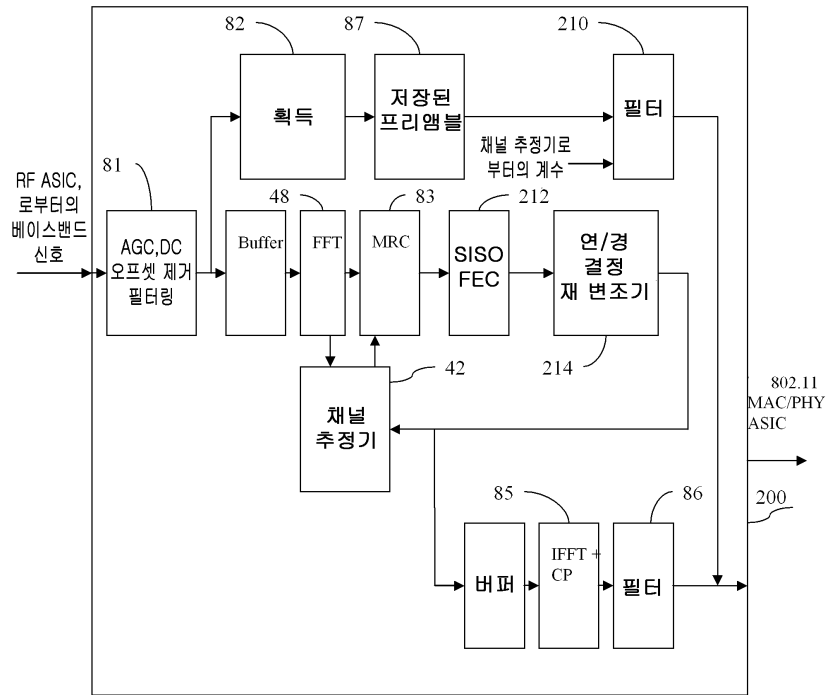
도면17



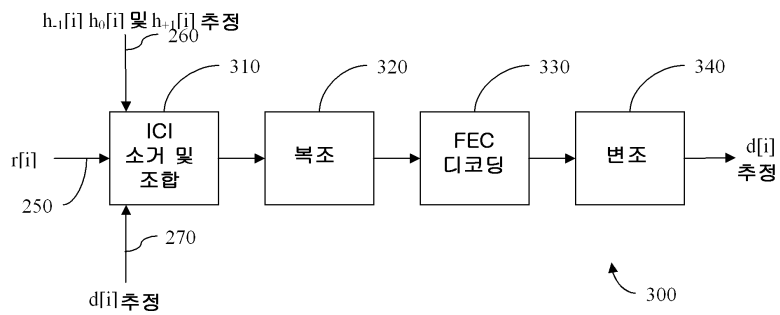
도면18



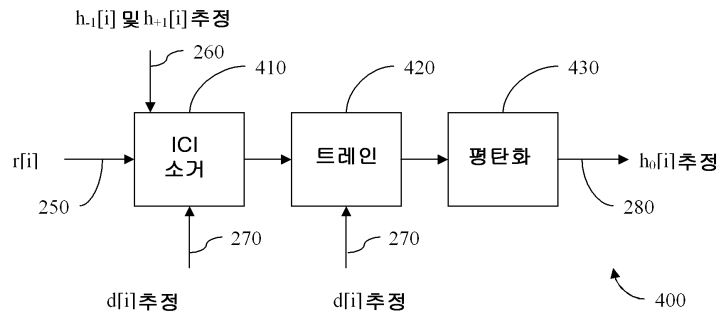
도면19



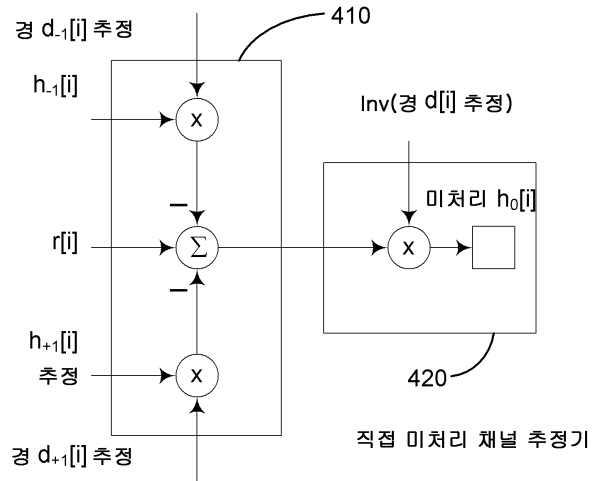
도면20



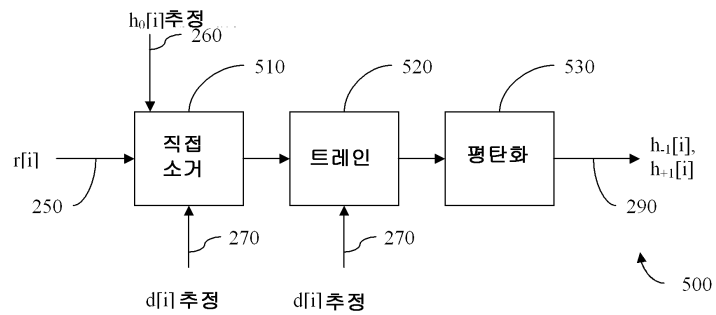
도면21



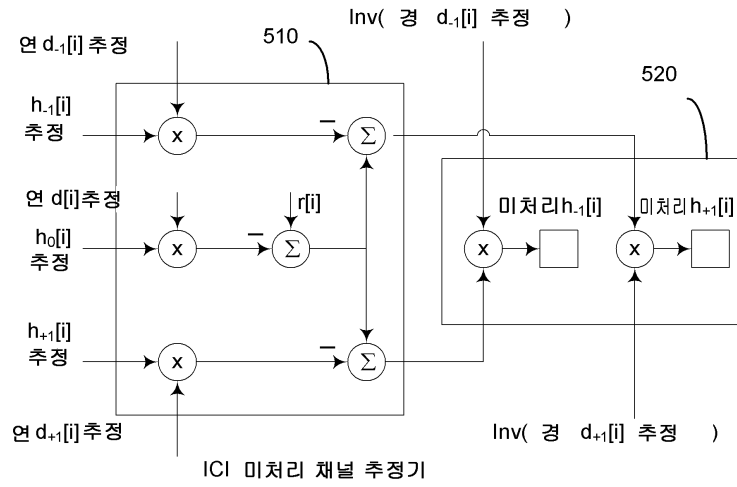
도면22



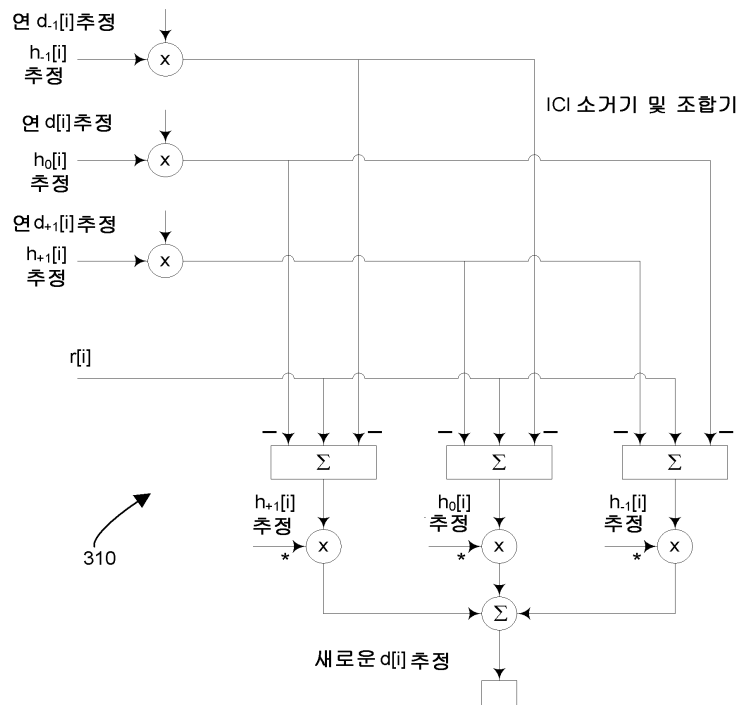
도면23



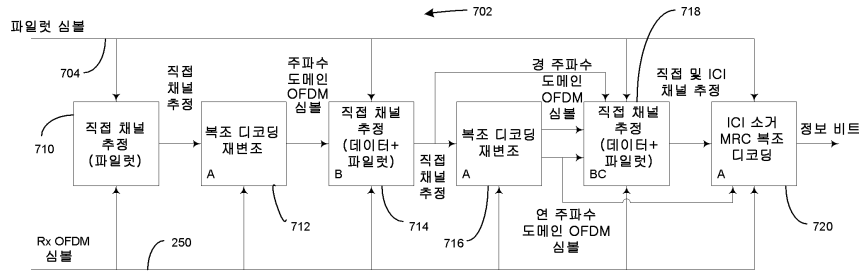
도면24



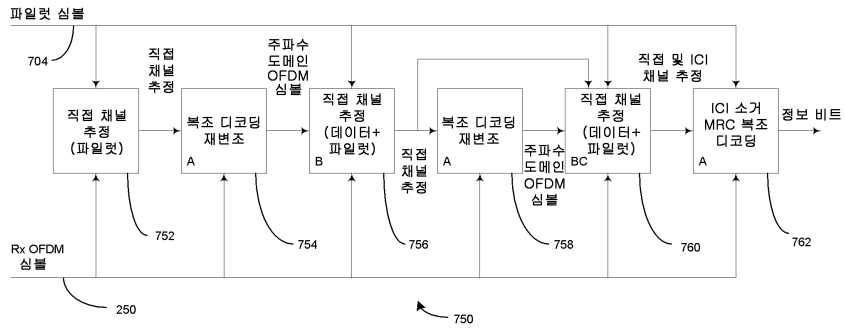
도면25



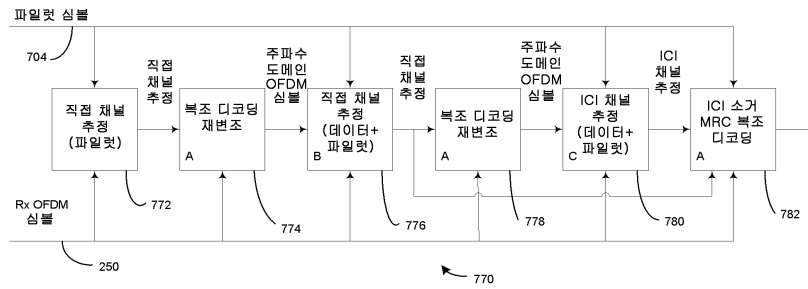
도면26



도면27



도면28



도면29

