

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/8238 (2006.01)



[12] 发明专利说明书

专利号 ZL 200580013182.5

[45] 授权公告日 2009 年 3 月 25 日

[11] 授权公告号 CN 100472756C

[22] 申请日 2005.4.19

[21] 申请号 200580013182.5

[30] 优先权

[32] 2004.4.28 [33] US [31] 10/833,073

[86] 国际申请 PCT/US2005/013240 2005.4.19

[87] 国际公布 WO2005/109493 英 2005.11.17

[85] 进入国家阶段日期 2006.10.26

[73] 专利权人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 J·潘 林明仁

[56] 参考文献

US6563178B2 2003.5.13

US2004/0063285A1 2004.4.1

US2002/0079548A1 2002.6.27

US2003/0109121A1 2003.6.12

WO92/06505A1 1992.4.16

US6475908B1 2002.11.5

审查员 裴亚芳

[74] 专利代理机构 北京戈程知识产权代理有限公司

代理人 程 伟

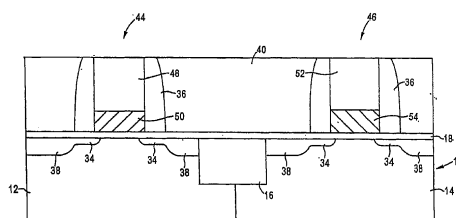
权利要求书 2 页 说明书 7 页 附图 17 页

[54] 发明名称

具有可调栅极功函数的双金属 CMOS 晶体管
以及其制法

[57] 摘要

本发明提供一种双金属 CMOS 之配置以及其制法，系提供一衬底(10)以及在衬底(10)上形成之多个 NMOS 器件(44)与 PMOS 器件(46)。各多个 NMOS 器件(44)与 PMOS 器件(46)具有栅极电极。各 NMOS 栅极电极包含衬底(10)上的第一硅化物区(50)与第一硅化物区(50)上的第一金属区(48)。该 NMOS 栅极电极的第一硅化物区(50)系由一个具有接近硅导电带的功函数的第一硅化物(50)组成。各 PMOS 栅极电极包含衬底上的第二硅化物区(54)与第二硅化物区(54)上的第二金属区(52)。该 PMOS 栅极电极的第二硅化物区(54)系由一个具有接近硅价带的功函数的第二硅化物(54)组成。



1. 一种包含双金属互补金属氧化物半导体配置的方法，该方法包含：

在栅极介电质层上形成硅区以在 N 型金属氧化物半导体器件区内与 P 型金属氧化物半导体器件区内形成栅极电极；

在该 N 型金属氧化物半导体器件区内的该硅区上沉积第一金属或金属合金；

退火以在该 N 型金属氧化物半导体器件区内使该第一金属或金属合金与该硅区反应因此形成第一硅化物区与在该第一硅化物区上的第一金属或金属合金区，该第一硅化物区与该第一金属或金属合金区形成第一栅极电极；以及

在该 P 型金属氧化物半导体器件区内的该硅区上沉积第二金属或金属合金；

退火以在该 P 型金属氧化物半导体器件区内使该第二金属或金属合金与该硅区反应因此形成第二硅化物区与在该第二硅化物区上的第一金属或金属合金区，该第二硅化物区与该第二金属或金属合金区形成第二栅极电极；以及

其中，该第一硅化物区具有在硅导带 ± 0.2 伏内的功函数，而该第二硅化物区具有在硅价带 ± 0.2 伏内的功函数。

2. 如权利要求 1 所述的双金属互补金属氧化物半导体配置的方法，其中，该形成硅区的步骤包含：

在栅极介电质层上沉积硅；

蚀刻硅以形成硅堆栈；以及

部分蚀刻硅堆栈以仅移除硅堆栈的上面部分而形成硅区。

3. 如权利要求 1 所述的双金属互补金属氧化物半导体配置的方法，其中，还包含通过控制第一与第二硅化物区的相以控制第一与第二硅化物区的功函数。

4. 如权利要求 2 所述的双金属互补金属氧化物半导体配置的方法，其中，该部分蚀刻步骤是硅堆栈的时间受控蚀刻步骤。

5. 如权利要求 2 所述的双金属互补金属氧化物半导体配置的方法，其中，该沉积硅步骤包含：

在栅极介电质层上沉积第一硅层；
在第一硅层上形成蚀刻停止层；以及
在该蚀刻停止层上形成第二硅层。

6. 如权利要求 5 所述的双金属互补金属氧化物半导体配置的方法，其中，该部分蚀刻步骤包含：

蚀刻该第二硅层并停止于该蚀刻停止层；以及
移除该蚀刻停止层。

7. 如权利要求 3 所述的双金属互补金属氧化物半导体配置的方法，其中，控制该第一与第二硅化物区的该相的步骤包含控制该硅化物区的厚度。

8. 如权利要求 1 所述的双金属互补金属氧化物半导体配置的方法，其中，该第一金属为钽，而该第二金属为钨、镍或钴其中一种。

具有可调栅极功函数的双金属 CMOS 晶体管及其制法

技术领域

本发明系关于半导体制造之领域，详而言之，尤指一种结合不同栅极金属之 NMOS 与 PMOS 器件制程。

背景技术

在半导体工业中，制造具有匹配临界电压（matching threshold voltage）之 N 型金氧半导体（NMOS）与 P 型金属氧化物半导体（PMOS）器件是通常地需要的。在传统的半导体制程中，该 NMOS 与 PMOS 临界电压传统地被调整，其系通过信道植入与选择掺杂多晶硅栅极之结合。在调整 PMOS 器件之临界电压通常有效果，但在 PMOS 器件的效果较差。为了克服这些问题，双金属栅极互补金属氧化物半导体（CMOS，Complementary MOS）晶体管已经被提供，其系具有基于其功函数而选择的用以形成栅极之金属。

传统的金属栅极晶体管通常系通过干蚀刻金属或以多晶硅封头之金属来制造以形成栅极。干蚀刻金属是极端地挑战，因要确保金属干蚀刻适当地停在超薄之栅极介电质（如栅极氧化物）上是困难的。无法终止在栅极氧化物上之干蚀刻导致源极/汲极区域内硅的损失，故造成漏电流增加。

这些出现在形成金属栅极晶体管之问题在企图执行双金属栅极 CMOS 配置时会更严重。如上所述，该金属双金属栅极 CMOS 配置系需要以调整功函数与临界电压。然而，传统形成金属栅极晶体管之方式并非容易地适用以形成双金属栅极 CMOS 晶体管。已证明为了抑制驱动电流损失至多晶硅耗尽效能，提供全硅化物栅极是需要的。然而，在提供全硅化物栅极电极以抑制驱动电流时，导电型器件其中之一的功函数将不需要地被改变。举例来说，提供 NMOS 器件与 PMOS 器件之全硅化多晶硅栅极电极将运作以抑制驱动电流损失至多晶硅耗尽效能。然而，即使 NMOS 器件之栅极电极将具有需要的功函数，PMOS

NMOS 与 PMOS 器件之全硅化栅极电极的可用性。

此外，全硅化栅极另有其它顾虑。这些顾虑包含硅化不均匀性与创造栅极氧化物介电质层不可靠之可能性。举例来说，过硅化将压迫栅极氧化物介电质材料以损害整体器件之可靠性。

发明内容

本发明提供一种具有可调栅极功函数之双金属 CMOS 配置，其不需使用全硅化栅极电极与其伴随的问题。

本发明之实施例提供一种具有可调栅极功函数之双金属 CMOS 配置以符合双金属 CMOS 配置与其它需要，其系具有一衬底与多个 NMOS 器件与多个 PMOS 器件。该多个 NMOS 器件具有栅极电极，其中各 NMOS 栅极电极包含衬底上的第一硅化物区与第一硅化物区上的第一金属区。NMOS 栅极电极的第一硅化物区系由一具有硅导电带在 ± 0.2 伏内的功函数的第一硅化物组成。该多个 PMOS 器件具有栅极电极，其中各 PMOS 栅极电极包含衬底上的第二硅化物区与第二硅化物区上的第二金属区。PMOS 栅极电极的第二硅化物区系由一具有硅价带在 ± 0.2 伏内的功函数的第二硅化物组成。

本发明提供一种形成双金属 CMOS 配置之方法也符合其它陈述上的需要，其步骤包含在栅极介电质上形成硅化物区以在 NMOS 器件区与在 PMOS 器件区内形成栅极电极。该等硅化物区被转换成 NMOS 器件区内的第一硅化物区与 PMOS 器件区内的第二硅化物区。第一硅化物区系由一具有硅导电带在 ± 0.2 伏内的功函数的第一硅化物组成而第二硅化物区系由一具有硅价带在 ± 0.2 伏内的功函数的第二硅化物组成。

通过结合接下来的详细说明与简图，本发明之前述与其它特征、观点与优点将变得更为明显。

附图说明

通过参照所附之图标可更了解本发明上述之说明，图标中类似组件标有类似的参考符号，且其中：

图 1 系根据本发明于双金属 CMOS 晶体管制程期间之半导体晶圆之横剖面示意图；

图 2 系图标根据本发明之特定实施例之图 1 在第一硅层上之蚀刻停止层形成后之结构；

图 3 系图标根据本发明之实施例之图 2 的第二硅层沉积后之结构；

图 4 系图标根据本发明之实施例之图 3 之硬屏蔽、微影与异向性的蚀刻之形成以形成硅堆栈后之结构；

图 5 系图标根据本发明之实施例之图 4 在源极/汲极延伸区、侧壁间隔件与源极/汲极区形成后之结构；

图 6 系图标根据本发明之实施例之图 5 介电质层之沉积与介电质层之平坦化以移除硬屏蔽后之结构；

图 7 系图标根据本发明之实施例之图 6 之微影步骤以屏蔽该 PMOS 器件之结构；

图 8 系图标根据本发明之实施例之图 7 之蚀刻 NMOS 器件硅堆栈上面部分后之结构；

图 9 系图标根据本发明之实施例之图 8 在移除蚀刻停止层与沉积第一金属后之结构；

图 10 系图标根据本发明之实施例图 9 在平坦化制程后之结构；

图 11 系图标根据本发明之实施例图 10 之退火步骤以形成在 NMOS 器件内第一硅化物区后之结构；

图 12 系图标根据本发明之实施例图 11 之微影步骤以屏蔽 NMOS 器件后之结构；

图 13 系图标根据本发明之实施例之图 12 在完成蚀刻以移除 PMOS 器件内硅堆栈上面部分后之结构；

图 14 系图标根据本发明之实施例之图 13 在移除 PMOS 器件内之蚀刻停止层与沉积第二金属后之结构；

图 15 系图标根据本发明之实施例之图 14 在平坦化制程后之结构；

图 16 系图标根据本发明之实施例之图 15 之退火步骤以形成第二硅化物区后之结构；

图 17 系图标根据本发明在一制程期间之替代实施例；以及

图 18 系图标根据本发明图 17 的第一与第二硅化物区形成后之替代实施例。

具体实施方式

本发明提出并解决关于双金属 CMOS 晶体管形成之问题，详而言之，系关于包含全硅化栅极电极的硅化不均匀性与栅极氧化物可靠性之问题。在本发明之特定观点中提供具有栅极电极的多个 NMOS 器件与 PMOS 器件之双金属 CMOS 配置。各 NMOS 栅极电极包含衬底上的第一硅化物区与第一硅化物区上的第一金属区。NMOS 栅极电极的第一硅化物区系由一具有硅导电带在 ± 0.2 伏内的功函数的第一硅化物组成。各 PMOS 栅极电极包含衬底上的第二硅化物区与第二硅化物区上的第二金属区。PMOS 栅极电极的第二硅化物区系由一具有硅价带在 ± 0.2 伏内的功函数的第二硅化物组成。因此，各栅极电极仅部分地被硅化且该等硅化物区各别地以硅化物提供，其系可调以兼容于 NMOS 与 PMOS 型器件。在特定实施例，功函数之调整以使用两种不同金属被达成，例如该等硅化物区以具有不同功函数之两个不同金属硅化物形成。在其它实施例，硅化物厚度被精密地调整以达成特定硅化物相，故影响硅化物的功函数于各别的 NMOS 与 PMOS 型器件。

图 1 系根据本发明之实施例于半导体制程期间之半导体晶圆之部分横剖面图。图 1 系图标一部分完成之半导体器件。举例来说，该器件包含一以硅形成之衬底 10。该衬底 10 包含 P 型掺杂区 12 与 N 型掺杂区 14。举例来说，该衬底 10 掺杂具有剂量大约 1×10^{16} 至 1×10^{21} ion/cm² 之 N 或 P 型掺杂物。

有一个浅沟隔离结构 (STI) 16 在该器件水平面上，提供介于 P 型掺杂区与 N 型掺杂区之隔离区。可使用传统的浅沟隔离形成方法以创造浅沟隔离区 16。

栅极介电质层 18 系形成于衬底 10 上。该栅极介电质层 18 可由例如栅极氧化物组成。本发明之特定实施例中，该栅极介电质层 18 超薄，可介于例如大约 5 至 30 埃 (Angstrom)。此一薄栅极介电质层在金属干蚀刻制程期间很容易地敏感而受损，因此硅化物制程具有此项优点。然而，全硅化栅极形成制程可能使该栅极氧化物过载。

有第一硅层 20 形成于栅极介电质层 18 上。该第一硅层 20 可以传统方式沉积。在本发明之某些较佳实施例中，第一硅层相对薄，例如介于大约 10 至 500 埃 ()。在某些尤其较佳实施例中，该第一硅层

的厚度介于 50 至 200 埃。在某些其它特别的较佳实施例中，该第一硅层的厚度为小于大约 50 埃，较薄之栅极硅化物厚度解决关于那些全硅化栅极电极创造之问题，包含硅化不均匀性与栅极氧化物可靠性。

图 2 系图标图 1 跟随着在第一硅层 20 上之蚀刻停止层 22 形成之结构。举例来说，该蚀刻停止层 22 可为一例如氧化物层。举例来说，将蚀刻停止层 22 形成至非常薄（例如大约 10 埃）是需要的。任何可形成此一氧化物或其它蚀刻停止材料薄层之合适方法可被使用。举例来说，在 600 至 1000 度之氧化制程可被用以形成该蚀刻停止层 22。

蚀刻停止层 22 形成之后，以传统方法在蚀刻停止层 22 上形成第二硅层 24。该第二硅层 24 可介于例如大约 700 至 2000 埃，举例来说，而在特定实施例中大约为 1000 埃厚。

图 4 系图标图 3 在第二硅层 24 上沉积硬屏蔽层后，接着蚀刻步骤以形成硅堆栈 26 之结构。各硅堆栈 26 具有一形成在硅堆栈 26 的上面部份 28 上之硬屏蔽 30。该蚀刻在各硅堆栈 26 内创造硅区 32。该硬屏蔽 30 可为任何适合之材料，例如硅氮化物、硅氧化物等。传统各向异性的蚀刻技术，例如反应性离子蚀刻被使用以蚀刻下至栅极介电质层 18。

硅堆栈 26 形成后，源极/汲极延伸植入制程被完成以创造源极/汲极延伸区 34。传统屏蔽与掺杂技术以适当地掺杂合适掺杂量于各别地 NMOS 器件与 PMOS 器件来完成。源极/汲极延伸区 34 创造之后，以传统技术（例如沉积侧壁材料并蚀刻）在硅堆栈 26 之侧壁上创造侧壁间隔件 36。随后形成侧壁间隔件 36，在 NMOS 器件与 PMOS 器件内，使用适当的屏蔽与植入技术，以各别地创造源极/汲极区 38。

如图 6 所示，介电质层 40 已被沉积与平坦化。该介电质层 40 可为任何传统上合适之介电质材料，例如低 k 介电质，氧化物等。该介电质层 40 可以任何合适之方法沉积，例如化学蒸气沉积（CVD）等。举例来说，在特定实施例中，该平坦化系以例如化学-机械研磨法。

如图 7 所示，接着上述之步骤后执行微影与屏蔽步骤，其中光阻 42 屏蔽 PMOS 器件 46 而曝光 NMOS 器件 44。接着微影步骤，完成对氧化物极具选择性之多晶硅蚀刻制程，此步骤可以使用异向性的蚀刻，例如反应性离子蚀刻。合适的蚀刻剂包含例如氯、HBrO₂ 或 SF₆。如图

8 所示, 该硅堆栈 26 之上部 28 在该蚀刻制程被移除。该蚀刻可靠地停止在蚀刻停止层 22 上。此即可保护硅区 32。

如图 9 所示, 第一金属 48 被沉积至一厚度以确保完全填满蚀刻硅堆栈 26 之上部 28 留下之空间。然而, 在沉积第一金属 48 之前, 该蚀刻停止层 22 被移除。举例来说, 当该蚀刻停止层 22 为氧化物时, 缓冲氧化物蚀刻被完成以移除蚀刻停止层 22。该蚀刻为一短暂时间湿蚀刻, 例如不需损坏周围的侧壁间隔件 36 而移除很薄之蚀刻停止层 22。因此在本发明之特定实施例中, 第一金属 48 被沉积至至少 1000 埃的厚度以确保完全填满硅堆栈 26 之上部 28 先前占有之空间。

在较佳实施例中, 第一金属 48 为金属或金属合金, 其系与硅反应时形成一具有功函数接近硅导电带之硅化物。硅导电带界定为在 ± 0.2 伏内。对 NMOS 器件 44, 钽为一合适之金属。然而, 本发明并未以钽为限制, 可包含任何其硅化物接近硅导电带之其它金属。

图 10 系图标图 9 以化学-机械研磨法完成移除多余第一金属 48 后之结构。该第一金属 48 被移除直至到达介电质层 40。

接着金属化学-机械研磨法, 例如使用快速热退火之退火制程以在各 NMOS 器件 44 内形成第一硅化物区 50。依据用为第一金属 48 之金属或金属合金的类型, 使用合适之温度范围。此制程条件为所属领域具有通常知识者所知悉。

图 12 至图 16 系图标一类似制程以在 PMOS 器件内创造第二硅化物区。因此, 图 12 系微影步骤, 其中 NMOS 器件 44 被屏蔽而 PMOS 器件 46 被曝光。如图 13 所示, 一蚀刻制程移除各 PMOS 器件内硅堆栈 26 之上部 28。

如图 14 所示, 第二金属 52 被沉积在介电质层 40 上且在硅堆栈 26 之上部 28 留下之空间内。然而, 第二金属 52 系由金属或金属合金组成, 其形成一具有功函数接近硅价带之硅化物。换言之, 硅化物的功函数系在 ± 0.2 伏硅价带内。举例来说, 可推荐的材料包含例如钪、铈或钴。在不脱离本发明范围之其它类型材料可被使用成第二金属 52。然而, 为了达成 CMOS 配置之所需双功函数, 该材料应形成具有一功函数接近硅价带之硅化物。

如图 16 所示, 适当退火制程被使用以在 PMOS 器件 46 内形成第

二硅化物区 54。依据形成第二金属 52 之金属，选择该退火制程合适之温度范围。

如图 16 所示，该 NMOS 器件具有第一硅化物区 50，其系由具有一功函数在 ± 0.2 伏硅价带内的第一硅化物组成。该 CMOS 配置亦拥有具备第二硅化物区之 PMOS 器件，其系由具有一功函数在 ± 0.2 伏硅价带内的第二硅化物组成。在某些的实施例中，该 NMOS 器件 44 与 PMOS 器件 46 之栅极电极的功函数因此具可调性，其系通过使用不同种类金属或金属合金以形成金属硅化物。此可使栅极硅化物厚度在特定实施例中减少至 50 埃以下，而在其它实施例中介于 50 至 100 埃，因此可解决许多关于全硅化栅极之问题，例如硅化不均匀性与栅极氧化物可靠性。

图 17 与图 18 系图标本发明之替代实施例。在这些实施例中，该蚀刻停止层 22 未被使用。取代以在硅化前以受控湿或干蚀刻使硅堆栈 26 凹进以实际减少硅堆栈 26 之多晶硅厚度。如图 17 所示，将该 PMOS 器件 46 屏蔽而蚀刻 NMOS 器件。使用类似制程以在 PMOS 器件 46 内蚀刻硅堆栈 26。然而在本发明之某些实施例中，将硅堆栈 26 存留硅的厚度小心地控制成所需厚度。薄多晶硅的厚度影响所形成之硅化物区之显现不同导电性之相。如此，可调整该器件的功函数。在此实施例中，可使用相同金属或不同金属以各别地形成第一硅化物区 50 与第二硅化物区 54。此系因硅区的厚度将控制最后被形成之硅化物相。举例来说，某些类型器件可能设有具备较高电阻系数相之例如硅化钴

(CoSi) 等硅化物之栅极电极，而其它类型器件则可能设有具备较低电阻系数相之例如二硅化钴 (CoSi_2) 之硅化物之栅极电极。在此技术领域具有通常知识者将设定退火参数，例如时间与温度，以形成第一硅化物区 50 与第二硅化物区 54 而拥有所需硅化物相与功函数，如同在第一金属与第二金属内使用之硅区与金属厚度之函数。

上述实施例仅例示性说明本发明之原理及其功效，而非用于限制本发明。任何所属领域具有通常知识者均可在不违背本发明之精神及范畴下，对上述实施例进行修饰与改变。因此，本发明之权利保护范围，应如后述之申请专利范围所列。

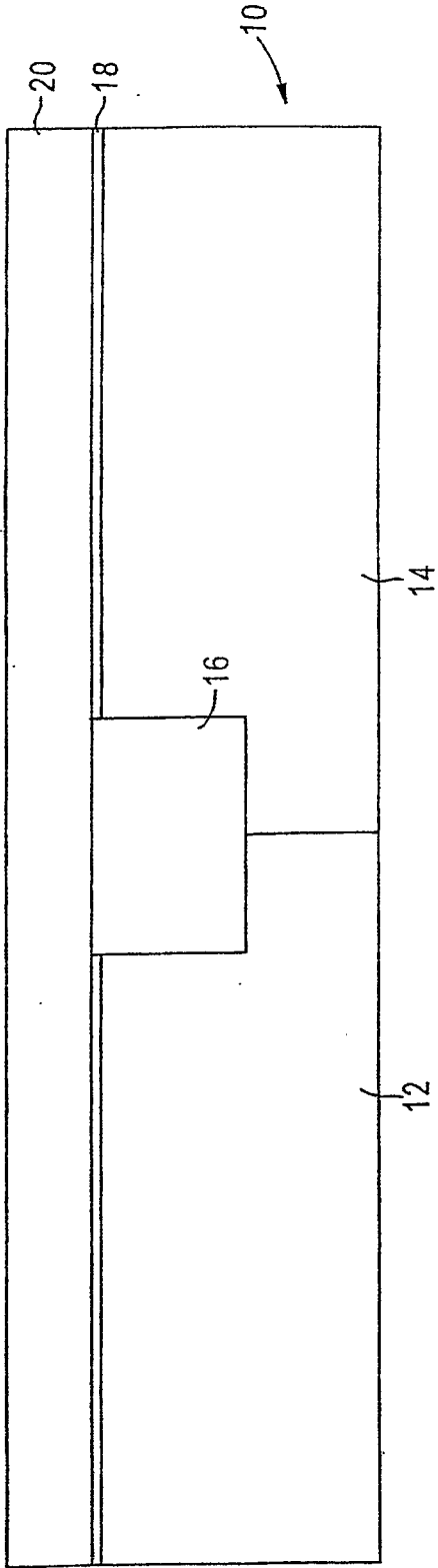


图1

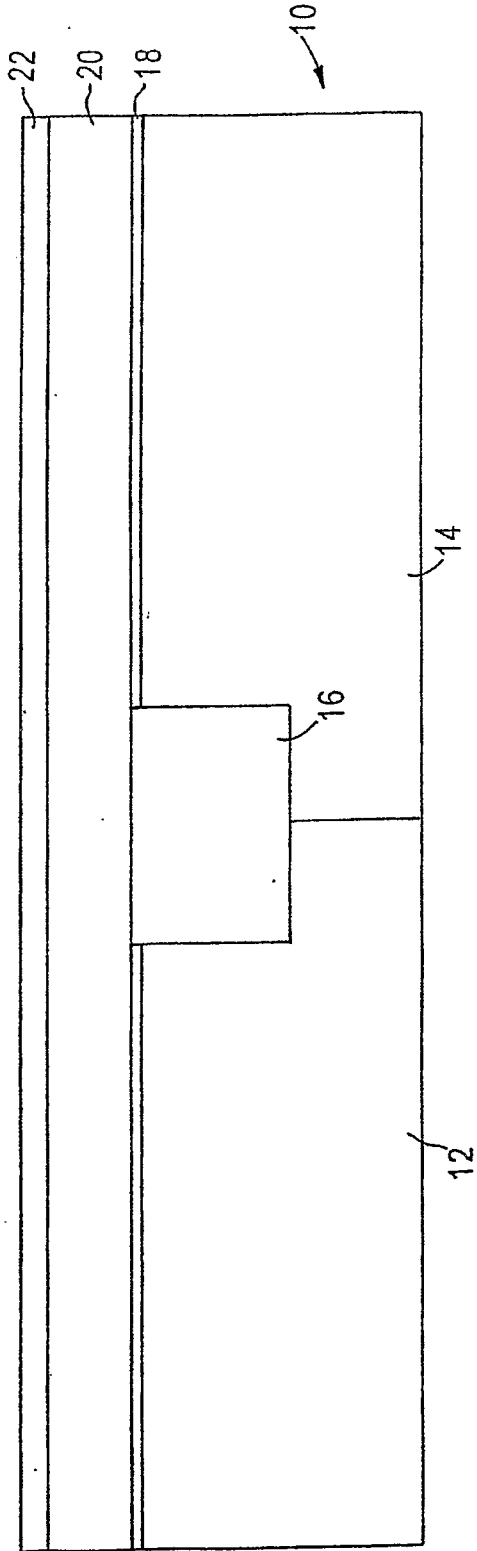


图2

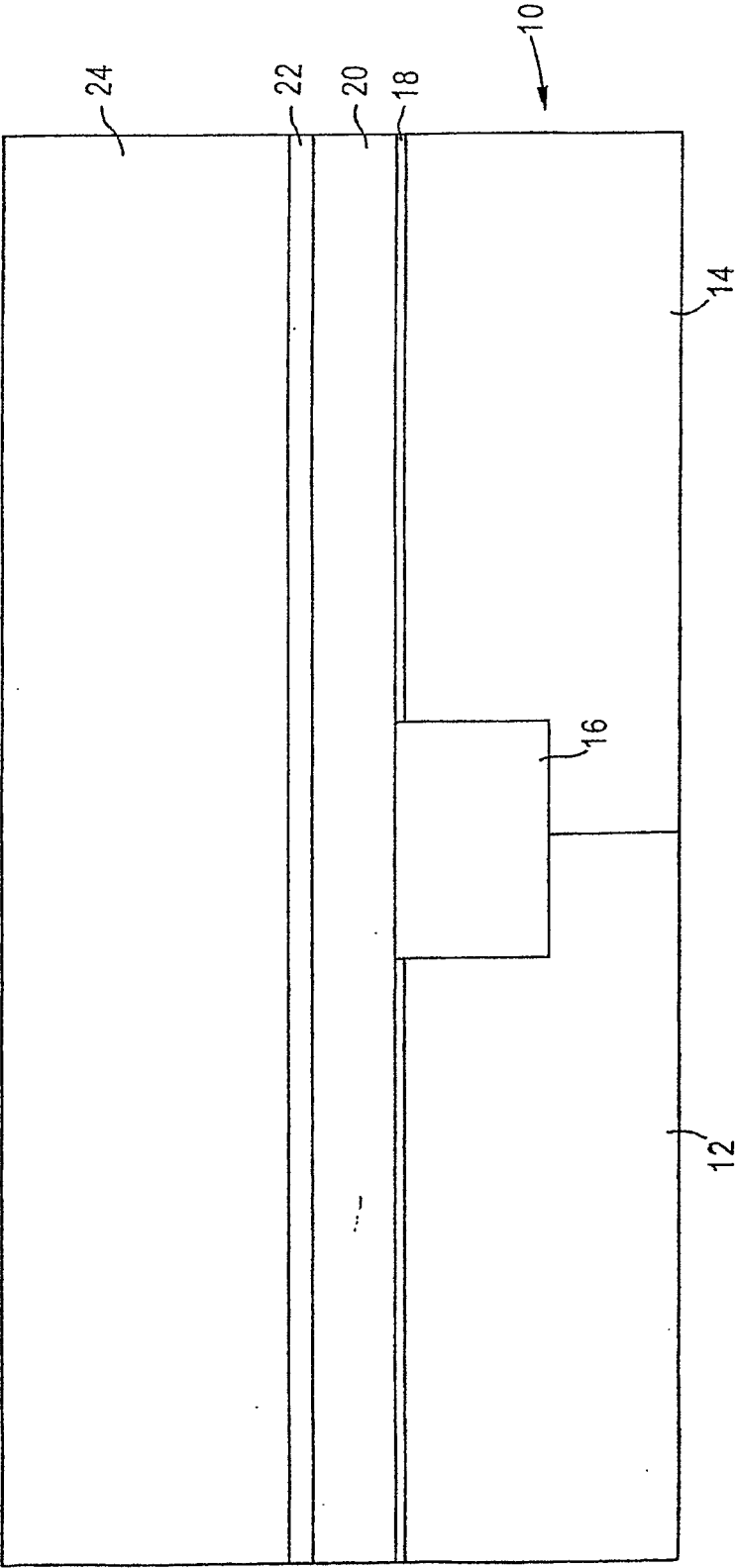


图3

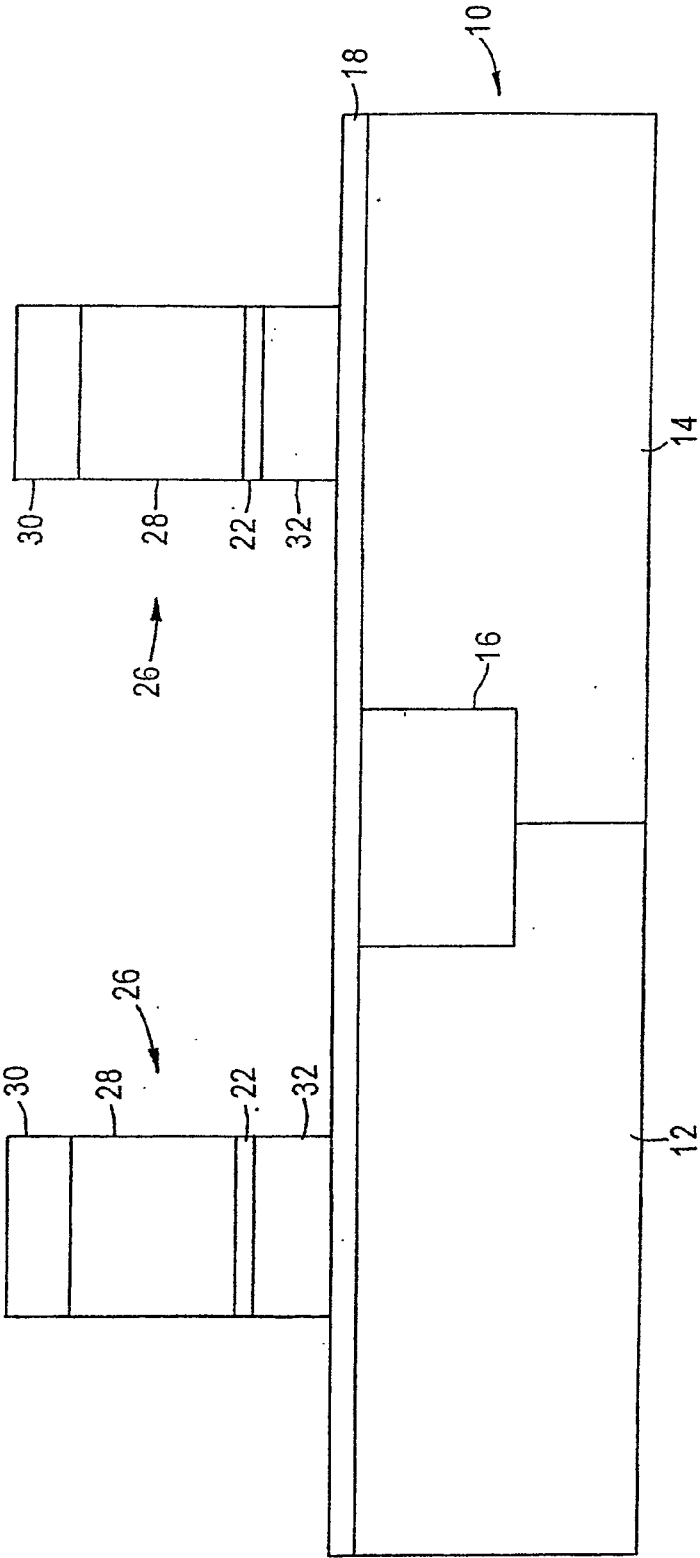


图4

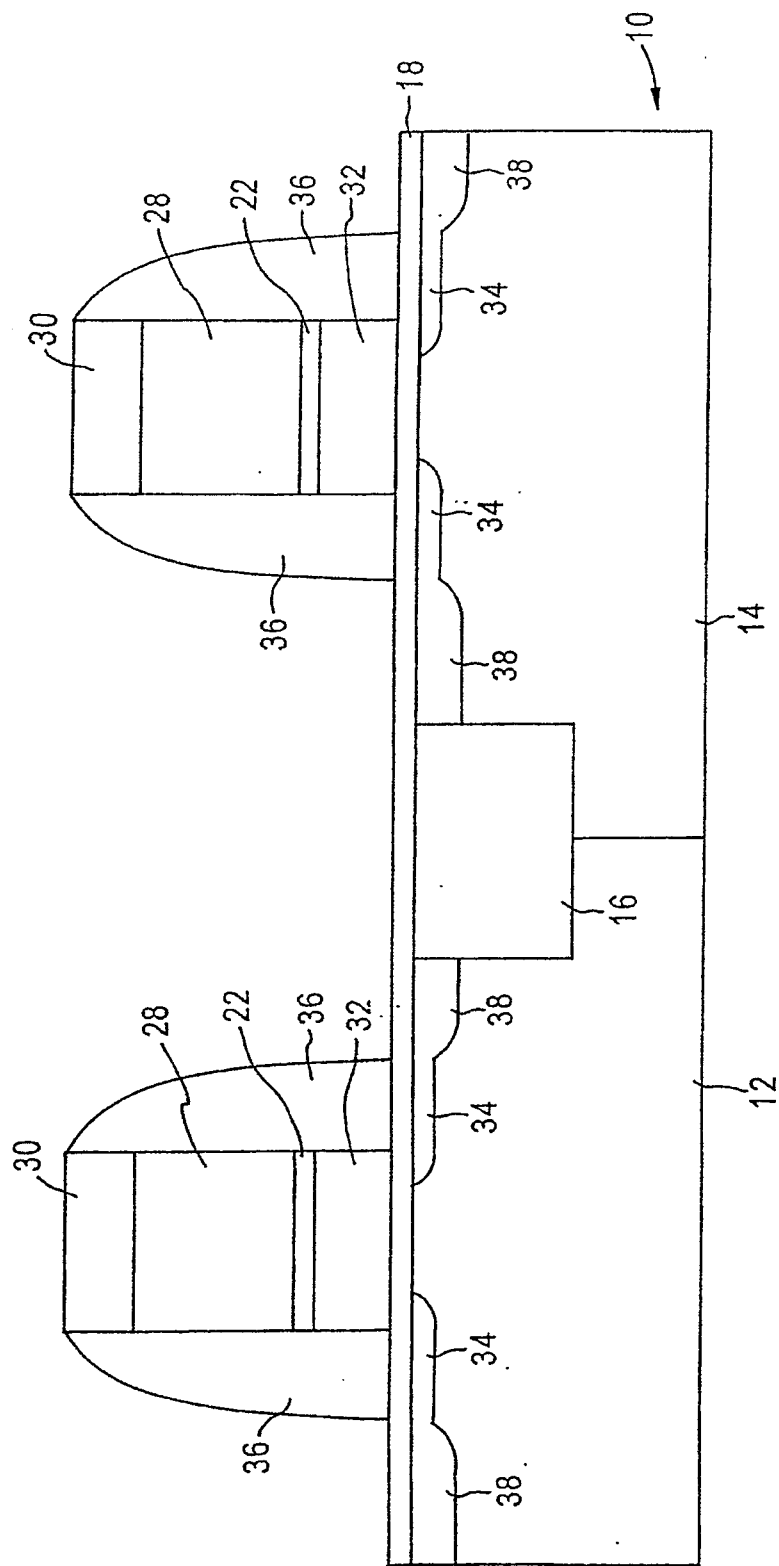


图5

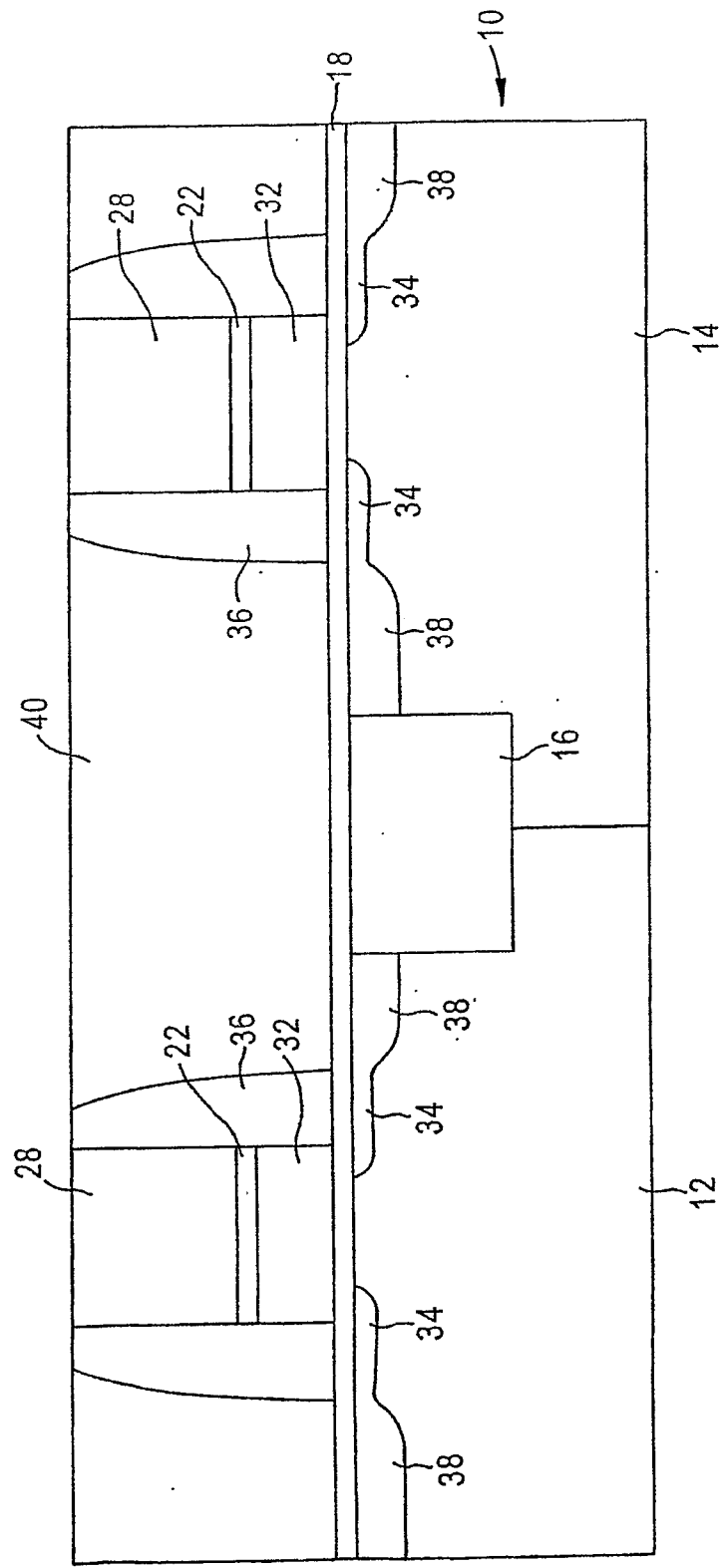


图6

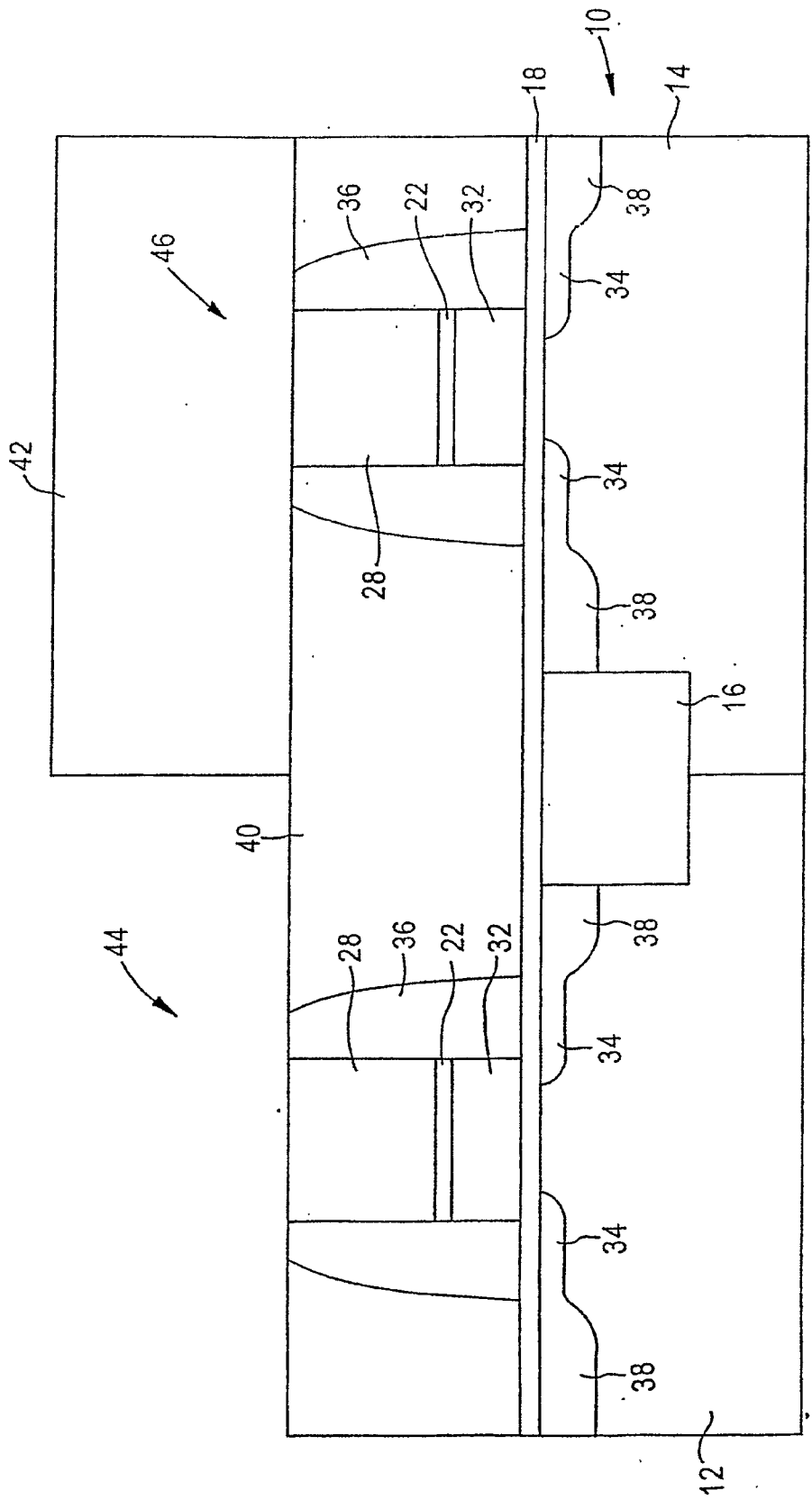


图7

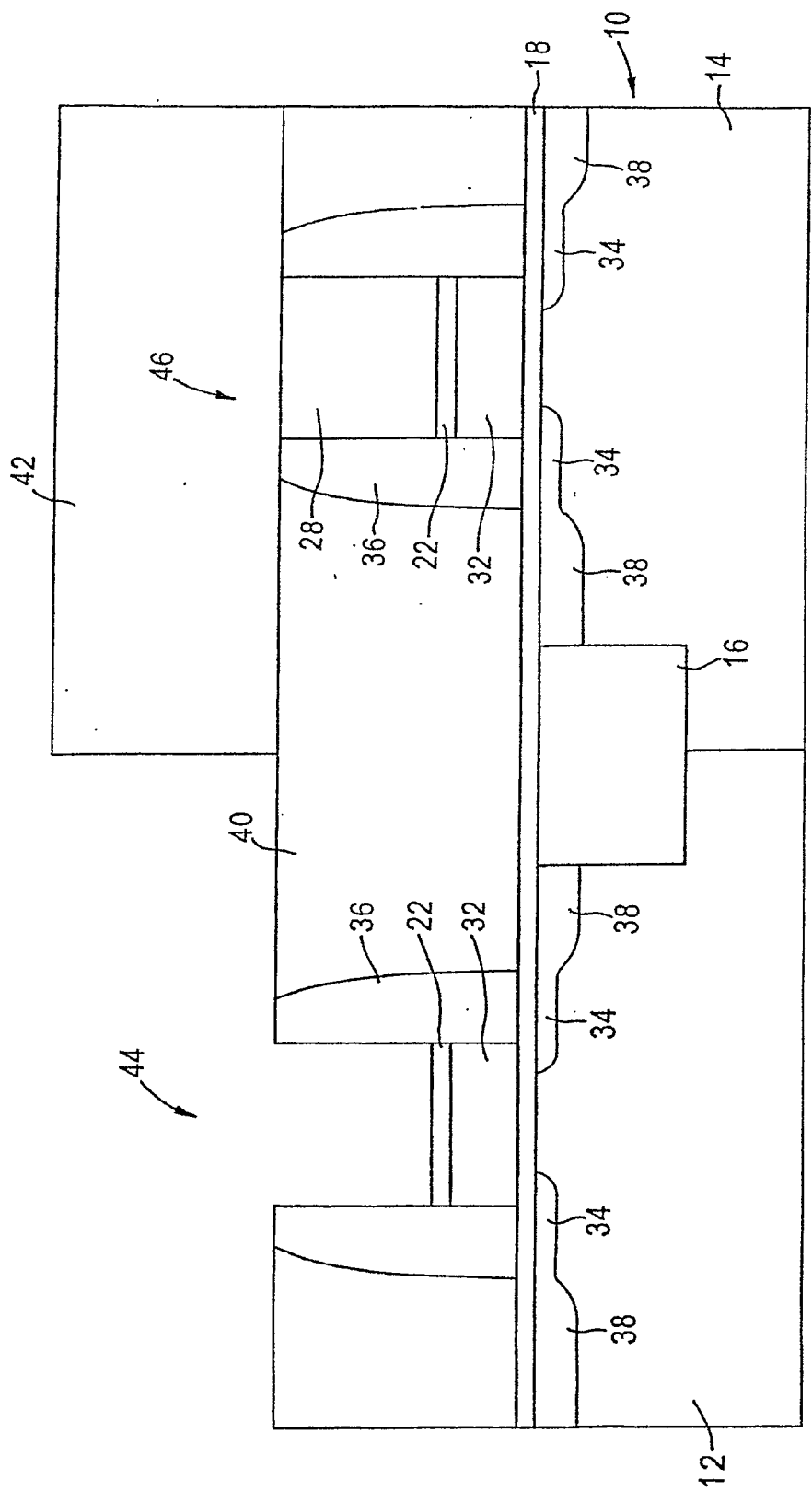


图8

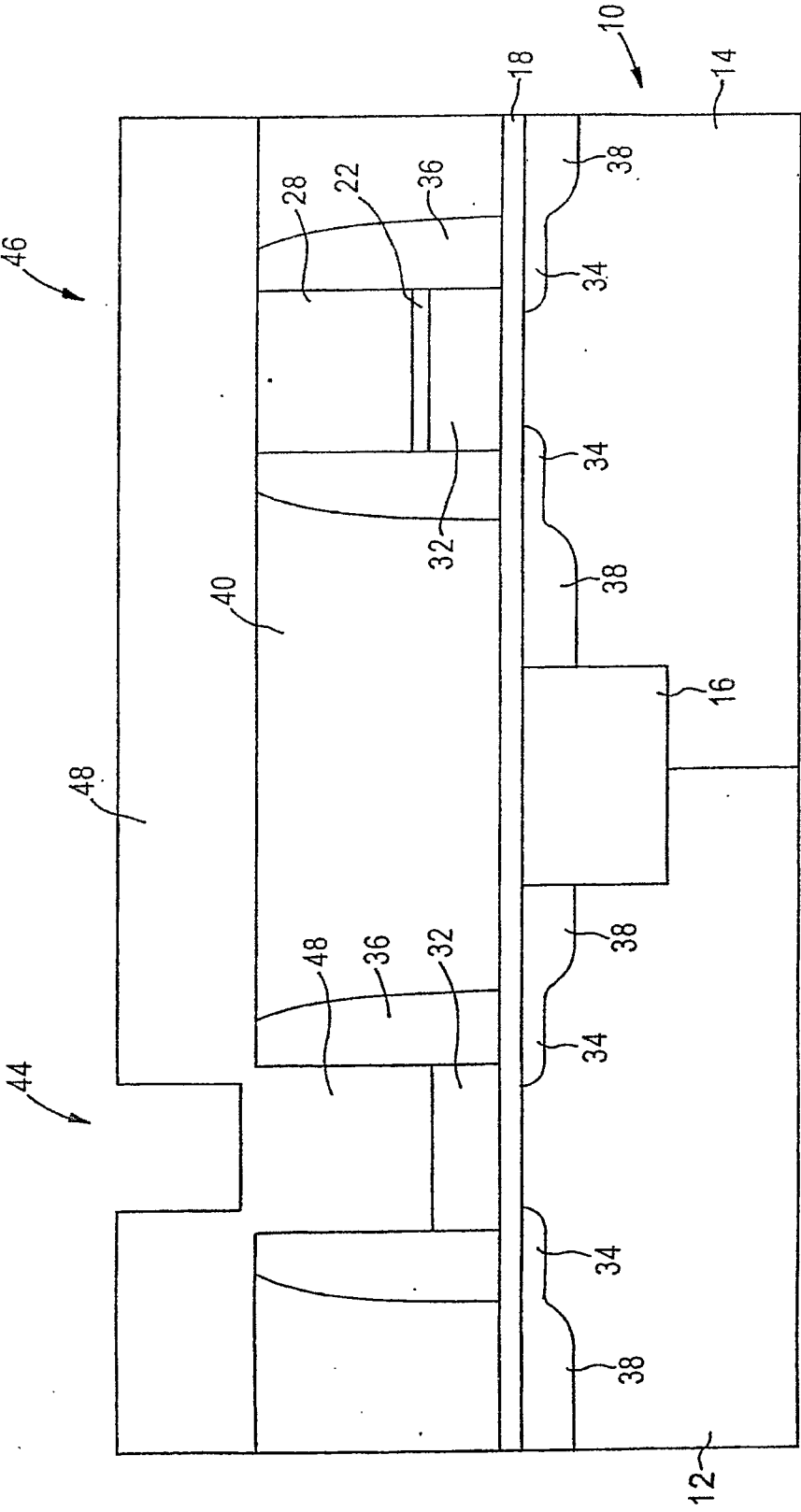


图9

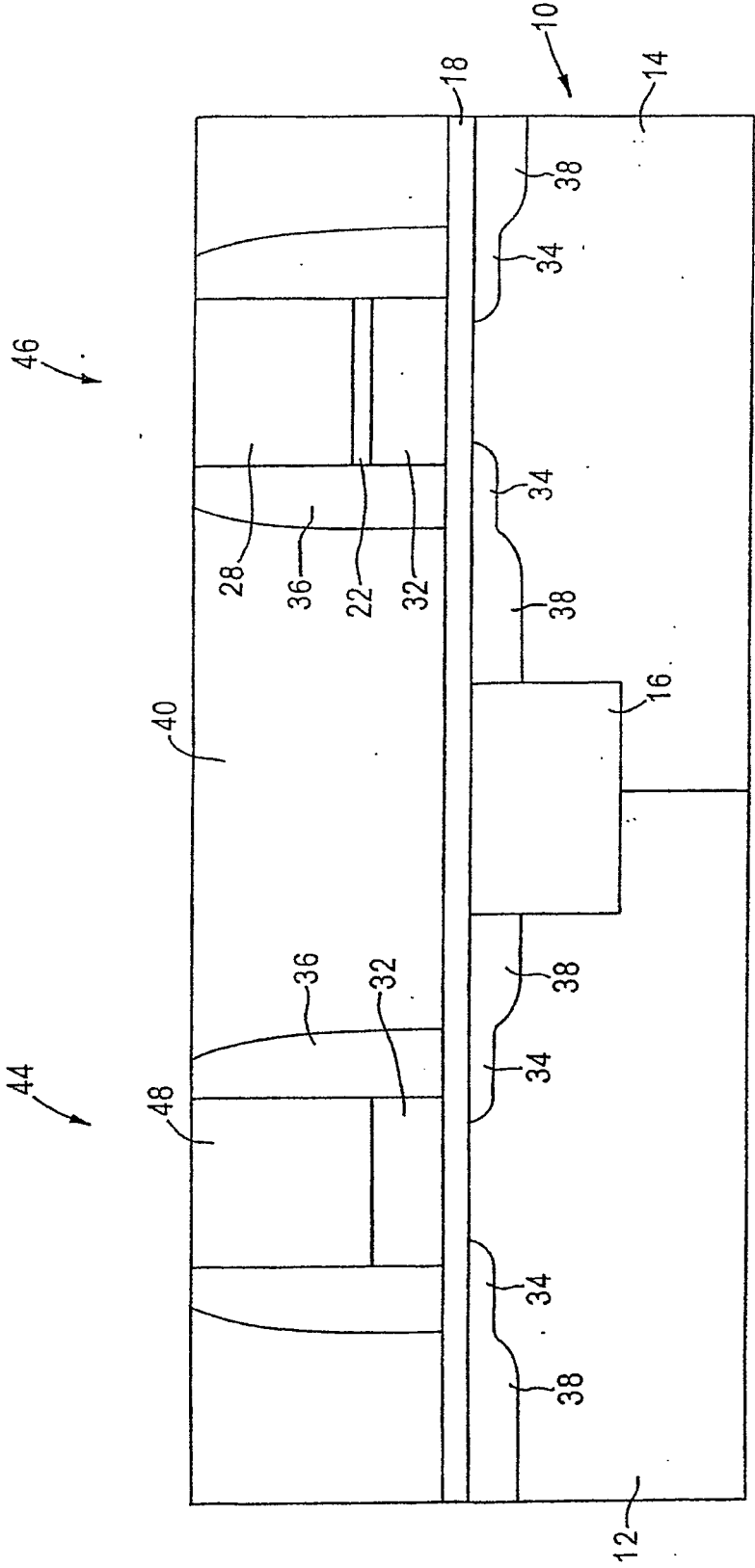


图10

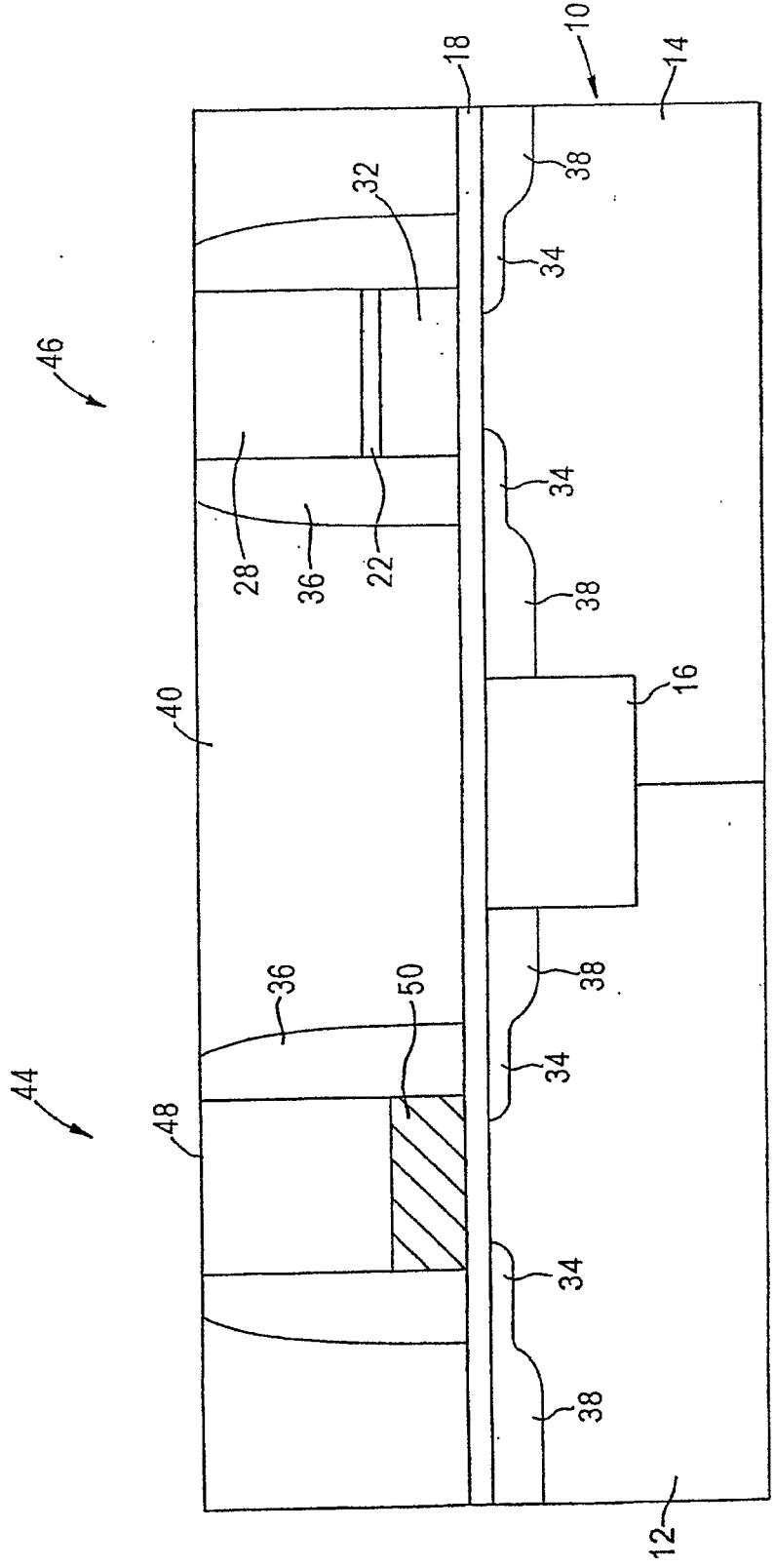


图11

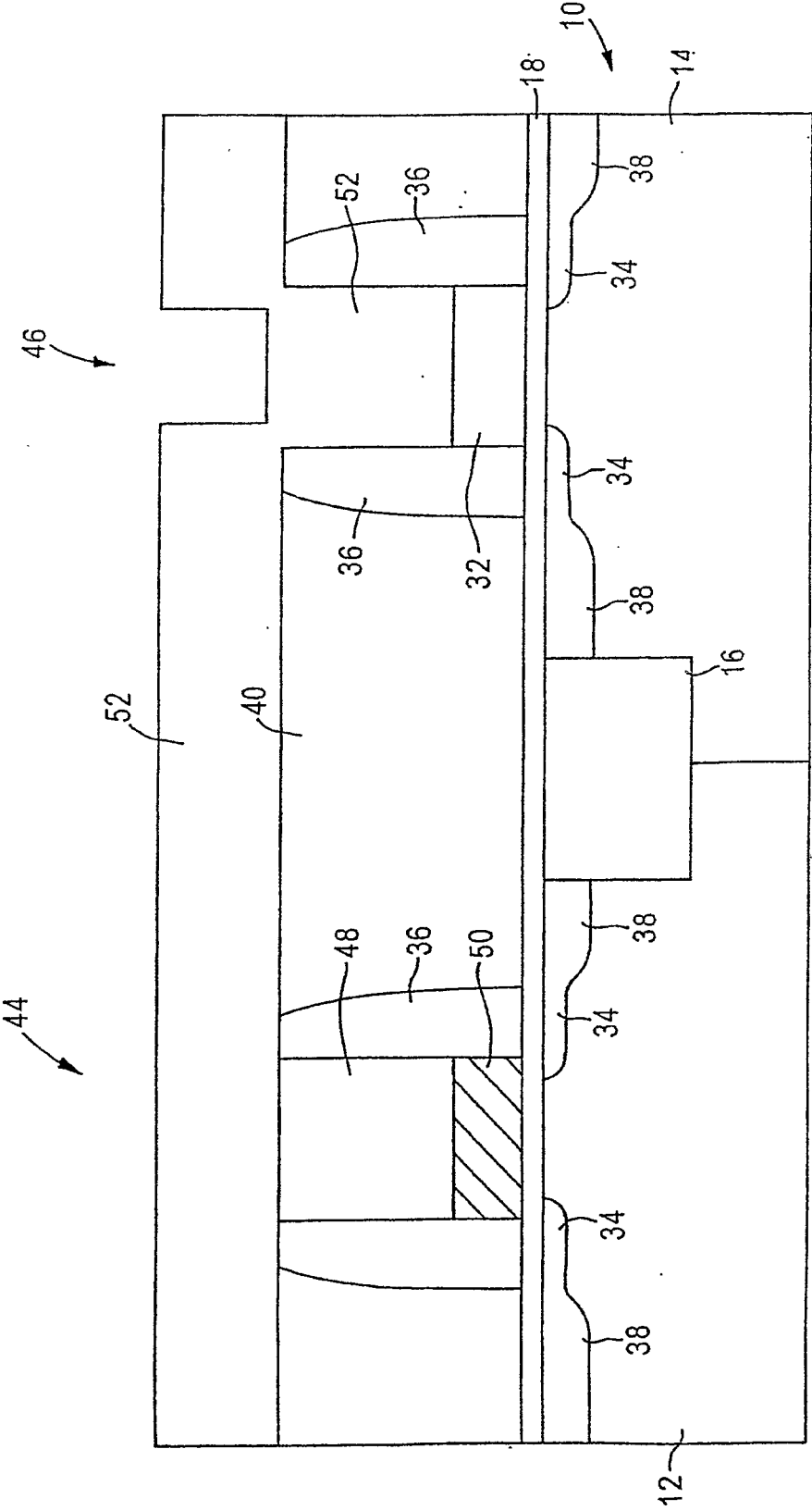


图14

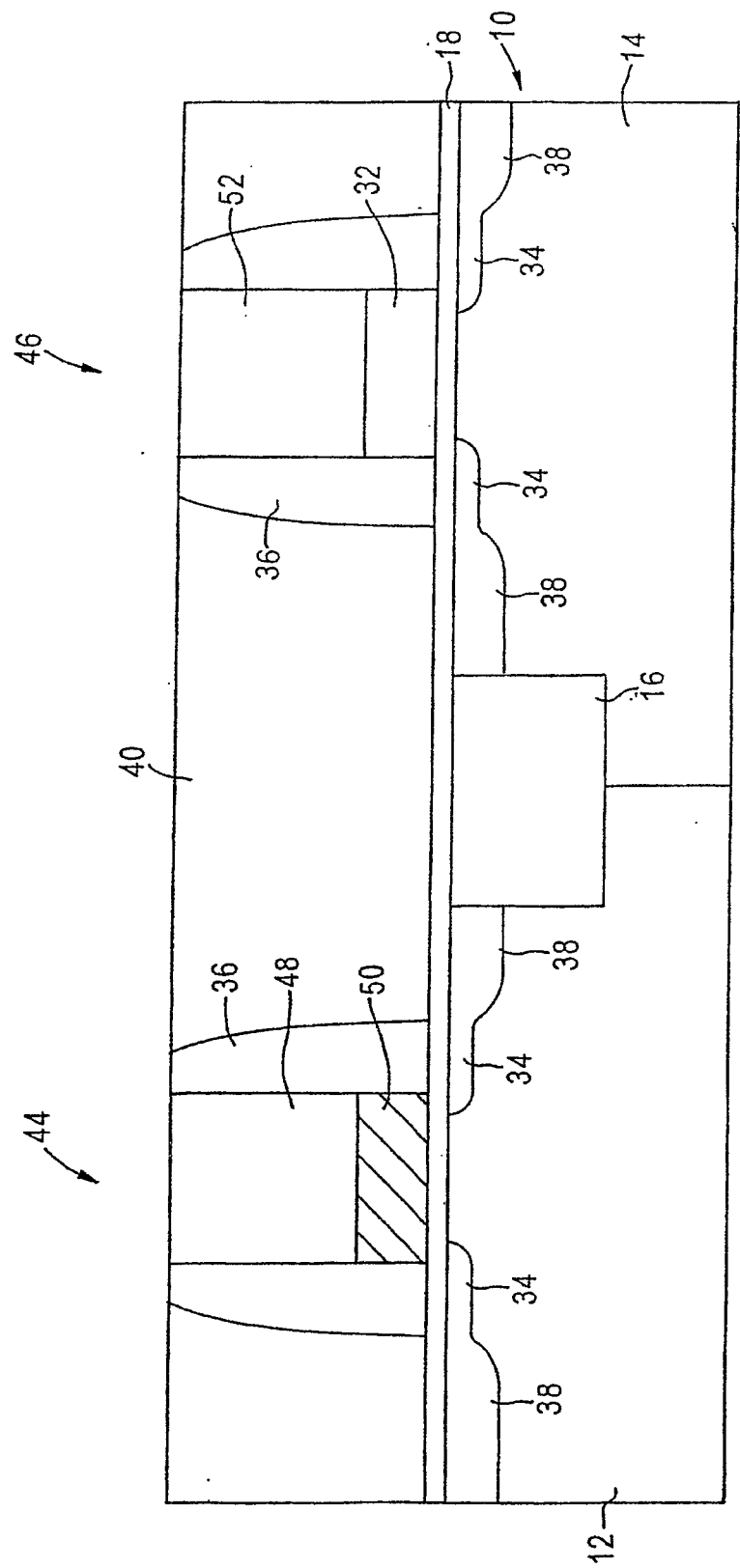


图15

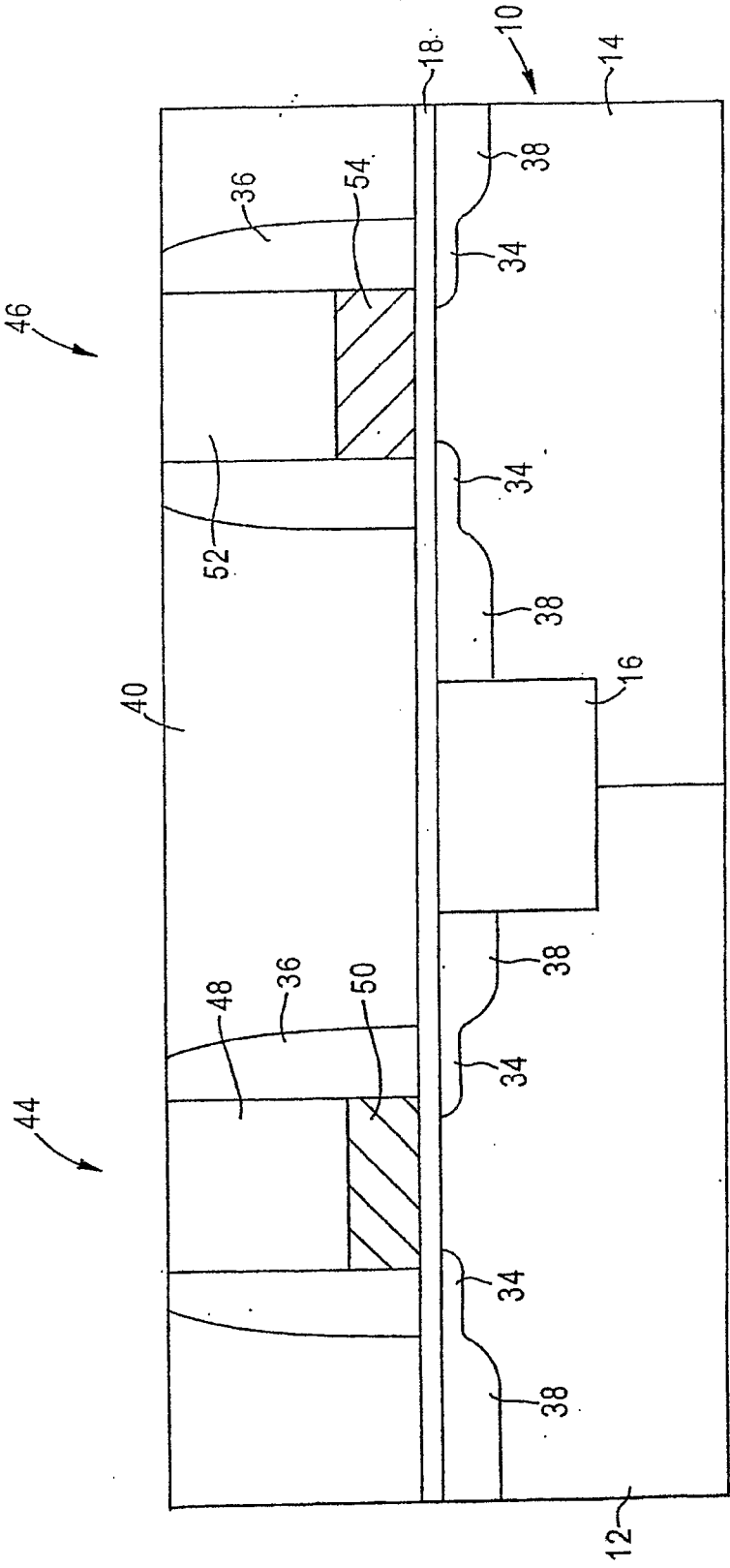


图16

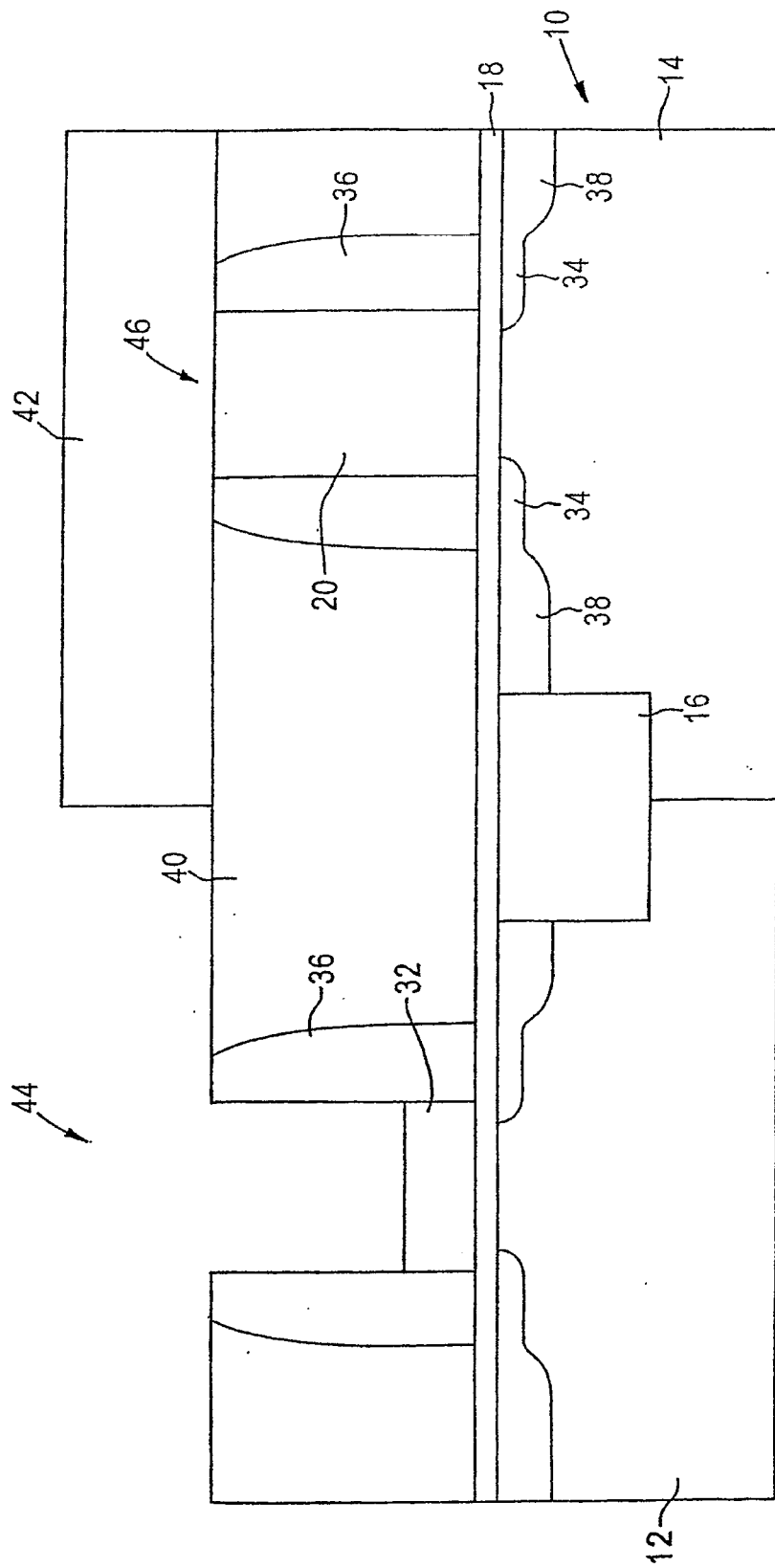


图 17

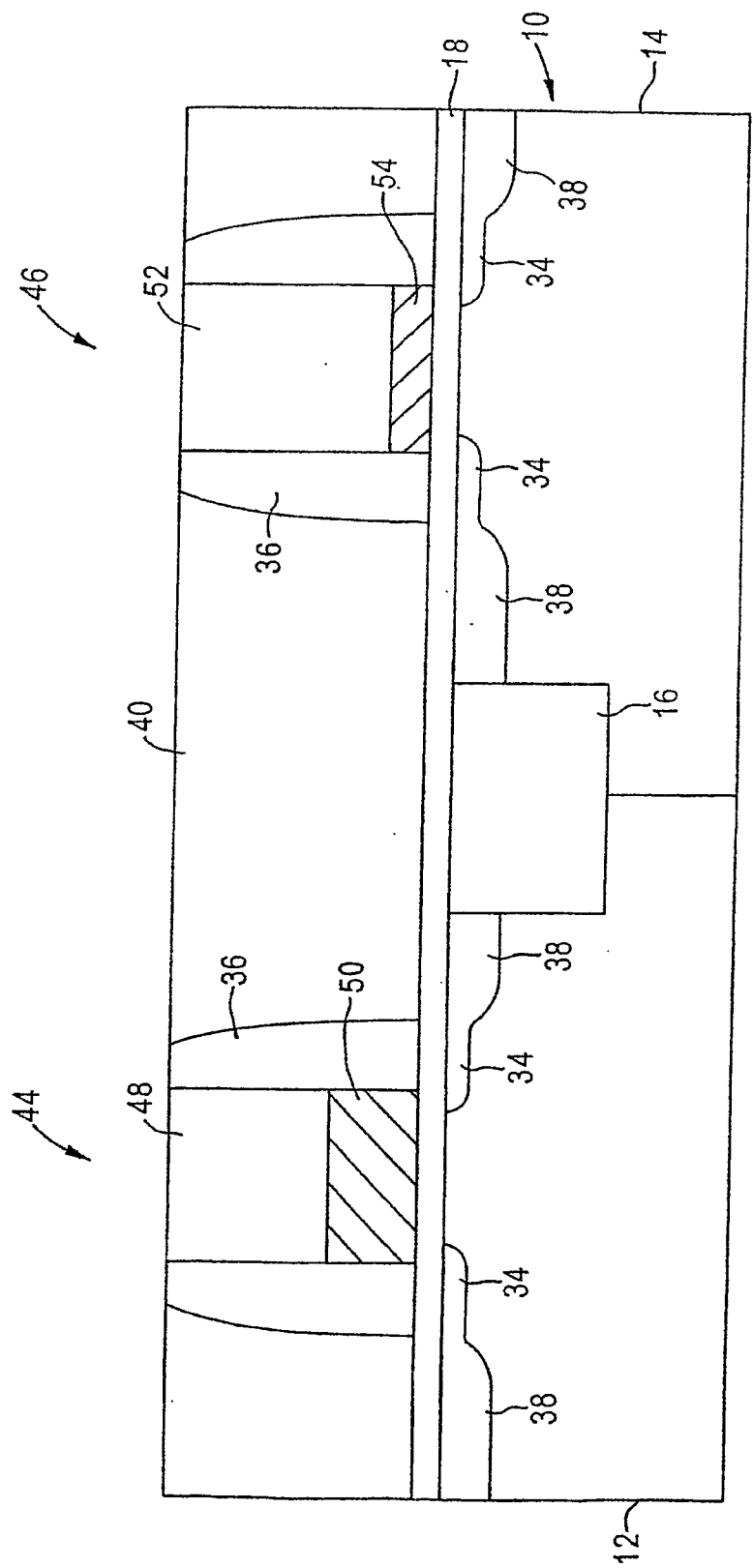


图18