

(57) 要約: このA/D変換装置は、アナログ入力信号をサンプリングし、所定の参照信号を用いてアナログ入力信号と逐次比較するための比較信号を生成するとともに、アナログ入力信号および比較信号の差分信号を生成するD/A変換部と、参照信号を保持するプリチャージキャパシタ部と、比較信号と基準電圧を比較してデジタル信号を生成する比較部と、プリチャージキャパシタ部に保持された参照信号を用いて差分信号を演算および増幅して残差信号を生成する増幅部とを具備する。



— 補正された請求の範囲（条約第 19 条(1)）

明 細 書

発明の名称： A/D変換装置、無線装置

技術分野

[0001] 本発明は、信号処理技術に関し、特にA/D変換装置（ADC）に関する。

背景技術

[0002] 容量式D/A変換器（容量式DAC）を用いた逐次比較型A/D変換装置（SARADC: Successive Approximation Routine Analog-to-Digital Converter）では、複数のキャパシタ、キャパシタの接続関係を切り替えるスイッチおよび比較器を用いてA/D変換を行っている。SARADCにおける複数のキャパシタは、それぞれバイナリの重み付けが付された容量値を有しており、それぞれのキャパシタには、参照電圧源やグラウンドなどが切り替えスイッチを介して接続される。すなわち、当該複数のキャパシタそれぞれに蓄えられる電荷を再分配することでA/D変換を実現している。

[0003] SARADCの応用としては、複数のSARADCと基本演算回路との組み合わせを多段縦続接続し、パイプライン動作させたパイプライン式SARADCが提案されている（非特許文献1および2参照）。

先行技術文献

非特許文献

[0004] 非特許文献1：J. Li, F. Maloberti, “PIPELINE OF SUCCESSIVE APPROXIMATION CONVERTERS WITH OPTIMUM POWER MERIT FACTOR,” ISCAS2002, vol. 1, pp. 17-20, 2002

非特許文献2：S. M. Louwsma, A. J. M. van Tuijl, M. Vertrecht, B. Nauta, “A 1.35GS/s, 10b, 175mW Time-Interleaved AD Converter in 0.13um CMOS,” JSSC, vol. 43, pp. 778-786, Apr, 2008

発明の概要

発明が解決しようとする課題

- [0005] 基本演算処理が必要となるSARADCでは、演算誤差を低減するため、参照電圧のセトリング誤差を可能な限りゼロにする必要がある。セトリング誤差は、参照電圧駆動回路のセトリング時間に依存し、その時間短縮のためには、大きなドライブ電流が必要であった。これは、大きなドライブ電流を供給するアンプを必要とするため、回路規模を大きくする原因となっていた。また、消費電力を大きくする一因にもなっていた。
- [0006] 本発明は、このような課題を解決するためになされたもので、消費電力を削減するとともに回路規模を小さくすることのできるA/D変換装置、無線装置を提供することを目的としている。

課題を解決するための手段

- [0007] 上記した目的を達成するために、本発明の一つの態様に係るA/D変換装置は、このA/D変換装置は、アナログ入力信号をサンプリングし、所定の参照信号を用いてアナログ入力信号と逐次比較するための比較信号を生成するとともに、アナログ入力信号および比較信号の差分信号を生成するD/A変換部と、参照信号を保持するプリチャージキャパシタ部と、比較信号と基準値とを比較してデジタル信号を生成する比較部と、プリチャージキャパシタ部に保持された参照信号を用いて差分信号を演算および増幅して残差信号を生成する増幅部とを具備する。

発明の効果

- [0008] 本発明によれば、A/D変換装置、無線装置の消費電力を削減するとともに回路規模を小さくすることができる。

図面の簡単な説明

- [0009] [図1]第1の実施形態に係るA/D変換装置を示す図である。
- [図2]第1の実施形態のA/D変換装置の動作を示す図である。
- [図3]第1の実施形態のA/D変換装置の動作を示すフローチャートである。
- [図4A]第1の実施形態のA/D変換装置でのサンプルフェーズを示す図であ

る。

[図4B] 第1の実施形態のA/D変換装置での保持フェーズを示す図である。

[図4C] 第1の実施形態のA/D変換装置での比較フェーズを示す図である。

[図4D] 第1の実施形態のA/D変換装置での残差信号増幅フェーズを示す図である。

[図5] 第1の実施形態のA/D変換装置の実施例を示す図である。

[図6A] 図5に示すA/D変換装置でのサンプルフェーズを示す図である。

[図6B] 図5に示すA/D変換装置での演算の様子を示す図である。

[図6C] 図5に示すA/D変換装置での基本演算フェーズを示す図である。

[図7] 第1の実施形態のA/D変換装置の他の実施例を示す図である。

[図8] 第2の実施形態に係るA/D変換装置を示す図である。

[図9] 第2の実施形態のA/D変換装置の動作を示す図である。

発明を実施するための形態

[0010] (第1の実施形態) 以下、本発明の一つの実施形態を、図面を参照して詳細に説明する。図1に示すように、この実施形態のA/D変換装置1 (ADC1) は、第1ADC10および第2ADC20を有したパイプライン式SARADCを構成している。第1ADC10は、入力されたアナログ信号 A_i に対して粗いA/D変換処理を実行して、上位ビットに相当するデジタル信号を生成する。第2ADC20は、第1ADC10と対応し、第1ADC10より出力された残差信号に対して細かいA/D変換処理を実行して下位ビットに相当するデジタル信号を生成する。

[0011] 第1ADC10は、サンプルホールド回路11 (S/H11)、容量式DAC12、減算器13および17、比較器14、スイッチ制御部15、プリチャージキャパシタ16 ($C_{pr.16}$)、増幅器18 (AMP18) およびスイッチ SW_1 を有している。第2ADC20は、第1ADC10とほぼ同様の構成を有しており、サンプルホールド回路21 (S/H21)、容量式DAC22、減算器23、比較器24、スイッチ制御部25、およびスイッチ SW_2 を有している。

- [0012] サンプルホールド回路 11 (S/H 11) は、入力されたアナログ信号 A_i をサンプリングしてその電位を逐次比較 A/D 変換開始まで保持する。容量式 DAC 12 は、それぞれバイナリの重み付けが付された容量値を持つ複数のキャパシタと、各キャパシタに参照電圧源 V_r やグラウンド GND (基準電位) などを接続するためのスイッチとを備えており、逐次比較のための電荷分配処理を行う。なお、容量式 DAC 12 は、S/H 11 の機能を兼ね備えた構成でもよい。この場合、S/H 11 に必要な回路面積を削減することができる。
- [0013] 減算器 13 は、S/H 11 に保持された電位から逐次比較する電位 (比較電圧) を減算する。比較器 14 は、減算器 13 による減算結果とグラウンドレベル (基準電位) とを比較して A/D 変換を実現する。スイッチ制御部 15 は、SAR ADC の演算に必要な制御信号を生成するロジック部と比較器 14 により得られた A/D 変換値を一時的に記憶するバッファを備えている。スイッチ制御部 15 は、容量式 DAC 12 の A/D 変換におけるキャパシタの組み合わせを切り替える制御信号を生成して、容量式 DAC 12 に送る機能を持っている。プリチャージキャパシタ 16 ($C_{pr.16}$) は、A/D 変換の基本演算 (残差増幅) に用いる参照電圧をチャージして、スイッチ制御部 15 からの指示により電位を供給する。減算器 17 は、減算器 13 の出力から $C_{pr.16}$ に充電された参照電圧の電位を減算し、得られた残差信号を AMP 18 に送る。スイッチ SW_1 は、基本演算中の比較電圧を参照電圧とグラウンドレベルのいずれかに切り替える。
- [0014] 第 2 ADC 20 は、第 1 ADC 10 とほぼ同様の構成を有しており、サンプルホールド回路 21 (S/H 21)、容量式 DAC 22、減算器 23、比較器 24、スイッチ制御部 25、およびスイッチ SW_2 を有している。サンプルホールド回路 21 (S/H 21)、容量式 DAC 22、減算器 23、比較器 24、スイッチ制御部 25、およびスイッチ SW_2 は、第 1 ADC 10 の S/H 11、容量式 DAC 12、減算器 13、比較器 14、スイッチ制御部 15、およびスイッチ SW_1 と同様の構成および機能を有している。この実施形

態の第2 ADC 20は、後段に続くADCが存在しないため、基本演算を行う必要がない。このため、第1 ADC 10と比較して増幅器、減算器、プリチャージキャパシタを有していない。

[0015] (第1の実施形態の動作) 次に、図1ないし4を参照して、この実施形態のADC 1の動作を説明する。この実施形態のADC 1の各回路要素の動作状態は、大きく3つに分けることができる。すなわち、図2中a₁に示す第1 ADC 10のサンプルフェーズ、同じくb₁に示す第1 ADC 10によるA/D変換フェーズ、同じくc₁に示すAMP 18による残差増幅フェーズ(基本演算フェーズ)、およびd₁に示す第2 ADC 20によるA/D変換フェーズである。以下の説明では、容量式DAC 12が、S/H 11の機能を兼ね備えているものとして説明する。

[0016] まず、図4Aに示すように、スイッチ制御部15は、C_{pre} 16の接続および容量式DAC 12のキャパシタを切り替えて、C_{pre} 16に参照電圧をチャージ(ステップ31。以下「S31」と称する。)するとともに、S/H 11に入力信号A_{in}をサンプルさせる(S32)。具体的には、スイッチ制御部は、C_{pre} 16の一端をAMP 18の入力に接続し、同じく他端を参照電圧V_rに接続する。また、スイッチ制御部15は、S/H 11としての容量式DAC 12のキャパシタの一方をグラウンドに接続し、同じく他方を入力信号(電圧V_{in})に接続する。このとき、キャパシタの総容量をC、キャパシタに蓄積される電荷をQとすると、数式1に示す関係が成立する。

[0017] [数1]

$$Q = CV_{in} \cdots (1)$$

[0018] 続いて、図4Bに示すように、スイッチ制御部15は、入力信号の電圧をサンプルしたキャパシタの極性を切り替え、サンプルした信号を逐次比較A/D変換開始まで保持する(S33)。すなわち、グラウンドに接続されていたキャパシタ全ての上部端子をグラウンドから切り離してAMP 18の入

力に接続するとともに、同じく下部端子をグラウンドに接続する。この結果、容量式DAC12のキャパシタの上部端子側の電位は $-V_{in}$ だけシフトする。なお、スイッチ制御部15は、 $C_{pr.16}$ の一端をAMP18の入力から切り離してグラウンドに接続して、チャージ状態をそのまま維持する。

[0019] 図4Bに示す保持フェーズに続いて、スイッチ制御部15は、容量式DAC12が有するキャパシタのうち、容量値の最も大きいもの（例えば $C_0 = C/2$ ）の下部端子に参照電圧を接続する（S34）。この様子を図4Cに示す。この動作により、容量式DAC12は、参照電圧を2のべき乗で分割した比較電圧を得るとともに、入力信号の電圧と当該比較電圧との差分を比較器14に与える。

[0020] 比較器14は、与えられた差分値とグラウンドレベルとを比較してA/D変換を実行する。このとき、得られたデジタルビットが「0」であれば、参照電圧 V_r の接続を維持し（S36）、スイッチ制御部15は、次に容量値の大きいキャパシタの下部端子に参照電圧を接続する。得られたデジタルビットが「1」であれば、参照電圧に接続されていたキャパシタの端子をグラウンドに接続させる（S37）。

[0021] このように、逐次比較A/D変換は、容量式DAC12のキャパシタ、比較器、スイッチ制御部15（SARロジック）により実現される。NビットのA/D変換を行う場合（S38）、スイッチ制御部15は、この一連の動作を最上位ビットから最下位ビットまでN回繰り返して行うよう（例えば C_i （ $i = 0 \sim N$ ））容量式DAC12のキャパシタを切り替える（S39、S34～S38）。

[0022] 逐次比較A/D変換が終わると（S38のYes）、スイッチ制御部15は、A/D変換結果に基づきプリチャージキャパシタを制御（S40）して基本演算を行う。基本演算中は、比較電圧を0とするため、容量式DAC12のキャパシタの制御端子（ボトムプレート）をグラウンドレベルにする。併せて、スイッチ制御部15は、 $C_{pr.16}$ の一端をグラウンドから切り離してAMP18の入力に接続し、同じく他端を参照電位 V_r から切り離してグラ

ウンドに接続する。

- [0023] AMP 18は、基本演算により得られた残差信号を増幅して次段の第2 ADC 20のS/H 21に送る(S 41)。図4Dは、残差信号を増幅する様子を示している。第2 ADC 20での基本動作は、第1 ADCでのステップ31~40の動作と同じであるが、後段に続くADCが存在しないため、基本演算と増幅を行う必要はない。
- [0024] このように、この実施形態のADC 1では、基本演算で用いる参照電圧の電荷を、サンプルフェーズ、保持フェーズおよび比較フェーズにおいて、プリチャージキャパシタにあらかじめ蓄積させている。プリチャージキャパシタに電荷を蓄積させるために要する時間は、基本演算に要する時間に比べて長いため、基本演算中に参照電圧の電荷全てをキャパシタに蓄積するのに比べて、ADC 1全体の消費電力を低減することができる。
- [0025] (実施例1) 続いて、図5を参照して、この実施形態のADC 1における第1 ADCの実施例を説明する。ADC 1の第1 ADCおよび第2 ADCは、ほぼ共通する構成および機能を有するから、ここでは代表して第1 ADCの実施例を説明する。
- [0026] この実施例の第1 ADC 10aは、3ビットのSAR ADCとしての機能を有しており、非反転信号および反転信号からなる作動信号を処理する。すなわち、第1 ADC 10aは、非反転信号処理回路と反転信号処理回路とを備えている。
- [0027] 非反転信号処理回路(図5中「I」。以下「回路I」と称する。)は、S/H 11、容量式DAC 12および減算器13として機能するキャパシタ C_{DAC1} とスイッチ SW_{DAC1} 、比較器14、スイッチ制御部15、 C_{pre} 16および減算器17として機能するキャパシタ C_{pre1a} および C_{pre1b} ならびにスイッチ SW_{pre1a} および SW_{pre1b} 、AMP 18、およびスイッチ SW_{1a} を有している。反転信号処理回路(図5中「II」。以下「回路II」と称する。)は、S/H 11、容量式DAC 12および減算器13として機能するキャパシタ C_{DAC2} とスイッチ SW_{DAC2} 、回路Iと共用する比較器14およびス

イッチ制御部 15、 C_{pre16} および減算器 17 として機能するキャパシタ C_{pre2a} および C_{pre2b} ならびにスイッチ SW_{pre2a} および SW_{pre2b} 、回路 I と共用する AMP 18、およびスイッチ SW_{1b} を有している。

[0028] 回路 I は、入力 V_{inp} が入力され、参照電圧 V_{rp} を用いて V_{op} を出力する。また、回路 II は、入力 V_{inm} が入力され、参照電圧 V_{rm} を用いて V_{om} を出力する。両回路はともに共通の要素を有し対称をなしており、共通の機能を有するから、以下の説明においては、代表して回路 I について説明する。

[0029] キャパシタ C_{DAC1} は、容量値 C を基準として容量値 $C/8$ のキャパシタ 2 つ、同じく $C/4$ のキャパシタ 1 つ、同じく $C/2$ のキャパシタ 1 つを備えている。ここで容量値の大小関係は、 $C/2 > C/4 > C/8$ である。これら 4 つのキャパシタは、一端（上端）が互いに接続され、他端（ボトムプレート）がスイッチ SW_{DAC1} に接続されている。スイッチ SW_{DAC1} は、スイッチ制御部 15 からの制御信号に基づき、キャパシタ C_{DAC1} をなす 4 つのキャパシタのボトムプレートを参照電圧（ V_{rp} または V_{rm} ）、入力電圧 V_{inp} 、基準電位 V_{com} （グラウンド電位）のいずれかに接続する。

[0030] 比較器 14 は、キャパシタ C_{DAC1} をなす 4 つのキャパシタの上端と基準電位 V_{com} とを比較して A/D 変換を行う。

[0031] キャパシタ C_{pre1a} は、容量値 C を基準として容量値 $C/8$ のキャパシタ 1 つと容量値 $C/4$ のキャパシタ 1 つとを備えている。これら 2 つのキャパシタは、両端にスイッチ SW_{pre1a} が接続されている。 SW_{pre1a} は、スイッチ制御部 15 からの制御信号に基づき、キャパシタ C_{pre1a} をなす 2 つのキャパシタの一端（上端）を、キャパシタ C_{DAC1} の上端および基準電位 V_{com} のいずれか一方に接続し、同じく他端（ボトムプレート）を参照電圧（ V_{rp} または V_{rm} ）および基準電位 V_{com} のいずれか一方に接続する。

[0032] キャパシタ C_{pre1b} は、容量値 C を基準として容量値 $C/2$ のキャパシタ 1 つからなる。キャパシタ C_{pre1b} の一端（上端）は、AMP 18 の入力に接続され、同じく他端（ボトムプレート）は、スイッチ SW_{pre1b} に接続されている。スイッチ SW_{pre1b} は、スイッチ制御部 15 からの制御信号に基づき、キ

ャパシタ C_{pre1b} のボトムプレート参照電圧 V_{rp} または AMP 18 の出力のいずれかに接続する。併せて、スイッチ SW_{pre1b} は、スイッチ制御部 15 からの制御信号に基づき、キャパシタ C_{pre1b} の両端を短絡する。

[0033] スイッチ SW_{DAC1} およびキャパシタ C_{pre1a} に接続される参照電圧は、スイッチ制御部 15 の制御信号に基づき、 SW_{x1} および SW_{x2} (SW_{x3}) により相互に接続、切り離しが行われる。

[0034] (実施例 1 の動作) ここで、図 2、図 5 および図 6 A ~ C を参照して、図 5 に示す実施例 1 の第 1 ADC 10 a の動作を説明する。

[0035] まず、第 1 ADC 10 a は、入力信号 A_{in} をサンプリングするサンプルフェーズとなる。このとき、スイッチ制御部 15 は、スイッチ SW_{DAC1} および SW_{1a} を制御して C_{DAC1} の全てのキャパシタのボトムプレートを V_{inp} に接続するとともに、 C_{DAC1} の上端を基準電位 V_{com} に接続する。併せて、スイッチ制御部 15 は、 SW_{pre1a} および SW_{pre1b} を制御して、プリチャージキャパシタ C_{pre1a} および C_{pre1b} に逆極性の参照電圧 V_{rp} を印加してプリチャージを行う (図 6 A)。このときに蓄積される電荷 Q_1 は、オペアンプの非反転入力端を正側と考えると、以下の式で与えられる。

[0036] [数 2]

$$Q_1 = CV_{inp} + \frac{1}{2}CV_{rp} + \frac{1}{4}CV_{rp} + \frac{1}{8}CV_{rp} \quad \cdots (2)$$

[0037] サンプリング期間が終わるとき、スイッチ制御部 15 は、 SW_{1a} を開放するとともに SW_{DAC1} を制御して、 C_{DAC1} のボトムプレートを V_{com} に接続し、 C_{DAC1} の上端を AMP 18 の入力に接続する。この結果、 C_{DAC1} の電位は $-V_{inp}$ シフトし、 C_{DAC1} の電荷 (CV_{inp}) が保持される。

[0038] 続いて、第 1 ADC 10 a は、比較フェーズ (A/D 変換フェーズ) となる。スイッチ制御部 15 は、 SW_{DAC1} を制御して容量値 $C/2$ のキャパシタからボトムプレートの接続を参照電圧源 V_{rp} または基準電位のいずれか一方に切り替え、比較器 14 は、逐次 C_{DAC1} の上端側の電位と V_{com} とを比較し

ていく。この動作は図3および図4にて示す通常の逐次比較A/D変換と同様である。逐次比較フェーズで得られたビット情報を、それぞれ D_2 （最上位ビット：MSB）、 D_1 、 D_0 （最下位ビット：LSB）とすると、 D_2 、 D_1 、 D_0 は、それぞれ「0」あるいは「1」の値をとり、得られたビット情報は、スイッチ制御部15の内部のバッファに記憶される。

[0039] 2つあるプリチャージキャパシタ C_{pre1a} 、 C_{pre1b} は、逐次比較動作の間、参照電圧 V_{rp} が蓄積された状態を維持している。逐次比較動作終了後、スイッチ制御部15は、A/D変換フェーズによって得られたビット情報 $D_2 \sim D_0$ を用いて、 SW_{pre1a} および SW_{pre1b} を制御して、プリチャージキャパシタに蓄えられた電荷を変化させる（図6B）。

[0040] 例えば、図6Bに示すように、ビット情報 D_2 が「0」の場合、スイッチ制御部15は、容量値 $C/2$ の C_{pre1b} に蓄積した電荷をそのまま保持すべく、 SW_{pre1b} を開放する。ビット情報 D_2 が「1」の場合、スイッチ制御部15は、容量値 $C/2$ の C_{pre1b} に蓄積した電荷を放電すべく、 SW_{pre1b} をオンにして C_{pre1b} の両端を短絡させる。ビット情報 D_1 、 D_0 についても同様に、スイッチ制御部15は、 SW_{pre1a} を制御して容量値 $C/8$ のキャパシタと容量値 $C/4$ のキャパシタからなる C_{pre1a} に蓄えられる電荷の量を制御する。

[0041] この結果、第1ADC10が蓄積する電荷 Q_1' は、次式にて表される。

[0042] [数3]

$$Q_1' = -CV_{inp} + \frac{1}{2}CV_{rp}D_2 + \frac{1}{4}CV_{rp}D_1 + \frac{1}{8}CV_{rp}D_0 \quad \dots (3)$$

[0043] 続いて、スイッチ制御部15は、 SW_{DAC1} を制御して C_{DAC1} のボトムプレートおよび C_{pre1a} のボトムプレートを基準電位 V_{com} に接続し、それぞれの上端をAMP18の入力に接続する。併せて、スイッチ制御部15は、 SW_{pre1b} を制御して C_{pre1b} の両端をAMP18の入出力端に接続する（図6C）。これにより、第1ADC10aは、基本演算フェーズとなる。このとき

、AMP 18の入出力端に接続された C_{pre1b} に蓄積されている電荷 Q_2 は、アンプ入力端を正側と考えると、次式となる。

[0044] [数4]

$$Q_2 = \frac{1}{2} CV_{op} \quad \dots (4)$$

[0045] スイッチ制御部15のスイッチ制御による容量DACのサンプルフェーズから基本演算フェーズまでの時間を微小時間とし、蓄積した電荷が減少するパスがないとすると、 $Q_1' = Q_2$ とみなすことができる。そうすると、基本演算の結果、次段のADCに送られる電圧値 V_{op} は、次式の通りとなる。

[0046] [数5]

$$V_{op} = -2V_{inp} + D_2V_{rp} + \frac{1}{2}D_1V_{rp} + \frac{1}{4}D_0V_{rp} \quad \dots (5)$$

[0047] このように、図5に示す第1ADC10a (SARADC)によっても、基本演算が実現できる。特に、図5に示すSARADCでは、基本演算フェーズで外部からの参照電圧を一切用いず、プリチャージキャパシタ C_{pre1a} および C_{pre1b} にチャージした電位を用いて基本演算を実現している。このことは、参照電圧の電荷蓄積を、サンプルフェーズおよび逐次比較フェーズで行えば、基本演算での参照電圧の供給を省略できることを意味しており、参照電圧駆動用バッファの消費電力を抑えることが可能になる。

[0048] また、図5に示す実施例では、出力振幅が回路の入力フルスケールに対し、半分となるように構成している。このような構成を採用することで、AMP 18に接続された帰還容量をプリチャージキャパシタと共有することが可能となり、回路の小面積化を図ることができる。なお、プリチャージキャパシタとして、 $C/8$ および $C/4$ に加えて $C/2$ を備える構成とすれば、出

力振幅が入力フルスケールと等価となる回路も構成可能である。

[0049] (実施例2) 次に、図7を参照して、この実施形態のADC1の他の実施例を説明する。この実施例における第1ADC10bは、図5に示す実施例と比較してAMP18をデュアル入力アンプ18bとし、入力端同士を短絡および参照電圧(V_{rp} または V_{rm})の供給を担うスイッチ SW_{Y1a} 、 SW_{Y2a} 、 SW_{Y1b} および SW_{Y2b} をさらに備えたものである。すなわち、この実施形態によるSARADCは、デュアル入力アンプを用いる場合にも適用することができる。

[0050] (第2の実施形態) 続いて、図8を参照して第2の実施形態のADCについて説明する。この実施形態のADC2では、第1の実施形態における第1ADC10と比較して、AMPの入力を切り替える SW_3 およびAMPの入出力を短絡する SW_4 をさらに備えたものである。そのため、第1の実施形態のADC1と共通する要素については共通の符号を付して示し、重複する説明を省略する。

[0051] 図8に示すように、第1の実施形態のAMP18に対応するAMP118の入力には、 SW_3 が接続されている。 SW_3 は、減算器17の出力と参照電圧源 V_r のいずれか一方をAMP118に入力する。AMP118の出力は、容量式DAC112、容量式DAC122、プリチャージキャパシタ116および次段のS/H21に接続されている。スイッチ制御部15は、 SW_3 をさらに制御して、AMP118の入力源を切り替える。また、AMP118の入出力間には SW_4 が接続される。すなわち、図8に示すように、第2ADC120の容量式DAC122は、参照電圧 V_r をAMP118の出力から得ている。

[0052] この実施形態のADC2は、参照電圧 V_r をAMP118で増幅してプリチャージキャパシタをチャージする点において、第1の実施形態のADC1と相違する。図2に示すタイミングチャートからわかるように、図1に示すパイプライン式SARADCでは、サンプルフェーズおよび逐次比較A/D変換フェーズの各フェーズにおいては、基本演算(残差増幅)で用いるアンプ

を使用していない。図9に示すように、第2の実施形態のADC2では、この区間 ($a_1 \sim b_1$) の間、アンプを参照電圧プリチャージ用のバッファとして機能させる。

[0053] すなわち、スイッチ制御部115は、第1ADC110がサンプルフェーズ、保持フェーズおよびA/D変換フェーズにある場合、SW₃およびSW₄を制御して参照電圧V_rをAMP118に入力して参照電圧V_rを増幅させる。

[0054] 図8に示すように、アンプ118の出力は、容量式DAC112、容量式DAC122およびプリチャージキャパシタ116に接続されているから、サンプルフェーズ、保持フェーズおよびA/D変換フェーズにおいて、AMP118は、参照電圧V_rを増幅してプリチャージキャパシタをチャージするとともに、容量式DAC112および容量式DAC122に参照電圧V_rを供給する。また、スイッチ制御部115は、第1ADC110が残差増幅フェーズにある場合、SW₃を制御して入力信号と比較信号との差分を増幅して（基本演算を行って）次段の第2ADC20へ送る。

[0055] 第2の実施形態のADC2によれば、参照電圧バッファのために特別なオペアンプを必要とせず、また参照電圧が小さくてもよいので、低消費電力、小面積化を可能とする。

[0056] なお、本発明は上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。

産業上の利用可能性

[0057] 本発明は、デジタル回路を用いた電子機器に用いることができる。

符号の説明

[0058] 1…ADC1、10…第1ADC、11…サンプルホールド回路、12…

容量式DAC、13…減算器、14…比較器、15…スイッチ制御部、16…プリチャージキャパシタ、17…減算器、18…増幅器、20…第2ADC、21…サンプルホールド回路、22…容量式DAC、23…減算器、24…比較器、25…スイッチ制御部。

請求の範囲

- [請求項1] アナログ入力信号をサンプリングし、所定の参照信号を用いて前記アナログ入力信号と逐次比較するための比較信号を生成するとともに、前記アナログ入力信号および前記比較信号の差分信号を生成するD/A変換部と、
- 前記参照信号を保持するプリチャージキャパシタ部と、
- 前記比較信号と基準値とを比較してデジタル信号を生成する比較部と、
- 前記プリチャージキャパシタ部に保持された参照信号を用いて前記差分信号を演算および増幅して残差信号を生成する増幅部と
- を具備したことを特徴とするA/D変換装置。
- [請求項2] 前記D/A変換部は、
- それぞれ一端が相互に接続された複数の第1のキャパシタと、
- 前記複数のDACキャパシタそれぞれの他端に、前記アナログ入力信号、前記参照信号および前記基準値のいずれかを与える第1のスイッチと
- を具備したことを特徴とする請求項1記載のA/D変換装置。
- [請求項3] 前記プリチャージキャパシタ部は、
- 前記参照信号の電圧を保持する複数の第2のキャパシタと、
- 前記第2のキャパシタに対する前記参照信号の供給を制御する第2のスイッチと、
- 前記デジタル信号に基づいて前記第2のキャパシタを短絡させる第3のスイッチと
- を具備したことを特徴とする請求項2記載のA/D変換装置。
- [請求項4] 前記複数の第1のキャパシタおよび前記複数の第2のキャパシタは、それぞれバイナリの重み付けが付された容量値を有することを特徴とする請求項3記載のA/D変換装置。
- [請求項5] 前記差分信号および前記参照信号のいずれか一方を前記増幅部に与

える第4のスイッチをさらに具備し、

前記増幅部は、前記D/A変換部が前記比較信号を生成している期間中、前記参照信号を増幅して前記D/A変換部に与えることを特徴とする請求項4記載のA/D変換装置。

[請求項6]

アンテナから受けた受信信号を増幅する高周波増幅部と、
前記受信信号をベースバンド信号へ変換する周波数変換部と、
前記ベースバンド信号をA/D変換する請求項5記載のA/D変換装置と
を具備したことを特徴とする無線装置。

補正された請求の範囲
[2009年12月25日 (25 . 12 . 2009) 国際事務局受理]

- [請求項1] (削除)
- [請求項2] (削除)
- [請求項3] (削除)
- [請求項4] (削除)
- [請求項5] (削除)
- [請求項6] (削除)
- [請求項7] (追加) アナログ入力信号をサンプリングし、所定の参照電圧に基づき前記アナログ入力信号を逐次比較して得た第1の差分信号を生成する第1のD/A変換部と、
前記参照電圧を保持するプリチャージキャパシタ部と、
前記第1の差分信号と基準値とを比較して第1のデジタル信号を生成する第1の比較部と、
前記プリチャージキャパシタ部に保持された参照電圧を用いて前記差分信号を演算して残差信号を生成する増幅部と
を具備したことを特徴とするA/D変換装置。
- [請求項8] (追加) 前記第1のD/A変換部は、
前記参照電圧を用いて前記アナログ入力信号と逐次比較するための比較電圧を生成する比較電圧生成部と、
前記アナログ入力信号および前記比較電圧の差分から前記第1の差分信号を生成する差分信号生成部と
を具備したことを特徴とする請求項7記載のA/D変換装置。
- [請求項9] (追加) 前記第1のD/A変換部は、
それぞれ一端が相互に接続された複数のキャパシタからなる第1のキャパシタ部と、
前記第1のキャパシタ部をなす複数のキャパシタそれぞれ他端に、前記アナログ入力信号、前記参照電圧および前記基準値のいずれかを与える第1のスイッチと

を具備したことを特徴とする請求項 8 記載の A / D 変換装置。

- [請求項10] (追加) 前記プリチャージキャパシタ部は、
前記参照電圧を保持する複数のキャパシタからなる第 2 のキャパシタ部と、
前記第 2 のキャパシタ部に対する前記参照電圧の供給を制御する第 2 のスイッチと、
前記デジタル信号に基づいて前記第 2 のキャパシタ部の複数のキャパシタを短絡させる第 3 のスイッチと
を具備したことを特徴とする請求項 9 記載の A / D 変換装置。

- [請求項11] (追加) 前記第 1 のキャパシタ部および前記第 2 のキャパシタ部は、それぞれバイナリの重み付けが付された異なる容量値をもつ複数のキャパシタを有することを特徴とする請求項 10 記載の A / D 変換装置。

- [請求項12] (追加) 前記第 2 のキャパシタ部は、前記 D / A 変換部が前記アナログ入力信号をサンプリングしてから前記第 1 の差分信号を生成するまでの間、前記参照電圧を保持することを特徴とする請求項 11 記載の A / D 変換装置。

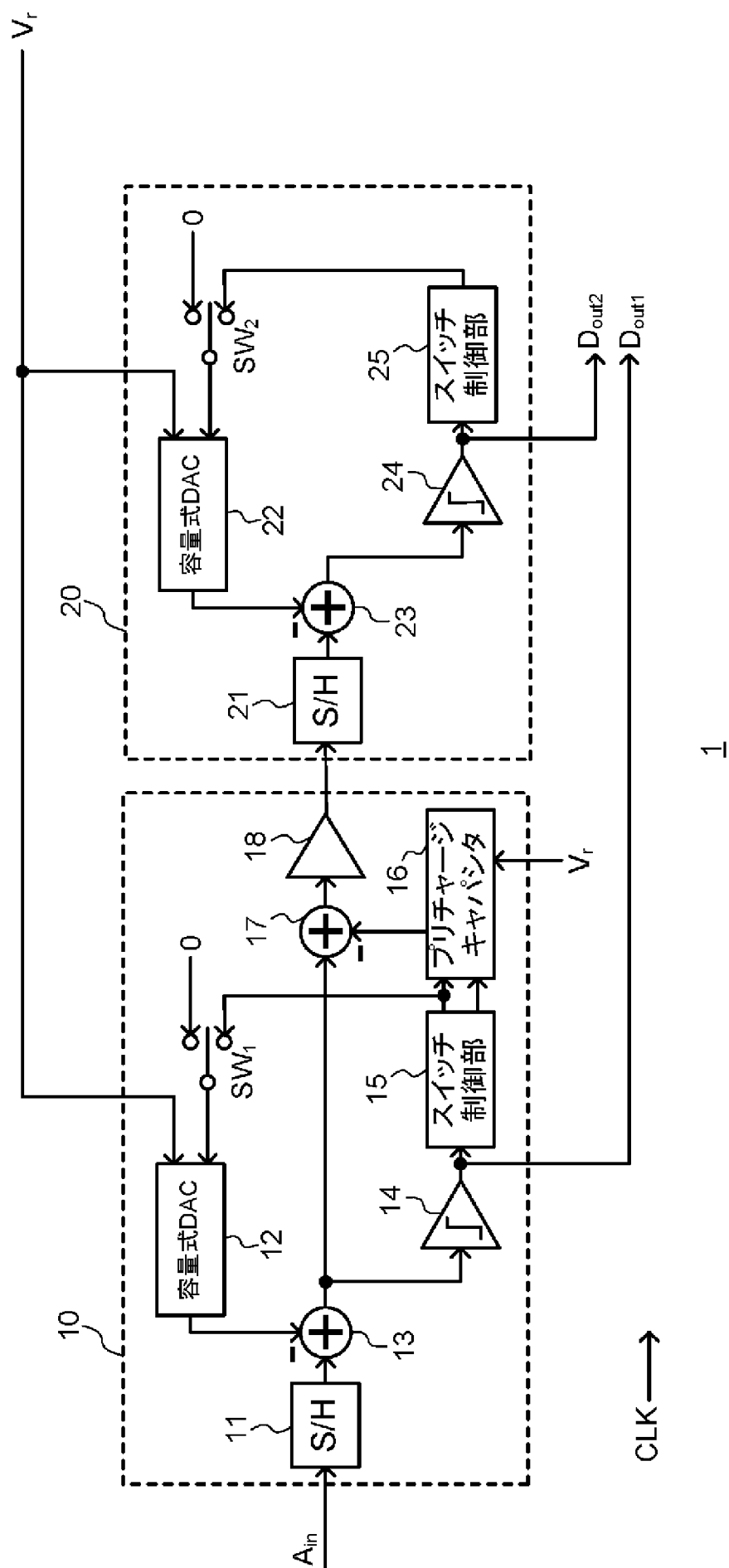
- [請求項13] (追加) 前記第 1 の差分信号および前記参照電圧のいずれか一方を前記増幅部に与える第 4 のスイッチをさらに具備し、
前記増幅部は、前記 D / A 変換部が前記比較電圧を生成している期間中、前記参照電圧を増幅して前記 D / A 変換部に与えることを特徴とする請求項 12 記載の A / D 変換装置。

- [請求項14] (追加) 前記残差信号をサンプリングし、前記参照電圧に基づき前記残差信号を逐次比較して得た第 2 の差分信号を生成する第 2 の D / A 変換部と、
前記第 2 の差分信号と前記基準値とを比較して第 2 のデジタル信号を生成する第 2 の比較部と
をさらに具備したことを特徴とする請求項 13 記載の A / D 変換装置

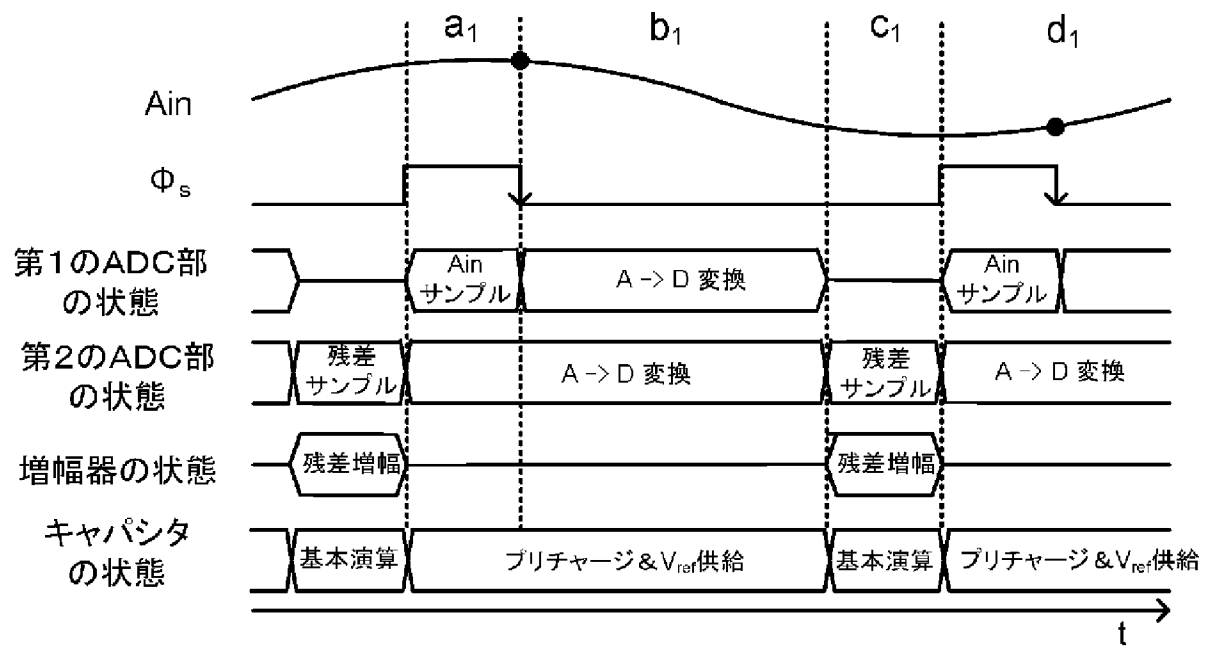
。

[請求項15] (追加) アンテナから受けた受信信号を増幅する高周波増幅部と、
前記受信信号をベースバンド信号へ変換する周波数変換部と、
前記ベースバンド信号をA／D変換する請求項14記載のA／D変換装置と
を具備したことを特徴とする無線装置。

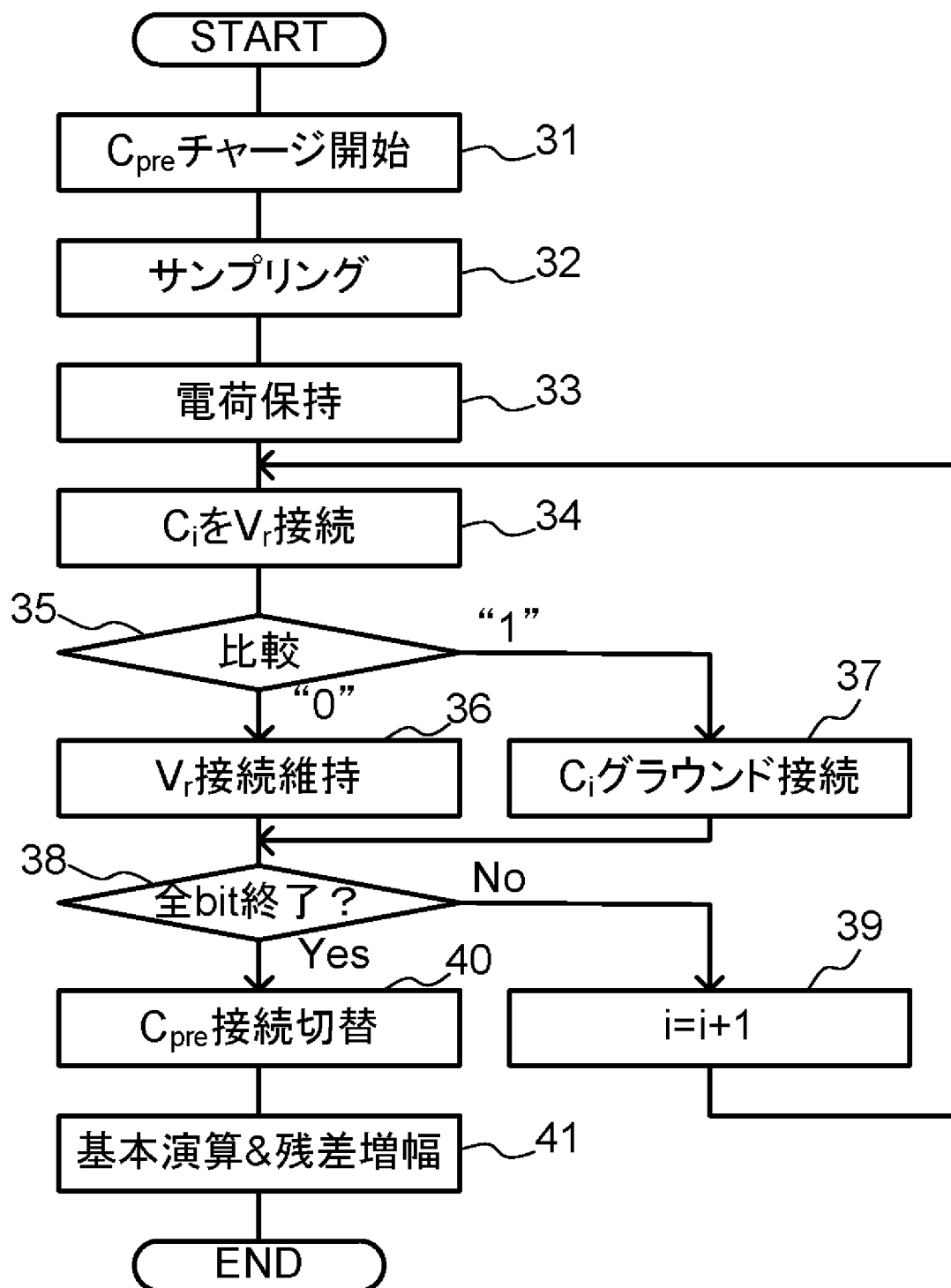
[図1]



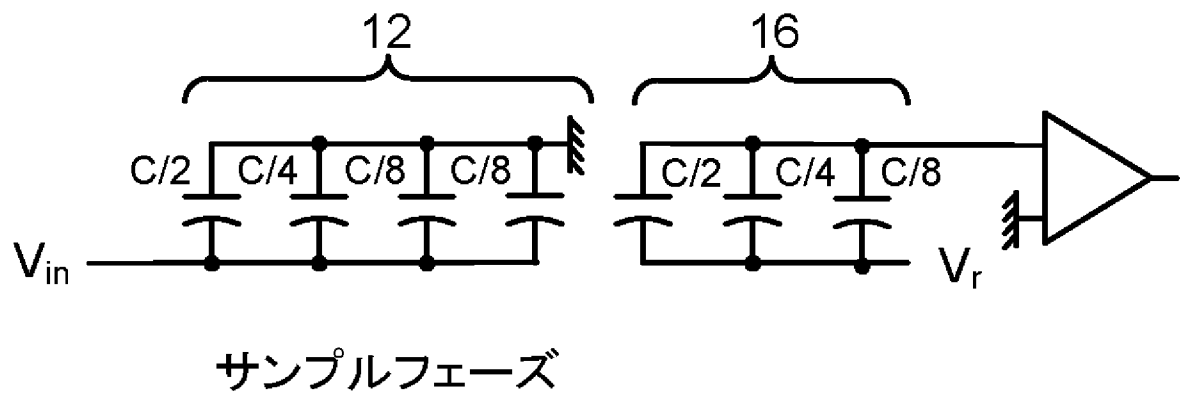
[図2]



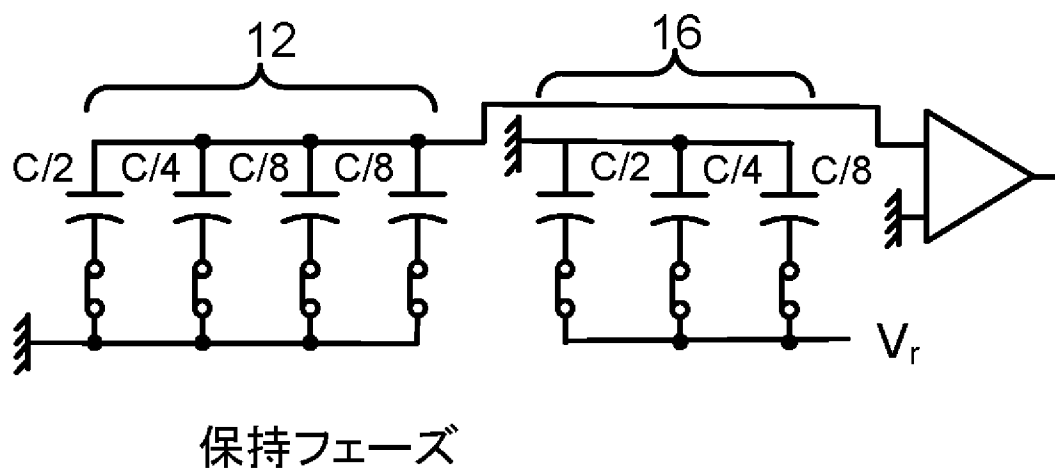
[図3]



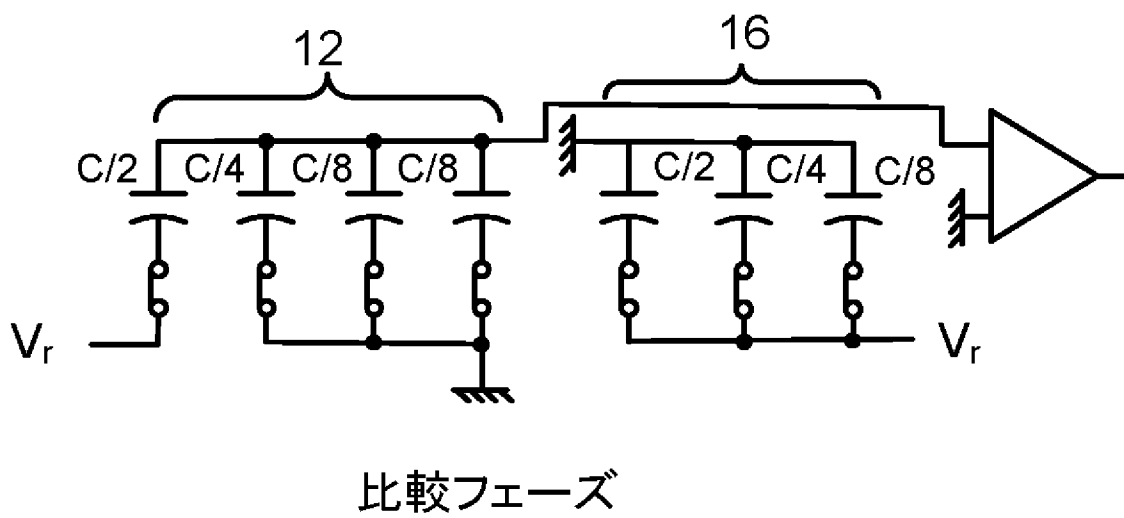
[図4A]



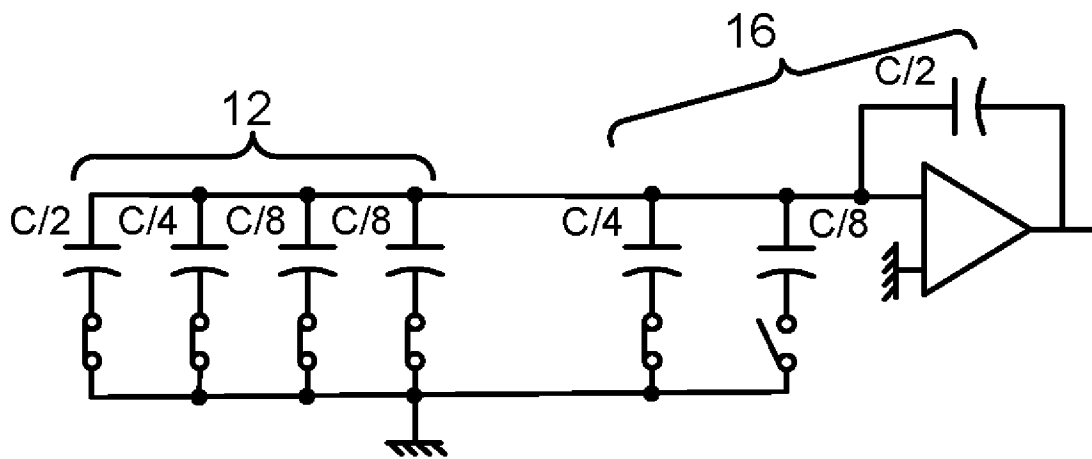
[図4B]



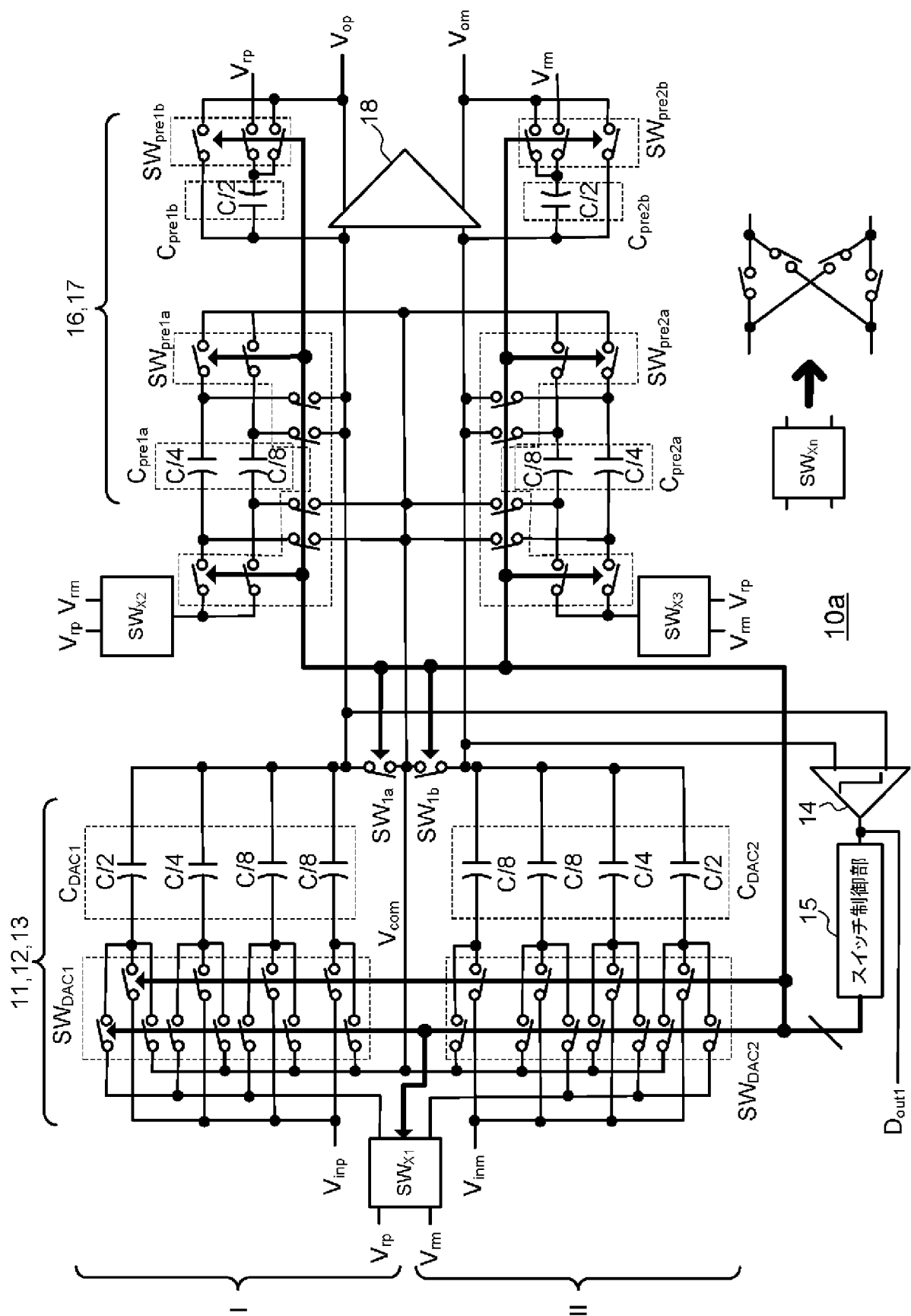
[図4C]



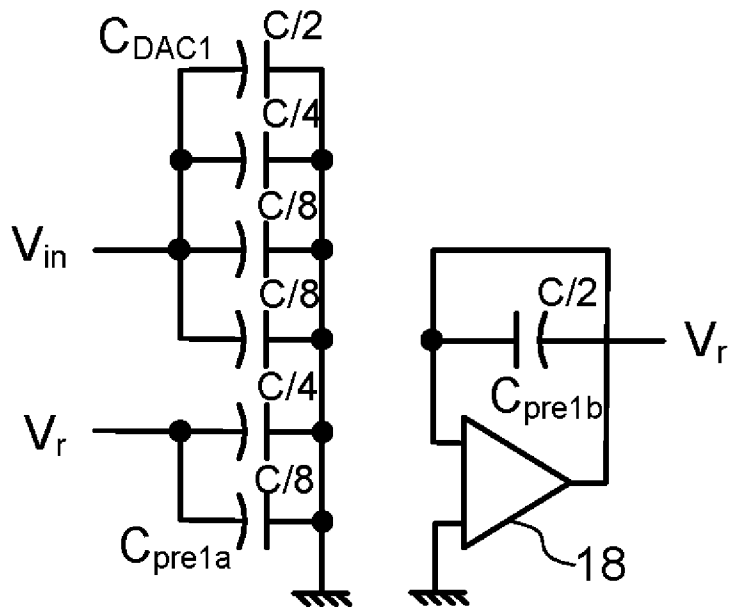
[図4D]



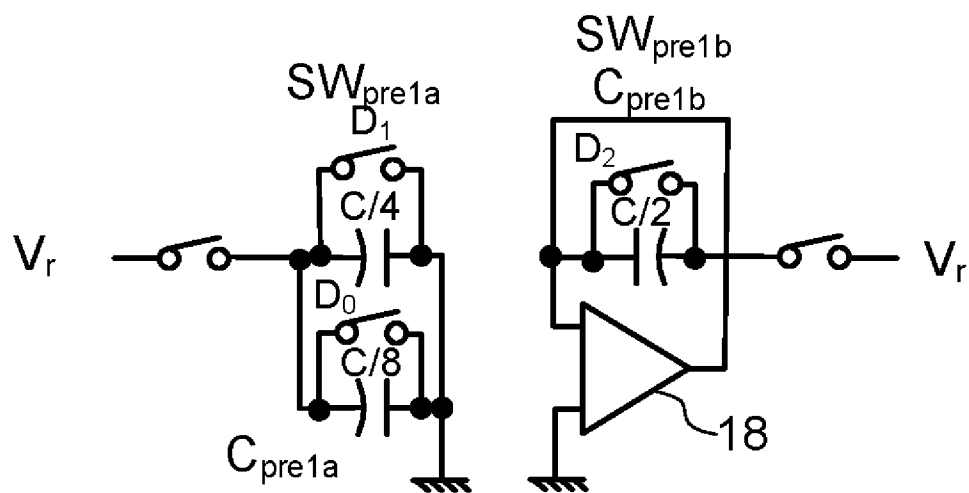
残差信号増幅フェーズ



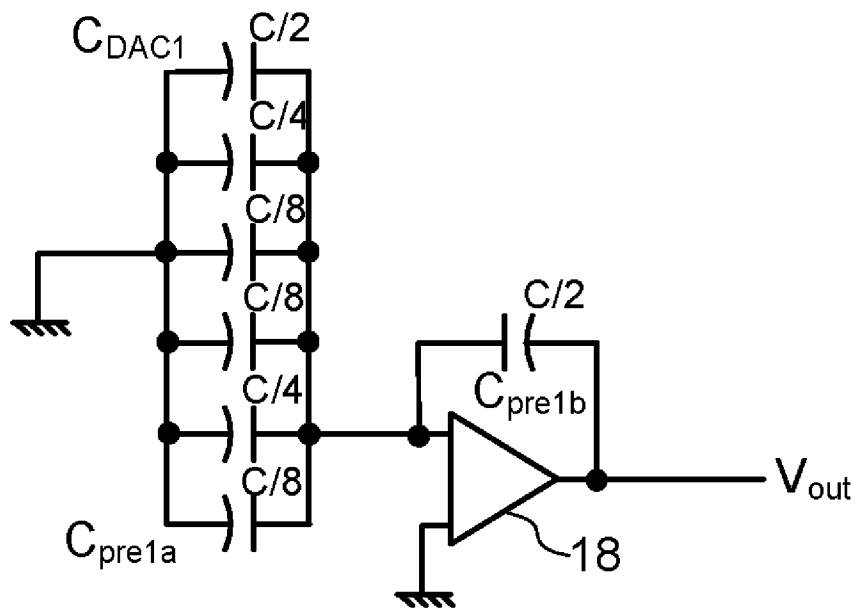
[図6A]



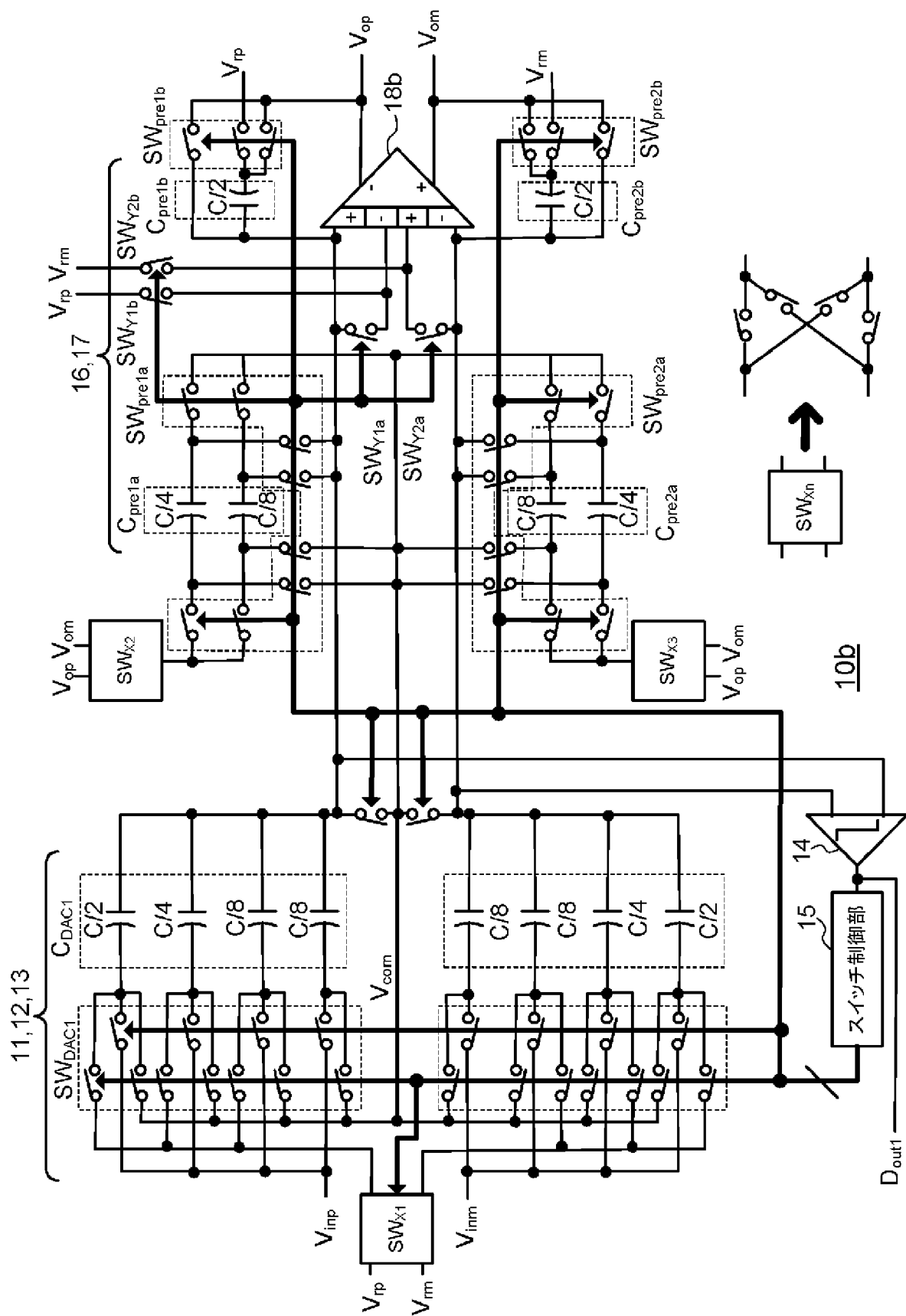
[図6B]



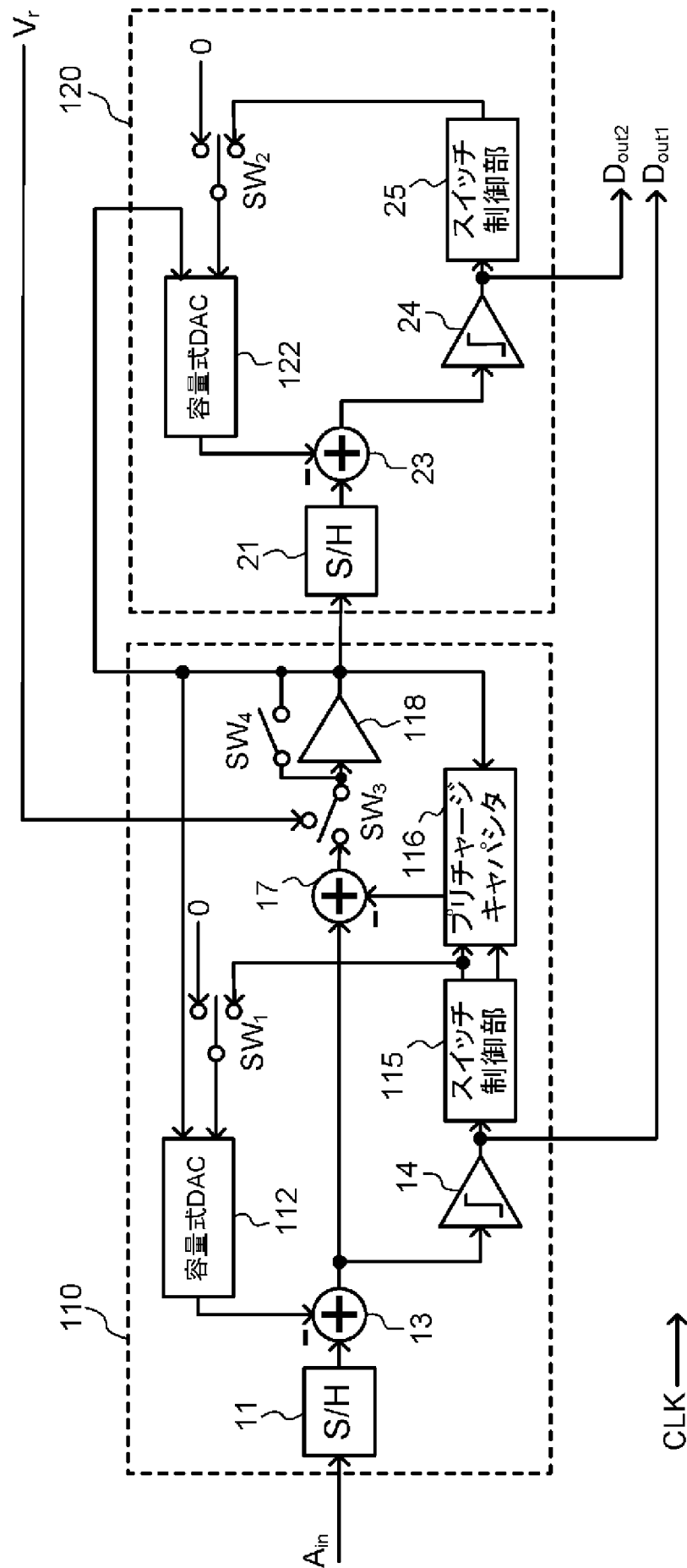
[図6C]



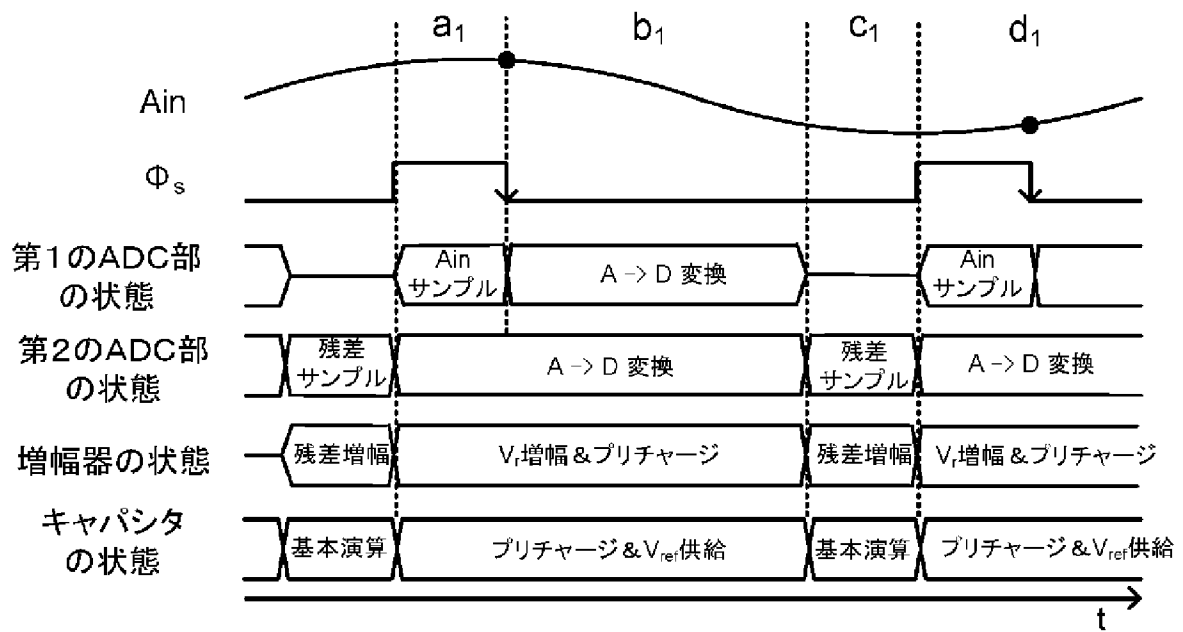
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/004788

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/38(2006.01)i, H03M1/14(2006.01)i, H03M1/44(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/00-1/88

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-164914 A (Toshiba Corp.), 23 July 2009 (23.07.2009), entire text; all drawings (Family: none)	1-6
A	JP 2001-53610 A (Denso Corp.), 23 February 2001 (23.02.2001), paragraphs [0024] to [0051], [0092]; fig. 1 to 4 & US 6320530 B1 & DE 10027349 A1	1-6
A	JP 2005-109747 A (Sanyo Electric Co., Ltd.), 21 April 2005 (21.04.2005), paragraphs [0020] to [0031]; fig. 3 to 4 & US 2005/0068220 A1 & US 2006/0012506 A1	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
21 October, 2009 (21.10.09)

Date of mailing of the international search report
02 November, 2009 (02.11.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03M1/38(2006.01)i, H03M1/14(2006.01)i, H03M1/44(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03M1/00-1/88

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-164914 A（株式会社東芝）2009.07.23, 全文, 全図（ファミリーなし）	1 - 6
A	JP 2001-53610 A（株式会社デンソー）2001.02.23, 段落【0 0 2 4】 - 【0 0 5 1】, 【0 0 9 2】, 図1 - 4 & US 6320530 B1 & DE 10027349 A1	1 - 6
A	JP 2005-109747 A（三洋電機株式会社）2005.04.21, 段落【0 0 2 0】 - 【0 0 3 1】, 図3 - 4 & US 2005/0068220 A1 & US 2006/0012506 A1	1 - 6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 1 0 . 2 0 0 9

国際調査報告の発送日

0 2 . 1 1 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

栗栖 正和

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

5 X

3 9 8 7