

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4876987号
(P4876987)

(45) 発行日 平成24年2月15日 (2012. 2. 15)

(24) 登録日 平成23年12月9日 (2011. 12. 9)

(51) Int. Cl.

F I

H O 4 B 3/02 (2006. 01)

H O 4 B 3/02

H O 3 K 19/0175 (2006. 01)

H O 3 K 19/00 1 O 1 K

H O 4 L 25/02 (2006. 01)

H O 3 K 19/00 1 O 1 Q

H O 4 L 25/02 V

H O 4 L 25/02 F

請求項の数 4 (全 12 頁)

(21) 出願番号 特願2007-62404 (P2007-62404)
 (22) 出願日 平成19年3月12日 (2007. 3. 12)
 (65) 公開番号 特開2008-227857 (P2008-227857A)
 (43) 公開日 平成20年9月25日 (2008. 9. 25)
 審査請求日 平成22年2月18日 (2010. 2. 18)

(73) 特許権者 000002130
 住友電気工業株式会社
 大阪府大阪市中央区北浜四丁目5番33号
 (74) 代理人 100088155
 弁理士 長谷川 芳樹
 (74) 代理人 100092657
 弁理士 寺崎 史朗
 (74) 代理人 100110582
 弁理士 柴田 昌聰
 (72) 発明者 田中 啓二
 神奈川県横浜市栄区田谷町1番地 住友電
 気工業株式会社横浜製作所内

審査官 前田 典之

最終頁に続く

(54) 【発明の名称】 受信回路

(57) 【特許請求の範囲】

【請求項 1】

差動信号を受信する受信回路であって、
 前記差動信号の正相信号を受ける第1の端子及び逆相信号を受ける第2の端子と、
 前記第1の端子と前記第2の端子との間に直列に接続され互いに等しい抵抗値を有する
 第1及び第2の抵抗と、
 一方の電流端子が前記第1の端子に接続され、他方の電流端子が第1の定電位線に接続
 された第1のトランジスタと、
 一方の電流端子が前記第2の端子に接続され、他方の電流端子が前記第1の定電位線に
 接続された第2のトランジスタと、
 前記第1の定電位線とは電位が異なる第2の定電位線と前記第1及び第2の抵抗の相互
 接続点との間に接続された定電流源と、
 前記第1及び第2のトランジスタの各制御端子に、前記相互接続点の電位が所定電位に
 近づくような制御電圧を提供する制御電圧生成部と
 を備え、
 前記所定電位は、前記第1のトランジスタ及び前記第2のトランジスタの動作抵抗 R_x
 と、前記第1及び前記第2の抵抗が直列に接続された時の抵抗値 R_{ab} とが、以下の式

【数 1】

$$R_{diff_2} = \frac{2 \times a \times Rab \times \left(2 \times Rx - \frac{a \times Rab}{2} \right)}{2 \times \left(2 \times Rx - \frac{a \times Rab}{2} \right) + a \times Rab} = a \times Rab \times \left(1 - \frac{a \times Rab}{4 \times Rx} \right)$$

($a \times Rab$ は、前記第 1 の抵抗及び前記第 2 の抵抗の各抵抗値がプロセス変動を受けた時の抵抗値であり、 a はプロセス変動率である。 R_{diff_2} は、前記プロセス変動を加味した前記受信回路の終端抵抗値である。) を満足するように設定されることを特徴とする、受信回路。

10

【請求項 2】

前記第 1 及び第 2 のトランジスタのそれぞれに直列接続された第 3 及び第 4 の抵抗を更に備えることを特徴とする、請求項 1 に記載の受信回路。

【請求項 3】

前記第 1 の定電位線が正の電源電位線であり、前記第 2 の定電位線が接地電位線であり、前記第 1 及び第 2 のトランジスタが n チャンネル MOS 型 FET であることを特徴とする、請求項 1 または 2 に記載の受信回路。

【請求項 4】

前記第 1 の定電位線が接地電位線であり、前記第 2 の定電位線が正の電源電位線であり、前記第 1 及び第 2 のトランジスタが n チャンネルとは異なるタイプの MOS 型 FET であることを特徴とする、請求項 1 または 2 に記載の受信回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、受信回路に関するものである。

【背景技術】

【0002】

近年の通信速度の高速化に伴い、通信回路における終端抵抗にもより高い精度が要求されている。通信回路に適用される終端抵抗の例としては、特許文献 1 に開示されたものがある。図 5 は、特許文献 1 に示された終端回路の構成を示す回路図である。この終端回路 100 は、信号ライン 101 を終端するための回路であり、終端抵抗部 102 と、参照抵抗部 103 とを備えている。終端抵抗部 102 は、信号ライン 101 と接地電位線との間に直列に接続された固定抵抗 102a、及び可変抵抗としての FET 102b によって構成されている。また、参照抵抗部 103 は、電源電位線 V_{DD} と接地電位線との間に直列に接続された固定抵抗 103a、及び可変抵抗としての FET 103b によって構成されており、参照抵抗部 103 と接地電位線との間には定電流源 104 が接続されている。そして、参照抵抗部 103 と定電流源 104 との間の電位がオペアンプ 105 へ入力され、参照電圧 V_{REF} との差が FET 102b 及び 103b のゲートへ入力される。この終端回路 100 においては、オペアンプ 105 を含む帰還回路の作用により、参照抵抗部 103 の抵抗値が所定値に近づくよう FET 103b のゲート電圧が制御され、このゲート電圧と同じ電圧が FET 102b のゲートへ入力されることにより、終端抵抗部 102 の抵抗値が上記所定値に近づく。

30

40

【0003】

なお、上記回路と同様の構成を有する終端回路が、特許文献 2 に開示されている。

【特許文献 1】米国特許出願公開第 2002/0145443 号明細書

【特許文献 2】特表平 9 - 509806 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

50

しかしながら、図 5 に示す終端回路 100 の構成では、次の理由により終端抵抗の精度が抑えられてしまう。すなわち、終端回路 100 においては、オペアンプ 105 を含む帰還回路に終端抵抗部 102 が含まれていない。従って、製造誤差等によって固定抵抗 102a 及び 103a の抵抗値または FET 102b 及び 103b の抵抗値が互いに一致しないことにより、或いは信号ライン 101 の電圧変動により、終端抵抗部 102 の抵抗値の精度が低下してしまう。

【0005】

本発明は、上記した問題点を鑑みてなされたものであり、精度の高い終端回路を備える受信回路を提供することを目的とする。

【課題を解決するための手段】

10

【0006】

上記した課題を解決するために、本発明による受信回路は、差動信号を受信する受信回路であって、差動信号の正相信号を受ける第 1 の端子及び逆相信号を受ける第 2 の端子と、第 1 の端子と第 2 の端子との間に直列に接続された第 1 及び第 2 の抵抗と、一方の電流端子が第 1 の端子に接続され、他方の電流端子が第 1 の定電位線に接続された第 1 のトランジスタと、一方の電流端子が第 2 の端子に接続され、他方の電流端子が第 1 の定電位線に接続された第 2 のトランジスタと、第 1 の定電位線とは電位が異なる第 2 の定電位線と第 1 及び第 2 の抵抗の相互接続点との間に接続された定電流源と、第 1 及び第 2 のトランジスタの各制御端子に、相互接続点の電位が所定電位に近づくような制御電圧を提供する制御電圧生成部とを備えることを特徴とする。

20

【0007】

上記受信回路では、第 1 のトランジスタが一方の信号ライン（第 1 の端子）の終端抵抗として機能しており、第 2 のトランジスタが他方の信号ライン（第 2 の端子）の終端抵抗として機能しており、第 1 及び第 2 の抵抗が信号ライン間の終端抵抗となっている。この受信回路においては、第 1 のトランジスタ及び第 1 の抵抗からなる直列抵抗成分と、第 2 のトランジスタ及び第 2 の抵抗からなる直列抵抗成分とが、第 1 の定電位線と相互接続点との間で並列に接続されている。従って、この並列抵抗回路に定電流源による電流が流れる際の電圧降下に相当する電位が、相互接続点の電位となる。すなわち、相互接続点の電位は、第 1 及び第 2 のトランジスタの電流端子間の抵抗値を含む終端抵抗値を反映した値となる。上記受信回路では、この相互接続点の電位が所定電位に近づくように制御電圧生成部が第 1 及び第 2 のトランジスタへ制御電圧を提供するので、第 1 及び第 2 のトランジスタそれぞれの電流端子間の抵抗値を含む終端抵抗値が或る所定値に精度良く制御される。このように、上記受信回路によれば、トランジスタや抵抗素子の誤差、或いは信号ラインの電圧変動に関わらず、精度が高い終端回路を実現することができる。

30

【0008】

また、受信回路は、第 1 及び第 2 のトランジスタのそれぞれに直列接続された第 3 及び第 4 の抵抗を更に備えることを特徴としてもよい。これにより、一方の信号ライン（第 1 の端子）の終端抵抗が第 1 のトランジスタ及び第 3 の抵抗によって構成され、他方の信号ライン（第 2 の端子）の終端抵抗が第 2 のトランジスタ及び第 4 の抵抗によって構成されるので、終端抵抗値の可変幅を更に狭くして終端抵抗値をより高精度に制御できる。

40

【0009】

また、受信回路は、第 1 の定電位線が正の電源電位線であり、第 2 の定電位線が接地電位線であることを特徴としてもよい。或いは、第 1 の定電位線が接地電位線であり、第 2 の定電位線が正の電源電位線であることを特徴としてもよい。この何れかの構成によって、上記受信回路を好適に実現できる。

【発明の効果】

【0010】

本発明によれば、精度の高い終端回路を備える受信回路を提供できる。

【発明を実施するための最良の形態】

【0011】

50

以下、添付図面を参照しながら本発明による受信回路の実施の形態を詳細に説明する。
なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【0012】

(第1の実施の形態)

図1は、本発明に係る受信回路の第1実施形態の構成を示す回路図である。同図に示す受信回路1aは、差動信号SDを受信する回路であって、差動信号SDのうち正相信号SPを外部から受信する第1の端子2と、差動信号SDのうち逆相信号SNを外部から受信する第2の端子3と、正相信号SP及び逆相信号SNを増幅して受信信号Sinを生成する増幅器4と、端子2及び増幅器4を互いに結ぶ信号ライン5、並びに端子3及び増幅器4を互いに結ぶ信号ライン6を終端するための終端回路7とを備える。なお、本実施形態の受信回路1aは、一つのICチップ内に集積されることが好ましい。

10

【0013】

終端回路7は、第1の抵抗11a、第2の抵抗11b、第3の抵抗11c、及び第4の抵抗11dと、トランジスタ12a及び12bと、定電流源13と、制御電圧生成部14とを有する。抵抗11a～11dは、例えばICチップ内に形成されたシート抵抗によって構成されている。

【0014】

抵抗11a及び11bは、第1の端子2と第2の端子3との間(本実施形態では、信号ライン5と信号ライン6との間)に直列に接続されており、第1の端子2と第2の端子3との間の終端抵抗として機能する。抵抗11a及び11bの抵抗値は、互いに同じ値となっている。従って、抵抗11a及び11bの相互接続点Aにおける電位Vmonは、第1の端子2及び第2の端子3の中間の電位となる。なお、第1の端子2及び第2の端子3へ入力されるのが差動信号SD(正相信号SP、逆相信号SN)なので、相互接続点Aの電位Vmonは差動信号SDの状態には殆ど影響されない。

20

【0015】

トランジスタ12aは、本実施形態における第1のトランジスタであり、第1の端子2と第1の定電位線(正の電源電位線Vcc)との間の可変終端抵抗素子として設けられている。具体的には、トランジスタ12aの一方の電流端子(ドレイン)は信号ライン5に接続されており、他方の電流端子(ソース)は電源電位線Vccに接続されている。本実施形態では抵抗11cがトランジスタ12aに対し直列に接続されており、トランジスタ12aの一方の電流端子(ドレイン)は抵抗11cを介して信号ライン5に接続されている。従って、第1の端子2は、トランジスタ12a及び抵抗11cによって終端される。

30

【0016】

トランジスタ12bは、本実施形態における第2のトランジスタであり、第2の端子3と第1の定電位線(正の電源電位線Vcc)との間の可変終端抵抗素子として設けられている。具体的には、トランジスタ12bの一方の電流端子(ドレイン)は信号ライン6に接続されている。また、トランジスタ12bの他方の電流端子(ソース)は電源電位線Vccに接続されており、トランジスタ12aの他方の電流端子(ソース)と共通電位となっている。本実施形態では、抵抗11cと等しい抵抗値を有する抵抗11dがトランジスタ12bに対し直列に接続されており、トランジスタ12bの一方の電流端子(ドレイン)は抵抗11dを介して信号ライン6に接続されている。従って、第2の端子3は、トランジスタ12b及び抵抗11dによって終端される。

40

【0017】

トランジスタ12a及び12bは、そのゲート長やゲート幅といった寸法が互いに等しくなるようにICチップ内に形成されている。また、図1にはトランジスタ12a、12bとしてnチャネルMOS型FETを図示しているが、他のタイプのFETやバイポーラトランジスタを代わりに用いてもよい。また、抵抗11c及び11dは、トランジスタ12a及び12bの他方の電流端子(ソース)側に接続されてもよい。

【0018】

定電流源13は、電源電位線Vccとは電位が異なる第2の定電位線(本実施形態では

50

接地電位線 GND) と抵抗 11a 及び 11b の相互接続点 A との間に接続されており、接地電位線 GND と相互接続点 A との間に所定の大きさの定電流 I1 を流す。本実施形態の終端回路 7 においては、トランジスタ 12a、抵抗 11a 及び 11c からなる直列抵抗成分と、トランジスタ 12b、抵抗 11b 及び 11d からなる直列抵抗成分とが、電源電位線 Vcc と相互接続点 A との間に並列に接続されており、これらの直列抵抗成分の抵抗値は実質的に等しく設定されている。従って、トランジスタ 12a、抵抗 11a 及び 11c を流れる電流 I2 の大きさ、並びにトランジスタ 12b、抵抗 11b 及び 11d を流れる電流 I3 の大きさは、それぞれ定電流 I1 の 1/2 となる。なお、定電流 I1 の大きさは、受信回路 1a の温度や電源電圧 Vcc の大きさに依らず一定であることが好ましい。

【0019】

10

制御電圧生成部 14 は、トランジスタ 12a 及び 12b の各制御端子 (ゲート) に制御電圧 Vg を提供する。制御電圧生成部 14 は、抵抗 11a 及び 11b の相互接続点 A の電位 Vmon を入力し、この電位 Vmon が所定電位に近づくように制御電圧 Vg を生成する。本実施形態の制御電圧生成部 14 は、差動増幅器 15 を含む。差動増幅器 15 の非反転入力端は相互接続点 A に接続されており、反転入力端は参照電圧 Vref を発生する定電圧源 16 に接続されている。差動増幅器 15 は、相互接続点 A の電位 Vmon と参照電圧 Vref との電位差を増幅し、制御電圧 Vg としてトランジスタ 12a 及び 12b へ出力する。トランジスタ 12a 及び 12b のドレイン - ソース間抵抗は、この制御電圧 Vg が高くなると減少し、低くなると増加する。

【0020】

20

以上の構成を備える受信回路 1a の作用及び効果について説明する。いま、第 1 の端子 2 と第 2 の端子 3 との間を終端する抵抗 11a 及び 11b の抵抗値をそれぞれ Rab/2 とし、トランジスタ 12a 及び抵抗 11c からなる直列抵抗値を Rac とし、トランジスタ 12b 及び抵抗 11d からなる直列抵抗値を Rbc (= Rac) とする。この場合、相互接続点 A と電源電位線 Vcc との間の抵抗値 Rx は、

【数 1】

$$Rx = \frac{1}{2} \left(Rac + \frac{Rab}{2} \right) \quad \cdots (1)$$

30

と表される。

【0021】

端子 2, 3 へ入力される信号が差動信号であれば相互接続点 A は仮想接地点となるので、相互接続点 A の電位 Vmon に対する受信信号の影響は殆ど無い。従って、トランジスタ 12a 及び抵抗 11a, 11c を流れる電流 I2、並びにトランジスタ 12b 及び抵抗 11b, 11d を流れる電流 I3 による電圧降下によって相互接続点 A の電位 Vmon が定まる。換言すれば、相互接続点 A の電位 Vmon は、トランジスタ 12a, 12b の電流端子間 (ソース - ドレイン間) の抵抗値を反映した値となる。終端回路 7 においては、この電位 Vmon と参照電圧 Vref との差を差動増幅器 15 により増幅し、差動増幅器 15 の出力を制御電圧 Vg としてトランジスタ 12a, 12b の制御端子 (ゲート) に帰還させることによって、抵抗値 Rac, Rbc の自動制御を実現している。

40

【0022】

参照電圧 Vref は、電源電位線 Vcc の電位から目標電圧 Vtgt を差し引いた電圧を供給する。目標電圧 Vtgt は、抵抗値 Rx 及び定電流 I1 の積とほぼ同値になるよう設定される。

【0023】

ここで、終端回路 7 による終端抵抗値 Rdiff は、 - Y 変換公式から

【数 2】

$$R_{diff} = (R_{ab} // (R_{ac} + R_{bc})) = \frac{R_{ab} (R_{ac} + R_{bc})}{R_{ab} + R_{ac} + R_{bc}} = \frac{2 \times R_{ab} \times R_{ac}}{2 \times R_{ac} + R_{ab}} \quad \dots (2)$$

と表される。抵抗値のプロセス変動率（製造誤差）を a （例えば 0.7 、 $a = 1.3$ 、変動無しの場合 1.0 ）とおき、抵抗値 R_{ac} 及び R_{diff} にプロセス変動を加味した値をそれぞれ R_{ac_2} 及び R_{diff_2} とすると、(2) 式は、

【数 3】

10

$$R_{diff_2} = \frac{2 \times a \times R_{ab} \times R_{ac_2}}{2 \times R_{ac_2} + a \times R_{ab}} \quad \dots (3)$$

となる。本実施形態の終端回路 7 においては、差動増幅器 15 による帰還制御によって、抵抗値 R_x がプロセス変動に依らず一定となるように制御される。従って、 R_{ac_2} は、

【数 4】

$$R_{ac_2} = 2 \times R_x - \frac{a \times R_{ab}}{2} \quad \dots (4)$$

20

と表される。(4) 式を (3) 式に代入すると、

【数 5】

$$R_{diff_2} = \frac{2 \times a \times R_{ab} \times \left(2 \times R_x - \frac{a \times R_{ab}}{2} \right)}{2 \times \left(2 \times R_x - \frac{a \times R_{ab}}{2} \right) + a \times R_{ab}} = a \times R_{ab} \times \left(1 - \frac{a \times R_{ab}}{4 \times R_x} \right) \quad \dots (5)$$

30

となる。なお、(5) 式からわかるように、或る抵抗値 R_{diff_2} を実現するための抵抗値 R_{ab} 及び R_x の組み合わせは複数存在する。従って、例えば差動伝送における一般的な特性インピーダンスである 100 に抵抗値 R_{diff_2} を設定する場合においても、抵抗値 R_{ab} 及び R_x の任意の組み合わせによってその抵抗値を実現できる。

【0024】

図 2 は、プロセス変動を加味した差動入力抵抗値（終端抵抗値） R_{diff_2} と、プロセス変動率 a との関係（(5) 式参照）を示している。図 2 において、グラフ G1 は $R_{ab} = 200$ [Ω]、 $R_x = 100$ [Ω] としたものであり、グラフ G2 は $R_{ab} = 204$ [Ω]、 $R_x = 102$ [Ω] としたものであり、グラフ G3 は $R_{ab} = 150$ [Ω]、 $R_x = 112.5$ [Ω] としたものである。なお、グラフ G4 は、比較のため、集積回路のシート抵抗のみで終端抵抗を構成した場合を示している。

40

【0025】

グラフ G1 ~ G3 を参照すると、グラフ G4 と比較してプロセス変動による終端抵抗値の変動幅が効果的に狭められていることがわかる。すなわち、グラフ G1 の場合、 0.7 、 $a = 1.3$ のプロセス変動に対して終端抵抗値の変動幅が設計値（ 100 ）の 10% 以下であり、プロセス変動による終端抵抗値の変動が極めて効果的に抑えられている。また、グラフ G2 の場合、 0.7 、 $a = 1.3$ のプロセス変動に対して終端抵抗値の変動範囲が 102 を頂点として変化しており、プロセス変動がゼロの場合に終端抵抗値が誤差

50

を含んでしまうが、終端抵抗値の変動幅に関してはグラフ G 1 と同様に小さく抑えられている。また、グラフ G 3 の場合、グラフ G 1 及び G 2 の場合と比較してその効果は小さいが、従来型（グラフ G 4 ）と比較して終端抵抗値の変動幅を小さく抑えることができる。

【 0 0 2 6 】

また、図 3 は、受信回路 1 a におけるリターンロス [d B] とプロセス変動率 a との関係を示している。図 3 において、グラフ G 5 ~ G 8 は、それぞれ図 2 のグラフ G 1 ~ G 4 に対応している。なお、リターンロス L O S S [d B] は、次の (6) 式によって算出される。(6) 式において、Z 0 は特性インピーダンスであり、Z i は実際の終端抵抗値（図 2 における縦軸の値）である。

【 数 6 】

$$LOSS [dB] = 20 \times \log \left(\frac{Z0 - Zi}{Z0 + Zi} \right) \quad \cdots (6)$$

図 3 に示すように、グラフ G 6 の場合（すなわち R a b = 2 0 4 []、R x = 1 0 2 []）では、0 . 8 a 1 . 2 のプロセス変動に対してほぼ - 4 0 d B 以下のリターンロスを確保できることがわかる。また、グラフ G 5 （ R a b = 2 0 0 []、R x = 1 0 0 []）の場合、及びグラフ G 7 の場合（ R a b = 1 5 0 []、R x = 1 1 2 . 5 []）においても、従来型（グラフ G 8 ）と比較してリターンロスが少なくとも 0 . 7 a 1 . 3 の範囲で低下していることがわかる。

【 0 0 2 7 】

本実施形態の受信回路 1 a の作用効果を端的に述べると、以下のとおりである。受信回路 1 a においては、相互接続点 A の電位 V m o n が、トランジスタ 1 2 a の電流端子間（ソース - ドレイン間）抵抗、及び抵抗 1 1 a , 1 1 c からなる直列抵抗値と、トランジスタ 1 2 b の電流端子間抵抗、及び抵抗 1 1 b , 1 1 d からなる直列抵抗値とを反映した値となる。受信回路 1 a では、この電位 V m o n が所定電位に近づくように制御電圧生成部 1 4 （差動増幅器 1 5 ）がトランジスタ 1 2 a , 1 2 b へ制御電圧 V g を提供するので、トランジスタ 1 2 a , 1 2 b の電流端子間の抵抗値が制御され、上記した直列抵抗値が或る所定値に精度良く制御される。このように、本実施形態の受信回路 1 a によれば、図 5 に示した回路とは異なり終端抵抗部分が帰還回路に含まれるので、トランジスタや抵抗素子の誤差、或いは信号ラインの電圧変動に関わらず、精度が高い終端回路 7 を実現することができる。

【 0 0 2 8 】

また、本実施形態のように、終端回路 7 は、トランジスタ 1 2 a , 1 2 b のそれぞれに直列接続された抵抗 1 1 c , 1 1 d を備えることが好ましい。これにより、第 1 の端子 2 の終端抵抗がトランジスタ 1 2 a 及び抵抗 1 1 c によって構成され、第 2 の端子 3 の終端抵抗がトランジスタ 1 2 b 及び抵抗 1 1 d によって構成されるので、終端抵抗値の可変幅を更に狭くして終端抵抗値をより高精度に制御できる。

【 0 0 2 9 】

なお、終端回路 7 の高周波特性に関しては、トランジスタ 1 2 a , 1 2 b の寸法に依存する。R x を 1 0 0 、R a b を 2 0 0 に設定した場合、R a c 及び R b c はそれぞれ 1 0 0 となるが、プロセス変動に対するトランジスタ 1 2 a , 1 2 b の抵抗値の制御範囲を考慮して R a c , R b c の 1 / 2 の抵抗値をトランジスタ 1 2 a , 1 2 b に割り当てた場合、トランジスタ 1 2 a , 1 2 b に要求される電流端子間抵抗は 5 0 となる。これに対し、図 5 に示した終端回路 1 0 0 は片相終端回路なので、同様の終端条件（差動で 1 0 0 、片相で 5 0 ）を実現しようとした場合、同様に 5 0 の 1 / 2 の抵抗値をトランジスタに割り当てると、トランジスタに要求される電流端子間抵抗は 2 5 となり、更に小さくなってしまう。

【 0 0 3 0 】

10

20

30

40

50

ここで、例えばMOS型FETの深い三極管領域における電流端子間抵抗値 R_{mos} は、
 【数7】

$$R_{mos} = \frac{1}{\mu \times C_{ox} \times \frac{W}{L} \times (V_{gs} - V_{th})} \quad \dots (7)$$

と表される。(7)式において、 μ は電子の移動度、 C_{ox} はゲート絶縁層の容量、 W はゲート幅、 L はゲート長、 V_{gs} はゲート・ソース間電圧、 V_{th} はMOS型FETのしきい値電圧である。(7)式より、電流端子間抵抗値を小さくする為には、 W/L を大きくする必要がある(プロセス条件は同一)。しかしながら、 W/L を大きくすると各端子における寄生容量が大きくなってしまい、高周波特性を劣化させることとなる。このことから、本実施形態の終端回路7は、図5に示した従来の終端回路100と比較して高周波特性に優れており、受信回路1aに特に好適であることがわかる。

【0031】

(第2の実施の形態)

図4は、本発明に係る受信回路の第2実施形態の構成を示す回路図である。同図に示す受信回路1bは、第1の端子2及び第2の端子3、増幅器4、及び終端回路8を備える。なお、これらのうち、終端回路8を除く他の構成については上記第1実施形態と同様なので詳細な説明を省略する。

【0032】

終端回路8は、第1実施形態と同様に構成された第1の抵抗11a及び第2の抵抗11bを有する。また、終端回路8は、第1実施形態とは異なる構成の第3の抵抗11e及び第4の抵抗11f、トランジスタ12c及び12d、定電流源17、並びに制御電圧生成部18を有する。

【0033】

トランジスタ12cは、本実施形態における第1のトランジスタであり、第1の端子2と第1の定電位線(本実施形態では接地電位線GNDが第1の定電位線となっている)との間の可変終端抵抗素子として設けられている。具体的には、トランジスタ12cの一方の電流端子(ソース)は信号ライン5に接続されており、他方の電流端子(ドレイン)は接地電位線GNDに接続されている。本実施形態では抵抗11eがトランジスタ12cに対し直列に接続されており、トランジスタ12cの他方の電流端子(ドレイン)は抵抗11eを介して接地電位線GNDに接続されている。従って、第1の端子2は、トランジスタ12c及び抵抗11eによって終端される。

【0034】

トランジスタ12dは、本実施形態における第2のトランジスタであり、第2の端子3と第1の定電位線(接地電位線GND)との間の可変終端抵抗素子として設けられている。具体的には、トランジスタ12dの一方の電流端子(ソース)は信号ライン6に接続されており、他方の電流端子(ドレイン)は接地電位線GNDに接続されている。本実施形態では、抵抗11eと等しい抵抗値を有する抵抗11fがトランジスタ12dに対し直列に接続されており、トランジスタ12dの他方の電流端子(ドレイン)は抵抗11fを介して接地電位線GNDに接続されている。従って、第2の端子3は、トランジスタ12d及び抵抗11fによって終端される。

【0035】

なお、トランジスタ12c及び12dは、そのゲート長やゲート幅といった寸法が互いに等しくなるようにICチップ内に形成されている。また、図4にはトランジスタ12c、12dとしてnチャネルMOS型FETを図示しているが、他のタイプのFETやバイポーラトランジスタを代わりに用いてもよい。また、抵抗11e及び11dは、トランジ

10

20

30

40

50

スタ 1 2 c 及び 1 2 d の一方の電流端子 (ソース) 側に接続されてもよい。

【 0 0 3 6 】

定電流源 1 7 は、接地電位線 G N D とは電位が異なる第 2 の定電位線 (本実施形態では正の電源電位線 V c c) と相互接続点 A との間に接続されており、電源電位線 V c c と相互接続点 A との間に所定の大きさの定電流 I 4 を流す。本実施形態の終端回路 8 においては、トランジスタ 1 2 c 、抵抗 1 1 a 及び 1 1 e からなる直列抵抗成分と、トランジスタ 1 2 d 、抵抗 1 1 b 及び 1 1 f からなる直列抵抗成分とが、相互接続点 A と接地電位線 G N D との間で並列に接続されており、これらの直列抵抗成分の抵抗値は実質的に等しく設定されている。従って、トランジスタ 1 2 c 、抵抗 1 1 a 及び 1 1 e を流れる電流 I 5 の大きさ、並びにトランジスタ 1 2 d 、抵抗 1 1 b 及び 1 1 f を流れる電流 I 6 の大きさは、それぞれ定電流 I 4 の 1 / 2 となる。なお、定電流 I 4 の大きさは、受信回路 1 b の温度や電源電圧 V c c の大きさに依らず一定であることが好ましい。

10

【 0 0 3 7 】

制御電圧生成部 1 8 は、トランジスタ 1 2 c 及び 1 2 d の各制御端子 (ゲート) に制御電圧 V g を提供する。制御電圧生成部 1 8 は、相互接続点 A の電位 V m o n を入力し、この電位 V m o n が所定電位に近づくように制御電圧 V g を生成する。本実施形態の制御電圧生成部 1 8 は、差動増幅器 1 9 を含む。差動増幅器 1 9 の非反転入力端は相互接続点 A に接続されており、反転入力端は参照電圧 V r e f を発生する定電圧源 2 0 に接続されている。差動増幅器 1 9 は、相互接続点 A の電位 V m o n と参照電圧 V r e f との電位差を増幅し、制御電圧 V g としてトランジスタ 1 2 c 及び 1 2 d へ出力する。トランジスタ 1 2 c 及び 1 2 d のドレイン - ソース間抵抗は、この制御電圧 V g が高くなると減少し、低くなると増加する。

20

【 0 0 3 8 】

本実施形態の受信回路 1 b の作用効果について説明する。受信回路 1 b においては、トランジスタ 1 2 c 及び抵抗 1 1 e が第 1 の端子 2 の終端抵抗として機能しており、トランジスタ 1 2 d 及び抵抗 1 1 f が第 2 の端子 3 の終端抵抗として機能している。この受信回路 1 b においては、トランジスタ 1 2 c 、抵抗 1 1 a 及び 1 1 e からなる直列抵抗成分と、トランジスタ 1 2 d 、抵抗 1 1 b 及び 1 1 f からなる直列抵抗成分とが、第 1 の定電位線 (接地電位線 G N D) と相互接続点 A との間で並列に接続されている。従って、この並列抵抗回路に定電流 I 4 が流れる際の電圧降下に相当する電位が、相互接続点 A の電位 V m o n となる。

30

【 0 0 3 9 】

すなわち、相互接続点 A の電位 V m o n は、トランジスタ 1 2 c の電流端子間 (ソース - ドレイン間) 抵抗、及び抵抗 1 1 a , 1 1 e からなる直列抵抗値と、トランジスタ 1 2 d の電流端子間抵抗、及び抵抗 1 1 b , 1 1 f からなる直列抵抗値とを反映した値となる。受信回路 1 b では、この電位 V m o n が所定電位に近づくように制御電圧生成部 1 8 (差動増幅器 1 9) がトランジスタ 1 2 c , 1 2 d へ制御電圧 V g を提供するので、トランジスタ 1 2 c , 1 2 d の電流端子間の抵抗値が制御され、上記した直列抵抗値が或る所定値に精度良く制御される。このように、本実施形態の受信回路 1 b によれば、終端抵抗部分が帰還回路に含まれるので、トランジスタや抵抗素子の誤差、或いは信号ラインの電圧変動に関わらず、精度が高い終端回路 8 を実現することができる。

40

【 0 0 4 0 】

本発明による受信回路は、上記した実施形態に限られるものではなく、他に様々な変形が可能である。例えば、上記実施形態においては第 1 及び第 2 の定電位線をそれぞれ電源電位線及び接地電位線 (またはその逆) としているが、互いに電位が異なる定電位線であれば、これらに限られるものではない。また、上記実施形態において、第 1 及び第 2 のトランジスタ、第 1 ~ 第 4 の抵抗等は一つの IC チップ内に形成されると説明したが、本発明において、これらは個別の部品として存在してもよい。

【 図面の簡単な説明 】

【 0 0 4 1 】

50

【図 1】図 1 は、本発明に係る受信回路の第 1 実施形態の構成を示す回路図である。

【図 2】図 2 は、プロセス変動を加味した差動入力抵抗値（終端抵抗値）と、プロセス変動率との関係を示している。

【図 3】図 3 は、受信回路におけるリターンロスとプロセス変動率との関係を示している。

【図 4】図 4 は、本発明に係る受信回路の第 2 実施形態の構成を示す回路図である。

【図 5】図 5 は、特許文献 1 に示された終端回路の構成を示す回路図である。

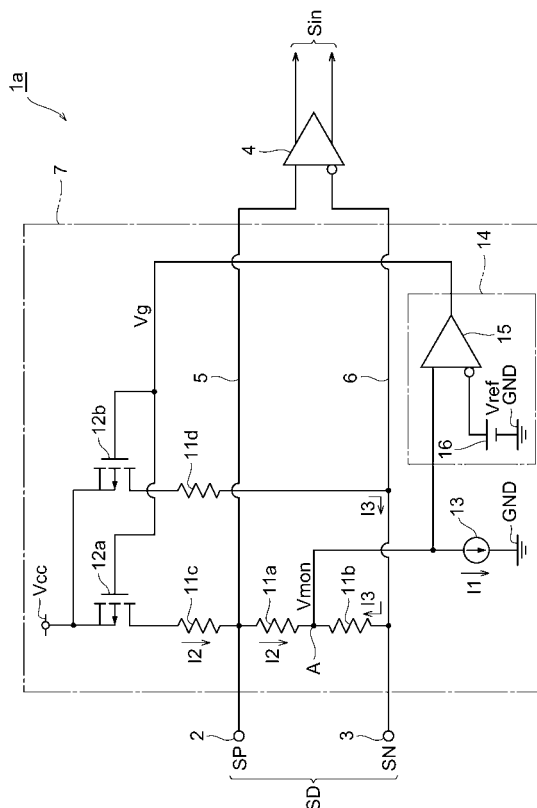
【符号の説明】

【 0 0 4 2 】

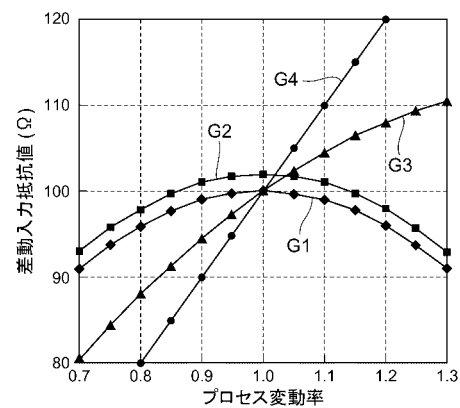
1 a , 1 b ... 受信回路、 2 ... 第 1 の端子、 3 ... 第 2 の端子、 4 ... 増幅器、 5 , 6 ... 信号ライン、 7 , 8 ... 終端回路、 1 1 a ~ 1 1 f ... 抵抗、 1 2 a ~ 1 2 d ... トランジスタ、 1 3 , 1 7 ... 定電流源、 1 4 , 1 8 ... 制御電圧生成部、 1 5 , 1 9 ... 差動増幅器、 1 6 , 2 0 ... 定電圧源、 A ... 相互接続点、 S D ... 差動信号、 S N ... 逆相信号、 S P ... 正相信号、 V g ... 制御電圧。

10

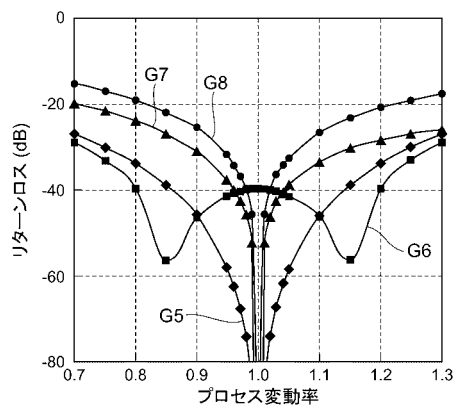
【図 1】



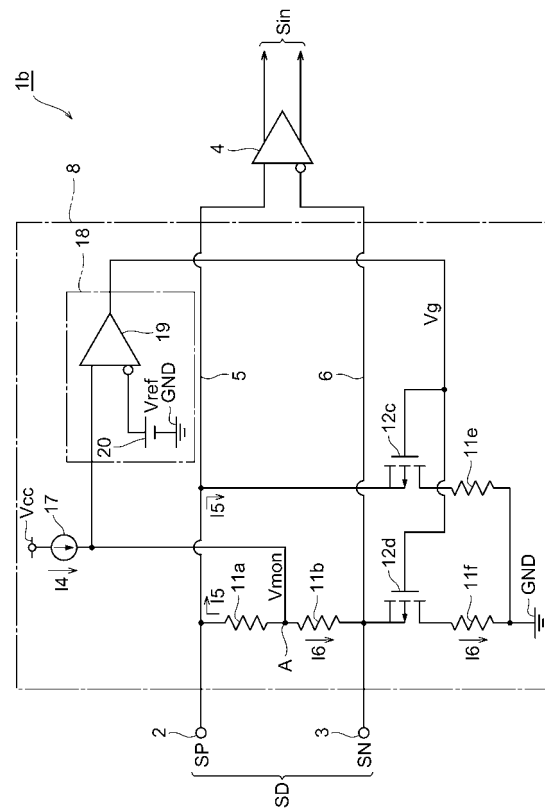
【図 2】



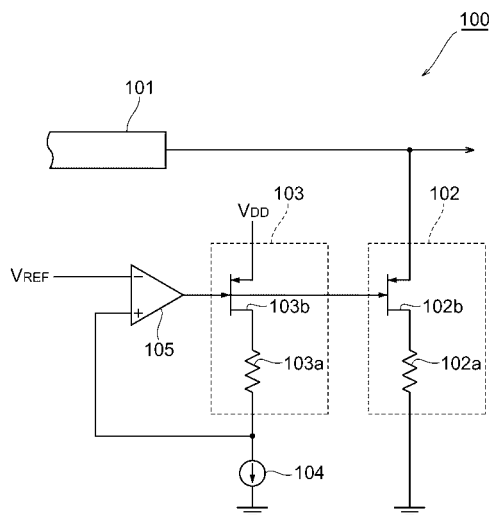
【図 3】



【図 4】



【図 5】



フロントページの続き

(56)参考文献 特開2007-096867(JP,A)
特開2007-028330(JP,A)
特開2006-060320(JP,A)
特開2003-298395(JP,A)
特開2000-354055(JP,A)
米国特許第06720795(US,B1)

(58)調査した分野(Int.Cl., DB名)

H04B	3/02
H03K	19/0175
H04L	25/02