



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년03월27일

(11) 등록번호 10-1720164

(24) 등록일자 2017년03월21일

(51) 국제특허분류(Int. Cl.)

G06F 1/32 (2006.01) G11C 11/4074 (2006.01)

(52) CPC특허분류

G06F 1/3275 (2013.01)

G06F 1/3234 (2013.01)

(21) 출원번호 10-2015-7033612

(22) 출원일자(국제) 2014년04월29일

심사청구일자 2016년06월03일

(85) 번역문제출일자 2015년11월25일

(65) 공개번호 10-2016-0004342

(43) 공개일자 2016년01월12일

(86) 국제출원번호 PCT/US2014/035931

(87) 국제공개번호 WO 2014/179347

국제공개일자 2014년11월06일

(30) 우선권주장

61/817,130 2013년04월29일 미국(US)

13/901,511 2013년05월23일 미국(US)

(56) 선행기술조사문현

KR1020110021927 A

US20110145492 A1

US06694442 B2

US07587619 B2

(73) 특허권자

퀄컴 인코포레이티드

미국 92121-1714 캘리포니아주 샌 디에고 모어하  
우스 드라이브 5775

(72) 발명자

시에드, 지산 샤파크

미국 92121-1714 캘리포니아주 샌 디에고 모어하  
우스 드라이브 5775 퀄컴 인코포레이티드 (내)

챈, 난

미국 92121-1714 캘리포니아주 샌 디에고 모어하  
우스 드라이브 5775 퀄컴 인코포레이티드 (내)

(뒷면에 계속)

(74) 대리인

특허법인 남엔드남

전체 청구항 수 : 총 79 항

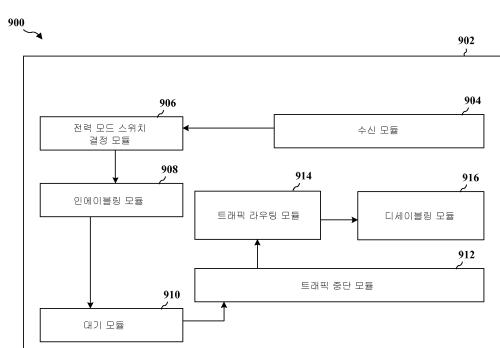
심사관 : 손경완

(54) 발명의 명칭 주파수 전력 매니저

## (57) 요 약

방법 및 장치가 제공된다. 장치는 복수의 모듈들의 전력 모드를 제어하는 하드웨어 모듈이다. 장치는 원하는 동작 주파수의 표시를 수신한다. 수신된 표시에 기초하여, 장치는, 제 1 세트의 모듈들과 연관된 제 1 전력 모드로부터, 원하는 동작 주파수에 대응하여 제 2 세트의 모듈들과 연관된 제 2 전력 모드로의 스위칭을 결정한다. 장치는, 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들을 인에이블링하며, 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들을 인에이블링한 후 일정 시간 기간의 만료시 복수의 모듈들을 통한 트래픽을 중단하며, 제 2 세트의 모듈들을 통해 트래픽을 라우팅하며, 그리고 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들의 모듈들을 디세이블링한다.

대 표 도 - 도9



(52) CPC특허분류

**G06F 1/3287** (2013.01)

**G11C 11/4074** (2013.01)

**Y02B 60/1228** (2013.01)

**Y02B 60/1282** (2013.01)

**Y02B 60/32** (2013.01)

(72) 발명자

**수, 용**

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 웰컴 인코포레이티드 (내)

**페트슈, 마이클 토마스**

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 웰컴 인코포레이티드 (내)

**안드리브, 보리스 디미트로브**

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 웰컴 인코포레이티드 (내)

---

**첸, 치킨**

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 웰컴 인코포레이티드 (내)

**권, 창기**

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 웰컴 인코포레이티드 (내)

## 명세서

### 청구범위

#### 청구항 1

복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법으로서,

메모리 제어기로부터 원하는 동작 주파수(desired operational frequency)의 표시를 수신하는 단계;

상기 원하는 동작 주파수의 수신된 표시에 기초하여, 제 1 전력 모드로부터 제 2 전력 모드로 스위칭하도록 결정하는 단계 – 상기 제 1 전력 모드는 상기 복수의 모듈들 중 제 1 세트의 모듈들과 연관되며, 상기 제 2 전력 모드는 상기 복수의 모듈들 중 제 2 세트의 모듈들과 연관되며, 상기 제 2 전력 모드는 상기 원하는 동작 주파수에 대응함 –;

상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들을 인에이블링(enabling)하는 단계;

상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들을 인에이블링한 후 일정 시간 기간(a time period)의 만료시 상기 복수의 모듈들을 통한 트래픽을 중단하는 단계;

상기 제 2 세트의 모듈들을 통해 트래픽을 라우팅하는 단계; 및

상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들을 모듈들을 디세이블링(disabling)하는 단계를 포함하고,

상기 복수의 모듈들은, CDC(calibrated delay circuit), 입력 수신기, LDO(low-dropout) 레귤레이터, 전류-전압(current-to-voltage) 변환기, PLL(phase lock loop), 바이어스 전류 발생기, 또는 기준 전압 발생기 중 적어도 하나를 포함하는,

복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 2

제 1 항에 있어서,

상기 모듈들을 인에이블링하는 단계는 상기 모듈들을 턴 온하는 단계를 포함하며, 상기 모듈들을 디세이블링하는 단계는 상기 모듈들을 턴 오프하는 단계를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 3

제 1 항에 있어서,

상기 모듈들을 인에이블링하는 단계는 더 낮은-전력 스탠바이 상태(lower-power standby state)로부터 더 높은-전력 동작 상태(higher-power operational state)로 상기 모듈들의 상태를 변경하는 단계를 포함하며,

상기 모듈들을 디세이블링하는 단계는 더 높은-전력 동작 상태로부터 더 낮은-전력 스탠바이 상태로 상기 모듈들의 상태를 변경하는 단계를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 4

제 1 항에 있어서,

상기 트래픽은 10ns 내지 20ns 동안 중단되는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 5

제 1 항에 있어서,

상기 제 2 세트의 모듈들이 정상 상태(steady state)에 도달할 때까지 상기 시간 기간 동안 대기하는 단계를 더 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 6

제 1 항에 있어서,

상기 하드웨어 모듈 및 상기 제 1 세트의 모듈들 및 상기 제 2 세트의 모듈들은 DDR(double data rate) PHY(physical) 하드웨어 모듈 내에 있는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 7

제 1 항에 있어서,

상기 복수의 모듈들은 DDR(double data rate) DRAM(dynamic random access memory)과 연관되는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 8

제 1 항에 있어서,

상기 복수의 모듈들은 제 1 CDC 및 상기 제 1 CDC와 병렬인 제 2 CDC를 포함하며, 상기 제 1 세트의 모듈들은 상기 제 1 CDC를 포함하며, 상기 제 2 세트의 모듈들은 상기 제 2 CDC를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 CDC를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 CDC를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 9

제 8 항에 있어서,

상기 제 2 CDC는 상기 제 1 CDC보다 더 높은 전력 모드를 지원하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 10

제 8 항에 있어서,

상기 제 2 CDC는 상기 제 1 CDC보다 더 낮은 전력 모드를 지원하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 11

제 1 항에 있어서,

상기 복수의 모듈들은 제 1 입력 수신기 및 상기 제 1 입력 수신기와 병렬인 제 2 입력 수신기를 포함하며, 상기 제 1 세트의 모듈들은 상기 제 1 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 상기 제 2 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 입력 수신기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 입력 수신기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 12

제 11 항에 있어서,

상기 제 2 입력 수신기는 상기 제 1 입력 수신기보다 더 높은 전력 모드를 지원하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 13

제 11 항에 있어서,

상기 제 2 입력 수신기는 상기 제 1 입력 수신기보다 더 낮은 전력 모드를 지원하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 14

제 1 항에 있어서,

상기 제 1 전력 모드는 초-저 전력 모드(ultra-low power mode)를 포함하고 상기 제 2 전력 모드는 저 전력 모드(low power mode)를 포함하고, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 상기 저-전력 CDC 및 중간-전력(medium-power) 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 중간-전력 입력 수신기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 저-전력 입력 수신기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 15

제 1 항에 있어서,

상기 제 1 전력 모드는 초-저 전력 모드를 포함하고 상기 제 2 전력 모드는 중간 성능 모드(medium performance mode)를 포함하며, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 중간-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 16

제 1 항에 있어서,

상기 제 1 전력 모드는 초-저 전력 모드를 포함하며 상기 제 2 전력 모드는 고 성능 모드(high performance mode)를 포함하며, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 레귤레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 17

제 1 항에 있어서,

상기 제 1 전력 모드는 저 전력 모드를 포함하며 상기 제 2 전력 모드는 초-저 전력 모드를 포함하며, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 상기 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 저-전력 입력 수신기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 중간-전력 입력 수신기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 18

제 1 항에 있어서,

상기 제 1 전력 모드는 저 전력 모드를 포함하며 상기 제 2 전력 모드는 중간 성능 모드를 포함하며, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 상기 중간-전력 입력 수신기를 포함하며, 상

기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 및 상기 바이어스 전류 발생기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 저-전력 CDC를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

### 청구항 19

제 1 항에 있어서,

상기 제 1 전력 모드는 저 전력 모드를 포함하며 상기 제 2 전력 모드는 고 성능 모드를 포함하며, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 레귤레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

### 청구항 20

제 1 항에 있어서,

상기 제 1 전력 모드는 중간 성능 모드를 포함하며 상기 제 2 전력 모드는 초-저 전력 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

### 청구항 21

제 1 항에 있어서,

상기 제 1 전력 모드는 중간 성능 모드를 포함하며 상기 제 2 전력 모드는 저 전력 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 저-전력 CDC 및 상기 중간-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 저-전력 CDC를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 및 상기 바이어스 전류 발생기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

### 청구항 22

제 1 항에 있어서,

상기 제 1 전력 모드는 중간 성능 모드를 포함하며 상기 제 2 전력 모드는 고 성능 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 상기 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 레귤레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 LDO 레귤레이터, 상기 기준 전압 발생기, 및 상기 고-전력 입력 수신기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 중간-전력 입력 수신기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

### 청구항 23

제 1 항에 있어서,

상기 제 1 전력 모드는 고 성능 모드를 포함하며 상기 제 2 전력 모드는 초-저 전력 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 레귤레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 24

제 1 항에 있어서,

상기 제 1 전력 모드는 고 성능 모드를 포함하며 상기 제 2 전력 모드는 저 전력 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 레귤레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 저-전력 CDC 및 중간-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 25

제 1 항에 있어서,

상기 제 1 전력 모드는 고 성능 모드를 포함하며 상기 제 2 전력 모드 중간 성능 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 레귤레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 상기 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 중간-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 중간-전력 입력 수신기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 LDO 레귤레이터, 상기 기준 전압 발생기, 및 상기 고-전력 입력 수신기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 26

제 1 항에 있어서,

상기 모듈들은 특정 시퀀스로 인에이블링되는, 복수의 모듈들의 전력 모드를 제어하기 위해 하드웨어 모듈에 의해 수행되는 방법.

#### 청구항 27

복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치로서,

CDC(calibrated delay circuit), 입력 수신기, LDO(low-dropout) 레귤레이터, 전류-전압 변환기, PLL(phase lock loop), 바이어스 전류 발생기, 또는 기준 전압 발생기 중 적어도 하나를 포함하는 복수의 모듈들;

메모리 제어기로부터 원하는 동작 주파수의 표시를 수신하기 위한 수단;

상기 원하는 동작 주파수의 수신된 표시에 기초하여, 제 1 전력 모드로부터 제 2 전력 모드로 스위칭하도록 결정하기 위한 수단 –상기 제 1 전력 모드는 상기 복수의 모듈들 중 제 1 세트의 모듈들과 연관되며, 상기 제 2 전력 모드는 상기 복수의 모듈들 중 제 2 세트의 모듈들과 연관되며, 상기 제 2 전력 모드는 상기 원하는 동작 주파수에 대응함–;

상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들을 인에이블링하기 위한 수단;

상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들을 인에이블링한 후 일정 시간 기간의 만료시 상기 복수의 모듈들을 통한 트래픽을 중단하기 위한 수단;

상기 제 2 세트의 모듈들을 통해 트래픽을 라우팅하기 위한 수단; 및

상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들의 모듈들을 디세이블링하기 위한 수단을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

### 청구항 28

제 27 항에 있어서,

상기 모듈들을 인에이블링하기 위한 수단은 상기 모듈들을 턴 온하도록 구성되며, 상기 모듈들을 디세이블링하기 위한 수단은 상기 모듈들을 턴 오프하도록 구성되는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

### 청구항 29

제 27 항에 있어서,

상기 모듈들을 인에이블링하기 위한 수단은 더 낮은-전력 스탠바이 상태로부터 더 높은-전력 동작 상태로 상기 모듈들의 상태를 변경하도록 구성되며, 상기 모듈들을 디세이블링하기 위한 수단은 더 높은-전력 동작 상태로부터 더 낮은-전력 스탠바이 상태로 상기 모듈들의 상태를 변경하도록 구성되는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

### 청구항 30

제 27 항에 있어서,

상기 트래픽은 10ns 내지 20ns 동안 중단되는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

### 청구항 31

제 27 항에 있어서,

상기 제 2 세트의 모듈들이 정상 상태에 도달할 때까지 상기 시간 기간 동안 대기하기 위한 수단을 더 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

### 청구항 32

제 27 항에 있어서,

상기 하드웨어 모듈 및 상기 제 1 세트의 모듈들 및 상기 제 2 세트의 모듈들은 DDR(double data rate) PHY(physical) 하드웨어 모듈 내에 있는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

### 청구항 33

제 27 항에 있어서,

상기 복수의 모듈들은 DDR(double data rate) DRAM(dynamic random access memory)과 연관되는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

### 청구항 34

제 27 항에 있어서,

상기 복수의 모듈들은 제 1 CDC 및 상기 제 1 CDC와 병렬인 제 2 CDC를 포함하며, 상기 제 1 세트의 모듈들은 상기 제 1 CDC를 포함하며, 상기 제 2 세트의 모듈들은 상기 제 2 CDC를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 CDC를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 CDC를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

### 청구항 35

제 34 항에 있어서,

상기 제 2 CDC는 상기 제 1 CDC보다 더 높은 전력 모드를 지원하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

### 청구항 36

제 34 항에 있어서,

상기 제 2 CDC는 상기 제 1 CDC보다 더 낮은 전력 모드를 지원하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

### 청구항 37

제 27 항에 있어서,

상기 복수의 모듈들은 제 1 입력 수신기 및 상기 제 1 입력 수신기와 병렬인 제 2 입력 수신기를 포함하며, 상기 제 1 세트의 모듈들은 상기 제 1 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 제 2 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 입력 수신기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 입력 수신기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

### 청구항 38

제 37 항에 있어서,

상기 제 2 입력 수신기는 상기 제 1 입력 수신기보다 더 높은 전력 모드를 지원하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

### 청구항 39

제 37 항에 있어서,

상기 제 2 입력 수신기는 상기 제 1 입력 수신기보다 더 낮은 전력 모드를 지원하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

### 청구항 40

제 27 항에 있어서,

상기 제 1 전력 모드는 초-저 전력 모드를 포함하고 상기 제 2 전력 모드는 저 전력 모드를 포함하고, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 상기 저-전력 CDC 및 중간-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 중간-전력 입력 수신기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 저-전력 입력 수신기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

### 청구항 41

제 27 항에 있어서,

상기 제 1 전력 모드는 초-저 전력 모드를 포함하고 상기 제 2 전력 모드는 중간 성능 모드를 포함하며, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 중간-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

### 청구항 42

제 27 항에 있어서,

상기 제 1 전력 모드는 초-저 전력 모드를 포함하며 상기 제 2 전력 모드는 고 성능 모드를 포함하며, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 레귤레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

#### 청구항 43

제 27 항에 있어서,

상기 제 1 전력 모드는 저 전력 모드를 포함하며 상기 제 2 전력 모드는 초-저 전력 모드를 포함하며, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 상기 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 저-전력 입력 수신기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 중간-전력 입력 수신기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

#### 청구항 44

제 27 항에 있어서,

상기 제 1 전력 모드는 저 전력 모드를 포함하며 상기 제 2 전력 모드는 중간 성능 모드를 포함하며, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 상기 중간-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 및 상기 바이어스 전류 발생기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 저-전력 CDC를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

#### 청구항 45

제 27 항에 있어서,

상기 제 1 전력 모드는 저 전력 모드를 포함하며 상기 제 2 전력 모드는 고 성능 모드를 포함하며, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 레귤레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

#### 청구항 46

제 27 항에 있어서,

상기 제 1 전력 모드는 중간 성능 모드를 포함하며 상기 제 2 전력 모드는 초-저 전력 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

#### 청구항 47

제 27 항에 있어서,

상기 제 1 전력 모드는 중간 성능 모드를 포함하며 상기 제 2 전력 모드는 저 전력 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 저-전력 CDC 및 상기 중간-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 저-전력 CDC를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 및 상기 바이어스 전류 발생기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

#### 청구항 48

제 27 항에 있어서,

상기 제 1 전력 모드는 중간 성능 모드를 포함하며 상기 제 2 전력 모드는 고 성능 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 상기 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 레귤레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 LDO 레귤레이터, 상기 기준 전압 발생기, 및 상기 고-전력 입력 수신기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 중간-전력 입력 수신기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

#### 청구항 49

제 27 항에 있어서,

상기 제 1 전력 모드는 고 성능 모드를 포함하며 상기 제 2 전력 모드는 초-저 전력 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 레귤레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

#### 청구항 50

제 27 항에 있어서,

상기 제 1 전력 모드는 고 성능 모드를 포함하며 상기 제 2 전력 모드는 저 전력 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 레귤레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 저-전력 CDC 및 중간-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

#### 청구항 51

제 27 항에 있어서,

상기 제 1 전력 모드는 고 성능 모드를 포함하며 상기 제 2 전력 모드 중간 성능 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 레귤레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 상기 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 중간-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 중간-전력 입력 수신기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모

들들은 상기 LDO 레귤레이터, 상기 기준 전압 발생기, 및 상기 고-전력 입력 수신기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

#### 청구항 52

제 27 항에 있어서,

상기 모듈들은 특정 시퀀스로 인에이블링되는, 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈 장치.

#### 청구항 53

복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치로서,

CDC(calibrated delay circuit), 입력 수신기, LDO(low-dropout) 레귤레이터, 전류-전압 변환기, PLL(phase lock loop), 바이어스 전류 발생기, 또는 기준 전압 발생기 중 적어도 하나를 포함하는 복수의 모듈들; 및 주파수 전력 매니저

를 포함하며, 상기 주파수 전력 매니저는,

메모리 제어기로부터 원하는 동작 주파수의 표시를 수신하고;

상기 원하는 동작 주파수의 수신된 표시에 기초하여, 제 1 전력 모드로부터 제 2 전력 모드로 스위칭하도록 결정하고 –상기 제 1 전력 모드는 상기 복수의 모듈들 중 제 1 세트의 모듈들과 연관되며, 상기 제 2 전력 모드는 상기 복수의 모듈들 중 제 2 세트의 모듈들과 연관되며, 상기 제 2 전력 모드는 상기 원하는 동작 주파수에 대응함–;

상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들을 인에이블링하고;

상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들을 인에이블링한 후 일정 시간 기간의 만료시 상기 복수의 모듈들을 통한 트래픽을 중단하고;

상기 제 2 세트의 모듈들을 통해 트래픽을 라우팅하고; 그리고

상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들의 모듈들을 디세이블링하도록 구성되는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 54

제 53 항에 있어서,

상기 주파수 전력 매니저는, 상기 모듈들을 턴 온함으로써 상기 모듈들을 인에이블링하고, 상기 모듈들을 턴 오프함으로써 상기 모듈들을 디세이블링하도록 구성되는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 55

제 53 항에 있어서,

상기 주파수 전력 매니저는, 더 낮은-전력 스텐바이 상태로부터 더 높은-전력 동작 상태로 상기 모듈들의 상태를 변경함으로써 상기 모듈들을 인에이블링하고 그리고 더 높은-전력 동작 상태로부터 더 낮은-전력 스텐바이 상태로 상기 모듈들의 상태를 변경함으로써 상기 모듈들을 디세이블링하도록 구성되는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 56

제 53 항에 있어서,

상기 트래픽은 10ns 내지 20ns 동안 중단되는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 57

제 53 항에 있어서,

상기 주파수 전력 매니저는, 상기 제 2 세트의 모듈들이 정상 상태에 도달할 때까지 상기 시간 기간 동안 대기하도록 구성되는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 58

제 53 항에 있어서,

상기 하드웨어 모듈 및 상기 제 1 세트의 모듈들 및 상기 제 2 세트의 모듈들은 DDR(double data rate) PHY(physical) 하드웨어 모듈 내에 있는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 59

제 53 항에 있어서,

상기 복수의 모듈들은 DDR(double data rate) DRAM(dynamic random access memory)과 연관되는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 60

제 53 항에 있어서,

상기 복수의 모듈들은 제 1 CDC 및 상기 제 1 CDC와 병렬인 제 2 CDC를 포함하며, 상기 제 1 세트의 모듈들은 상기 제 1 CDC를 포함하며, 상기 제 2 세트의 모듈들은 상기 제 2 CDC를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 CDC를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 CDC를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 61

제 60 항에 있어서,

상기 제 2 CDC는 상기 제 1 CDC보다 더 높은 전력 모드를 지원하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 62

제 60 항에 있어서,

상기 제 2 CDC는 상기 제 1 CDC보다 더 낮은 전력 모드를 지원하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 63

제 53 항에 있어서,

상기 복수의 모듈들은 제 1 입력 수신기 및 상기 제 1 입력 수신기와 병렬인 제 2 입력 수신기를 포함하며, 상기 제 1 세트의 모듈들은 상기 제 1 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 제 2 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 입력 수신기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 입력 수신기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 64

제 63 항에 있어서,

상기 제 2 입력 수신기는 상기 제 1 입력 수신기보다 더 높은 전력 모드를 지원하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

**청구항 65**

제 63 항에 있어서,

상기 제 2 입력 수신기는 상기 제 1 입력 수신기보다 더 낮은 전력 모드를 지원하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

**청구항 66**

제 53 항에 있어서,

상기 제 1 전력 모드는 초-저 전력 모드를 포함하고 상기 제 2 전력 모드는 저 전력 모드를 포함하고, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 상기 저-전력 CDC 및 중간-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 중간-전력 입력 수신기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 저-전력 입력 수신기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

**청구항 67**

제 53 항에 있어서,

상기 제 1 전력 모드는 초-저 전력 모드를 포함하고 상기 제 2 전력 모드는 중간 성능 모드를 포함하며, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 중간-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

**청구항 68**

제 53 항에 있어서,

상기 제 1 전력 모드는 초-저 전력 모드를 포함하며 상기 제 2 전력 모드는 고 성능 모드를 포함하며, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 페루레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

**청구항 69**

제 53 항에 있어서,

상기 제 1 전력 모드는 저 전력 모드를 포함하며 상기 제 2 전력 모드는 초-저 전력 모드를 포함하며, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 상기 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 저-전력 입력 수신기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 중간-전력 입력 수신기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

**청구항 70**

제 53 항에 있어서,

상기 제 1 전력 모드는 저 전력 모드를 포함하며 상기 제 2 전력 모드는 중간 성능 모드를 포함하며, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 고-전력 CDC,

상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 상기 중간-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 및 상기 바이어스 전류 발생기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 저-전력 CDC를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 71

제 53 항에 있어서,

상기 제 1 전력 모드는 저 전력 모드를 포함하며 상기 제 2 전력 모드는 고 성능 모드를 포함하며, 상기 제 1 세트의 모듈들은 저-전력 CDC 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 레귤레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 72

제 53 항에 있어서,

상기 제 1 전력 모드는 중간 성능 모드를 포함하며 상기 제 2 전력 모드는 초-저 전력 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 73

제 53 항에 있어서,

상기 제 1 전력 모드는 중간 성능 모드를 포함하며 상기 제 2 전력 모드는 저 전력 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 저-전력 CDC 및 상기 중간-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 저-전력 CDC를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 및 상기 바이어스 전류 발생기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 74

제 53 항에 있어서,

상기 제 1 전력 모드는 중간 성능 모드를 포함하며 상기 제 2 전력 모드는 고 성능 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 중간-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 상기 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 레귤레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 LDO 레귤레이터, 상기 기준 전압 발생기, 및 상기 고-전력 입력 수신기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 중간-전력 입력 수신기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 75

제 53 항에 있어서,

상기 제 1 전력 모드는 고 성능 모드를 포함하며 상기 제 2 전력 모드는 초-저 전력 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 레귤레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 저-전력 CDC 및 저-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 76

제 53 항에 있어서,

상기 제 1 전력 모드는 고 성능 모드를 포함하며 상기 제 2 전력 모드는 저 전력 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 레귤레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 저-전력 CDC 및 중간-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 제 2 세트의 모듈들을 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 상기 제 1 세트의 모듈들을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 77

제 53 항에 있어서,

상기 제 1 전력 모드는 고 성능 모드를 포함하며 상기 제 2 전력 모드 중간 성능 모드를 포함하며, 상기 제 1 세트의 모듈들은 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 LDO 레귤레이터, 상기 바이어스 전류 발생기, 상기 기준 전압 발생기, 및 고-전력 입력 수신기를 포함하며, 상기 제 2 세트의 모듈들은 상기 고-전력 CDC, 상기 전류-전압 변환기, 상기 PLL, 상기 바이어스 전류 발생기, 및 중간-전력 입력 수신기를 포함하며, 상기 제 1 전력 모드와 연관되지 않은 상기 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 상기 중간-전력 입력 수신기를 포함하며, 상기 제 2 전력 모드와 연관되지 않은 상기 제 1 세트의 모듈들은 상기 LDO 레귤레이터, 상기 기준 전압 발생기, 및 상기 고-전력 입력 수신기를 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 78

제 53 항에 있어서,

상기 모듈들은 특정 시퀀스로 인에이블링되는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 79

제 53 항에 있어서,

상기 주파수 전력 매니저는 하나 또는 그 초파의 FSM들(finite state machines)을 포함하는, 복수의 모듈들의 전력 모드를 제어하기 위한 집적회로 하드웨어 모듈 장치.

#### 청구항 80

삭제

#### 청구항 81

삭제

청구항 82

삭제

## 발명의 설명

### 기술 분야

- [0001] [0001] 본 출원은 "FREQUENCY POWER MANAGER"란 명칭으로 2013년 4월 29일자로 출원된 미국 가출원 일련번호 61/817,130 및 "FREQUENCY POWER MANAGER"란 명칭으로 2013년 5월 23일자로 출원된 미국 정규출원 일련번호 13/901,511을 우선권으로 청구하며, 이 출원들은 명시적으로 전체적으로 본원에 인용에 의해 포함된다.
- [0002] [0002] 본 개시는 주파수 전력 매니저에 관한 것이다.

### 배경 기술

- [0003] 일부 하드웨어 애플리케이션들에 대해, 다양한 전력 모드들이 요구된다. 전력 모드들은, 인터페이스 내에서 상이한 세트들의 모듈들(컴포넌트들)에 의해 지원될 수 있으며, 외부 모듈 및 외부 모듈을 인터페이싱하는 상이한 세트들의 모듈들이 동작하는 클록 주파수들에 대응할 수 있다. 예를 들어, 인터페이스는 외부 모듈과 통신할 수 있으며, 인터페이스는 더 높은 성능으로 동작하는 제 1 세트의 더 높은-전력 모듈들(higer-power modules) 및 더 낮은 성능으로 동작하는 제 2 세트의 더 낮은-전력 모듈들(lower-power modules)을 포함하는 다양한 세트들의 모듈들을 포함할 수 있다. 인터페이스 내의 제 1 세트의 모듈들 및 제 2 세트의 모듈들에 의해 소모되는 전력을 최적화시키기 위해, 제 1 세트의 모듈들 및 제 2 세트의 모듈들의 전력 활용을 관리하는 주파수 전력 매니저가 현재 요구된다.

### 발명의 내용

- [0004] 본 개시의 일 양상에서, 방법 및 장치가 제공된다. 장치는 주파수 전력 매니저일 수 있다. 장치는 복수의 모듈들의 전력 모드를 제어하는 하드웨어 모듈이다. 장치는 원하는 동작 주파수의 표시(indication)를 수신한다. 장치는, 원하는 동작 주파수의 수신된 표시에 기초하여, 제 1 전력 모드로부터 제 2 전력 모드로의 스위칭을 결정한다. 제 1 전력 모드는 복수의 모듈들 중 제 1 세트의 모듈들과 연관된다. 제 2 전력 모드는 복수의 모듈들 중 제 2 세트의 모듈들과 연관된다. 제 2 전력 모드는 원하는 동작 주파수에 대응한다. 장치는, 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들을 인에이블링한다. 장치는, 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들의 모듈들을 인에이블링한다. 장치는, 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들을 통한 트래픽을 중단한다. 장치는 제 2 세트의 모듈들을 통한 트래픽을 라우팅한다. 장치는, 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들을 디세이블링한다.

- [0005] 장치는, 모듈들을 턴 온(turning on)함으로써 모듈들을 인에이블링할 수 있고 모듈들을 턴 오프(turning off)함으로써 모듈들을 디세이블링할 수 있다. 장치는, 더 낮은-전력 스탠바이 상태(lower-power standby state)로부터 더 높은-전력 동작 상태(higer-power operational state)로 모듈들의 상태를 변경함으로써 모듈들을 인에이블링할 수 있고, 더 높은-전력 동작 상태로부터 더 낮은-전력 스탠바이 상태로 모듈들의 상태를 변경함으로써 모듈들을 디세이블링할 수 있다. 장치는 대략 10 ns 내지 20 ns 동안 트래픽을 중단할 수 있다. 그러나, 트래픽이 중단되는 시간의 양은 프로그램 가능할 수 있다. 복수의 모듈들은, DDR(double data rate) PHY(physical) 인터페이스 내에 있을 수 있고, DDR DRAM(dynamic random access memory)과 연관되며, 이 DDR DRAM에 컨트롤/데이터(control/data)를 전송하고 그리고 이 DDR DRAM로부터 데이터를 수신하는 것을 위해 이용되며 이용될 수 있다.

### 도면의 간단한 설명

- [0006] 도 1은 전력 모드를 제어하기 위한 예시적인 주파수 전력 매니저의 사용을 예시하는 다이어그램이다.
- [0007] 도 2는 주파수 전력 매니저에 의해 제어되는 예시적인 모듈들의 세트들을 예시하는 다이어그램이다.
- [0008] 도 3은 제 1 전력 모드에서 활용될 수 있는 모듈들을 예시하는 다이어그램이다.
- [0009] 도 4는 제 2 전력 모드에서 활용될 수 있는 모듈들을 예시하는 다이어그램이다.
- [0010] 도 5는 제 3 전력 모드에서 활용될 수 있는 모듈들을 예시하는 다이어그램이다.

- [0011] 도 6은 제 4 전력 모드에서 활용될 수 있는 모듈들을 예시하는 다이어그램이다.
- [0012] 도 7은 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈에 대한 방법의 흐름도이다.
- [0013] 도 8은 주파수 전력 매니저 내의 유한 상태 기계들(finite state machines)을 예시하는 다이어그램이다.
- [0014] 도 9는 예시적 장치에서의 상이한 모듈들/수단들/컴포넌트들 간의 데이터 흐름을 예시하는 개념적 데이터 흐름도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0007] [0015] 첨부된 도면들과 관련하여 아래에서 설명되는 상세한 설명은 다양한 구성들의 설명으로 의도되며 본원에 설명된 개념들이 실시될 수 있는 유일한 구성들을 표현하는 것으로 의도되지 않는다. 상세한 설명은 다양한 개념들의 전반적 이해를 제공할 목적으로 특정 세부사항들을 포함한다. 그러나, 이러한 특정 세부사항들없이 이들 개념들이 실시될 수 있다는 것이 당업자들에게 명백할 것이다. 일부 예시들에서, 잘 알려진 구조들 및 컴포넌트들은 이러한 개념들이 모호해지는 것을 방지하기 위해 블록도 형태로 도시된다.
- [0008] [0016] 전기통신 시스템들의 몇 가지 양상들이 이제 다양한 장치 및 방법들을 참조로 제시될 것이다. 이들 장치 및 방법들은, 다양한 블록들, 모듈들, 컴포넌트들, 회로들, 단계들, 프로세스들, 알고리즘들 등(집합적으로 "엘리먼트들"로 지칭됨)에 의해 첨부 도면들에 예시되고 하기 상세한 설명에 설명될 것이다. 이들 엘리먼트들은 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이들의 임의의 조합을 이용하여 구현될 수 있다. 이러한 엘리먼트들이 하드웨어로 구현되는지 또는 소프트웨어로 구현되는지는 특정 애플리케이션 및 전체 시스템에 부과되는 설계 제약들에 의존한다.
- [0009] [0017] 예로써, 엘리먼트, 또는 엘리먼트의 임의의 부분, 또는 엘리먼트들의 임의의 조합은 하나 또는 그 초과의 프로세서들을 포함하는 "프로세싱 시스템"으로 구현될 수 있다. 프로세서들의 예들은, 마이크로프로세서들, 마이크로제어기들, DSP(digital signal processor)들, FPGA(field programmable gate array)들, PLD(programmable logic device)들, 상태 머신들, 게이티드 로직, 이산 하드웨어 회로들, 및 본 개시 전반에 설명된 다양한 기능들을 수행하도록 구성된 다른 적절한 하드웨어를 포함한다. 프로세싱 시스템의 하나 또는 그 초과의 프로세서들은 소프트웨어를 실행할 수 있다. 소프트웨어는, 소프트웨어로 지칭되든, 펌웨어로 지칭되든, 미들웨어로 지칭되든, 마이크로코드로 지칭되든, 하드웨어 기술 언어로 지칭되든 아니면 다른것으로 지칭되든지 간에, 명령들, 명령 세트들, 코드, 코드 세그먼트들, 프로그램 코드, 프로그램들, 서브프로그램들, 소프트웨어 모듈들, 애플리케이션들, 소프트웨어 애플리케이션들, 소프트웨어 패키지들, 루틴들, 서브루틴들, 오브젝트들, 실행 블록들, 실행 쓰레드들, 프로시저들, 함수들 등을 의미하도록 광범위하게 해석될 것이다.
- [0010] [0018] 따라서, 하나 또는 그 초과의 예시적 실시예들에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 조합으로 구현될 수 있다. 소프트웨어로 구현될 경우, 함수들은 하나 또는 그 초과의 명령들 또는 코드로서 컴퓨터-판독가능한 매체상에 인코딩되거나 저장될 수 있다. 컴퓨터-판독가능한 매체는 컴퓨터 저장 매체를 포함한다. 저장 매체는 컴퓨터에 액세스될 수 있는 임의의 이용가능한 매체일 수 있다. 제한이 아닌 예로써, 이러한 컴퓨터-판독가능한 매체는, RAM(random-access memory), ROM(read-only memory), EEPROM(electrically erasable programmable ROM), CD-ROM(compact disk ROM) 또는 다른 광학 디스크 저장소, 자기 디스크 저장 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 전달하거나 저장하는데 이용될 수 있고 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 본원에서 사용되는 것처럼, 디스크(disk) 및 디스크(disc)는, CD, 레이저 디스크(disc), 광학 디스크 (disc), DVD(digital versatile disc), 및 플로피 디스크(disk)를 포함하며, 여기서 디스크(disk)들은 통상 자기적으로 데이터를 재생하는 반면, 디스크(disc)들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 상기한 것들의 결합을 또한 컴퓨터-판독가능한 매체의 범위 내에 포함되어야 한다.
- [0011] [0019] 도 1은 전력 모드를 제어하기 위한 예시적 주파수 전력 매니저(106)의 사용을 예시하는 다이어그램(100)이다. SoC(system on a chip)(102)는 프로세서(들)(160), 메모리 제어기(170) 및 인터페이스(180)를 포함한다. 인터페이스(180)는 주파수 전력 매니저(106) 및 모듈 컴포넌트(128)를 포함한다. 모듈 컴포넌트(128)는 복수의 모듈들(130-150)을 포함한다. 프로세서(들)(160)는 특정 원하는 동작 주파수로의 트랜지션(transition)에 대해 결정하고 메모리 제어기(170)에 알린다(inform). 메모리 제어기(170)는 원하는 동작 주파수를 주파수 전력 매니저(106)에 제공한다. 수신된 원하는 동작 주파수에 기초하여, 주파수 전력 매니저(106)는, 모듈들(130-150)을 포함하는 모듈 컴포넌트(128)의 전력 모드, 및 인터페이스(180)와 외부 모듈(들)(190) 간의 통신의

전력 모드를 제어한다. 선택된 전력 모드는 모듈들(130-150) 중 일부 모듈의 동작 주파수 및 인터페이스(180)와 외부 모듈(들)(190) 간의 통신을 제어한다. 모듈들(130-150)은 외부 모듈(들)(190)과 인터페이싱한다. 일 예에서, 인터페이스는 PHY 인터페이스(180)일 수 있고, 구체적으로 말하면 DDR PHY 인터페이스일 수 있으며, 외부 모듈(190)은 DDR DRAM일 수 있다. 그러나, 예시적 방법들 및 장치들이 DDR DRAM을 수반하는 애플리케이션들로 제한되는 것은 아니다. 이로써, 인터페이스(180)는, 인터페이스(180)의 전력 모드 및 외부 모듈(들)(190)과의 통신을 제어하기 위해, 임의의 외부 모듈(들)(190)과 인터페이싱하기 위한 임의의 혼합 신호 설계일 수 있다.

[0012]

[0020] 메모리 제어기(170)로부터의 원하는 동작 주파수 수신시, 주파수 전력 매니저(106)는 전력 모드들을 스위칭할지를 결정한다. 원하는 동작 주파수가 현재 전력 모드에서 획득가능한 경우, 주파수 전력 매니저(106)는 현재 전력 모드를 유지한다. 주파수 전력 매니저(106)가 전력 모드들을 스위칭하도록 결정하면, 주파수 전력 매니저(106)는 이전 전력 모드에 대응하는 제 1 전력 모드로부터 추후의 전력 모드에 대응하는 제 2 전력 모드로 모듈 컴포넌트(128)를 트랜지션한다. 제 2 전력 모드는 메모리 제어기(170)로부터 수신된 원하는 동작 주파수 제공을 필요로 한다. 예를 들어, 주파수 전력 매니저(106)가 동작 주파수(f)를 수신하면(여기서,  $f < 200$  MHz), 주파수 전력 매니저(106)는 원하는 동작 주파수에서의 동작을 위해 모듈 컴포넌트(128)를 초-저 전력 모드(ultra-low power mode)로 트랜지션할 수 있다. 또 다른 예에 대해, 주파수 전력 매니저(106)가 동작 주파수(f)를 수신하면(여기서,  $200$  MHz  $< f < 250$  MHz), 주파수 전력 매니저(106)는 원하는 동작 주파수에서의 동작을 위해 모듈 컴포넌트(128)를 저 전력 모드(low power mode)로 트랜지션할 수 있다. 또 다른 예에 대해, 주파수 전력 매니저(106)가 동작 주파수(f)를 수신하면(여기서,  $250$  MHz  $< f < 533$  MHz), 주파수 전력 매니저(106)는 원하는 동작 주파수에서의 동작을 위해 모듈 컴포넌트(128)를 중간 성능 모드(medium performance mode)로 트랜지션할 수 있다. 또 다른 예에 대해, 주파수 전력 매니저(106)가 동작 주파수(f)를 수신하면(여기서,  $f > 533$  MHz), 주파수 전력 매니저(106)는 원하는 동작 주파수에서의 동작을 위해 모듈 컴포넌트(128)를 고 성능 모드(high performance mode)로 트랜지션할 수 있다. 앞서 언급한 주파수들 및 주파수 범위들은 프로그램가능할 수 있다.

[0013]

[0021] 제 1 전력 모드(또는 이전 전력 모드)는 모듈 컴포넌트(128)의 제 1 세트의 모듈들과 연관될 수 있고, 제 2 전력 모드(또는 추후의 전력 모드)는 제 1 세트의 모듈들과는 상이한, 모듈 컴포넌트(128)의 제 2 세트의 모듈들과 연관될 수 있다. 예를 들어, 제 1 전력 모드는 모듈들의 세트들(108, 110, 112, 또는 114) 중 임의의 하나와 연관될 수 있고, 제 2 전력 모드는 모듈들의 세트들(108, 110, 112, 또는 114) 중 임의의 다른 하나와 연관될 수 있다. 모듈들의 세트들(108, 110, 112, 및 114) 각각은 상이하지만, 일부 동일한 모듈들을 포함할 수도 있다. 예를 들어, 모듈들의 세트(108)는 모듈들(130, 132, 134, 136, 140, 142, 및 144)을 포함할 수 있고; 모듈들의 세트(110)는 모듈들(134, 136, 142, 144, 및 146)을 포함할 수 있고; 모듈들의 세트(112)는 모듈들(146 및 148)을 포함할 수 있고; 그리고 모듈들의 세트(114)는 모듈들(138 및 148)을 포함할 수 있다. 예를 들어, 모듈(들)(150)과 같은, 일부 모듈들은 모든 전력 모드들과 연관될 수 있다.

[0014]

[0022] 주파수 전력 매니저(106)는 복수의 유한 상태 기계들(FSM들) 및 다른 회로를 포함한다. 이에 따라, 주파수 전력 매니저(106)는, 하드웨어-구동 다이나믹 전압/주파수 스위칭을 통해 모듈 컴포넌트(128)에 의해 소모되는 전력을 최적화시키고 제 1 전력 모드로부터 제 2 전력 모드로의 빠르고 효율적인 트랜지션을 제공하기 위한 하드웨어 컴포넌트들만을 포함할 수 있다. 일 예에서, FSM들의 하드웨어 컴포넌트들은 28nm 프로세스 기술을 이용하여 제조된다. 다른 프로세스 기술들, 예컨대 20nm, 16nm FinFET(fin field effect transistor), 또는 다른 프로세스 기술들이 사용될 수 있다. 주파수 전력 매니저(106)는 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들의 모듈들을 인에이블링(예를 들어, 더 낮은 전력 스탠바이 상태(standby state)로부터 더 높은 전력 동작 상태로 변경 또는 턴 온)한다. 예를 들어, 제 1 전력 모드가 모듈들의 세트(108)와 연관되고 제 2 전력 모드가 모듈들의 세트(110)와 연관될 경우, 주파수 전력 매니저(106)는 모듈(146)을 인에이블링한다. 모듈(146)은, 모듈들의 세트(108)와 연관된 제 1 전력 모드와 연관되지 않는, 모듈들의 세트(110)에 있는 유일한 모듈이다. 주파수 전력 매니저(106)는, 모듈(146)이 인에이블링된 후 모듈(146)이 스탠바이 상태에 도달할 때까지 일정 시간 기간(또는 스타트업(startup) 시간 기간)을 대기한다. 예를 들어, 주파수 전력 매니저(106)는, 모듈(146)이 인에이블링된 후 모듈(146)이 특정한 그리고 예상되는 출력을 제공할 때까지 대기할 수 있다. 하나의 구성에서, 시간 기간은, 특정한 또는 예상되는 출력을 제공하기 위해 모듈(146)에 대해 알려진 또는 테스트되는 시간에 기초하여 미리결정될 수 있다. 다른 구성에서, 시간 기간은 프로그램가능할 수 있다. 다른 구성에서, 시간 기간은 모듈(146)로부터 "준비(ready)" 신호를 수신하는 것에 기초할 수 있다. 따라서, 주파수 전력 매니저(106)는, 모듈(146)이 정상 상태(steady state)에 도달할 때까지 일정 시간 기간을 대기할 수 있으며, 시간 기간은 미리결정되고, 프로그램가능하고, 그리고/또는 "준비" 신호가 모듈(146)로부터 수신되는 시기

에 기초할 수 있다. 시간 기간의 시간 길이는, 주파수 전력 매니저(106)가 인에이블링하는 특정 모듈들 및 특정 모듈들을 인에이블링하는 순서에 의존할 수 있다. 모듈(146)이 인에이블링된 후 일정 시간의 만료시, 주파수 전력 매니저(106)는, 모듈들(130-150)을 통한 트래픽을 잠시 중단한다. 모듈들(130-150)을 통한 트래픽의 흐름을 중단시키는 것은, SoC(102)와 외부 모듈(들)(190) 간의 트래픽의 흐름을 중단시킨다. 주파수 전력 매니저(106)의 FSM들 내에서 활용되는 28nm 프로세스 기술로, 트래픽은 약 10-20 ns 동안 중단된다. 그러나, 트래픽이 중단되는 시간의 양은 프로그램 가능할 수 있다. 이후 주파수 전력 매니저(106)는 모듈들의 세트(110)를 통해 트래픽을 라우팅한다. 트래픽이 모듈들의 세트(110)를 통해 라우팅된 후, 주파수 전력 매니저(106)는, 제2 전력 모드와 연관되지 않은 모듈들의 세트(108)의 모듈들을 디세이블링(예를 들어, 더 높은-전력 동작 상태로부터 더 낮은-전력 스텐바이 상태로 변경 또는 턴 오프)한다. 구체적으로 말하면, 주파수 전력 매니저(106)는 모듈들(130, 132 및 140)을 디세이블링한다.

[0015]

[0023] 도 2는 주파수 전력 매니저(106)에 의해 제어되는 예시적 모듈들의 세트를 예시하는 다이어그램(200)이다. 모듈 컴포넌트(128)는 모듈들(202-226)을 포함할 수 있다. 도 2에 도시된 것처럼, 멀티플렉서(202)는 고-전력(HP) 입력 수신기(206) 및 멀티플렉서(204)로부터 입력들을 수신한다. 멀티플렉서(202)는 입력들 중 하나를 선택하여 선택 신호에 기초한 출력을 한다. 멀티플렉서(204)는 중간-전력(MP) 입력 수신기(208) 및 저-전력(LP) 입력 수신기(210)로부터 입력들을 수신한다. HP 입력 수신기(206), MP 입력 수신기(208), 및 LP 입력 수신기(210)는 병렬로 연결될 수 있다. 멀티플렉서(204)는 입력들 중 하나를 선택하여 선택 신호에 기초한 출력을 한다. HP 입력 수신기(206)는 기준 전압 발생기(212)로부터의 기준 전압 및 바이어스 전류 발생기(214)로부터의 바이어스 전류를 수신한다. 바이어스 전류 발생기(214)는 또한 바이어스 전류를 PLL(phase lock loop)(216)에 제공한다. PLL(216)는 전류-전압(current-to-voltage) 변환기(218)에 전류를 출력한다. 전류-전압 변환기(218)는 수신된 전류를 전압으로 변환하고 이 전압을 HP CDC(calibrated delay circuit)(220)에 제공한다. PLL(216), 전류-전압 변환기(218), 및 HP CDC(220)는 LDO(low-dropout) 레귤레이터(224)로부터 공급 전압을 수신한다. LDO 레귤레이터(224)에는 하나 또는 그 초과의 공급 전압들(Vdd<sub>1</sub>, Vdd<sub>2</sub>)(예를 들어, Vdd<sub>1</sub>=1.05 V, Vdd<sub>2</sub>=1.8 V)이 공급될 수 있다. 하나 또는 그 초과의 멀티플렉서들을 포함할 수 있는 멀티플렉서(226)는, HP CDC(220) 및 LP CDC(222)로부터 입력들을 수신한다. HP CDC(220) 및 LP CDC(222)는 병렬로 연결될 수 있다. 멀티플렉서(226)는 입력들 중 하나를 선택하여 선택 신호에 기초한 출력을 한다. 멀티플렉서(226)의 출력은 지연된 클록 신호일 수 있다. 예를 들어, 지연된 클록 신호는 사이클의 1/4 만큼 지연될 수 있으며 외부 모듈(들)(190)로 데이터를 송신하는데 사용될 수 있고 그리고/또는 외부 모듈(들)(190)로부터의 데이터 수신시에 입력 수신기(206, 208, 210)에 의해 사용될 수 있다.

[0016]

[0024] 모듈들(202-226) 각각은 하나 또는 그 초과의 전력 모드들과 연관될 수 있다. 예를 들어, 멀티플렉서들(202, 204, 226)은 모든 전력 모드들과 연관될 수 있다. 멀티플렉서들(202, 204, 226)은 모듈(들)(150)에 대응할 수 있다. 또 다른 예에 대해, LP CDC(222) 및 LP 입력 수신기(210)은 제1 전력 모드(예를 들어, 초-저 전력 모드)와 연관될 수 있으며; LP CDC(222) 및 MP 입력 수신기(208)는 제2 전력 모드(예를 들어, 저 전력 모드)와 연관될 수 있으며; MP 입력 수신기(208), 바이어스 전류 발생기(214), PLL(216), 전류-전압 변환기(218), 및 HP CDC(220)는 제3 전력 모드(예를 들어, 중간 성능 모드)와 연관될 수 있으며; 그리고 HP 입력 수신기(206), 기준 전압 발생기(212), 바이어스 전류 발생기(214), PLL(216), 전류-전압 변환기(218), LDO 레귤레이터(224), 및 HP CDC(220)는 제4 전력 모드(예를 들어, 고 성능 모드)와 연관될 수 있다. 제1, 제2, 제3 및 제4 전력 모드들에 대응하는 모듈들 중 일부는 전력 모드에 기초하여 상이한 클록 주파수들에서 동작할 수 있다. 예를 들어, 제1 전력 모드에서 인에이블링되는 일부 모듈들은 주파수(f<sub>1</sub>)에서 동작할 수 있고, 제2 전력 모드에서 인에이블링되는 일부 모듈들은 주파수(f<sub>2</sub>)에서 동작할 수 있고, 제3 전력 모드에서 인에이블링되는 일부 모듈들은 주파수(f<sub>3</sub>)에서 동작할 수 있고, 그리고 제4 전력 모드에서 인에이블링되는 일부 모듈들은 주파수(f<sub>4</sub>)에서 동작할 수 있다. 일 예에서, f<sub>1</sub> < 200 MHz, 200 MHz < f<sub>2</sub> < 250 MHz, 250 MHz < f<sub>3</sub> < 533 MHz이고, 그리고 f<sub>4</sub> > 533 MHz이다. 앞서 언급한 주파수들 및 주파수 범위들은 프로그램 가능할 수 있다.

[0017]

[0025] 도 1 및 도 2를 참조로, 모듈들(202-226)이 제1 전력 모드(예를 들어, 초-저 전력 모드)에서 구성될 때, 모듈들(202-226) 중 일부는 f<sub>1</sub>의 동작 주파수를 가질 수 있으며, 모듈들(202-226)을 포함하는 PHY 인터페이스(180)는 f<sub>1</sub>의 동작 주파수에서 외부 모듈(예를 들어, 외부 모듈(들)(190), DDR DRAM)과 통신할 수 있다. 모듈들(202-226)이 제2 전력 모드(예를 들어, 저 전력 모드)에서 구성될 때, 모듈들(202-226) 중 일부는 f<sub>2</sub>의 동작 주파수를 가질 수 있으며, 모듈들(202-226)을 포함하는 PHY 인터페이스(180)는 f<sub>2</sub>의 동작 주파수에서 외부

모듈(예를 들어, 외부 모듈(들)(190), DDR DRAM)과 통신할 수 있다. 모듈들(202-226)이 제 3 전력 모드(예를 들어, 중간 성능 모드)에서 구성될 때, 모듈들(202-226) 중 일부는  $f_3$ 의 동작 주파수를 가질 수 있으며, 모듈들(202-226)을 포함하는 PHY 인터페이스(180)는  $f_3$ 의 동작 주파수에서 외부 모듈(예를 들어, 외부 모듈(들)(190), DDR DRAM)과 통신할 수 있다. 모듈들(202-226)이 제 4 전력 모드(예를 들어, 고 성능 모드)에서 구성될 때, 모듈들(202-226) 중 일부는  $f_4$ 의 동작 주파수를 가질 수 있으며, 모듈들(202-226)을 포함하는 PHY 인터페이스(180)는  $f_4$ 의 동작 주파수에서 외부 모듈(예를 들어, 외부 모듈(들)(190), DDR DRAM)과 통신할 수 있다.

[0018]

[0026] 도 3은 제 1 전력 모드에서 활용될 수 있는 모듈들을 예시하는 다이어그램(300)이다. 이전 모드로부터 제 1 전력 모드로 트랜지션할 때, 주파수 전력 매니저(106)는, 이전 모드에서 디세이블링되었던, LP CDC(222) 및 LP 입력 수신기(210)를 비롯한 공유 모듈들 중 임의의 것을 인에이블링한다. LP CDC(222) 및 LP 입력 수신기(210)를 비롯한 공유 모듈들 중 임의의 것이 이전 모드에서 이미 인에이블링되었다면, 주파수 전력 매니저(106)는 인에이블링된 상태를 유지한다. 주파수 전력 매니저(106)는 또한, 멀티플렉서들(202, 204, 226)이 제 1 전력 모드를 위한 정확한 신호들을 출력하도록, 멀티플렉서들(202, 204, 226)에 적절한 선택 신호들을 제공할 수 있다. 추후에, 주파수 전력 매니저(106)는, SOC(102)와 외부 모듈(190) 간의 통신이 예를 들어 10-20 ns와 같은 짧은 시간 기간(이는 프로그램 가능할 수 있음) 동안 유보(suspend)되도록 모듈들(202-226)을 구성할 수 있다. 이후, 주파수 전력 매니저(106)는, LP CDC(222)와 LP 입력 수신기(210)를 이용하여 SOC(102)와 외부 모듈(190) 간의 통신이 재개되도록 모듈들(202-226)을 구성할 수 있다. 이후 주파수 전력 매니저(106)는 제 1 전력 모드와 연관되지 않은 임의의 모듈들을 디세이블링할 수 있다.

[0019]

[0027] 도 4는 제 2 전력 모드에서 활용될 수 있는 모듈들을 예시하는 다이어그램(400)이다. 이전 모드로부터 제 2 전력 모드로 트랜지션할 때, 주파수 전력 매니저(106)는, 이전 모드에서 디세이블링되었던, LP CDC(222) 및 MP 입력 수신기(208)를 비롯한 공유 모듈들 중 임의의 것을 인에이블링한다. LP CDC(222) 및 MP 입력 수신기(208)를 비롯한 공유 모듈들 중 임의의 것이 이전 모드에서 이미 인에이블링되었다면, 주파수 전력 매니저(106)는 인에이블링된 상태를 유지한다. 주파수 전력 매니저(106)는 또한, 멀티플렉서들(202, 204, 226)이 제 2 전력 모드를 위한 정확한 신호들을 출력하도록, 멀티플렉서들(202, 204, 226)에 적절한 선택 신호들을 제공할 수 있다. 추후에, 주파수 전력 매니저(106)는, SOC(102)와 외부 모듈(190) 간의 통신이 예를 들어 10-20 ns와 같은 짧은 시간 기간(이는 프로그램 가능할 수 있음) 동안 유보되도록 모듈들(202-226)을 구성할 수 있다. 이후, 주파수 전력 매니저(106)는, LP CDC(222)와 LP 입력 수신기(208)를 이용하여 SOC(102)와 외부 모듈(190) 간의 통신이 재개되도록 모듈들(202-226)을 구성할 수 있다. 이후 주파수 전력 매니저(106)는 제 2 전력 모드와 연관되지 않은 임의의 모듈들을 디세이블링할 수 있다.

[0020]

[0028] 도 5는 제 3 전력 모드에서 활용될 수 있는 모듈들을 예시하는 다이어그램(500)이다. 이전 모드로부터 제 3 전력 모드로 트랜지션할 때, 주파수 전력 매니저(106)는, 이전 모드에서 디세이블링되었던, 바이어스 전류 발생기(214), PLL(216), 전류-전압 변환기(218), HP CDC(220), 및 MP 입력 수신기(208)를 비롯한 공유 모듈들 중 임의의 것을 인에이블링한다. 바이어스 전류 발생기(214), PLL(216), 전류-전압 변환기(218), HP CDC(220), 및 MP 입력 수신기(208)를 비롯한 공유 모듈들 중 임의의 것이 이전 모드에서 이미 인에이블링되었다면, 주파수 전력 매니저(106)는 인에이블링된 상태를 유지한다. 주파수 전력 매니저(106)는 또한, 멀티플렉서들(202, 204, 226)이 제 3 전력 모드를 위한 정확한 신호들을 출력하도록, 멀티플렉서들(202, 204, 226)에 적절한 선택 신호들을 제공할 수 있다. 추후에, 주파수 전력 매니저(106)는, SOC(102)와 외부 모듈(190) 간의 통신이 예를 들어 10-20 ns와 같은 짧은 시간 기간(이는 프로그램 가능할 수 있음) 동안 유보되도록 모듈들(202-226)을 구성할 수 있다. 이후, 주파수 전력 매니저(106)는, 바이어스 전류 발생기(214), PLL(216), 전류-전압 변환기(218), HP CDC(220), 및 MP 입력 수신기(208)를 이용하여 SOC(102)와 외부 모듈(190) 간의 통신이 재개되도록 모듈들(202-226)을 구성할 수 있다. 이후 주파수 전력 매니저(106)는 제 3 전력 모드와 연관되지 않은 임의의 모듈들을 디세이블링할 수 있다.

[0021]

[0029] 도 6는 제 4 전력 모드에서 활용될 수 있는 모듈들을 예시하는 다이어그램(600)이다. 이전 모드로부터 제 4 전력 모드로 트랜지션할 때, 주파수 전력 매니저(106)는, 이전 모드에서 디세이블링되었던, 바이어스 전류 발생기(214), PLL(216), 전류-전압 변환기(218), HP CDC(220), LDO 레귤레이터(224), 기준 전압 발생기(212), 및 HP 입력 수신기(206)를 비롯한 공유 모듈들 중 임의의 것을 인에이블링한다. 바이어스 전류 발생기(214), PLL(216), 전류-전압 변환기(218), HP CDC(220), LDO 레귤레이터(224), 기준 전압 발생기(212), 및 HP 입력 수신기(206)를 비롯한 공유 모듈들 중 임의의 것이 이전 모드에서 이미 인에이블링되었다면, 주파수 전력 매니저(106)는 인에이블링된 상태를 유지한다. 주파수 전력 매니저(106)는 또한, 멀티플렉서들(202, 204, 226)이 제

4 전력 모드를 위한 정확한 신호들을 출력하도록, 멀티플렉서들(202, 204, 226)에 적절한 선택 신호들을 제공할 수 있다. 추후에, 주파수 전력 매니저(106)는, SOC(102)와 외부 모듈(190) 간의 통신이 예를 들어 10-20 ns와 같은 짧은 시간 기간(이는 프로그램 가능할 수 있음) 동안 유보되도록 모듈들(202-226)을 구성할 수 있다. 이후, 주파수 전력 매니저(106)는, 바이어스 전류 발생기(214), PLL(216), 전류-전압 변환기(218), HP CDC(220), LDO 레귤레이터(224), 기준 전압 발생기(212), 및 HP 입력 수신기(206)를 이용하여 SOC(102)와 외부 모듈(190) 간의 통신이 재개되도록 모듈들(202-226)을 구성할 수 있다. 이후 주파수 전력 매니저(106)는 제 4 전력 모드와 연관되지 않은 임의의 모듈들을 디세이블링할 수 있다.

[0022]

[0030] 도 7은 복수의 모듈들의 전력 모드를 제어하기 위한 하드웨어 모듈에 대한 방법의 흐름도(700)이다. 하드웨어 모듈은 주파수 전력 매니저(예를 들어, 도 1의 주파수 전력 매니저(106))일 수 있다. 주파수 전력 매니저는 하드웨어-구동 다이나믹 전압/주파수 스위칭을 통해 복수의 모듈들에 의해 소모되는 전력을 최적화시키고 제 1 전력 모드로부터 제 2 전력 모드로의 빠르고 효율적인 트랜지션을 제공하기 위한 복수의 FSM들을 포함할 수 있다. FSM들은 28nm, 20nm, 16nm FinFET 또는 다른 프로세스 기술들에 기초하여 구성될 수 있다. 단계 702에서, 주파수 전력 매니저는 원하는 동작 주파수의 표시를 수신할 수 있다. 원하는 동작 주파수가 제 1 전력 모드(또는 현재 전력 모드)에 의해 지원되는 주파수 범위 내에 있는 경우, 주파수 전력 매니저는 제 1 전력 모드를 유지한다. 그러나, 원하는 동작 주파수 범위가 제 1 전력 모드에 의해서는 지원되지 않지만 제 2 전력 모드에 의해서는 지원되는 주파수 범위내에 있는 경우, 주파수 전력 매니저는 제 1 전력 모드로부터 제 2 전력 모드로의 스위칭을 결정한다. 단계 704에서, 원하는 동작 주파수의 수신된 표시에 기초하여, 주파수 전력 매니저는 제 1 전력 모드로부터 제 2 전력 모드로의 스위칭을 결정한다. 제 2 전력 모드는 원하는 동작 주파수에 대응한다. 제 1 전력 모드는 복수의 모듈들 중 제 1 세트의 모듈들과 연관되며, 제 2 전력 모드는 복수의 모듈들 중 제 2 세트의 모듈들과 연관된다. 일 구성에서, 하드웨어 모듈 및 제 1 세트 및 제 2 세트의 모듈들은 DDR PHY 하드웨어 모듈(예를 들어, 도 1의 DDR PHY 하드웨어 모듈(180)) 내에 있다. 단계 706에서, 주파수 전력 매니저는 제 1 전력 모드로부터 제 2 전력 모드로 복수의 모듈들의 트랜지션을 시작하며, 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들을 인에이블링한다. 주파수 전력 매니저는, 더 낮은-전력 스탠바이 상태로부터 더 높은-전력 동작 상태로 모듈들의 전력 상태를 변경함으로써 그리고/또는 모듈들을 턴 온함으로써 모듈들을 인에이블링할 수 있다. 주파수 전력 매니저는 특정 순서 또는 시퀀스로 모듈들을 인에이블링할 수 있다. 예를 들어, 도 2를 참조로, 주파수 전력 매니저는, LDO 레귤레이터(224) 또는 HP 입력 수신기(206)가 인에이블링되기 전에 바이어스 전류 발생기(214)를 인에이블링할 수 있으며, HP CDC(220)가 인에이블링되기 전에 바이어스 전류 발생기(214) 및 LDO 레귤레이터(224)를 인에이블링할 수 있다. 주파수 전력 매니저는, 각각의 모듈이 동작을 위해 준비하는데 소요되는 시간 길이(예를 들어, 각각의 모듈이 정상 상태를 취하는데 소요되는 시간의 양)에 기초하여 상이한 시간들에 모듈들을 인에이블링한다. 주파수 전력 매니저는, 모든 모듈들이 최소(least) 시간 양으로 동작을 준비하도록, 상이한 시간들에 그리고 특정한 순서로 모듈들을 인에이블링한다. 단계 708에서, 주파수 전력 매니저는, 제 2 세트의 모듈들이 정상 상태에 도달할 때까지 일정 시간 기간(또는 스타트업 시간 기간) 동안 대기한다. 단계 710에서, 주파수 전력 매니저는 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들이 인에이블링된 후 시간 기간의 만료시 복수의 모듈들을 통한 트래픽을 중단한다. 또한 주파수 전력 매니저는 복수의 모듈들이 통신하는 외부 모듈(들)과 복수의 모듈들 간의 트래픽을 중단한다. 주파수 전력 매니저는, 주파수 전력 매니저가 28nm 프로세스 기술을 활용함을 가정하여, 약 10-20 ns 동안 트래픽을 중단할 수 있다. 그러나, 앞서 논의된 것처럼, 다른 프로세스 기술들이 사용될 수 있다. 단계 712에서, 주파수 전력 매니저는 제 2 세트의 모듈들을 통해 트래픽을 라우팅한다. 단계 714에서, 주파수 전력 매니저는 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들을 디세이블링한다. 주파수 전력 매니저는 더 높은-전력 동작 상태로부터 더 낮은-전력 스탠바이 상태로 모듈들의 전력 상태를 변경함으로써 그리고/또는 모듈들을 턴 오프함으로써 모듈들을 디세이블링할 수 있다.

[0023]

[0031] 일 구성에서, 복수의 모듈들은 제 1 CDC 및 제 1 CDC와 병렬인 제 2 CDC를 포함한다. 제 1 세트의 모듈들은 제 1 CDC를 포함하며, 제 2 세트의 모듈들은 제 2 CDC를 포함한다. 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 제 2 CDC를 포함하며, 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 제 1 CDC를 포함한다. 제 2 CDC는 제 1 CDC보다 더 높은 전력 모드 또는 더 낮은 전력 모드를 지원할 수 있다. 예를 들어, 도 2를 참조하면, 모듈들(202-226)은 HP CDC(220) 및 LP CDC(222)를 포함한다. 이전 전력 모드가 HP CDC(220)를 활용하고 추후 전력 모드가 LP CDC(222)를 활용할 경우, LP CDC(222)가 인에이블링된다. LP CDC(222)를 통해 트래픽이 라우팅된 후, HP CDC(220)는 디세이블링된다.

[0024]

[0032] 일 구성에서, 복수의 모듈들은 제 1 입력 수신기 및 제 1 입력 수신기와 병렬인 제 2 입력 수신기를 포

함한다. 제 1 세트의 모듈들은 제 1 입력 수신기를 포함하며, 제 2 세트의 모듈들은 제 2 입력 수신기를 포함한다. 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들에서 인에이블링되는 모듈들은 제 2 입력 수신기를 포함하며, 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들에서 디세이블링되는 모듈들은 제 1 입력 수신기를 포함한다. 제 2 입력 수신기는 제 1 입력 수신기보다 더 높은 전력 모드 또는 더 낮은 전력 모드를 지원할 수 있다. 예를 들어, 도 2를 참조로, 모듈들(202-226)은 MP 입력 수신기(208) 및 LP 입력 수신기(210)를 포함한다. 이전 전력 모드가 MP 입력 수신기(208)를 활용하고 후속 전력 모드가 LP 입력 수신기(210)를 활용할 경우, LP 입력 수신기(210)가 인에이블링된다. 트래픽이 LP 입력 수신기(210)를 통해 라우팅된 후, MP 입력 수신기(208)는 디세이블링된다.

[0025] 복수의 모듈들이 DDR DRAM과 인터페이싱할 때(즉, 외부 모듈(들)(190)이 DDR DRAM일 때), 복수의 모듈들은 복수의 CDC들, 복수의 입력 수신기들, LDO 레귤레이터, 전류-전압 변환기, PLL, 바이어스 전류 발생기, 또는 기준 전압 발생기 중 적어도 하나를 포함할 수 있다. 앞서 논의된 것처럼, 주파수 전력 매니저는 제 1 전력 모드로부터 제 2 전력 모드로의 트랜지션을 관리할 수 있다. 제 1 전력 모드는 N개의 전력 모드들 중 임의의 하나일 수 있으며, 제 2 전력 모드는 개의 전력 모드들 중 다른 하나일 수 있다. 일반적으로,  $N \geq 2$ 이다. 도 2-6과 관련하여 제공되는 예들에서, N=4이다. 하기 예들에 대해, N=4이며 전력 모드들이 초-저 전력 모드, 저 전력 모드, 중간 성능 모드 및 고 성능 모드를 포함하는 것으로 가정한다.

[0026] 일 예에서, 주파수 전력 매니저는 초-저 전력 모드로부터 저 전력 모드로 트랜지션한다. 이에 따라, 제 1 전력 모드는 초-저 전력 모드이고 제 2 전력 모드는 저 전력 모드이다. 도 3, 도 4를 참조로, 제 1 세트의 모듈들은 복수의 CDC들(220, 222) 중 저-전력 CDC(222) 및 복수의 입력 수신기들(206, 208, 210) 중 저-전력 입력 수신기(210)를 포함할 수 있다. 제 2 세트의 모듈들은 저-전력 CDC(222) 및 복수의 입력 수신기들(206, 208, 210) 중 중간-전력 입력 수신기(208)를 포함할 수 있다. 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들에서 주파수 전력 매니저가 인에이블링(단계 706)하는 모듈들은 중간-전력 입력 수신기(208)를 포함한다. 주파수 전력 매니저는, 저-전력 CDC(222)가 제 1 전력 모드에서 이미 인에이블링됨에 따라, 저-전력 CDC(222)의 인에이블링을 삼간다. 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들에서 주파수 전력 매니저가 디세이블링(단계 714)하는 모듈들은 저-전력 입력 수신기(210)를 포함한다. 주파수 전력 매니저는, 저-전력 CDC(222)가 제 2 전력 모드 동안 활용됨에 따라, 저-전력 CDC(222)의 디세이블링을 삼간다.

[0027] 일 예에서, 주파수 전력 매니저는 초-저 전력 모드로부터 중간 성능 모드로 트랜지션한다. 이에 따라, 제 1 전력 모드는 초-저 전력 모드이고 제 2 전력 모드는 중간 성능 모드이다. 도 3, 도 5를 참조로, 제 1 세트의 모듈들은 복수의 CDC들(220, 222) 중 저-전력 CDC(222) 및 복수의 입력 수신기들(206, 208, 210) 중 저-전력 입력 수신기(210)를 포함할 수 있다. 제 2 세트의 모듈들은 복수의 CDC들(220, 222) 중 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), 바이어스 전류 발생기(214), 및 복수의 입력 수신기들(206, 208, 210) 중 중간-전력 입력 수신기(208)를 포함할 수 있다. 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들에서 주파수 전력 매니저가 인에이블링(단계 706)하는 모듈들은 제 2 세트의 모듈들(220, 218, 216, 214, 208) 모두를 포함하고, 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들에서 주파수 전력 매니저가 디세이블링(단계 714)하는 모듈들은 제 1 세트의 모듈들(222, 210) 모두를 포함한다.

[0028] 일 예에서, 주파수 전력 매니저는 초-저 전력 모드로부터 고 성능 모드로 트랜지션한다. 이에 따라, 제 1 전력 모드는 초-저 전력 모드이고 제 2 전력 모드는 고 성능 모드이다. 도 3, 도 6을 참조로, 제 1 세트의 모듈들은 복수의 CDC들(220, 222) 중 저-전력 CDC(222) 및 복수의 입력 수신기들(206, 208, 210) 중 저-전력 입력 수신기(210)를 포함할 수 있다. 제 2 세트의 모듈들은 복수의 CDC들(220, 222) 중 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), LDO 레귤레이터(224), 바이어스 전류 발생기(214), 기준 전압 발생기(212) 및 복수의 입력 수신기들(206, 208, 210) 중 고-전력 입력 수신기(206)를 포함할 수 있다. 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들에서 주파수 전력 매니저가 인에이블링(단계 706)하는 모듈들은 제 2 세트의 모듈들(220, 218, 216, 224, 214, 212, 206) 모두를 포함하며, 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들에서 주파수 전력 매니저가 디세이블링(단계 714)하는 모듈들은 제 1 세트의 모듈들(222, 210) 모두를 포함한다.

[0029] 일 예에서, 주파수 전력 매니저는 저 전력 모드로부터 초-저 전력 모드로 트랜지션한다. 이에 따라, 제 1 전력 모드는 저 전력 모드이고 제 2 전력 모드는 초-저 전력 모드이다. 도 3, 도 4를 참조로, 제 1 세트의 모듈들은 복수의 CDC들(220, 222) 중 저-전력 CDC(222) 및 복수의 입력 수신기들(206, 208, 210) 중 중간-전력 입력 수신기(208)를 포함할 수 있다. 제 2 세트의 모듈들은 저-전력 CDC(222) 및 복수의 입력 수신기들(206,

208, 210) 중 저-전력 입력 수신기(210)를 포함할 수 있다. 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들에서 주파수 전력 매니저가 인에이블링(단계 706)하는 모듈들은 저-전력 입력 수신기(210)를 포함한다. 저-전력 CDC(222)가 제 1 전력 모드에서 이미 인에이블링됨에 따라, 주파수 전력 매니저는 저-전력 CDC(222)의 인에이블링을 삼간다. 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들에서 주파수 전력 매니저가 디세이블링(단계 714)하는 모듈들은 중간-전력 입력 수신기(208)를 포함한다. 저-전력 CDC(222)가 제 2 전력 모드 동안 활용됨에 따라, 주파수 전력 매니저는 저-전력 CDC(222)의 디세이블링을 삼간다.

[0030] 일 예에서, 주파수 전력 매니저는 저 전력 모드로부터 중간 성능 모드로 트랜지션한다. 이에 따라, 제 1 전력 모드는 저 전력 모드이고 제 2 전력 모드는 중간 성능 모드이다. 도 4, 도 5를 참조로, 제 1 세트의 모듈들은 복수의 CDC들(220, 222) 중 저-전력 CDC(222) 및 복수의 입력 수신기들(206, 208, 210) 중 중간-전력 입력 수신기(208)를 포함할 수 있다. 제 2 세트의 모듈들은 복수의 CDC들(220, 222) 중 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), 바이어스 전류 발생기(214), 및 중간-전력 입력 수신기(208)를 포함할 수 있다. 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들에서 주파수 전력 매니저가 인에이블링(단계 706)하는 모듈들은 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), 및 바이어스 전류 발생기(214)를 포함한다. 중간-전력 입력 수신기(208)가 제 1 전력 모드에서 이미 인에이블링됨에 따라, 주파수 전력 매니저는 중간-전력 입력 수신기(208)의 인에이블링을 삼간다. 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들에서 주파수 전력 매니저가 디세이블링(단계 714)하는 모듈들은 저-전력 CDC(222)를 포함한다. 중간-전력 입력 수신기(208)가 제 2 전력 모드 동안 활용됨에 따라, 주파수 전력 매니저는 중간-전력 입력 수신기(208)의 디세이블링을 삼간다.

[0031] 일 예에서, 주파수 전력 매니저는 저 전력 모드로부터 고 성능 모드로 트랜지션한다. 이에 따라, 제 1 전력 모드는 저 전력 모드이고 제 2 전력 모드는 고 성능 모드이다. 도 4, 도 6을 참조로, 제 1 세트의 모듈들은 복수의 CDC들(220, 222) 중 저-전력 CDC(222) 및 복수의 입력 수신기들(206, 208, 210) 중 중간-전력 입력 수신기(208)를 포함할 수 있다. 제 2 세트의 모듈들은 복수의 CDC들(220, 222) 중 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), LDO 레귤레이터(224), 바이어스 전류 발생기(214), 기준 전압 발생기(212) 및 복수의 입력 수신기들(206, 208, 210) 중 고-전력 입력 수신기(206)를 포함할 수 있다. 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들에서 주파수 전력 매니저가 인에이블링(단계 706)하는 모듈들은 제 2 세트의 모듈들(220, 218, 216, 224, 214, 212, 및 206) 모두를 포함하며, 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들에서 주파수 전력 매니저가 디세이블링(단계 714)하는 모듈들은 제 1 세트의 모듈들(222, 208) 모두를 포함한다.

[0040] 일 예에서, 주파수 전력 매니저는 중간 성능 모드로부터 초-저 전력 모드로 트랜지션한다. 이에 따라, 제 1 전력 모드는 중간 성능 모드이고 제 2 전력 모드는 초-저 전력 모드이다. 도 3, 도 5를 참조로, 제 1 세트의 모듈들은 복수의 CDC들(220, 222) 중 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), 바이어스 전류 발생기(214), 및 복수의 입력 수신기들(206, 208, 210) 중 중간-전력 입력 수신기(208)를 포함할 수 있다. 제 2 세트의 모듈들은 복수의 CDC들(220, 222) 중 저-전력 CDC(222) 및 복수의 입력 수신기들(206, 208, 210) 중 저-전력 입력 수신기(210)를 포함할 수 있다. 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들에서 주파수 전력 매니저가 인에이블링(단계 706)하는 모듈들은 제 2 세트의 모듈들(222, 210) 모두를 포함하며, 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들에서 주파수 전력 매니저가 디세이블링(단계 714)하는 모듈들은 제 1 세트의 모듈들(220, 218, 216, 214, 208) 모두를 포함한다.

[0041] 일 예에서, 주파수 전력 매니저는 중간 성능 모드로부터 저 전력 모드로 트랜지션한다. 이에 따라, 제 1 전력 모드는 중간 성능 모드이고 제 2 전력 모드는 저 전력 모드이다. 도 4, 도 5를 참조로, 제 1 세트의 모듈들은 복수의 CDC들(220, 222) 중 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), 바이어스 전류 발생기(214), 및 복수의 입력 수신기들(206, 208, 210) 중 중간-전력 입력 수신기(208)를 포함할 수 있다. 제 2 세트의 모듈들은 복수의 CDC들(220, 222) 중 저-전력 CDC(222) 및 중간-전력 입력 수신기(208)를 포함할 수 있다. 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들에서 주파수 전력 매니저가 인에이블링(단계 706)하는 모듈들은 저-전력 CDC(222)를 포함한다. 중간-전력 입력 수신기(208)가 제 1 전력 모드에서 이미 인에이블링됨에 따라, 주파수 전력 매니저는 중간-전력 입력 수신기(208)의 인에이블링을 삼간다. 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들에서 주파수 전력 매니저가 디세이블링(단계 714)하는 모듈들은 복수의 CDC들(220, 222) 중 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), 및 바이어스 전류 발생기(214)를 포함한다. 중간-전력 입력 수신기(208)가 제 2 전력 모드 동안 활용됨에 따라, 주파수 전력 매니저는 중간-전력 입력 수신기(208)의 디세이블링을 삼간다.

- [0034] [0042] 일 예에서, 주파수 전력 매니저는 중간 성능 모드로부터 고 성능 모드로 트랜지션한다. 이에 따라, 제 1 전력 모드는 중간 성능 모드이고 제 2 전력 모드는 고 성능 모드이다. 도 5, 도 6을 참조로, 제 1 세트의 모듈들은 복수의 CDC들(220, 222) 중 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), 바이어스 전류 발생기(214), 및 복수의 입력 수신기들(206, 208, 210) 중 중간-전력 입력 수신기(208)를 포함할 수 있다. 제 2 세트의 모듈들은 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), LDO 레귤레이터(224), 바이어스 전류 발생기(214), 기준 전압 발생기(212), 및 복수의 입력 수신기들(206, 208, 210) 중 고-전력 입력 수신기(206)를 포함할 수 있다. 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들에서 주파수 전력 매니저가 인에이블링(단계 706)하는 모듈들은 LDO 레귤레이터(224), 기준 전압 발생기(212), 및 고-전력 입력 수신기(206)를 포함한다. 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), 및 바이어스 전류 발생기(214)가 이미 제 1 전력 모드에서 인에이블링됨에 따라, 주파수 전력 매니저는 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), 및 바이어스 전류 발생기(214)의 인에이블링을 삼간다. 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들에서 주파수 전력 매니저가 디세이블링(단계 714)하는 모듈들은 중간-전력 입력 수신기(208)를 포함한다. 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), 및 바이어스 전류 발생기(214)가 제 2 전력 모드 동안 활용됨에 따라, 주파수 전력 매니저는 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), 및 바이어스 전류 발생기(214)의 디세이블링을 삼간다.
- [0035] [0043] 일 예에서, 주파수 전력 매니저는 고 성능 모드로부터 초-저 전력 모드로 트랜지션한다. 이에 따라, 제 1 전력 모드는 고 성능 모드이고 제 2 전력 모드는 초-저 전력 모드이다. 도 3, 도 6을 참조로, 제 1 세트의 모듈들은 복수의 CDC들(220, 222) 중 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), LDO 레귤레이터(224), 바이어스 전류 발생기(214), 기준 전압 발생기(212), 및 복수의 입력 수신기들(206, 208, 210) 중 고-전력 입력 수신기(206)를 포함할 수 있다. 제 2 세트의 모듈들은 복수의 CDC들(220, 222) 중 저-전력 CDC(222) 및 복수의 입력 수신기들(206, 208, 210) 중 저-전력 입력 수신기(210)를 포함할 수 있다. 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들에서 주파수 전력 매니저가 인에이블링(단계 706)하는 모듈들은 제 2 세트의 모듈들(222, 210) 모두를 포함하며, 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들에서 주파수 전력 매니저가 디세이블링(단계 714)하는 모듈들은 제 1 세트의 모듈들(220, 218, 216, 224, 214, 212, 206) 모두를 포함한다.
- [0036] [0044] 일 예에서, 주파수 전력 매니저는 고 성능 모드로부터 저 전력 모드로 트랜지션한다. 이에 따라, 제 1 전력 모드는 고 성능 모드이고 제 2 전력 모드는 저 전력 모드이다. 도 4, 도 6을 참조로, 제 1 세트의 모듈들은 복수의 CDC들(220, 222) 중 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), LDO 레귤레이터(224), 바이어스 전류 발생기(214), 기준 전압 발생기(212), 및 복수의 입력 수신기들(206, 208, 210) 중 고-전력 입력 수신기(206)를 포함할 수 있다. 제 2 세트의 모듈들은 복수의 CDC들(220, 222) 중 저-전력 CDC(222) 및 복수의 입력 수신기들(206, 208, 210) 중 중간-전력 입력 수신기(208)를 포함할 수 있다. 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들에서 주파수 전력 매니저가 인에이블링(단계 706)하는 모듈들은 제 2 세트의 모듈들(222, 208) 모두를 포함하며, 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들에서 주파수 전력 매니저가 디세이블링(단계 714)하는 모듈들은 제 1 세트의 모듈들(220, 218, 216, 224, 214, 212, 206) 모두를 포함한다.
- [0037] [0045] 일 예에서, 주파수 전력 매니저는 고 성능 모드로부터 중간 성능 모드로 트랜지션한다. 이에 따라, 제 1 전력 모드는 고 성능 모드이고 제 2 전력 모드는 중간 성능 모드이다. 도 5, 도 6을 참조로, 제 1 세트의 모듈들은 복수의 CDC들(220, 222) 중 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), LDO 레귤레이터(224), 바이어스 전류 발생기(214), 기준 전압 발생기(212), 및 복수의 입력 수신기들(206, 208, 210) 중 고-전력 입력 수신기(206)를 포함할 수 있다. 제 2 세트의 모듈들은 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), 바이어스 전류 발생기(214) 및 중간-전력 입력 수신기(208)를 포함할 수 있다. 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들에서 주파수 전력 매니저가 인에이블링(단계 706)하는 모듈들은 중간-전력 입력 수신기(208)를 포함한다. 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), 및 바이어스 전류 발생기(214)가 이미 제 1 전력 모드에서 인에이블링됨에 따라, 주파수 전력 매니저는 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), 및 바이어스 전류 발생기(214)의 인에이블링을 삼간다. 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들에서 주파수 전력 매니저가 디세이블링(단계 714)하는 모듈들은 LDO 레귤레이터(224), 기준 전압 발생기(212), 및 고-전력 입력 수신기(206)를 포함한다. 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), 및 바이어스 전류 발생기(214)가 제 2 전력 모드 동안 활용됨에 따라, 주파수 전력 매니저는 고-전력 CDC(220), 전류-전압 변환기(218), PLL(216), 및 바이어스 전류 발생기(214)의 디세이블링을 삼간다.

[0038]

[0046] 도 8은 주파수 전력 매니저 내의 FSM 모듈들을 예시하는 다이어그램(800)이다. 도 8에서의 화살표들은 인에이블링 시퀀스를 예시한다. 주파수 전력 매니저는 바이어스 발생기 FSM(802), LDO FSM(804), CDC FSM(806), 입력 수신기 FSM(808), 및 입력 수신기 교정(calibration) FSM(810)를 포함할 수 있다. 바이어스 발생기 FSM(802)은 바이어스 전류 발생기(214), 기준 전압 발생기(212), PLL(216), 및 전류-전압 변환기(218)를 인에이블링한다. LDO FSM(804)은 LDO 레귤레이터(224)를 인에이블링한다. CDC FSM(806)은 HP CDC(220) 및 LP CDC(222)를 인에이블링한다. 입력 수신기 FSM(808)은 입력 수신기들(206, 208, 210)을 인에이블링한다. 입력 수신기 교정 FSM(810)은 입력 수신기들(206, 208, 210) 내 구동기들을 교정한다.

[0039]

[0047] 바이어스 전류 발생기(214) 및 LDO 레귤레이터(224) 둘 다 (예를 들어, 고 성능 모드에서) 인에이블링되면, 주파수 전력 매니저는 초기에 바이어스 발생기 FSM(802)를 작동시킨다(start). 바이어스 발생기 FSM(802)가 최종 상태에 도달할 때, 주파수 전력 매니저는 LDO FSM(804), 입력 수신기 FSM(808) 및, 입력 수신기 교정 FSM(810)을 동시에(in parallel) 작동시킨다. LDO FSM(804)가 최종 상태에 도달할 때, 주파수 전력 매니저는 CDC FSM(806)을 작동시킨다. 바이어스 전류 발생기(214)는 인에이블링되지만 LDO 레귤레이터(224)는 (예를 들어, 중간 성능 모드에서) 인에이블링되지 않을 경우, 주파수 전력 매니저는 초기에 바이어스 발생기 FSM(802)을 작동시킨다. 바이어스 발생기 FSM(802)가 최종 상태에 도달할 때, 주파수 전력 매니저는 입력 수신기 FSM(808), 입력 수신기 교정 FSM(810), 및 CDC FSM(806)을 동시에 작동시킨다. 바이어스 전류 발생기(214)가 (예를 들어, 초-저 전력 모드 또는 저 전력 모드에서) 인에이블링되지 않을 경우, 주파수 전력 매니저는 입력 수신기 FSM(808), 입력 수신기 교정 FSM(810), 및 CDC FSM(806)을 동시에 작동시킨다.

[0040]

[0048] 도 9는, 예시적 장치(902)에서의 상이한 모듈들/수단들/컴포넌트들 간의 데이터 흐름을 예시하는 개념적 데이터 흐름도이다. 장치는, 복수의 모듈들이 인터페이싱하는 외부 모듈 및 복수의 모듈들의 전력 모드를 제어하는 주파수 전력 매니저 하드웨어 모듈이다. 장치는, 원하는 동작 주파수의 표시를 수신하도록 구성된 수신 모듈(904)을 포함할 수 있다. 장치는, 제 1 전력 모드로부터 원하는 동작 주파수에 대응하는 제 2 전력 모드로의 스위칭을 결정하도록 구성된 전력 모드 스위치 결정 모듈(906)을 포함할 수 있다. 제 1 전력 모드는 복수의 모듈들 중 제 1 세트의 모듈들과 연관될 수 있다. 제 2 전력 모드는 복수의 모듈들 중 제 2 세트의 모듈들과 연관될 수 있다. 장치는, 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들을 인에이블링하도록 구성된 인에이블링 모듈(908)을 포함할 수 있다. 장치는, 제 2 세트의 모듈들이 정상 상태에 도달할 때까지 시간 기간동안 대기하도록 구성된 대기 모듈(910)을 포함할 수 있다. 장치는, 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들을 인에이블링한 후 일정 시간 기간의 만료시 복수의 모듈들을 통한 트래픽을 중단하도록 구성된 트래픽 중단 모듈(912)을 포함할 수 있다. 장치는, 제 2 세트의 모듈들을 통해 트래픽을 라우팅하도록 구성된 트래픽 라우팅 모듈(914)을 포함할 수 있다. 장치는, 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들을 디세이블링하도록 구성된 디세이블링 모듈(916)을 포함할 수 있다.

[0041]

[0049] 모듈들(904-914)은, 하나 또는 그 초과의 FSM들에 포함될 수 있다. 예를 들어, 모듈(906)은 제 1 FSM 모듈로 구현될 수 있으며, 모듈(908)은 제 2 FSM 모듈로 구현될 수 있으며, 모듈(912)은 제 3 FSM 모듈로 구현될 수 있으며, 모듈(914)은 제 4 FSM 모듈로 구현될 수 있으며, 모듈(916)은 제 5 FSM 모듈로 구현될 수 있으며, 모듈(910)은 제 6 FSM 모듈로 구현될 수 있으며, 그리고 모듈(904)은 제 7 FSM 모듈로 구현될 수 있다. 앞서 언급된 FSM 모듈들은 하나 또는 그 초과의 FSM들로 구현될 수 있다. 장치는, 앞서 언급된 도 7의 흐름도의 알고리즘의 각각의 단계들을 수행하는 추가의 모듈들(예를 들어, FSM 모듈들)을 포함할 수 있다. 이로써, 앞서 언급된 도 7의 흐름도에서의 각각의 단계는 모듈에 의해 수행될 수 있으며 장치는 이들 모듈들 중 하나 또는 그 초과의 것을 포함할 수 있다. 모듈들은, 명시된 프로세스/알고리즘을 수행하도록 특정하게 구성된 FSM들과 같은 하나 또는 그 초과의 하드웨어 컴포넌트들일 수 있다. 특히, FSM들은, 최소 다운타임(least downtime)(예를 들어, 10-20 ns)으로 모듈들을 인에이블링하는데 필요한 정확한 타이밍을 달성하기 위해, 한 세트의 조합 논리 게이트들(예를 들어, AND, OR, XOR, 등)을 이용하여 구현될 수 있다. 소프트웨어보다는 특수 목적 하드웨어로 모듈들(904-914)을 구현함으로써, 모듈들(904-914)은 하드웨어-구현 다이나믹 전압/주파수 스위칭을 통해 전력을 최적화시키며 전력 모드들 간의 빠르고 효율적인 트랜지션을 제공한다.

[0042]

[0050] 일 구성에서, 주파수 전력 매니저 장치는 복수의 모듈들의 전력 모드를 제어하는 하드웨어 모듈이다. 장치는, 제 1 전력 모드로부터 제 2 전력 모드로의 스위칭을 결정하기 위한 수단을 포함한다. 제 1 전력 모드는 복수의 모듈들 중 제 1 세트의 모듈들과 연관된다. 제 2 전력 모드는 복수의 모듈들 중 제 2 세트의 모듈들과 연관된다. 장치는, 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들을 인에이블링하기 위한 수단을 더 포함한다. 장치는, 제 1 전력 모드와 연관되지 않은 제 2 세트의 모듈들을 인에이블링한 후 일정 시간 기간의 만료시 복수의 모듈들을 통한 트래픽을 중단시키기 위한 수단을 더 포함한다. 장치는, 제

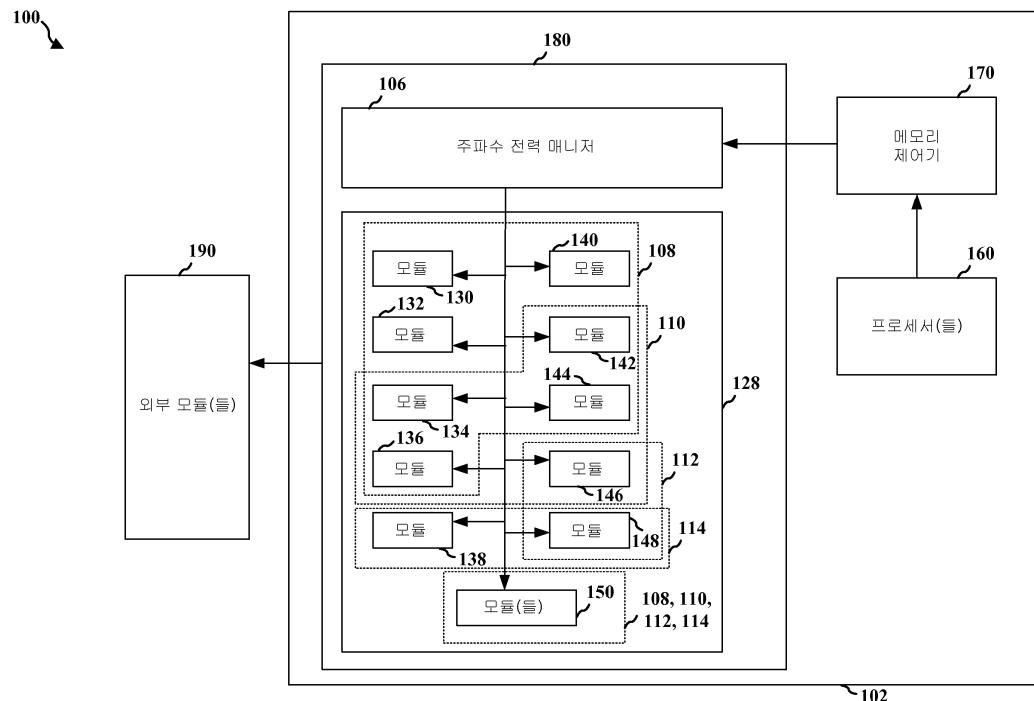
2 세트의 모듈들을 통한 트래픽 라우팅을 위한 수단을 더 포함한다. 장치는, 제 2 전력 모드와 연관되지 않은 제 1 세트의 모듈들을 디세이블링하기 위한 수단을 더 포함한다. 장치는, 제 2 세트의 모듈들이 정상 상태에 도달할 때까지 시간 기간 동안 대기하기 위한 수단을 더 포함할 수 있다. 장치는, 원하는 동작 주파수의 표시를 수신하기 위한 수단을 더 포함할 수 있다. 제 2 전력 모드는 원하는 동작 주파수에 대응할 수 있다. 앞서 논의된 수단은, 주파수 전력 매니저 장치(106, 902) 내에서, 앞서 언급된 수단들에 의해 인용되는 기능들을 수행하도록 구성된 앞서 논의된 FSM 모듈들(802-810) 및/또는 모듈(904-916) 중 하나 또는 그 초과의 것일 수 있다.

[0043] [0051] 개시된 프로세스들에서의 특정 순서 또는 단계들의 계층(hierarchy)은 예시적 접근방식들에 대한 예시임이 이해된다. 설계 선호도들에 기초하여, 프로세스들에서의 특정 순서 또는 단계들의 계층이 재배열될 수 있음이 이해된다. 게다가, 일부 단계들은 결합되거나 생략될 수 있다. 첨부되는 방법 청구항들은 샘플 순서로 다양한 단계들의 엘리먼트들을 제시하며, 제시되는 계층 또는 특정 순서로 제한되는 것을 의미하지 않는다.

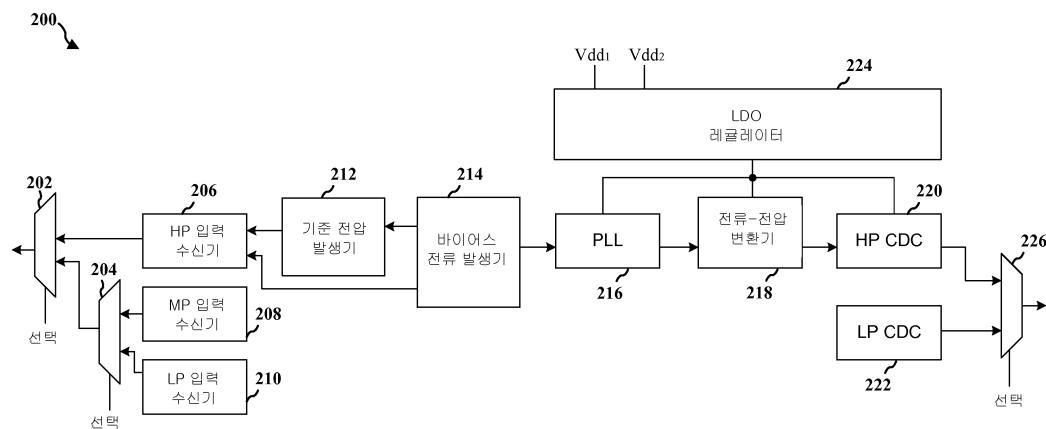
[0044] [0052] 이전 설명은 임의의 당업자들이 본원에 설명된 다양한 양상들을 실행하는 것을 가능하게 하기 위해 제공된다. 이들 양상들에 대한 다양한 변형들이 당업자들에게는 쉽게 명백할 것이고 본원에 정의되는 일반적 원리들은 다른 양상들에 적용될 수 있다. 따라서, 청구항들은 본원에 제시된 양상들로 제한되는 것으로 의도되는 것이 아니라 청구항 문언과 일치하는 전체 범위를 따르도록 의도되며, 여기서 단수의 엘리먼트에 대한 참조는 특정하게 그렇게 전술되지 않는 한, "하나 및 단지 하나만"을 의미하는 것이 아니라 오히려 "하나 또는 그 초과의"를 의미하도록 의도된다. 단어 "예시적인"은, "예, 예증 또는 예시로서 기능하는"을 의미하는 것으로 본원에서 이용된다. "예시적인" 것으로 본원에서 설명되는 임의의 양상이 반드시 다른 양상들에 비해 선호되거나 유리한 것으로 해석되는 것은 아니다. 특정하게 달리 언급되지 않는다면, 용어 "일부"는 하나 또는 그 초과를 지칭한다. "A, B 또는 C 중 적어도 하나", "A, B 및 C 중 적어도 하나" 그리고 "A, B, C, 또는 이들의 임의의 조합"과 같은 조합들은, A, B, 및/또는 C의 임의의 조합을 포함하며, 다수의 A, 다수의 B, 또는 다수의 C를 포함할 수 있다. 구체적으로 말해, "A, B 또는 C 중 적어도 하나", "A, B 및 C 중 적어도 하나" 그리고 "A, B, C, 또는 이들의 임의의 조합"과 같은 조합들은, A만, B만, C만, A 및 B, A 및 C, B 및 C, 또는 A 및 B 및 C일 수 있으며, 여기서 임의의 이러한 조합들은 A, B 또는 C 중 하나 또는 그 초과의 멤버 또는 멤버들을 포함할 수 있다. 당업자들에게 공지된 또는 이후에 알려지게 될, 본 개시 전반에 걸쳐 설명된 다양한 양상들의 엘리먼트들에 대한 모든 구조적 및 기능적 등가물들은 인용에 의해 본원에 명백히 통합되며 청구항들에 의해 포괄되도록 의도된다. 또한, 본원에 개시된 어느 것도 이러한 개시가 청구항들에 명시적으로 인용되었는지 여부에 상관없이 공중에 제공되는 것으로 의도되지 않는다. "~위한 수단" 문구를 이용하여 엘리먼트가 명시적으로 언급되지 않는다면, 어떠한 청구항 엘리먼트도 수단+기능으로 해석되지 않아야 한다.

## 도면

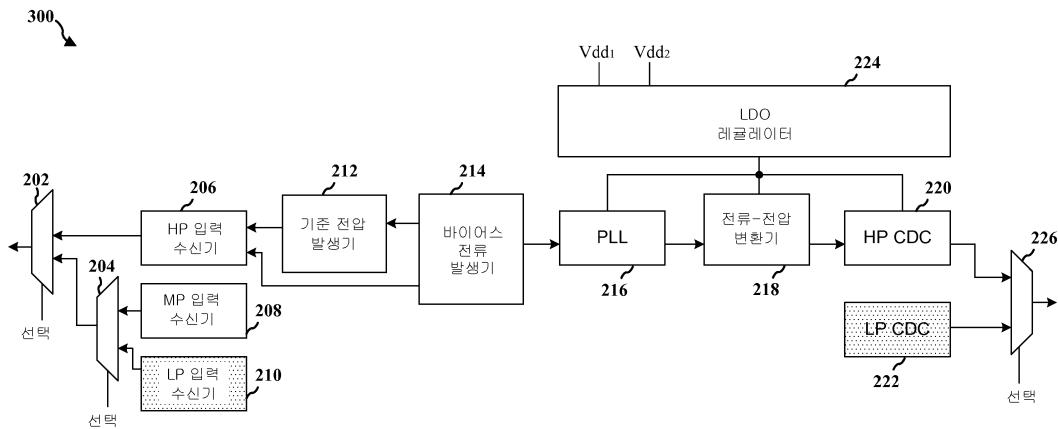
## 도면1



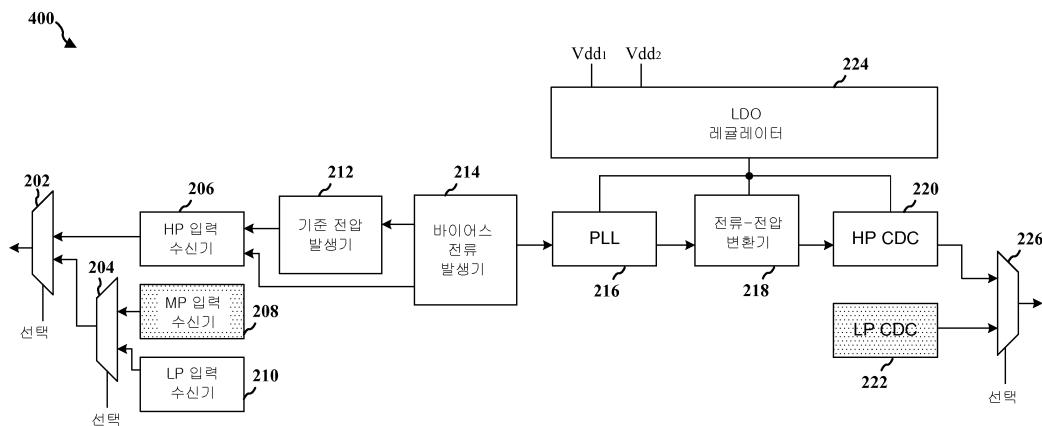
## 도면2



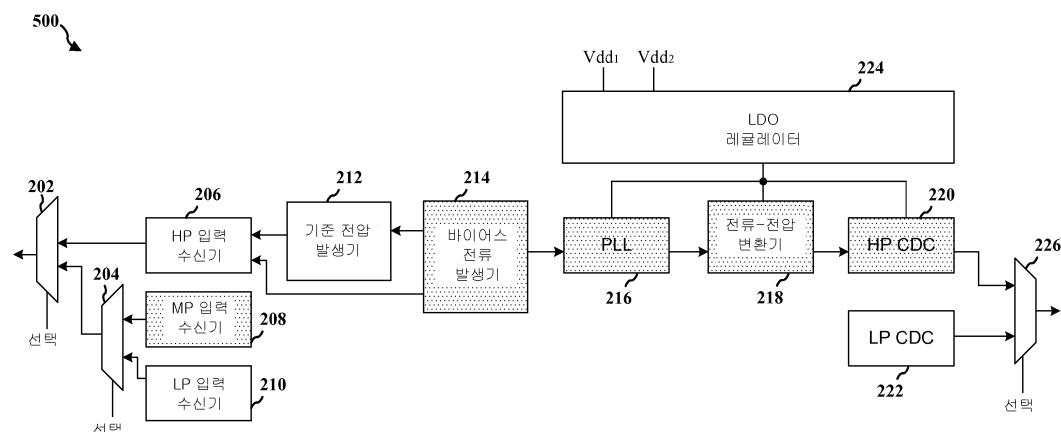
### 도면3



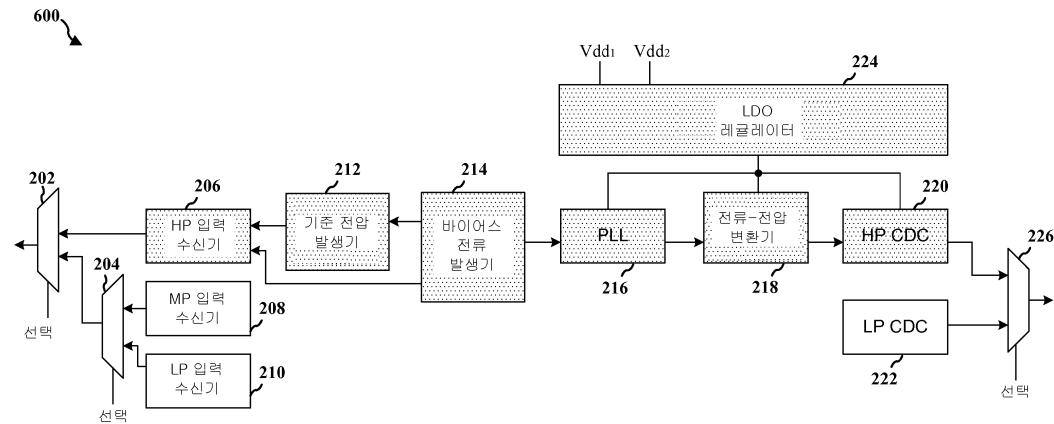
## 도면4



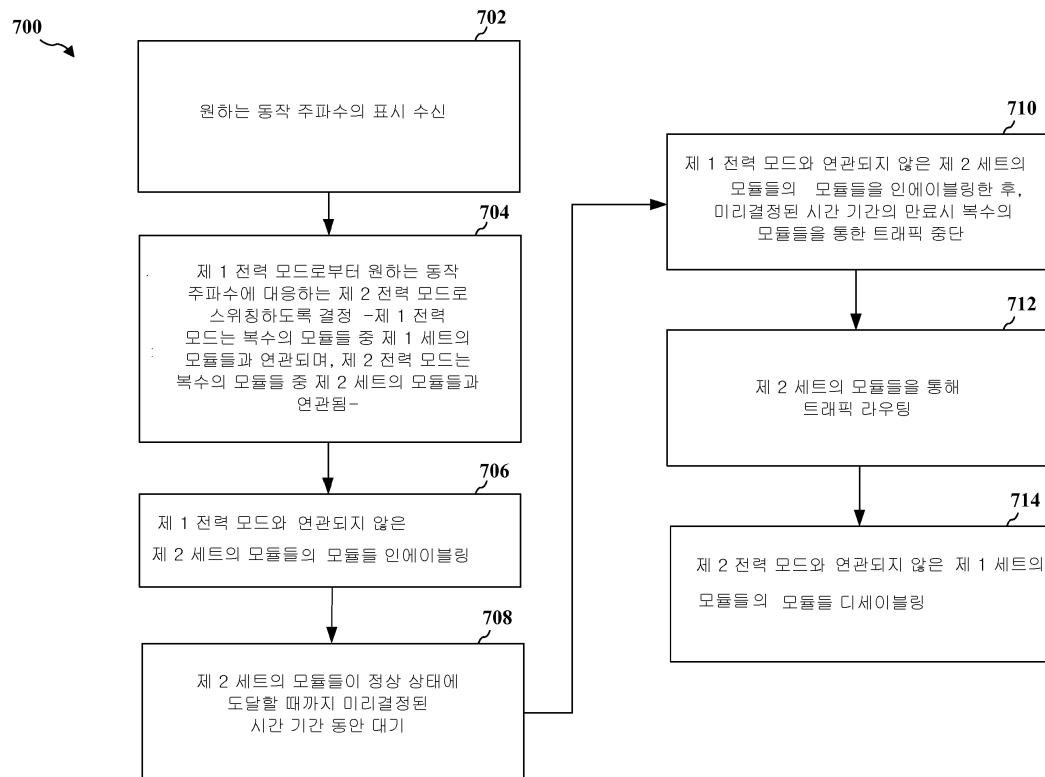
## 도면5



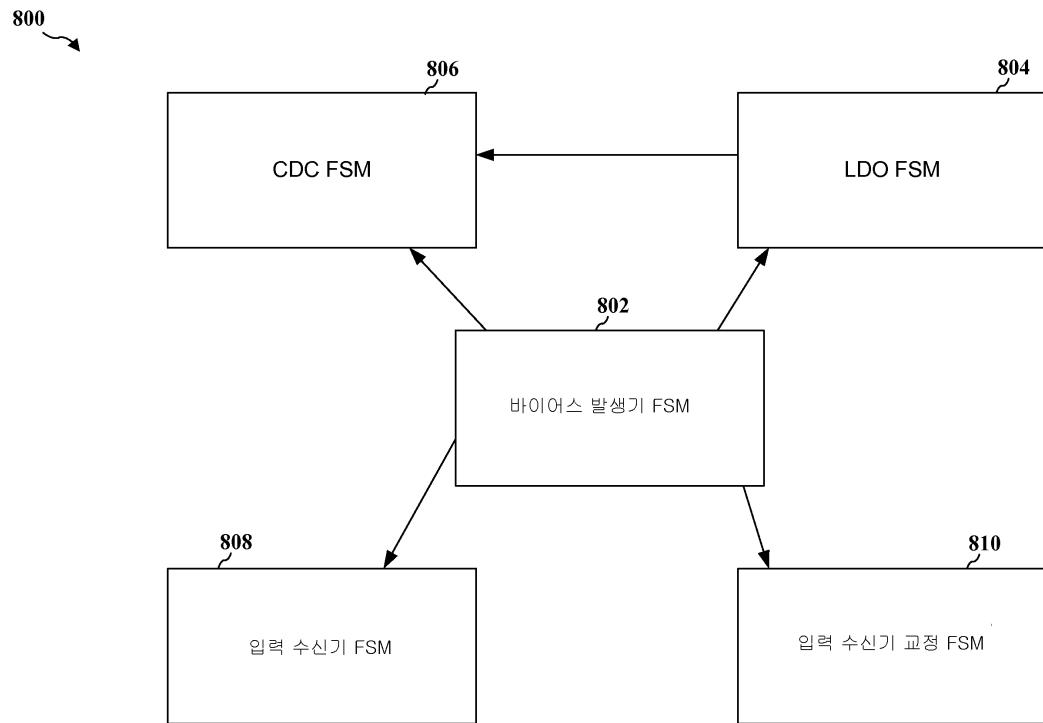
## 도면6



## 도면7



## 도면8



## 도면9

