

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/56 (2006.01)

G11C 16/26 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200610073510.7

[45] 授权公告日 2009年9月16日

[11] 授权公告号 CN 100541663C

[22] 申请日 2006.4.12

[21] 申请号 200610073510.7

[30] 优先权

[32] 2005.4.12 [33] JP [31] 2005-114750

[73] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 本多泰彦 栗山正男

[56] 参考文献

CN1423279A 2003.6.11

US6816413B2 2004.11.9

US6650570B2 2003.11.18

US6768191A 1998.6.16

审查员 刘清泉

[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所

代理人 王永刚

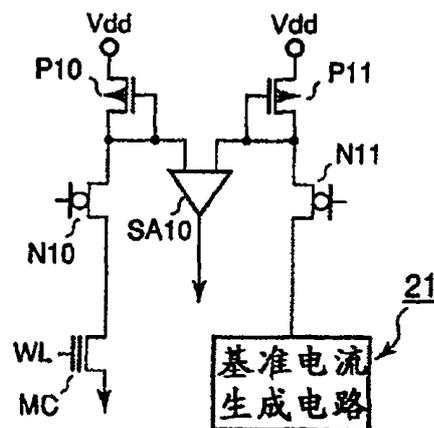
权利要求书 1 页 说明书 11 页 附图 11 页

[54] 发明名称

存储多值数据的非易失性半导体存储器

[57] 摘要

基准电流生成电路生成至少 1 个基准电流。电压生成电路生成电压。读出放大器根据从电压生成电路供给的电压来比较流过存储单元的电流与从基准电流生成电路供给的基准电流。对控制部供给读出放大器的输出信号。控制部在校验存储单元的阈值电压时，使电压生成电路生成与在从存储单元读出数据时所生成的读出电压为同一电压的校验电压。



1. 一种半导体存储器，具备：
  - 具有与字线连接的控制栅的存储单元；
  - 生成至少 1 个基准电流的基准电流生成电路；
  - 生成施加给上述控制栅的字线电压的电压生成电路；
  - 读出放大器，根据从上述电压生成电路供给的上述字线电压来比较流过上述存储单元的电流与从上述基准电流生成电路供给的基准电流；以及
  - 被供给上述读出放大器的输出信号的控制部，其特征在于：在校验上述存储单元的阈值电压时，上述控制部使从上述基准电流生成电路输出的基准电流变化，且使上述电压生成电路生成与在从上述存储单元读出数据时所生成的字线电压为同一电压的字线电压。
2. 如权利要求 1 中所述的半导体存储器，其特征在于：
  - 上述基准电流生成电路具备：
  - 多个基准存储单元，被设定为不同的阈值电压；以及
  - 选择电路，从上述多个基准存储单元选择 1 个存储单元。
3. 如权利要求 1 中所述的半导体存储器，其特征在于：
  - 上述存储单元构成 NOR 型的存储单元阵列。
4. 如权利要求 3 中所述的半导体存储器，其特征在于：
  - 上述存储单元存储至少 2 值的数据。

## 存储多值数据的非易失性半导体存储器

### 相关申请的相互参照

本申请基于 2005 年 4 月 12 日提交的在先日本专利申请第 2005-114750 号并要求其优先权，该申请的全部内容引用于此作为参考。

### 技术领域

本发明涉及例如存储多值数据的非易失性半导体存储器，特别是涉及使用了电流比较型读出放大器的非易失性半导体存储器。

### 背景技术

已开发了各种各样的例如利用 EEPROM 单元构成的、能以电的方式一并地擦除的非易失性半导体存储器（以下称为闪速存储器）。通过利用读出放大器比较流过被选择的存储单元和基准存储单元的电流来执行例如 NOR 型的闪速存储器的读出和校验动作（例如参照特开 2001-325795 号公报、B.Pathank et al., A 1.8V 64Mb 100MHz Flexible Read While Write Flash Memory, 2001, IEEE international Solid-State Circuits Conference）。将该方式称为电流比较型读出方式。

在电流比较型读出方式的情况下，在校验对存储单元写入数据的阈值电压的校验时和从存储单元读出数据的读出时，使对存储单元的控制栅供给的电压变化。这样，以下将使用与读出时的电压不同的电压来校验的方式称为电压校验方式。

在使存储单元存储“0”或“1”的 2 值数据的情况下，在利用上述电压校验方式来校验时，即使存储单元的电流电压特性（以下称为 Gm）发生了离散，也能充分地确保与读出数据时的基准电流之间的电流容限（以下称为读出电流容限）。

但是，在例如使存储单元存储“00”、“01”、“10”、“11”等的多值

数据的情况下，如果利用电压校验方式，则在校验时起因于存储单元的  $G_m$  的离散而不能确保读出电流容限。因此，难以可靠地校验存储单元的阈值电压，存在不能高精度地控制存储单元的阈值电压的可能性。因而，希望开发能确保读出时的电流容限、能高精度地控制存储单元的阈值电压的非易失性半导体存储器。

### 发明内容

按照本发明的第 1 方面，提供下述的半导体存储器，该半导体存储器具备：存储单元；基准电流生成电路，生成至少 1 个基准电流；电压生成电路，生成电压；读出放大器，根据从上述电压生成电路供给的上述电压来比较流过上述存储单元的电流与从上述基准电流生成电路供给的基准电流；以及控制部，被供给上述读出放大器的输出信号，上述控制部在校验上述存储单元的阈值电压时，使电压生成电路生成与在从上述存储单元读出数据时所生成的读出电压为同一电压的校验电压。

按照本发明的第 2 方面，提供下述的半导体存储器，该半导体存储器具备：存储单元；基准电流生成电路，生成至少 1 个基准电流；电压生成电路，生成数据的读出电压和与上述读出电压不同的多个校验电压中的 1 个电压，供给上述存储单元的控制栅；读出放大器，比较流过上述存储单元的电流与从上述基准电流生成电路供给的基准电流；以及控制部，被供给上述读出放大器的输出信号，上述控制部在对上述存储单元设定比上述读出电压低的第 1 阈值电压时，使利用上述基准电流生成电路生成的基准电流变化，进行电流校验，在对上述存储单元设定比上述第 1 阈值电压低的第 2 阈值电压或比上述读出电压高的第 3 阈值电压时，使利用上述电压生成电路生成的上述校验电压变化，进行电压校验。

按照本发明的第 3 方面，提供下述的半导体存储器，该半导体存储器具备：存储单元；基准电流生成电路，生成至少 1 个基准电流；电压生成电路，生成数据的读出电压和与上述读出电压不同的多个校

验电压中的 1 个电压，供给上述存储单元的控制栅；读出放大器，比较流过上述存储单元的电流与从上述基准电流生成电路供给的基准电流；以及控制部，被供给上述读出放大器的输出信号，上述控制部使利用上述基准电流生成电路生成的基准电流变化，利用电流校验对上述存储单元设定阈值电压，使利用上述电压生成电路生成的多个上述校验电压变化，检出上述阈值电压为规定值以外的存储单元。

### 附图说明

图 1A 是示出被应用于与第 1 实施形态有关的电流比较型读出方式的读出放大器的一例的电路图，图 1B 是示出图 1A 中示出的基准电流生成电路的一例的电路图。

图 2 是示出被应用于第 1 实施形态的存储多值数据的闪速存储器的概略结构图。

图 3 是示出图 2 中示出的存储单元阵列的结构图。

图 4 是示出图 2 中示出的各块的结构电路图。

图 5 是示出 2 值中的电压校验方式的图。

图 6 是示出 4 值中的电压校验方式的图。

图 7 是示出与第 1 实施形态有关的 2 值的校验方式的图。

图 8 是示出与第 1 实施形态有关的 4 值的校验方式的图。

图 9 是示出第 2 实施形态的动作的图。

图 10 是示出第 2 实施形态的动作的流程图。

图 11 是示出第 3 实施形态的动作的图。

图 12 是示出第 3 实施形态的动作的流程图。

### 具体实施方式

以下，参照附图说明本发明的实施形态。

首先，参照图 2、图 3、图 4，说明被应用于第 1 实施形态的存储多值数据的闪速存储器的概略结构。如图 2 中所示，存储单元阵列 (MCA) 1 具有  $n$  个块  $B_0 \sim B_{n-1}$ 。各块  $B_0 \sim B_{n-1}$  是数据擦除的最小

单位。存储单元阵列 1 具有选择存储单元的译码电路 2、校验用读出放大器 (S/A) 3A、读出用读出放大器 (S/A) 3B 和数据译码器 4。此外,对于存储单元阵列 1 的各块  $B_0 \sim B_{n-1}$  共同地配置了数据线 5。

将译码电路 2 连接到地址总线 6 上,根据从控制器 10 供给的地址信号选择字线(行线)、位线(列线)来选择存储单元。将校验用读出放大器 3A 和读出用读出放大器 3B 的输入端连接到数据线 5 上。在存储单元中例如存储 4 值、2 比特的数据的情况下,如后述那样,例如为了生成 3 个基准电流,校验用读出放大器 3A 和读出用读出放大器 3B 具有使用了至少 1 个基准单元的基准电流生成电路。这些读出放大器 3A、3B 比较从基准电流生成电路供给的基准电流与流过被选择的存储单元的电流。

将校验用读出放大器 3A 的输出端连接到数据总线 7 上,在数据的写入时或擦除时从存储单元检出被读出的信号,供给控制器 10。将读出用读出放大器 3B 的输出端连接到数据译码器 4 上。数据译码器 4 对从读出用读出放大器 3B 供给的信号进行译码,生成输出信号。将数据译码器 4 的输出端连接到输入输出部 (I/O) 11 上,将在数据的读出时从数据译码器 4 输出的信号经输入输出部 11 输出到外部。

将地址总线 6、数据总线 7 连接到控制器 10 上。在控制器 10 上连接了输入输出部 11、CUI (指令用户界面) 12、ROM13、第 1、第 2 电压生成电路 8、9。输入输出部 11 将从外部供给的指令 CMD 供给 CUI12,将存储单元的写入数据供给控制器 10。输入输出部 11 将从读出用读出放大器 3B 供给的读出数据输出到外部。

此外,CUI12 接受从外部输入的芯片启动信号 CE、写启动信号 WE 等的信号和地址信号 Add,对这些信号进行处理后供给控制器 10。在 ROM13 中存储了控制控制器 10 的动作的各种程序。控制器 10 根据上述指令 CMD 和程序来控制闪速存储器整体的动作。即,将地址信号供给地址总线 6,将写入数据供给数据总线 7。再者,控制器 10 在数据的写入时、校验时、读出时和擦除时控制第 1、第 2 电压生成电路 8、9,使其生成规定的电压。第 1 电压生成电路 8 在数据的写

入时、校验时和读出时生成供给存储单元的控制栅的电压、即字线电压。将该字线电压经译码电路 2 内的后述的行主译码器、行预译码器供给字线。此外，第 2 电压生成电路 9 在数据的写入时生成供给存储单元的漏的漏电压。将该漏电压经译码电路 2 的列预译码器、列栅供给存储单元的漏。

图 3 示出了存储单元阵列 1 的结构。在块  $B_0 \sim B_{n-1}$  的排列的端部上配置选择字线 WL 的行主译码器 701，在各块之间配置选择块的行子译码器 702。在各块  $B_0 \sim B_{n-1}$  的位线 BL 的端部上配置列译码器，列译码器具有选择位线 BL 的列栅 704 和列预译码器 703。将列栅 704 连接到数据线 5 上。在图 2 中示出的译码电路 2 中配置了行主译码器 701 和列预译码器 703。

图 4 示出了各块  $B_0 \sim B_{n-1}$  的结构。如图 4 中所示，该闪速存储器例如是 NOR 型的闪速存储器，交叉地配置各多条位线 BL 和字线 WL，在位线 BL 和字线 WL 的交叉部中配置存储单元 MC。存储单元 MC 例如利用 EEPROM 来构成。在将各列中被配置的存储单元 MC 的控制栅连接到字线 WL 上，将源分别连接到共同源线上。

#### (第 1 实施形态)

图 1A 示出了被应用于与第 1 实施形态有关的电流比较型读出方式的读出放大器的一例。该读出放大器在校验用读出放大器 3A 和读出用读出放大器 3B 中是共同的，但在后述的基准存储单元中被设定的阈值电压不同。

在图 1A 中，将读出放大器 SA10 的一个输入端经 N 沟道 MOS 晶体管（以下称为 NMOS）N10 连接到被选择的存储单元 MC 上，进而经作为负载的 P 沟道 MOS 晶体管（以下称为 PMOS）P10 连接到被供给电源电压 Vdd 的节点上。此外，将读出放大器 SA10 的另一个输入端连接到 NMOSN11 的一端上，进而经作为负载的 P 沟道 MOS 晶体管（以下称为 PMOS）P11 连接到被供给电源电压 Vdd 的节点上。该 NMOSN11 的另一端上连接了基准电流生成电路 21。NMOSN10、N11 是例如阈值电压被设定为 0V 的晶体管。

图 1B 示出了基准电流生成电路 21 的一例。例如利用 NMOSN12、N13、N14、基准存储单元 RMC1、RMC2、RMC3 构成了基准电流生成电路 21。将 NMOSN12、N13、N14 的一端连接到 NMOSN11 的另一端上。将这些 NMOSN12、N13、N14 的另一端分别连接到基准存储单元 RMC1、RMC2、RMC3 上。这些基准存储单元 RMC1、RMC2、RMC3 是与存储单元的结构相同的 EEPROM 单元，分别被设定了例如不同的阈值电压  $V_{th1}$ 、 $V_{th2}$ 、 $V_{th3}$ 。

基准电流生成电路 21 的结构不限定于图 1B，在将该电路应用于后述的电流校验的情况下，根据必要的校验电流的数目增加 NMOSN12、N13、N14、基准存储单元 RMC1、RMC2、RMC3 即可。

在将上述结构的读出放大器应用于校验用读出放大器 3A 的情况下，经字线 WL 对被选择的存储单元 MC 和基准存储单元 RMC1 - RMC3 的控制栅供给同一电压。在该状态下，根据校验的阈值电压，信号  $\phi_1$ 、 $\phi_2$ 、 $\phi_3$  有选择地被定为高电平，从利用 NMOSN12、N13、N14 选择的基准存储单元 RMC1、RMC2、RMC3 的某一个输出作为基准电流的校验电流。利用读出放大器 SA10 比较该校验电流与流过被选择的存储单元 MC 的电流。将读出放大器 SA10 的输出信号供给控制器 10。控制器 10 根据从读出放大器 SA10 供给的信号，控制对存储单元的写入。

另一方面，在将上述结构的读出放大器 SA10 应用于读出用读出放大器 3B 的情况下，在数据读出时，经字线 WL 对被选择的存储单元 MC 和基准存储单元 RMC1 - RMC3 的控制栅供给同一电压。在该状态下，首先，例如 NMOSN13 根据信号  $\phi_2$  被导通。在该状态下，利用读出放大器 SA10 检出流过基准存储单元 RMC2 的电流和流过存储单元 MC 的电流。其后，在从读出放大器 SA10 输出的信号为“0”的情况下，NMOSN12 根据信号  $\phi_1$  被导通，在从读出放大器 SA10 输出的信号为“1”的情况下，NMOSN14 根据信号  $\phi_3$  被导通。这样，利用读出放大器 SA10 检出流过基准存储单元 RMC1 或 RMC3 的电流和流过存储单元 MC 的电流。利用根据信号  $\phi_2$  从读出放大器 SA10 输出的信

号和根据信号 $\phi 1$ 或 $\phi 3$ 从读出放大器 SA10 输出的信号来生成 2 比特的数据。

此外，在数据写入时的校验动作中，对被选择的存储单元 MC 和基准存储单元的字线供给读出时的同一电位。此外，根据写入数据来选择信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ 。在该状态下，利用读出放大器 SA10 检出并校验流过存储单元 MC 的电流和流过被选择的基准存储单元的电流。这样，与各写入数据对应地比较流过存储单元 MC 的电流和流过基准存储单元 RMC 的电流以确保容限。

关于电流比较型读出方式，如图 1A 中所示，使用作为连接到读出放大器 SA10 上的负载的 PMOSP10、P11 放大、比较在数据读出时流过存储单元 MC 的电流和流过基准存储单元的基准电流。

图 5 示出了 2 值中的电压校验方式，图 6 示出了 4 值中的电压校验方式。电压校验方式将校验时的字线电位设定为与读出时的字线电位不同的电位。在图 5 中示出的 2 值的情况下，将校验时的字线电位变化为校验电压 1~校验电压 4。此外，在图 6 中示出的 4 值的情况下，将校验时的字线电位变化为校验电压 1~校验电压 8。

这样，在改变了校验时和读出时的字线电位的情况下，如图 5、图 6 中所示，可保证与校验时的字线电位对应的存储单元的电流。但是，起因于存储单元的 Gm 离散（用实线示出中央值，用虚线示出上限值、下限值），不能保证与读出时的字线电位对应的存储单元的电流。如图 5 中所示，在 2 值的情况下，即使如用虚线所示那样存储单元的 Gm 发生了离散，对于基准电流判断是“1”还是“0”用的电流容限都是充分的。

但是，如图 6 中所示，在 4 值的情况下，与对于基准电流 1 的电流容限相比，对于基准电流 2 判别低位比特是“0”还是“1”用的电流容限和对于基准电流 3 判别高位比特是“0”还是“1”用的电流容限减小了。因而，不限于 4 值，在多值的情况下，难以使用上述的电压校验方式。

因此，第 1 实施形态使校验时的字线电位与读出时的字线电位为

同一电位，利用读出放大器检出流过存储单元 MC 的电流和流过基准存储单元的电流。

图 7 示出了与第 1 实施形态有关的 2 值的校验方式，图 8 示出了与第 1 实施形态有关的 4 值的校验方式。

使校验时的存储单元的字线电位与读出时的字线电位为同一电位，将基准电流改变为所希望的电流值。于是，对于各基准电流来说，与存储单元的阈值电压（数据）对应的校验电流比以前大。因此，根据存储单元的各阈值电压，可确保读出电流的容限。

按照上述第 1 实施形态，使校验时的字线电位与读出时的字线电位为同一电位，通过比较流过存储单元 MC 的电流和流过基准存储单元的电流，校验存储单元的阈值电压。在该电流校验的情况下，在存储单元中被设定的阈值电压的离散变大，但在读出时，可增加与各数据对应的电流容限。因而，能进行可靠的读出。

### （第 2 实施形态）

如上所述，在第 1 实施形态的情况下，由于阈值电压的离散变大，故不能充分地确保阈值的容限。例如，即使在根据写入数据将存储单元设定为“0”或“00”的情况下，在因随时间的变化在存储单元被写入的电子稍微地减少的情况下，也存在难以正确地读出数据的可能性。

此外，在 NOR 型闪速存储器的情况下，多个存储单元并列地连接到同一位线上。因此，在存储单元中设定了“1”或“11”的情况下，该存储单元在非选择的情况下必须是关断状态。但是，如果流过关断状态的存储单元的电流变大，则也存在不能正确地读数据的可能性。

因此，第 2 实施形态通过按不同的用途组合电压校验和电流校验来使用，分别确保读出电流容限和阈值电压容限。

图 9 示出了第 2 实施形态的动作。在正确的读出电流容限为必要的校验中使用电流校验，在正确的阈值电压容限为必要的校验中使用电压校验。

即，在数据“00”的最高阈值电压的校验中，在使用了图 8 中示出的那样的电流校验的情况下，读出时的字线电位与阈值电压的电位差

很小。因此，在阈值电压因随时间的变化而变化的情况下，存在读出数据变化的危险。因此，与数据“00”对应的阈值电压的上限和下限必须比读出时的字线电位充分地高。因而，由于关于数据“00”的校验，电流校验是不适当的，故使用电压校验正确地控制阈值电压。

此外，即使关于与数据“11”对应的阈值电压的下限，也使用电压校验。在对于数据“11”的校验应用了电流校验的情况下，存在发生阈值低的存储单元的可能性，因此，有时在非选择时不充分地关断。因而，对于数据“11”的下限侧的校验，应用电流校验是不适当的，故使用电压校验。

根据写入数据，控制器 10 转换电流校验和电压校验。控制器 10 在数据擦除后，对数据“11”的下限侧的校验进行电压校验，对上限侧的校验进行电流校验。

图 10 示出了数据写入时的控制器 10 的动作。控制器 10 判别写入数据 (S1)，在写入数据为“00”的情况下，在数据写入后，进行电压校验 (S2、S3)。在写入数据为“01”和“10”的情况下，在数据写入后，进行电流校验 (S5、S6)。在电压校验 (S3) 的情况下，控制器 10 控制基准电流生成电路 21，根据写入数据来生成基准电流。再者，控制器 10 控制第 1 电压生成电路 8 来变更字线的电压。在该状态下，进行电压校验，判别校验是否已结束 (S4)。其结果，在写入不充分的情况下，再次执行数据的写入和电压校验。

另一方面，在电流校验的情况下 (S6)，控制器 10 控制第 1 电压生成电路 8，将字线的电压设定为与读出电压为同一电压。再者，控制器 10 控制基准电流生成电路 21，发生与写入数据对应的基准电流。在该状态下，进行电流校验，判别校验是否已结束 (S7)。其结果，在写入不充分的情况下，再次执行数据的写入和电流校验。通过重复这样的动作来设定存储单元的阈值电压。

按照上述第 2 实施形态，关于读出电流容限为必要的数据的写入校验，使用了电流校验，关于正确的阈值电压的控制为必要的数据的写入校验，使用了电压校验。因此，在数据的读出时，可防止数据的

读出错误的发生，而且，可得到在读出中必要且充分的电流容限。

### (第3实施形态)

如上所述，存储单元的  $G_m$  的离散对读出电流容限和阈值电压容限有很大的影响。因此，在第3实施形态中，说明容易地检测存储单元的  $G_m$  超过了规定值的异常存储单元的方法。

如图11中所示，首先，使用电流校验将存储单元的阈值电压调整为例如4值的数据“10”。其次，利用电压校验测定该存储单元的阈值电压分布。可预先预测与数据“10”对应的  $G_m$  的阈值分布。因此，可容易地检测显示出预先被预测的规定值以外的阈值电压的存储单元作为异常存储单元。

图12示出了控制器10的动作。控制器10在检出异常存储单元的情况下，首先对利用电流校验选择的存储单元例如设定数据“10”(S11)。即，在对被选择的存储单元写入了数据后，利用第1电压生成电路8使字线的电位设定为读出时的电位。再者，控制器10利用基准电流生成电路21生成与数据“10”对应的校验用的基准电流。

这样，在对存储单元设定了与数据“10”对应的阈值电压后，利用电压校验测定在存储单元中被设定的阈值电压(S12)。即，控制器10利用基准电流生成电路21生成与读出时的数据“10”对应的基准电流。与此同时，控制器10利用第1电压生成电路8生成与数据“10”对应的校验电压。即，例如图12所示，首先生成与数据“10”的阈值电压的下限对应的电压。在该状态下，利用读出放大器SA10比较流过存储单元的电流与基准电流。其次，生成与数据“10”的阈值电压的上限对应的电压。在该状态下，利用读出放大器SA10比较流过存储单元的电流与基准电流。这样，利用电压校验测定在存储单元中被设定的阈值电压。

其次，比较被测定的阈值电压与预先被测定的数据“10”的阈值电压分布的规定值(S13)。其结果，在规定值以内的情况被判别为正常的存储单元(S14)，在规定值以外的情况被判别为异常的存储单元(S15)。

按照上述第3实施形态，使用电流校验和电压校验，可检出 Gm 异常的存储单元。因此，可预先清除异常的存储单元。再者，通过将该异常的存储单元转换为未图示的冗余存储单元，可提高存储单元的成品率。

此外，上述各实施形态说明了存储多值数据的闪速存储器，但当然也可应用于存储 2 值数据的闪速存储器。

此外，基准电流生成电路 21 的结构不限定于图 1A、1B，可构成例如设置 1 个基准存储单元，对电流比例不同的多个电流镜电路供给流过该基准存储单元的电流，从这些电流镜电路输出多个基准电流。

对于本领域的专业人员来说，可容易地实现本发明的附加的优点和变型。因而，本发明在其更宽的方面不限于在这里示出的和描述的特定的细节和代表性的实施例。因此，在不偏离由后附的权利要求及其等效内容所限定的本发明的普遍性的概念的精神和范围的情况下，可作各种各样的修正。



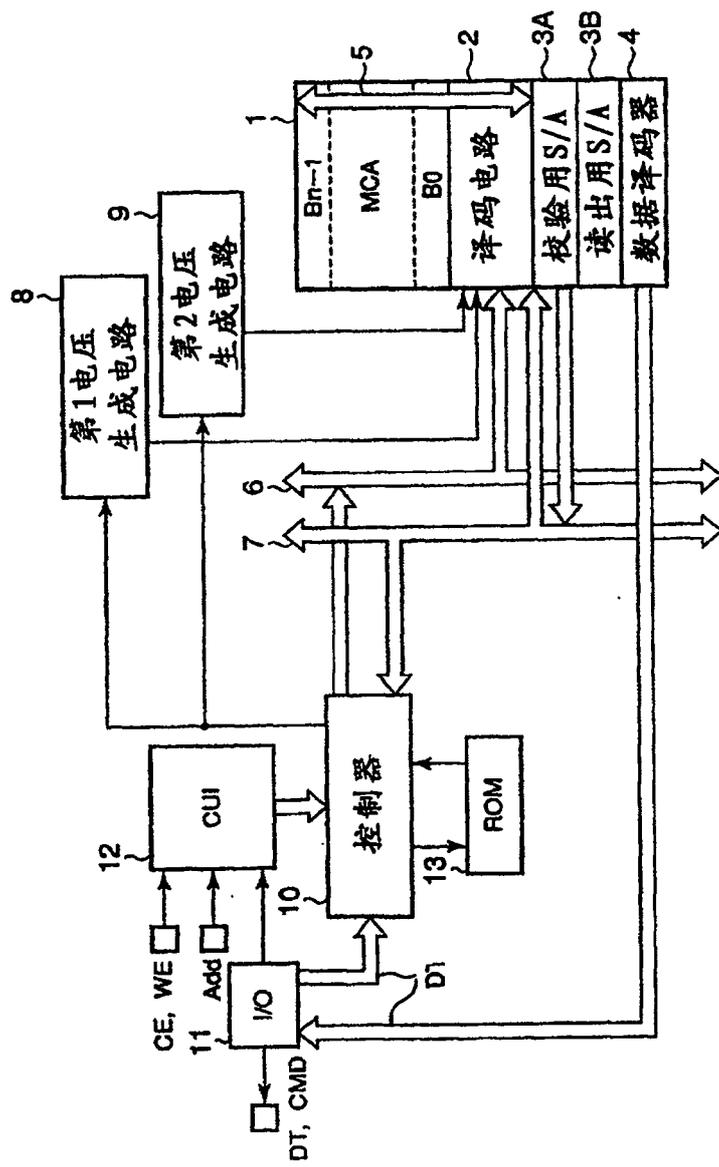


图2

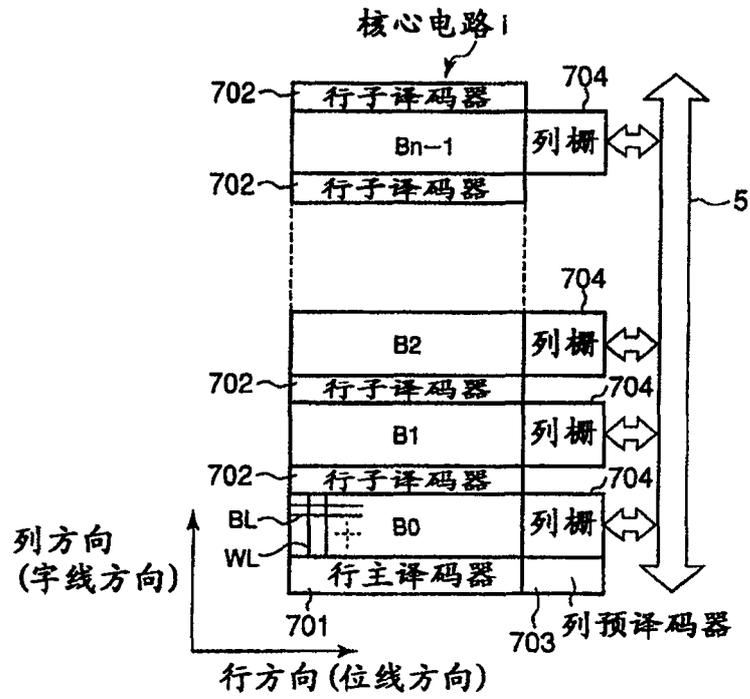


图 3

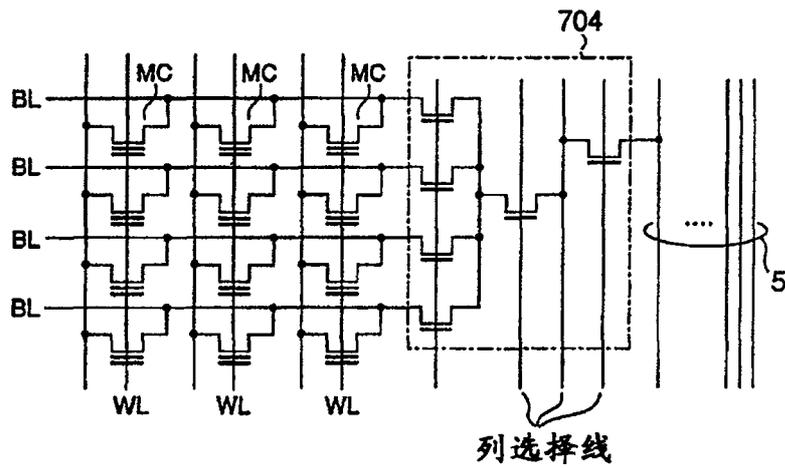


图 4

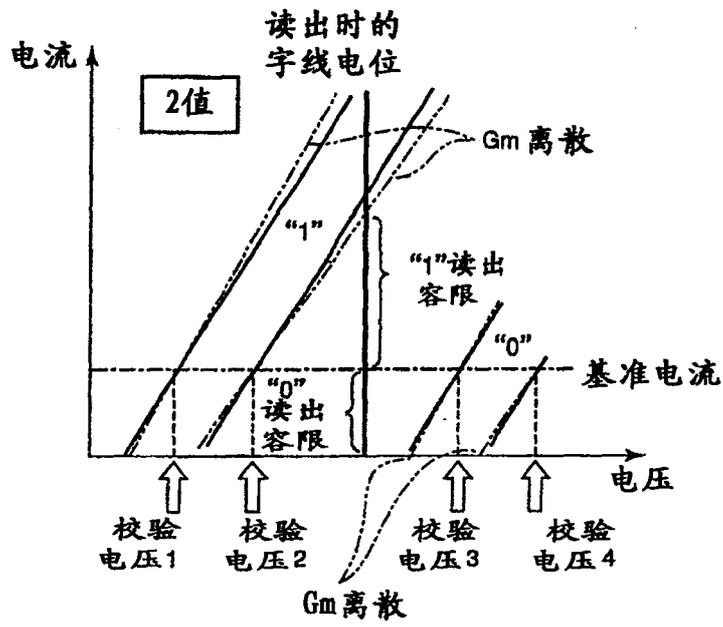


图5

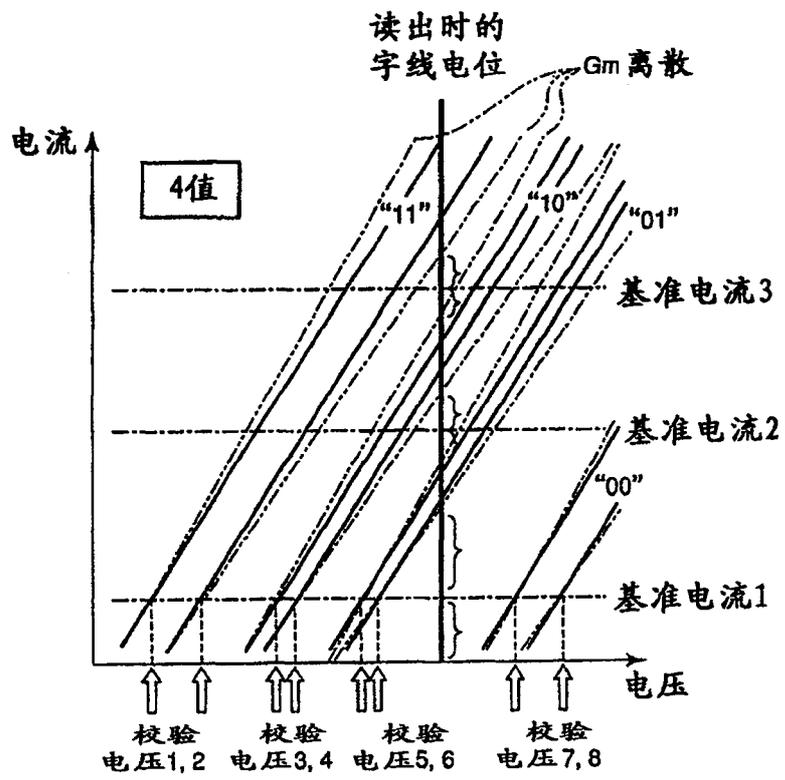


图 6

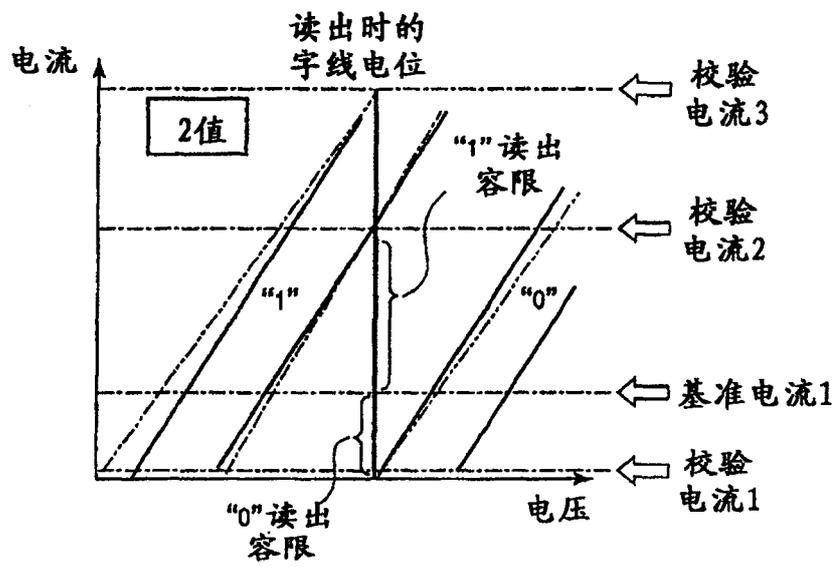


图7

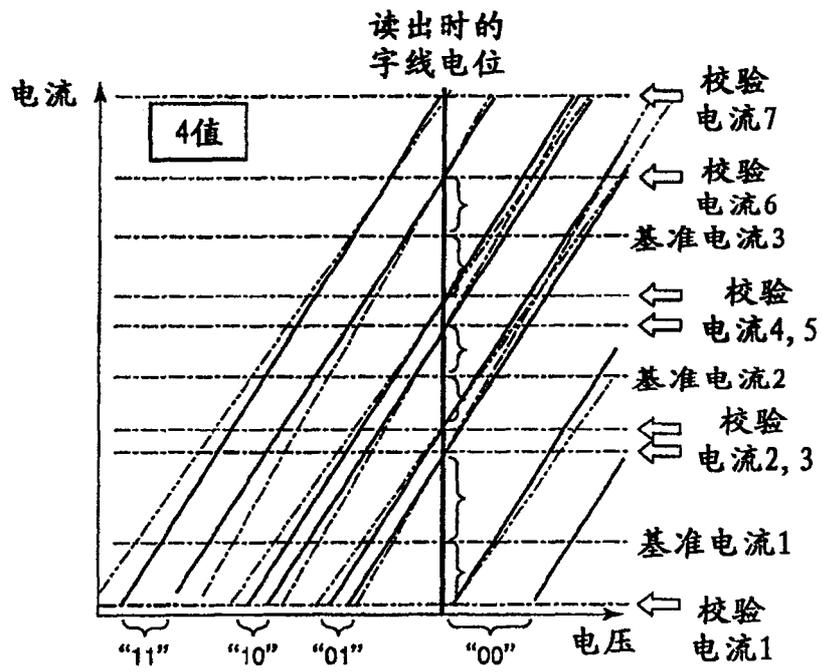


图8

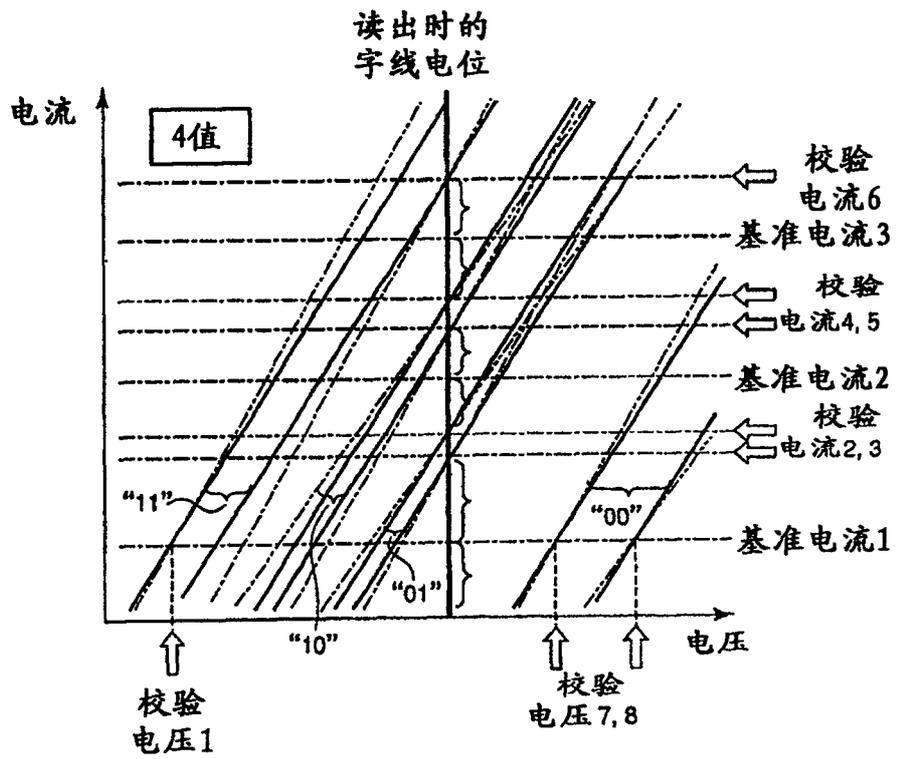


图9

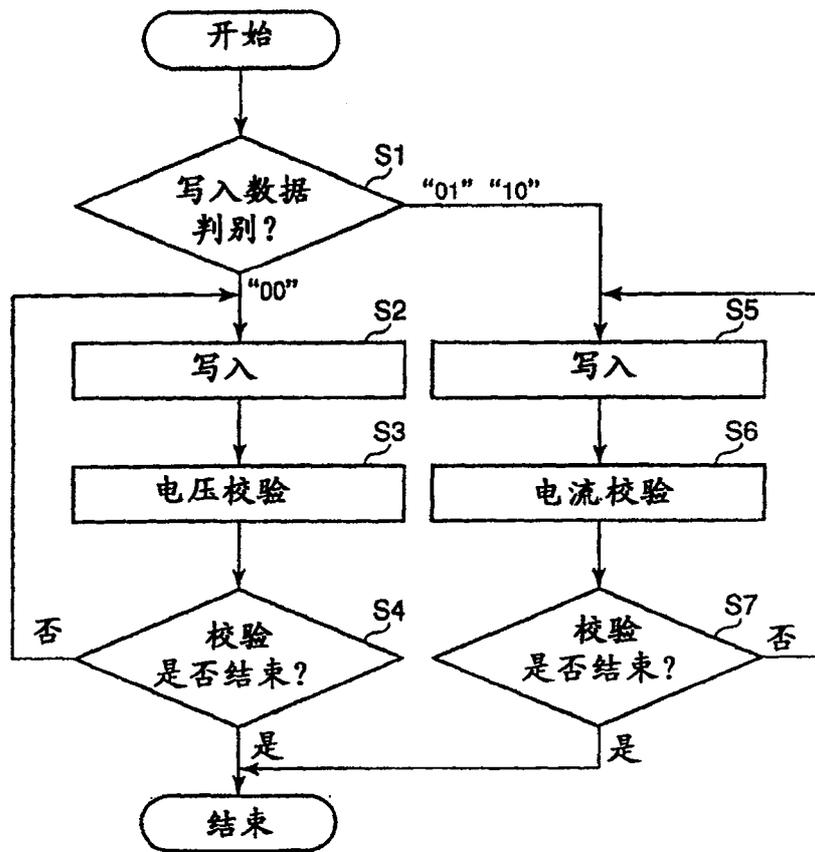


图10

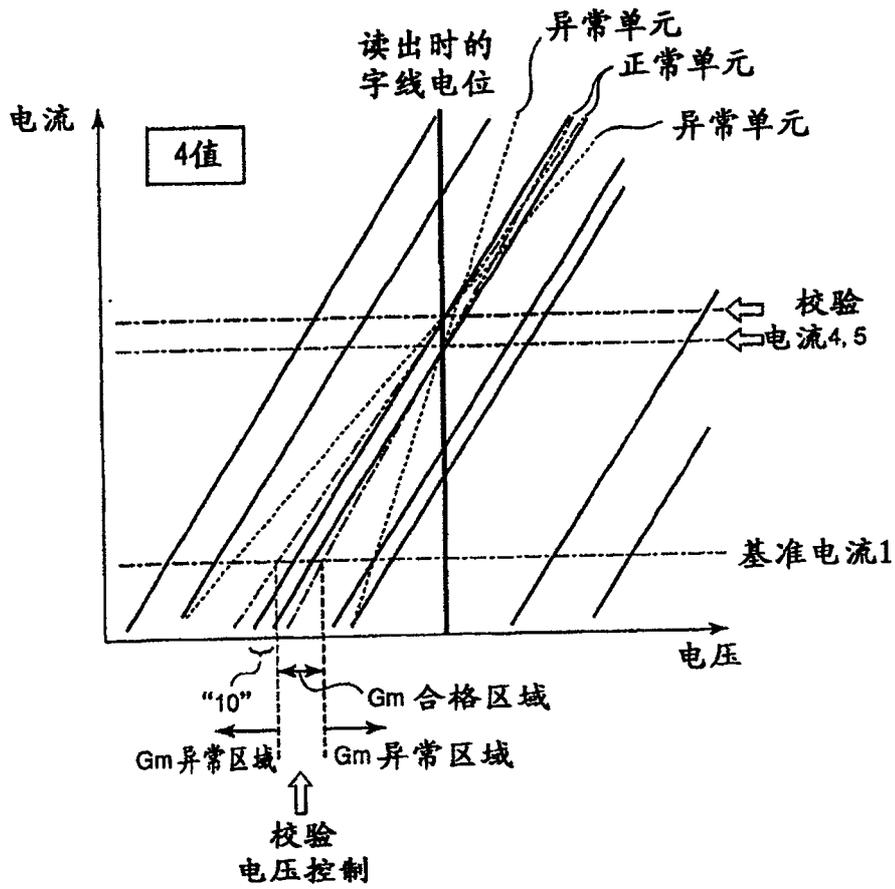


图 11

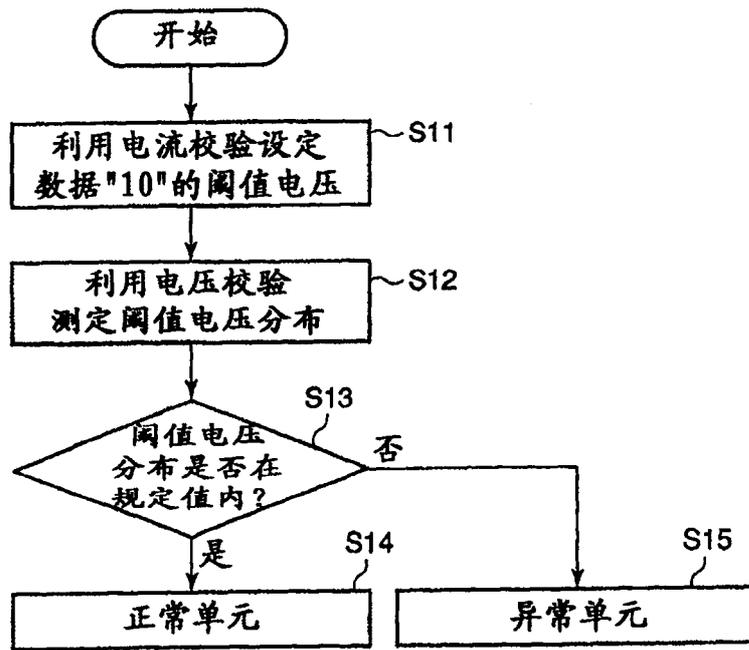


图 12