

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成18年11月30日(2006.11.30)

【公開番号】特開2001-118941(P2001-118941A)  
 【公開日】平成13年4月27日(2001.4.27)  
 【出願番号】特願平11-297089  
 【国際特許分類】

**H 0 1 L 21/8247 (2006.01)**  
**H 0 1 L 29/792 (2006.01)**  
**H 0 1 L 29/788 (2006.01)**  
**H 0 1 L 27/10 (2006.01)**

【F I】

H 0 1 L 29/78 3 7 1  
 H 0 1 L 27/10 4 5 1

【手続補正書】

【提出日】平成18年10月16日(2006.10.16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】半導体基板上に形成した電界効果型トランジスタのゲート部として、絶縁性薄膜、第一導電体薄膜、強誘電体薄膜、第二導電体薄膜を順次積層した構造を持つ強誘電体トランジスタ型不揮発性記憶素子において、

ソース領域およびドレイン領域を覆うシリコン酸化膜と前記絶縁性薄膜端面とが接合し、かつ前記第一導電体薄膜のチャンネル長方向の長さが前記絶縁性薄膜より長く、前記第一導電体薄膜の端面が前記絶縁性薄膜の端面と接触しないように配置されたことを特徴とする強誘電体トランジスタ型不揮発性記憶素子。

【請求項2】前記半導体基板として単結晶シリコン基板を使用することを特徴とする請求項1に記載の強誘電体トランジスタ型不揮発性記憶素子。

【請求項3】前記絶縁性薄膜として、シリコン窒化物を主体とする絶縁性薄膜を用いることを特徴とする請求項1又は2に記載の強誘電体トランジスタ型不揮発性記憶素子。

【請求項4】前記ソース領域およびドレイン領域を覆うシリコン酸化膜として、前記絶縁性薄膜より膜厚が厚い熱酸化膜を用いることを特徴とする請求項1から3のいずれか1項に記載の強誘電体トランジスタ型不揮発性記憶素子。

【請求項5】前記第一導電体薄膜、強誘電体薄膜、第二導電性薄膜からなる強誘電体容量の有効面積が、前記電界効果型トランジスタのチャンネル領域の面積より小さい構造を持つことを特徴とする請求項1から4のいずれか1項に記載の強誘電体トランジスタ型不揮発性記憶素子。

【請求項6】前記強誘電体材料として $ABO_3$ 型構造を持つ強誘電体(但しA, Bは金属元素、以下同じ)、 $A_2B_2O_7$ 型構造を持つ強誘電体、あるいは層状ペロブスカイト型構造をもつ強誘電体材料を使用することを特徴とする請求項1から5のいずれか1項に記載の強誘電体トランジスタ型不揮発性記憶素子。

【請求項7】前記強誘電体材料として、 $Sr_2Nb_2O_7$ 、あるいは $Sr_2Ta_2O_7$ 、あるいは $Sr_2(NbTa)_2O_7$ 、あるいは $SrBi_2Ta_2O_9$ を主体とする材料を用いることを特徴とする請求項1から5のいずれか1項に記載の強誘電体トランジスタ型不揮発性

記憶素子。

【請求項 8】 前記強誘電体材料として、比誘電率が 50 以下の材料を使用することを特徴とする請求項 1 から 7 のいずれか 1 項に記載の強誘電体トランジスタ型不揮発性記憶素子。

【請求項 9】 前記導電体薄膜として白金、イリジウム、酸化イリジウム、導電性多結晶シリコンの一つを主体とする薄膜またはこれらを 2 種以上積層した構造を使用することを特徴とする請求項 1 から 8 のいずれか 1 項に記載の強誘電体トランジスタ型不揮発性記憶素子。

【請求項 10】 半導体基板上に形成した電界効果型トランジスタのゲート部として、絶縁性薄膜、第一導電体薄膜、強誘電体薄膜、第二導電体薄膜を順次積層した構造を持つ強誘電体トランジスタ型不揮発性記憶素子の製造方法において、

半導体基板としてシリコンを主体とする単結晶基板を用い、  
前記絶縁性薄膜を形成、加工し、前記絶縁性薄膜をマスクとしてソース領域およびドレイン領域を形成し、前記絶縁性薄膜をマスクとして前記半導体基板表面を熱酸化することによって、前記ソース領域およびドレイン領域を覆うシリコン酸化膜を形成することを特徴とする強誘電体トランジスタ型不揮発性記憶素子の製造方法。

【請求項 11】 さらに、前記シリコン酸化膜を形成後、前記絶縁性薄膜上に第一導電体薄膜を形成し、前記第一導電体薄膜上に金属有機物の強誘電体薄膜を塗布焼成し、次に、第二導電体薄膜を形成することを特徴とする請求項 10 に記載の強誘電体トランジスタ型不揮発性記憶素子の製造方法。

【請求項 12】 さらに、前記第二導電体薄膜を形成後、層間絶縁膜を形成し、前記層間絶縁膜の、前記第二導電体薄膜、前記ソース領域、前記ドレイン領域に対応する領域にホールをあけて、そのホールに電極を形成することを特徴とする請求項 10 又は 11 に記載の強誘電体トランジスタ型不揮発性記憶素子の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

【課題を解決するための手段および作用】

本発明による強誘電体トランジスタ型不揮発性記憶素子は、半導体基板上に形成した電界効果型トランジスタのゲート部として、絶縁性薄膜、第一導電体薄膜、強誘電体薄膜、第二導電体薄膜を順次積層した構造を持つ強誘電体トランジスタ型不揮発性記憶素子において、ソース領域およびドレイン領域を覆うシリコン酸化膜と前記絶縁性薄膜端面とが接合し、かつ前記第一導電体薄膜のチャンネル長方向の長さが前記絶縁性薄膜より長く、前記第一導電体薄膜の端面が前記絶縁性薄膜の端面と接触しないように配置されたことを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

また、半導体基板上に形成した電界効果型トランジスタのゲート部として、絶縁性薄膜、第一導電体薄膜、強誘電体薄膜、第二導電体薄膜を順次積層した構造を持つ強誘電体トランジスタ型不揮発性記憶素子の製造方法において、半導体基板としてシリコンを主体とする単結晶基板を用い、前記絶縁性薄膜を形成、加工し、前記絶縁性薄膜をマスクとしてソース領域およびドレイン領域を形成し、前記絶縁性薄膜をマスクとして前記半導体基板表面を熱酸化することによって、前記ソース領域およびドレイン領域を覆うシリコン酸化

膜を形成することを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正の内容】

【0056】

【発明の効果】

本発明によれば、強誘電体端面のダメージ層を通じて流れるリーク電流、電荷注入を劇的に減らすことができ、結果としてメモリデバイスとしての記憶保持時間を伸ばすことができる。