

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4983791号
(P4983791)

(45) 発行日 平成24年7月25日 (2012. 7. 25)

(24) 登録日 平成24年5月11日 (2012. 5. 11)

(51) Int. Cl. F I
HO 1 S 5/343 (2006. 01) HO 1 S 5/343
HO 1 S 5/227 (2006. 01) HO 1 S 5/227

請求項の数 5 (全 11 頁)

(21) 出願番号	特願2008-506121 (P2008-506121)	(73) 特許権者	000005223
(86) (22) 出願日	平成18年3月22日 (2006. 3. 22)		富士通株式会社
(86) 国際出願番号	PCT/JP2006/305743		神奈川県川崎市中原区上小田中4丁目1番1号
(87) 国際公開番号	W02007/108117	(74) 代理人	100092978
(87) 国際公開日	平成19年9月27日 (2007. 9. 27)		弁理士 真田 有
審査請求日	平成20年6月17日 (2008. 6. 17)	(74) 代理人	100112678
			弁理士 山本 雅久
		(72) 発明者	山本 剛之
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	松田 学
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 光半導体素子

(57) 【特許請求の範囲】

【請求項 1】

A l G a I n A s系歪多重量子井戸活性層と、
 前記活性層の上方に形成されたA l G a I n A s系上側光ガイド層と、
 前記上側光ガイド層の上側に接し、前記活性層よりもバンドギャップの大きいI n G a A s系上側中間層と、
 前記上側中間層の上側に接するI n Pクラッド層又はI n G a A s P系半導体層と、
 前記クラッド層又は前記I n G a A s P系半導体層の上方に設けられた第1電極と、
 前記活性層の下方に設けられた第2電極とを備え、
 前記上側中間層が、前記上側光ガイド層と前記クラッド層又は前記I n G a A s P系半導体層とが接しないように形成されていることを特徴とする、光半導体素子。

【請求項 2】

前記活性層と前記第2電極との間に設けられたA l G a I n A s系下側光ガイド層と、
 前記下側光ガイド層の下側に接し、前記活性層よりもバンドギャップの大きいI n G a A s系下側中間層と、
 前記下側中間層の下側に接するI n P基板又は前記I n P基板上に形成されたI n Pバッファ層とを備え、
 前記下側中間層が、前記下側光ガイド層と前記基板又はバッファ層とが接しないように形成されていることを特徴とする、請求項1に記載の光半導体素子。

【請求項 3】

10

20

InGaAs P系歪多重量子井戸活性層と、
前記活性層の上方に形成されたInGaAs系半導体層と、
前記InGaAs系半導体層の上方に形成されたAlGaInAs系半導体層と、
前記AlGaInAs系半導体層の上側に接し、前記活性層よりもバンドギャップの大きいInGaAs系中間層と、
前記中間層の上側に接するInPクラッド層又はInGaAs P系半導体層と、
前記クラッド層又は前記InGaAs P系半導体層の上方に設けられた第1電極と、
前記活性層の下方に設けられた第2電極とを備え、
前記中間層が、前記AlGaInAs系半導体層と前記クラッド層又は前記InGaAs P系半導体層とが接しないように形成されていることを特徴とする、請求項1記載の光半導体素子。

10

【請求項4】

前記中間層が、厚さが2 nm以下のInGaAs層であることを特徴とする、請求項1～3のいずれか1項に記載の光半導体素子。

【請求項5】

前記活性層を含むメサ構造と、
前記メサ構造を埋め込む埋込層とを備えることを特徴とする、請求項1～4のいずれか1項に記載の光半導体素子。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、例えば光ファイバ通信システムに用いて好適の光半導体素子に関する。

【背景技術】

【0002】

近年、光通信用モジュールの小型化、低消費電力化に伴って、高温時においても動作可能な半導体レーザや光変調器などの光デバイスが求められている。

光ファイバ通信システムにおいて用いられる光デバイスには、これまで、主にInGaAs P系の材料が用いられてきている。

最近では、ヘテロ接合のバンド構造の点で高温時に十分な高速動作を実現できるAlGaInAs系の材料を用いた光デバイスの開発が進められている。

30

【0003】

また、埋め込み構造の光デバイスは、駆動電流を低減することができ、高速化を図ることができるため、注目を集めている。

ここで、図5は、従来のAlGaInAs系の半導体材料からなる埋込型半導体レーザ（光半導体素子）の構成を示している。

従来のAlGaInAs系埋込型半導体レーザは、図5に示すように、n型InP基板100上に、必要に応じてInPバッファ層（図示せず）を介して、n側AlGaInAs光ガイド層101、AlGaInAs／AlGaInAs歪多重量子井戸（MQW；Multiple Quantum Well）活性層102、p側AlGaInAs光ガイド層103、p型InPクラッド層104、p型InGaAsコンタクト層105を順に積層し、メサ形状に加工し、これをp型InP埋込層及びn型InP埋込層（pn埋込層106）で埋め込んだ構造（pn pn埋込ヘテロ構造）になっている。

40

【0004】

なお、高抵抗半導体層（半絶縁性半導体層）で埋め込んだ構造（半絶縁性埋込ヘテロ構造；SIBH構造；Semi-Insulating Buried Heterostructure）などの他の埋込構造やリッジ構造などの他の導波路構造を有するものもある。

このようなAlGaInAs系多重量子井戸活性層を備える埋込型半導体レーザでは、有効質量の小さな電子に対する伝導帯側の量子井戸が深く、有効質量の大きな正孔に対する価電子帯側の量子井戸が浅いため、電流－光出力特性の温度依存性が小さくなる。また、埋込構造になっているため、緩和振動周波数が増大する。

50

【0005】

一方、電界吸収型変調器を、AlGaInAs系多重量子井戸活性層を備えるものとして構成すると、電圧に対して急峻な消光特性が得られるようになる。

なお、先行技術調査の結果、以下の特許文献1，2が得られた。

特許文献1には、InP基板上にInAlAs層を成長させる場合の結晶性を改善すべく、InP層とInAlAs層との間にInGaAs層又はGaAs層を入れることが開示されている。また、特許文献2にも同様の技術が開示されている。

【特許文献1】特開平9-36494号公報

【特許文献2】特開2002-26457号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0006】

しかしながら、上述のように構成されるAlGaInAs系多重量子井戸活性層を備える半導体レーザなどの光半導体素子では、従来のInGaAsP系の半導体材料からなる光半導体素子と比べて、初期的には良好な素子特性が得られるものの、通電試験を行なっていくと、素子特性が大幅に劣化（通電劣化）する場合があることがわかった。

本発明者らが、上述のように構成されるAlGaInAs系埋込型半導体レーザ（図5参照；例えば共振器長300μm）を作製し、通電試験を実施したところ、100時間通電後には、光出力が90%以上低下し、通電劣化してしまう場合がしばしば見られた。

【0007】

20

なお、上述の埋込型半導体レーザと同様の構造を備える他の光半導体素子においても、同様に通電劣化が生じる可能性がある。また、活性層近傍に、Alを含有する半導体層を備える光半導体素子においても、同様に通電劣化を生じる可能性がある。

本発明は、このような課題に鑑み創案されたもので、通電劣化を抑制できるようにした、光半導体素子を提供することを目的とする。

【課題を解決するための手段】

【0008】

このため、本発明の光半導体素子は、AlGaInAs系歪多重量子井戸活性層と、活性層の上方に形成されたAlGaInAs系上側光ガイド層と、上側光ガイド層の上側に接し、活性層よりもバンドギャップの大きいInGaAs系上側中間層と、上側中間層の上側に接するInPクラッド層又はInGaAsP系半導体層と、クラッド層又はInGaAsP系半導体層の上方に設けられた第1電極と、活性層の下方に設けられた第2電極とを備え、上側中間層が、上側光ガイド層とクラッド層又は前記InGaAsP系半導体層とが接しないように形成されていることを特徴としている。

30

【発明の効果】

【0014】

本発明の光半導体素子によれば、通電劣化を抑制できるという利点がある。

【図面の簡単な説明】

【0015】

【図1】本発明の一実施形態にかかる光半導体素子（埋込型半導体レーザ）の構成を示す模式的斜視図である。

40

【図2】InP基板上にInGaAs層を形成した場合のInGaAs層のIn組成比に対するInPとInGaAsとの間の伝導帯側のバンド不連続の計算値を示す図である。

【図3】本発明の一実施形態にかかる光半導体素子（埋込型半導体レーザ）の変形例の構成を示す模式的断面図である。

【図4】本発明の一実施形態にかかる光半導体素子の他の変形例の構成を示す模式的断面図である。

【図5】従来の埋込型半導体レーザの構成を示す模式的断面図である。

【符号の説明】

【0016】

50

- 1 n型InP基板（第6半導体層）
- 2 n型InPバッファ層（第6半導体層）
- 3 n側InGaAs系中間層（第5半導体層）
- 4 n側AlGaInAs系光ガイド層（第4半導体層）
- 5 AlGaInAs／AlGaInAs歪多重量子井戸（MQW）活性層
- 6 p側AlGaInAs系光ガイド層（第1半導体層）
- 7 p側InGaAs系中間層（第2半導体層）
- 8 p型InP上側クラッド層（第3半導体層）
- 9 p型InGaAsコンタクト層
- 10 p型InP埋込層（電流狭窄層）
- 11 n型InP埋込層（電流狭窄層）
- 12 p側電極
- 13 n側電極
- 14 SiO₂絶縁膜
- 15 p型InGaAsP系半導体層（第3半導体層）
- 20 InGaAsP系歪多重量子井戸活性層
- 21 p型InAlAs系半導体層（第1半導体層）
- 23 下側InGaAs系半導体層
- 24 上側InGaAs系半導体層（第2半導体層）

10

【発明を実施するための最良の形態】

20

【0017】

以下、図面により、本発明の実施の形態にかかる光半導体素子について、図1～図4を参照しながら説明する。

本実施形態にかかる光半導体素子は、例えばAlGaInAs系（AlGaInAs, InGaAs, InAlAsを含む）の半導体材料からなる活性層を備える半導体レーザ（ここでは1.3μm帯の埋込型半導体レーザ）であって、電流狭窄構造としてpnpn埋込ヘテロ構造（pnpn-BH構造：pnpn Buried Heterostructure）を採用したものである。

【0018】

具体的には、本埋込型半導体レーザは、図1に示すように、n型InP基板1（第6半導体層）上に、必要に応じてn型InPバッファ層2（第6半導体層；例えば0.5μm）と、n側中間層3（第5半導体層）と、n側光ガイド層4（第4半導体層）と、AlGaInAs／AlGaInAs歪多重量子井戸（MQW）活性層5と、p側光ガイド層（第1半導体層）6と、p側中間層7（第2半導体層）と、p型InP上側クラッド層8（第3半導体層；例えば全体の厚さ3μm）と、p型InGaAsコンタクト層9（例えば厚さ0.5μm）と、p型InP埋込層10（電流狭窄層）と、n型InP埋込層11（電流狭窄層）と、p側電極12と、n側電極13と、SiO₂膜（絶縁膜）14とを備えるものとして構成される。なお、n型InP基板1及びn型InPバッファ層2は、クラッド層として機能するため、これらをn型InP下側クラッド層という。

30

【0019】

40

本実施形態では、AlGaInAs／AlGaInAs歪多重量子井戸（MQW）活性層5は、AlGaInAs系（AlGaInAs, InGaAs, InAlAsを含む）の半導体材料（Alを含有する半導体材料）からなり、例えば、厚さ4.2nmの1.2%圧縮歪AlGaInAs井戸層と、バンドギャップ波長1.05μm、厚さ10nmのAlGaInAsバリア層とを10層積層させた歪多重量子井戸構造（組成の異なるAlGaInAs層を積層させた構造）になっている。

【0020】

p側光ガイド層6は、AlGaInAs系（AlGaInAs, InAlAsを含む）の半導体材料からなり、例えば、そのバンドギャップ波長は1.05μmで、その厚さは20nmである。つまり、活性層5の上方に、Alを含有する半導体材料からなる第1半

50

導体層 6 (p 側 AlGaInAs 系光ガイド層; 上側光ガイド層) が形成されている。

p 側中間層 7 は、p 側光ガイド層 6 の上方に形成されており、InGaAs 系 (InGaAs, GaAs を含む) の半導体材料からなる。つまり、p 側光ガイド層 6 の上方に、Al 及び P を含有しない半導体材料からなる第 2 半導体層 7 (p 側 InGaAs 系中間層; 上側中間層) が形成されている。

【0021】

p 型 InP 上側クラッド層 8 は、p 側 InGaAs 系中間層 7 の上方に形成されている。つまり、p 側 InGaAs 系中間層 7 の上方に、Al を含有せず、P を含有する半導体材料からなる第 3 半導体層 8 (p 型 InP 上側クラッド層) が形成されている。

そして、p 側 InGaAs 系中間層 7 (第 2 半導体層) は、p 側 AlGaInAs 系光ガイド層 6 (第 1 半導体層) と p 型 InP 上側クラッド層 8 (第 3 半導体層) とが接しないように形成されている。

【0022】

このように、本実施形態では、p 側 AlGaInAs 系光ガイド層 6 と p 型 InP 上側クラッド層 8 との間に、p 側 InGaAs 系中間層 7 が挿入されているため、通電劣化を抑制することができる。このメカニズムについては、まだ明確なものが得られていないが、反応性の高い Al 上に P が導入されることで、本来形成されるべき混晶とは異なる物質が界面に形成されて結晶欠陥が誘発され、これにより、通電劣化が生じていたのではないかと考えられる。

【0023】

一方、n 側光ガイド層 4 は、AlGaInAs 系 (AlGaInAs, InAlAs を含む) の半導体材料からなり、例えばそのバンドギャップ波長は $1.05\ \mu\text{m}$ で、その厚さは $20\ \text{nm}$ である。つまり、活性層 5 の下方に、Al を含有する半導体材料からなる第 4 半導体層 4 (n 側 AlGaInAs 系光ガイド層; 下側光ガイド層) が形成されている。

【0024】

n 側中間層 3 は、n 側光ガイド層 4 の下方に形成されており、InGaAs 系 (InGaAs, GaAs を含む) の半導体材料からなる。つまり、n 側光ガイド層 4 の下方に、Al 及び P を含有しない半導体材料からなる第 5 半導体層 3 (n 側 InGaAs 系中間層; 下側中間層) が形成されている。

n 型 InP バッファ層 2 (n 型 InP 下側クラッド層) は、n 側 InGaAs 系中間層 3 の下方に形成されている。つまり、n 側 InGaAs 系中間層 3 の下方に、Al を含有せず、P を含有する半導体材料からなる第 6 半導体層 2 (n 型 InP バッファ層; n 型 InP 下側クラッド層) が形成されている。なお、n 型 InP バッファ層 2 を設けない場合には、n 側 InGaAs 系中間層 3 の下方に、Al を含有せず、P を含有する半導体材料からなる第 6 半導体層として n 型 InP 基板 (n 型 InP 下側クラッド層) 1 が設けられることになる。

【0025】

そして、n 側 InGaAs 系中間層 3 (第 5 半導体層) は、n 側 AlGaInAs 系光ガイド層 4 (第 4 半導体層) と n 型 InP 下側クラッド層 (ここでは n 型 InP バッファ層 2; この層を有しない場合には n 型 InP 基板 1; 第 6 半導体層) とが接しないように形成されている。

このように、n 型 InP 下側クラッド層 (ここでは n 型 InP バッファ層 2; この層を有しない場合には n 型 InP 基板 1) と n 側 AlGaInAs 系光ガイド層 4 との間に n 側 InGaAs 系中間層 3 が挿入されているため、結晶性を改善することができる。

【0026】

特に、本実施形態では、活性層 5 よりもバンドギャップが広くなり、かつ、InP 層 [p 型 InP 上側クラッド層 8 又は n 型 InP 下側クラッド層 (ここでは n 型 InP バッファ層 2; この層を有しない場合には n 型 InP 基板 1)] に対して障壁ができないように、p 側 InGaAs 系中間層 7 及び n 側 InGaAs 系中間層 3 を比較的大きな引張歪を

10

20

30

40

50

有する、厚さ1 nmの $\text{In}_{0.25}\text{Ga}_{0.75}\text{As}$ 層としている。

【0027】

このような組成とすることで、p側 InGaAs 系中間層7及びn側 InGaAs 系中間層3に大きな歪みを入れて、活性層5よりもバンドギャップが広がるようにしている。このようにしているのは、n側 InGaAs 系中間層3及びp側 InGaAs 系中間層7は、いずれも活性層5や光ガイド層4、6の近傍に設けられるため、これらの中間層3、7で吸収が生じないようにするためである。

【0028】

なお、p側 InGaAs 系中間層7及びn側 InGaAs 系中間層3の組成及び厚さは、これに限られるものではなく、他の組成、厚さのものを用いることもできる。

10

ここで、組成や厚さの選定は、(1) 特性を劣化させないように、活性層5よりもバンドギャップが広く、吸収が生じないこと、(2) 格子歪みが大きすぎて、結晶欠陥を生じないこと、(3) キャリアの注入を妨げないこと（ここでは InP 層に対して障壁ができないこと）、などの条件を満たすように行なえば良い。

【0029】

ここで、図2は、 InP 基板上に InGaAs 層を形成した場合の InGaAs 層の In 組成比に対する InP と InGaAs との間の伝導帯側のバンド不連続の計算値（伝導帯不連続値）を示している。なお、ここでは、一般的に報告されている材料パラメータを用いて計算している。

InP との伝導帯不連続値（図2の縦軸）が正の値の場合に、 InP 基板に存在する電子に対してエネルギー障壁が形成される。

20

【0030】

このため、キャリアの注入を妨げないようにするためには、 InP との伝導帯不連続値（図2の縦軸）が負の値になるように、n側 InGaAs 系中間層3の In 組成比を選定するのが好ましい。

但し、n側 InGaAs 系中間層3の In 組成比が小さく、 InP との伝導帯不連続値が正の値になって、障壁が形成されてしまうような場合であっても、厚さが薄い場合にはキャリアは注入される。このため、n側 InGaAs 系中間層3の In 組成比を小さくする場合には、n側 InGaAs 系中間層3を、障壁が生じてもトンネル可能な2 nm以下の薄膜にするのが望ましい。例えば厚さを1 nm程度までとするのであれば、n側 InGaAs 系中間層3として、 GaAs 中間層を用いることもできる。なお、 GaAs は2元であり、安定した結晶成長が可能であるため、結晶成長の観点からは GaAs を用いるのが望ましい。

30

【0031】

なお、本実施形態のものは上記の条件を満たしているが、結晶欠陥が生じないようにするためには、p側 InGaAs 系中間層7及びn側 InGaAs 系中間層3の組成及び厚さを結晶成長時に格子緩和が生じない値に設定する必要がある。

また、本実施形態の埋込型半導体レーザは、1.3 μm 帯の埋込型半導体レーザであるため、p側 InGaAs 系中間層7及びn側 InGaAs 系中間層3として、厚さ1 nmの $\text{In}_{0.25}\text{Ga}_{0.75}\text{As}$ 層を用いているが、これに限られるものではない。

40

【0032】

例えば、1.55 μm 帯の埋込型半導体レーザの場合には、1.55 μm 帯の埋込型半導体レーザを構成する活性層5よりもバンドギャップが広がるように、p側 InGaAs 系中間層7及びn側 InGaAs 系中間層3の組成及び厚さを選定すれば良い。このため、p側 InGaAs 系中間層7及びn側 InGaAs 系中間層3として、上述の1.3 μm 帯の埋込型半導体レーザよりも In 組成比が大きい（格子歪みが小さい）ものを用いることができる。

【0033】

また、本実施形態では、p側 InGaAs 系中間層7及びn側 InGaAs 系中間層3の組成及び厚さを同じにしているが、これらを異なる組成、厚さを持つものとして構成し

50

ても良い。

ところで、本埋込型半導体レーザでは、図1に示すように、活性層5及び光ガイド層4、6を含むメサ構造（ストライプ状のメサ形状）を形成し、その両側に、メサ構造が埋め込まれるように、n型InP基板1上に、p型InP埋込層10（電流狭窄層）及びn型InP埋込層11（電流狭窄層）を形成し、その上に、p型InP上側クラッド層8、p型InGaAsコンタクト層9を形成することで、pnpn埋込構造を形成し、これを電流狭窄構造としている。

【0034】

また、n側電極13は、例えばAuGe電極であり、基板裏面側に形成されている。一方、基板表面側は活性層5の上方部分を除いてSiO₂膜14で覆われている。そして、活性層5の上方部分には、p側電極12として、例えばTi/Pt/Au電極が形成されている。

10

次に、本実施形態にかかる光半導体素子（AlGaInAs系埋込型半導体レーザ）の製造方法について、図1を参照しながら説明する。

【0035】

まず、n型InP基板1上に、必要に応じてn型InPバッファ層2、n側InGaAs系中間層3、n側AlGaInAs系光ガイド層4、AlGaInAs/AlGaInAs歪多重量子井戸活性層5、p側AlGaInAs系光ガイド層6、p側InGaAs系中間層7、p型InP上側クラッド層8の一部を、例えば有機金属気相成長法（MOVPE；organometallic vapor phase epitaxy法）によって順に成長させて積層構造を形成する。

20

【0036】

次に、表面にエッチング用マスクとしてSiO₂膜（SiO₂マスク）を形成する。SiO₂膜は、通常のフォトリソグラフィ技術を用いて、例えば幅1.4μmのストライプ状に加工して形成する。

次いで、このSiO₂マスクを用いて、例えばICP-RIE（Inductively Coupled Plasma Reactive Ion Etching）法（誘導結合型プラズマ反応性イオンエッチング法）などのドライエッチングによって、n型InPバッファ層2まで達するようにメサ形状に加工して、例えば高さ1.5μm程度のメサ構造を形成する。

【0037】

30

続いて、メサ表面に形成されたダメージ層をウェットエッチングによって薄く除去した後、MOVPE装置に入れて、例えばMOVPE法によって、メサ構造の両側が埋め込まれるように、p型InP埋込層10及びn型InP埋込層11からなる電流狭窄層を成長させる。

その後、メサ構造上のSiO₂マスクを除去した後、例えばMOVPE法によって、全面に、残りのp型InP上側クラッド層8及びp型InGaAsコンタクト層9を成長させる。

【0038】

そして、通常のプロセスによって電極12、13を形成する。つまり、SiO₂膜（絶縁膜）14を形成した後、活性層5の上方に形成されているSiO₂膜14を除去し、例えばTi/Pt/Auからなるp側電極12を形成する。一方、n型InP基板1の裏面側には、例えばAuGeからなるn側電極13を形成する。

40

本実施形態にかかる光半導体素子によれば、通電劣化を抑制できるという利点がある。

【0039】

本発明者らが、上述の本実施形態にかかる埋込型半導体レーザ、即ち、AlGaInAs/AlGaInAs歪多重量子井戸（MQW）活性層5を備える半導体レーザにおいて、n型InP下側クラッド層（ここではn型InPバッファ層2；この層を有しない場合にはn型InP基板1）とn側AlGaInAs系光ガイド層4との間、及び、p側AlGaInAs系光ガイド層6とp型InP上側クラッド層8との間に、InGaAs系中間層3、7を挿入した構造のものを作製し、従来構造（図5参照）のものとの比較評価を

50

行なった。

【0040】

この結果、従来構造のものでは、上述の「発明が解決しようとする課題」の欄で説明したように、100時間通電後には光出力が90%以上低下してしまう場合がしばしば見られたのに対し、上述の構造を備える本埋込型半導体レーザ（例えば共振器長300 μm ；ファブリ・ペロー型半導体レーザ）では、初期的には従来構造のものと同様に良好な素子特性が得られ、100時間通電後も光出力の低下を3%以内に抑えることができ、通電劣化を抑制できることが確認できた。

【0041】

なお、本発明は、上述の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形することができる。

例えば、上述の実施形態では、p側InGaAs系中間層7の直上にp型InP上側クラッド層8が形成されているが、これに限られるものではなく、例えば図3に示すように、p側InGaAs系中間層7上に、p型InGaAsP系（InGaAsP、InGaPを含む）の半導体材料からなるp型InGaAsP系半導体層（中間層；第3半導体層）15を介して、p型InP上側クラッド層8を形成しても良い。つまり、p側InGaAs系中間層7とp型InP上側クラッド層8との間にp型InGaAsP系半導体層15を挿入しても良い。例えば、厚さ10nmのp型 $\text{In}_{0.96}\text{Ga}_{0.04}\text{As}_{0.09}\text{P}_{0.91}$ 半導体層を挿入すれば良い。

【0042】

同様に、本実施形態では、n側InGaAs系中間層3の直下にn型InPバッファ層2が形成されているが、これに限られるものではなく、例えば、n側InGaAs系中間層3の下に、n型InGaAsP層系の半導体材料からなる層（中間層）を介して、n型InPバッファ層2（これを有しない場合はn型InP基板1）が位置するように構成しても良い。つまり、n型InP下側クラッド層（n型InPバッファ層2；これを有しない場合にはn型InP基板1）とn側InGaAs系中間層3との間にn型InGaAsP系半導体層を挿入しても良い。

【0043】

つまり、上述の実施形態では、積層構造を、n側はInP／InGaAs／AlGaInAsとし、p側はAlGaInAs／InGaAs／InPとしているが、これに限られるものではなく、例えば、n側はInP／InGaAsP／InGaAs／AlGaInAsとし、p側はAlGaInAs／InGaAs／InGaAsP／InPとしても良い。

【0044】

特に、図3に示すように、p側InGaAs系中間層7とp型InP上側クラッド層との間にp型InGaAsP層15（例えばバンドギャップ波長0.95 μm ）を挿入すると、価電子帯側のバンド不連続を小さくすることができ、これにより、素子抵抗をより小さくできるようになる。

また、上述の実施形態では、n型InP下側クラッド層（ここではn型InPバッファ層2；これを有しない場合にはn型InP基板1）とn側AlGaInAs系光ガイド層4との間、及び、p側AlGaInAs系光ガイド層6とp型InP上側クラッド層8との間の両方に、InGaAs系中間層3、7を挿入しているが、これに限られるものではなく、通電劣化を抑制するためには、少なくとも、p側AlGaInAs系光ガイド層6とp型InP上側クラッド層8との間にp側InGaAs系中間層7を挿入すれば良い。

【0045】

但し、n型InP下側クラッド層（ここではn型InPバッファ層2；これを有しない場合にはn型InP基板1）とn側AlGaInAs系光ガイド層4との間にn側InGaAs系中間層3を挿入することで、結晶性を改善することができるため、結晶性を改善しながら、通電劣化を抑制するためには、本実施形態のように、両方にInGaAs系中間層3、7を挿入するのが望ましい。

【0046】

また、上述の実施形態では、活性層として、AlGaInAs／AlGaInAs 歪多重量子井戸活性層を用いているが、これに限られるものではなく、他の材料、組成からなる活性層、無歪の多重量子井戸活性層、バルク構造や量子ドットを用いる構造などの他の構造の活性層などであっても良い。

つまり、本光半導体素子は、Alを含有する半導体材料からなる第1半導体層と、Al及びPを含有せず、活性層よりもバンドギャップの大きい半導体材料からなる第2半導体層と、Alを含有せず、Pを含有する半導体材料からなる第3半導体層とを備え、第2半導体層が、第1半導体層と第3半導体層とが接しないように形成されていれば良く、例えば、図4に示すように、InGaAsP系(InGaAsP, InP, InAsP, InGaAs, InGaPを含む)歪多重量子井戸活性層20を備え、このInGaAsP系歪多重量子井戸活性層20のp側に電子のオーバフローを抑えるために、p型AlGaInAs系(AlGaInAs, InAlAsを含む)の半導体材料からなるp型AlGaInAs系半導体層21(ここではp型InAlAs半導体層；第1半導体層)を設けた構造の光半導体素子に適用することもできる。

10

【0047】

この場合、光半導体素子は、n型InP基板1上に必要に応じてバッファ層2を介して形成されたInGaAsP系歪多重量子井戸活性層20上に、InGaAs系(InGaAs, GaAsを含む)の半導体材料からなる下側InGaAs系半導体層23(例えば厚さ1nmのIn_{0.2}Ga_{0.8}As層)、p型InAlAs層21(例えば厚さ20nm)、InGaAs系(InGaAs, GaAsを含む)の半導体材料からなる上側InGaAs系半導体層24(例えば厚さ1nmのIn_{0.2}Ga_{0.8}As層；第2半導体層)、p型InPクラッド層8(第3半導体層)、p型InGaAsコンタクト層9を積層し、メサ形状に加工し、これをp型InP埋込層10及びn型InP埋込層11で埋め込んだ構造になっている。なお、図4では、上述の実施形態(図1参照)と同じものには同じ符号を付している。

20

【0048】

なお、ここでは、p型InAlAs層21の上側及び下側に、同じ組成、厚さのInGaAs系半導体層を設けているが、これらは異なる組成、厚さにしても良い。

なお、上側InGaAs系半導体層24とp型InP層25との間に、p型InGaAsP系半導体層(第3半導体層)を設けても良い。これにより、価電子帯側のバンド不連続を小さくすることができ、素子抵抗をより小さくできるようになる。

30

【0049】

また、上述の実施形態では、本発明を、光ガイド層を備える埋込型半導体レーザに適用した場合を例に説明しているが、これに限られるものではなく、本発明は、光ガイド層を備えない埋込型半導体レーザに適用することもできる。この場合、埋込型半導体レーザは、Alを含有する半導体材料(例えばAlGaInAs系の半導体材料)からなる活性層を備え、活性層とp型InP上側クラッド層との間にp側InGaAs系中間層を挿入する。これにより、通電劣化を抑制することができる。また、結晶性を改善するためには、活性層とn型InP下側クラッド層(ここではn型InPバッファ層2；これを有しない場合にはn型InP基板1)との間にもn側InGaAs系中間層を挿入する。

40

【0050】

また、上述の実施形態では、p型InP埋込層及びn型InP埋込層を形成することで、電流狭窄構造をpnpn埋込ヘテロ構造によって構成しているが、これに限られるものではなく、例えば、Fe-InP層などの半絶縁性InP埋込層(高抵抗半導体層)を用いる半絶縁性埋込ヘテロ構造(SI-BH；Semi-Insulating Buried Heterostructure)や半絶縁性平面埋込ヘテロ構造(SI-PBH；semi-insulating blocked planar buried heterostructure)によって電流狭窄構造を構成しても良い。

【0051】

また、導波路構造としても、上述のpn埋め込みの導波路、高抵抗層を用いた埋め込み

50

導波路以外にも、リッジ型導波路など他の導波路構造を用いることも可能である。所望の性能実現の設計に応じて素子長は選ぶことができ、端面コートも適用することが可能である。

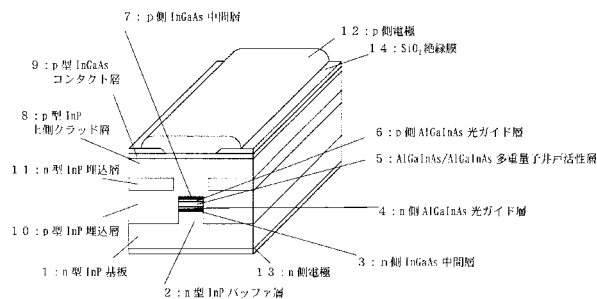
また、上述の実施形態では、ファブリ・ペロー型の半導体レーザを例に説明しているが、これに限られるものではない。例えば、回折格子を有する分布帰還型(Distributed Feedback; DFB)レーザや分布反射型(Distributed Bragg Reflector; DBR)レーザにも本発明を適用することができる。また、例えば、上述の実施形態の半導体レーザと同様の構造を有する半導体変調器(例えば電界吸収型変調器; EA変調器)や半導体変調器を集積した半導体レーザなどの他のデバイスにも本発明を適用することができる。

【0052】

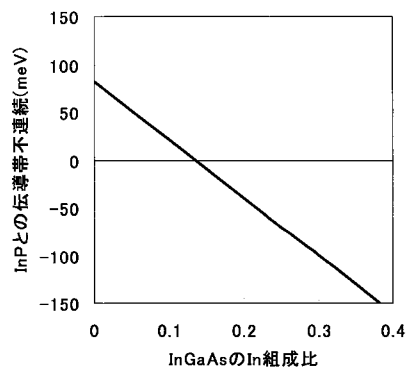
また、上述の実施形態では、 n 型 InP 基板(第1の導電型の半導体基板)上に形成した半導体レーザを例に説明しているが、これに限られるものはない。例えば p 型 InP 基板(第2の導電型の半導体基板)上に形成しても良いし、高抵抗 InP 基板(SI-InP 基板)上に形成しても良い。また、 InP 以外の半導体材料からなる基板上に形成しても良い。

10

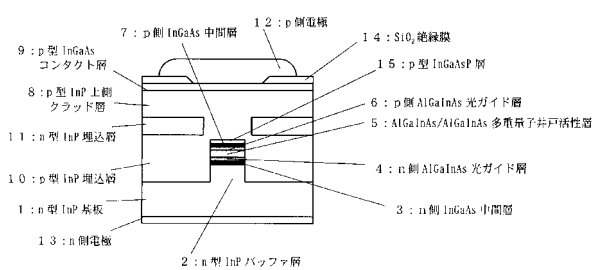
【図1】



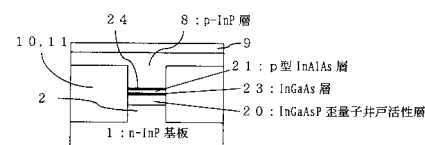
【図2】



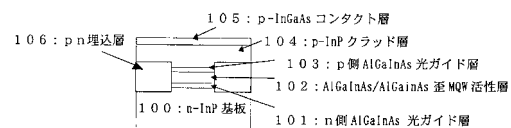
【図3】



【図4】



【図5】



フロントページの続き

- (72)発明者 江川 満
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 高田 幹
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 奥村 滋一
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 土屋 知久

- (56)参考文献 特開平9-36494 (JP, A)
特開2002-26457 (JP, A)
特開2005-243743 (JP, A)
特開平6-112530 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01S 5/00- 5/50
H01L 33/00-33/64