

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4752272号
(P4752272)

(45) 発行日 平成23年8月17日 (2011. 8. 17)

(24) 登録日 平成23年6月3日 (2011. 6. 3)

(51) Int. Cl.

F I

H03G 3/10 (2006.01)
H03D 7/14 (2006.01)
H04B 1/04 (2006.01)
H04B 1/18 (2006.01)

H03G 3/10 B
H03D 7/14 C
H04B 1/04 F
H04B 1/18 C

請求項の数 2 (全 16 頁)

(21) 出願番号 特願2005-560 (P2005-560)
(22) 出願日 平成17年1月5日 (2005. 1. 5)
(65) 公開番号 特開2006-191278 (P2006-191278A)
(43) 公開日 平成18年7月20日 (2006. 7. 20)
審査請求日 平成19年9月18日 (2007. 9. 18)

(73) 特許権者 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100094053
弁理士 佐藤 隆久
(72) 発明者 諸橋 英雄
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

審査官 儀同 孝信

最終頁に続く

(54) 【発明の名称】 通信装置

(57) 【特許請求の範囲】

【請求項 1】

送信に係る同相信号および直交位相信号を変調するために、差動の同相信号および差動の直交位相信号が入力されるベースバンド部、前記ベースバンド部から出力される差動のベースバンド信号とともに互いに逆相である差動の第1の発振信号および差動の第2の発振信号が入力される変調部、および、前記変調部から出力される差動のRF信号とともに利得制御用の差動の制御電圧が入力され、前記差動のRF信号を複数段の利得制御増幅回路により増幅する増幅部を有し、

前記ベースバンド部は、

第1の電流源が接続された第1の差動回路を有し、前記差動の同相信号を前記第1の差動回路により電流増幅し、前記第1の差動回路の一对の出力から差動電流による第1のベースバンド信号を出力する第1の増幅器と、

第2の電流源が接続された第2の差動回路を有し、前記差動の直交位相信号を前記第2の差動回路により電流増幅し、前記第2の差動回路の一对の出力から差動電流による第2のベースバンド信号を出力する第2の増幅器と

を有し、2対の差動電流である第1のベースバンド信号および第2のベースバンド信号を、前記変調部へ出力し、

前記変調部は、

前記差動電流による第1のベースバンド信号が各々に供給されるように前記第1の差動回路の一对の出力の各々に接続され、前記差動の第1の発振信号が互いに逆相に供給さ

10

20

れる 2 組の第 3 の差動回路を有し、前記 2 組の第 3 の差動回路による 2 組の差動の出力電流を合成して、位相が互いに異なる差動電流による第 1 の変調信号および第 2 の変調信号を出力する第 1 のギルバート型掛算器と、

前記差動電流による第 2 のベースバンド信号が各々に供給されるように前記第 2 の差動回路の一对の出力の各々に接続され、前記差動の第 1 の発振信号と逆相の関係にある前記差動の第 2 の発振信号が互いに逆相に供給される 2 組の第 4 の差動回路を有し、前記 2 組の第 3 の差動回路による 2 組の差動の出力電流を合成して、位相が互いに異なる差動電流による第 3 の変調信号および第 4 の変調信号を出力する第 2 のギルバート型掛算器と、

前記第 1 のギルバート型掛算器および前記第 2 のギルバート型掛算器に接続され、前記第 1 の発振信号の位相に対して正相の電流となる前記第 1 の変調信号と、前記第 2 の発振信号の位相に対して正相の電流となる前記第 3 の変調信号とを合成する第 1 の合成器と、

10

前記第 1 のギルバート型掛算器および前記第 2 のギルバート型掛算器に接続され、前記第 1 の発振信号の位相に対して負相の電流となる前記第 2 の変調信号と、前記第 2 の発振信号の位相に対して負相の電流となる前記第 4 の変調信号とを合成する第 2 の合成器とを有し、前記第 1 の合成器および前記第 2 の合成器から前記増幅部へ、正相の電流および負相の電流による差動電流の RF 信号を出力し、

前記複数段の利得制御増幅回路のうちの初段の利得制御増幅回路は、

前記正相の電流による RF 電流が供給されるように前記第 1 の合成器の出力に接続され、前記利得制御用の差動の制御電圧が供給される第 5 の差動回路と、

20

前記第 5 の差動回路の差動出力のうちの一方の電流出力に接続される第 1 の負荷回路と、

前記負相の電流による RF 電流が供給されるように前記第 2 の合成器の出力に接続され、前記利得制御用の差動の制御電圧が供給される第 6 の差動回路と、

前記第 6 の差動回路の差動出力のうちの一方の電流出力に接続される第 2 の負荷回路と

を有し、

前記第 1 の負荷回路および前記第 2 の負荷回路は、

前記利得制御用の差動の制御電圧に対して同じ側となるように前記第 5 の差動回路の前記一方の電流出力および前記第 6 の差動回路の前記一方の電流出力に接続され、前記差動電流の RF 信号を前記差動の制御電圧に応じて増幅した差動の増幅信号を後段の利得制御増幅回路へ出力し、

30

前記ベースバンド部の前記第 1 の増幅器と、前記変調部の前記第 1 のギルバート型掛算器および前記第 1 の合成器と、前記初段の利得制御増幅回路の前記第 5 の差動回路および前記第 1 の負荷回路とは、前記ベースバンド部の電流により動作するように、所定の電源電圧を示す第 1 の基準電位と、グランド電位を示す第 2 の基準電位との間に DC 的に直列接続され、

前記ベースバンド部の前記第 2 の増幅器と、前記変調部の前記第 2 のギルバート型掛算器および前記第 2 の合成器と、前記初段の利得制御増幅回路の前記第 6 の差動回路および前記第 2 の負荷回路とは、前記ベースバンド部の電流により動作するように、前記第 1 の基準電位と前記第 2 の基準電位との間に DC 的に直列接続されている

40

通信装置。

【請求項 2】

前記初段の利得制御増幅回路は、

前記第 5 の差動回路の他方の電流出力に接続される第 3 の負荷回路と、

前記第 5 の差動回路の一对の出力の間に接続される第 4 の負荷回路と、

前記第 6 の差動回路の他方の電流出力に接続される第 5 の負荷回路と、

前記第 6 の差動回路の一对の出力の間に接続される第 6 の負荷回路と

を有し、

前記第 5 または第 6 の差動回路は、各々の差動出力を合成するパイ型の負荷回路を有す

50

る

請求項 1 記載の通信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、たとえば移動体通信装置などの通信装置に関する。

【背景技術】

【0002】

図 7 に一般的な C D M A (C o d e D i v i s i o n M u l t i p l e A c c e s s : 符号分割多重) 方式携帯電話の B B (B a s e b a n d ; ベースバンド) 部からアンテナ端出力までのブロック図を示す。 10

図 7 に直交変調器と G C A 回路 (利得制御増幅器) さらに P A (パワーアンプ) など構成される送信系のブロック構成を示す。

B B (ベースバンド) 端子が I , Q の直交変調器 (M O D) 2 0 2 に接続され、ベースバンド信号を 8 0 0 M H z や 2 G H z 帯域の R F 信号に変換する。 I , Q 直交変調器 2 0 2 の出力は G C A 回路 (利得制御増幅器) 2 0 3 A ~ 2 0 3 C に接続され、 M O D 2 0 2 から出力された R F 信号が増幅される。この G C A 回路 1 段で約 3 0 d B の利得がある。 G C A 回路 2 0 3 A ~ 2 0 3 C で約 8 0 d B の利得が必要なため 3 段 G C A 回路が必要である。

G C A 回路 2 0 3 C の出力は S A W フィルタ 2 0 5 に接続され、送信信号を S A W フィルタ 2 0 5 のバンドパスフィルタで周波数を選択し不要な高調波を除去し、希望の周波数帯域の信号のみを出力する。 20

S A W フィルタ 2 0 5 から出力された送信信号は P A (パワーアンプ) 2 0 6 でさらに電力増幅され、次段の D U P (デュープレクサー) 2 0 7 を介して A N T (アンテナ) 2 0 8 に供給され、出力される。

【0003】

上述したように、たとえば C D M A 方式携帯電話の場合、利得制御範囲は 8 0 d B 以上必要とされるので、良好な制御直線性及び温度特性であることが要求される。

そのため利得制御増幅器 (G C A 回路) は 3 段以上で構成されるのが一般的であり、また変調器 (回路) は利得制御しないのが一般的である。 30

また M O D (変調器) 2 0 2 の後段に接続されている 3 段利得制御増幅器 (G C A 回路) に関し、図 8 に示す回路構成が用いられている。

【0004】

図 8 に示す G C A 回路 2 5 0 の回路構成について述べる。 N P N トランジスタ 2 5 1 と 2 5 2 のエミッタが共通接続され、 N P N トランジスタ 2 5 1 のコレクタと電源 V c c 間に負荷 Z 1 C が接続され、 N P N トランジスタ 2 5 2 のコレクタは電源 V c c に接続される。 N P N トランジスタ 2 5 1 , 2 5 2 の共通エミッタには M O D 2 0 2 の出力信号がたとえば、電圧 - 電流変換回路などを介して信号電流として供給され、また両トランジスタのベース間に制御電圧 V c が供給される。

この制御電圧 V c により G a i n が制御され、 N P N トランジスタ 2 5 2 のコレクタから出力電圧が取り出される。 40

【0005】

以下 M O D 2 0 2 と G C A 回路 2 0 3 A ~ 2 0 3 C の回路動作について説明する。しかし変調器 (回路) の動作については一般的であるため省略し、その出力を利得制御する G C A 2 0 3 A ~ 2 0 3 C (図 8 の G C A 回路 2 5 0) について説明する。特に、この G C A 回路 2 5 0 の温度バラツキの大きさを示すための動作説明を加える。

図 8 に示した G C A 回路 2 5 0 の N P N トランジスタ 2 5 1 のコレクタ出力電圧 V o は、以下となる。

$$V_o = Z_1 \times I_1$$

$$\dots (1)$$

次に以下の関係式が成り立つ。

$$V_{be1}=Vt \times \ln(I_1/I_s) \quad \dots (2)$$

$$V_{be2}=Vt \times \ln(I_2/I_s) \quad \dots (3)$$

・・・Vt；サーマル電圧

$$I_o=I_1+I_2 \quad \dots (4)$$

(2),(3)式より

$$V_c=V_{be1}-V_{be2}=Vt \times \ln(I_1/I_2) \quad \dots (5)$$

(5)式より

$$I_1=I_2 \times \exp(V_c/Vt) \quad \dots (6)$$

となる。(6)式を(4)式に代入し、 I_1, I_2 を求めると

$$I_1=I_o/[1+\exp(-V_c/Vt)] \quad \dots (7)$$

$$I_2=I_o/[1+\exp(V_c/Vt)] \quad \dots (8)$$

が得られ、(7)式を(1)式に代入すると

$$V_o=Z_1 \times I_o/[1+\exp(-V_c/Vt)] \quad \dots (9)$$

となる。Gain特性を検討するため、仮に入力電圧 $V_i=1$ 、 $Z_1=I_o=1$ と置くと、

$$\text{利得Gain}=V_o/V_i=1/[1+\exp(-V_c/Vt)] \quad \dots (10)$$

となる。

【0006】

この(10)式をグラフ化すると、図9のようになる。

横軸に制御電圧 V_c を $-0.2V$ から $+0.2V$ までの範囲を $0.1V$ ステップの目盛で示し、縦軸に $Gain$ を $10dB$ ステップの目盛で、 $0dB$ から $-90dB$ の範囲を示している。また温度条件を 27 、 -25 、 85 と3つに設定した場合について、制御電圧 V_c に対するそれぞれの $Gain$ 特性を示してある。

制御電圧 V_c が $+0.2V$ から $+0.1V$ の範囲では、温度条件に係わらず減衰量はほとんど $0dB$ で、また V_c が $0.1V$ から $0V$ の範囲でも減衰特性はほぼ同じで、 $0V$ で約 $6dB$ である。 V_c が $0V$ 以下になると減衰量の温度依存性が出てくる。 V_c が -0.1 において、 85 で約 $27dB$ 、 27 で約 $-34dB$ 、 -25 で約 $-41dB$ となり、その差最大で $10dB$ 以上となり、温度に対するばらつきが大きくなることを示している。

また、 V_c が $-0.2V$ になると、各減衰量は 85 で約 $54dB$ 、 27 で約 $-67dB$ 、 -25 で約 $-82dB$ となり、その差は最大で $25dB$ 以上となり、さらに温度に対するばらつきが大きいことを示している。

このように、図8に示したGCA回路250は良好な制御直線性及び温度特性とは言い難い。

10

20

30

40

50

【 0 0 0 7 】

また、図 7、図 8、図 9 における無線通信装置と G C A 回路は、G C A 回路を 3 段構成にしているため、消費電流が大きくなり、また 3 段構成とするため素子数が増え I C 化する場合チップ面積が大きくなるなどの問題点がある。

【特許文献 1】特開平 1 1 - 1 3 6 0 5 1 号公報

【特許文献 2】特開平 8 - 2 2 3 2 3 3 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

以上述べたように、直交変調器 M O D と 3 段構成の利得制御増幅器 (G C A 回路) を設けた場合、G C A 回路を 3 段構成にしているため、消費電流が大きくなり、またそれに伴って素子数が増え I C 化する場合チップ面積が大きくなるなどの問題点がある。さらに、G C A 回路を図 8 に示す回路構成にすると、制御直線性と温度特性に問題がある。

これらの問題を解決するために、本発明においては変調器と利得制御増幅器 (G C A 回路) の一部を組み合わせる回路構成とし、M O D からの出力信号を電圧に変換する必要が無く電流で R F 信号を授受することができようにする。それによって、M O D 出力において、R F 電流から R F 電圧に変換する I - V 変換回路や電圧レベルシフトを行うエミッタフォロア回路などが不要になり、消費電流を削減できると共にチップ面積を縮小できるようにした。また、M O D から G C A 回路もレイアウトをし易くした。

R F 信号を電流信号として G C A 回路に供給するようにしたので、配線容量の問題を回避でき、周波数特性も改善できる。

また、M O D と組み合わせる G C A 回路の回路構成とさらにその後段の G C A 回路の新たな回路構成により、G C A 回路の直線性と温度特性を向上させた。

【課題を解決するための手段】

【 0 0 1 1 】

本発明の通信装置は、送信に係る同相信号および直交位相信号を変調するために、差動の同相信号および差動の直交位相信号が入力されるベースバンド部、前記ベースバンド部から出力される差動のベースバンド信号とともに互いに逆相である差動の第 1 の発振信号および差動の第 2 の発振信号が入力される変調部、および、前記変調部から出力される差動の R F 信号とともに利得制御用の差動の制御電圧が入力され、前記差動の R F 信号を複数段の利得制御増幅回路により増幅する増幅部を有し、前記ベースバンド部は、第 1 の電流源が接続された第 1 の差動回路を有し、前記差動の同相信号を前記第 1 の差動回路により電流増幅し、前記第 1 の差動回路の一对の出力から差動電流による第 1 のベースバンド信号を出力する第 1 の増幅器と、第 2 の電流源が接続された第 2 の差動回路を有し、前記差動の直交位相信号を前記第 2 の差動回路により電流増幅し、前記第 2 の差動回路の一对の出力から差動電流による第 2 のベースバンド信号を出力する第 2 の増幅器とを有し、2 対の差動電流である第 1 のベースバンド信号および第 2 のベースバンド信号を、前記変調部へ出力し、前記変調部は、前記差動電流による第 1 のベースバンド信号が各々に供給されるように前記第 1 の差動回路の一对の出力の各々に接続され、前記差動の第 1 の発振信号が互いに逆相に供給される 2 組の第 3 の差動回路を有し、前記 2 組の第 3 の差動回路による 2 組の差動の出力電流を合成して、位相が互いに異なる差動電流による第 1 の変調信号および第 2 の変調信号を出力する第 1 のギルバート型掛算器と、前記差動電流による第 2 のベースバンド信号が各々に供給されるように前記第 2 の差動回路の一对の出力の各々に接続され、前記差動の第 1 の発振信号と逆相の関係にある前記差動の第 2 の発振信号が互いに逆相に供給される 2 組の第 4 の差動回路を有し、前記 2 組の第 3 の差動回路による 2 組の差動の出力電流を合成して、位相が互いに異なる差動電流による第 3 の変調信号および第 4 の変調信号を出力する第 2 のギルバート型掛算器と、前記第 1 のギルバート型掛算器および前記第 2 のギルバート型掛算器に接続され、前記第 1 の発振信号の位相に対して正相の電流となる前記第 1 の変調信号と、前記第 2 の発振信号の位相に対して正相の電流となる前記第 3 の変調信号とを合成する第 1 の合成器と、前記第 1 のギルバート型掛算

器および前記第 2 のギルバート型掛算器に接続され、前記第 1 の発振信号の位相に対して負相の電流となる前記第 2 の変調信号と、前記第 2 の発振信号の位相に対して負相の電流となる前記第 4 の変調信号とを合成する第 2 の合成器とを有し、前記第 1 の合成器および前記第 2 の合成器から前記増幅部へ、正相の電流および負相の電流による差動電流の R F 信号を出力し、前記複数段の利得制御増幅回路のうちの初段の利得制御増幅回路は、前記正相の電流による R F 電流が供給されるように前記第 1 の合成器の出力に接続され、前記利得制御用の差動の制御電圧が供給される第 5 の差動回路と、前記第 5 の差動回路の差動出力のうちの一方の電流出力に接続される第 1 の負荷回路と、前記負相の電流による R F 電流が供給されるように前記第 2 の合成器の出力に接続され、前記利得制御用の差動の制御電圧が供給される第 6 の差動回路と、前記第 6 の差動回路の差動出力のうちの一方の電流出力に接続される第 2 の負荷回路とを有し、前記第 1 の負荷回路および前記第 2 の負荷回路は、前記利得制御用の差動の制御電圧に対して同じ側となるように前記第 5 の差動回路の前記一方の電流出力および前記第 6 の差動回路の前記一方の電流出力に接続され、前記差動電流の R F 信号を前記差動の制御電圧に応じて増幅した差動の増幅信号を後段の利得制御増幅回路へ出力し、前記ベースバンド部の前記第 1 の増幅器と、前記変調部の前記第 1 のギルバート型掛算器および前記第 1 の合成器と、前記初段の利得制御増幅回路の前記第 5 の差動回路および前記第 1 の負荷回路とは、前記ベースバンド部の電流により動作するように、所定の電源電圧を示す第 1 の基準電位と、グランド電位を示す第 2 の基準電位との間に D C 的に直列接続され、前記ベースバンド部の前記第 2 の増幅器と、前記変調部の前記第 2 のギルバート型掛算器および前記第 2 の合成器と、前記初段の利得制御増幅回路の前記第 6 の差動回路および前記第 2 の負荷回路とは、前記ベースバンド部の電流により動作するように、前記第 1 の基準電位と前記第 2 の基準電位との間に D C 的に直列接続されている。

【発明の効果】

【 0 0 1 3 】

本発明を用いることにより、利得制御増幅器を兼用し、利得制御増幅器の段数を削減できる。

【発明を実施するための最良の形態】

【 0 0 1 4 】

図1に本発明の利得制御変調回路（器）を用いた通信装置 10 の送信ブロックのブロック構成を示す。図 1 に示す通信装置 10 は、B B（ベースバンド）ブロック、M O D ブロック、R F A G C ブロックで構成されている。

B B ブロックは、I（同相）信号、Q（直交位相）信号がそれぞれ供給される電圧増幅器、または V I（電圧 - 電流）変換回路 13, 14 で構成される。I, Q 信号はこの B B ブロックで電圧を増幅して、電圧を電流に変換した後 M O D ブロックのミキサ 15, 16 にベースバンド信号を出力する。

M O D ブロックは、本発明においては、上述のミキサ 15, 16、V C O（V o l t a g e C o n t r o l O s c i l l a t o r）21、D i v（分周器）22、R F 合成器 17、さらに R F A G C の 1 段を構成する利得制御増幅器（G C A 回路）18 で構成されている。

B B ブロックの V I 変換回路 13, 14 から出力された信号がミキサ 15, 16 に供給される。一方このミキサ 15, 16 には V C O 21 からの発振信号が D i v 22 で分周され発振信号 $\pm L O_I$, $\pm L O_Q$ が供給される。そしてこのミキサ 15, 16 の出力端子から出力される R F 信号は一般に電圧 R F 信号であるが、図 1 に示すようにミキサ 15, 16 出力は電流出力とした。この電流（R F）信号は、R F 合成器 17 で R F 電流信号が合成されて G C A 回路 18 に電流 R F 信号が出力される。

G C A 回路 18 は M O D ブロックの一部に構成されていて、制御電圧（V c）により利得が制御され、R F（電流）合成器 17 から供給された電流 R F 信号の振幅を制御された利得に応じて増幅し、後段の R F A G C ブロックを構成する G C A 回路（19）に出力する。

R F A G C (R F 自動利得制御増幅器) ブロックは、従来は 3 段構成であったが、1 段の G C A 回路 (1 8) は M O D ブロックに構成されているので、本発明においては 2 段構成 (1 9 , 2 0) となっている。

【 0 0 1 5 】

このように、本発明における M O D ブロックは変調器と利得制御増幅器の一部を組み合わせる回路構成とし、また M O D からの出力信号を電圧に変換する必要が無く電流で R F 信号を授受することができようにした。それによって、M O D 出力において、R F 電流から R F 電圧に変換する I - V 変換回路や電圧レベルシフトを行うエミッタフォロア回路などが不要になり、消費電流を削減できると共にチップ面積を縮小できるようにした。また、M O D から G C A 回路へのレイアウトをし易くした。

10

R F 信号を電流信号として G C A 回路に供給するようにしたので、配線容量の問題を回避でき、周波数特性も改善できる。

また、M O D と組み合わせる G C A 回路の回路構成とさらにその後段の G C A 回路の新たな回路構成により、G C A 回路の直線性と温度特性を向上させることができる。

【 0 0 1 6 】

つぎに図 1 に示した、通信装置の主要部の一部である B B ブロックと M O D ブロックの実施形態例を図 2 に示す。

図 2 に示すように、B B ブロックは I 信号を増幅する差動増幅器と Q 信号を増幅する差動増幅器で構成されている。ここでは電圧増幅型の回路構成についてのべるが、これに限定されるべきでなく、電流増幅型の増幅器などでも良い。この実施形態例については後述する。

20

I 信号を増幅する差動増幅器において、N P N トランジスタ 5 1 のエミッタと N P N トランジスタ 5 2 のエミッタが共通接続され、この共通接続点は定電流源 I 1 0 を介してグランドに接続されている。N P N トランジスタ 5 1 と N P N トランジスタ 5 2 のベース間に V I (I) 信号が供給され、各コレクタは一方のミキサの入力と接続されている。

また、Q 信号を処理する回路も同様に、N P N トランジスタ 5 3 のエミッタと N P N トランジスタ 5 4 のエミッタが共通接続され、この共通接続点は定電流源 I 1 1 を介してグランドに接続されている。N P N トランジスタ 5 3 と N P N トランジスタ 5 4 のベース間に V Q (Q) 信号が供給され、各コレクタは他方のミキサの入力と接続されている。

【 0 0 1 7 】

30

つぎに M O D ブロックについて述べる。この M O D ブロックは主にギルバート型掛算器で構成されている。具体的には、I 信号を変調するミキサと Q 信号を変調するミキサ、さらにこのミキサ出力の電流 R F 信号を合成する R F 合成器 1 7 と G C A 回路 1 8 とで構成されている。

具体的には、I 信号を変調するミキサにおいて、N P N トランジスタ 5 5 のエミッタは N P N トランジスタ 5 6 のエミッタと共通接続され、この共通接続点が上述した B B ブロックの差動増幅器を構成する N P N トランジスタ 5 1 のコレクタに接続される。また N P N トランジスタ 5 7 のエミッタは N P N トランジスタ 5 8 のエミッタと共通接続され、この共通接続点が上述した B B ブロックの差動増幅器を構成する N P N トランジスタ 5 2 のコレクタに接続される。N P N トランジスタ 5 5 のベースは N P N トランジスタ 5 8 のベースに接続され発振信号 + L O _ I が供給され、N P N トランジスタ 5 6 のベースは N P N トランジスタ 5 7 のベースに接続され発振信号 - L O _ I が供給される。

40

Q 信号を変調するミキサにおいて、N P N トランジスタ 5 9 のエミッタは N P N トランジスタ 6 0 のエミッタと共通接続され、この共通接続点が上述した B B ブロックの差動増幅器を構成する N P N トランジスタ 5 3 のコレクタに接続される。また N P N トランジスタ 6 1 のエミッタは N P N トランジスタ 6 2 のエミッタと共通接続され、この共通接続点が上述した B B ブロックの差動増幅器を構成する N P N トランジスタ 5 4 のコレクタに接続される。N P N トランジスタ 5 9 ベースは N P N トランジスタ 6 2 のベースに接続され発振信号 + L O _ Q が供給され、N P N トランジスタ 6 0 のベースは N P N トランジスタ 6 1 のベースに接続され発振信号 - L O _ Q が供給される。

50

NPNトランジスタ55のコレクタとNPNトランジスタ57のコレクタが接続され、 $+I_{mix_I}$ の信号を出力する。NPNトランジスタ56のコレクタとNPNトランジスタ58のコレクタが接続され、 $-I_{mix_I}$ の信号を出力する。同様に、NPNトランジスタ59のコレクタとNPNトランジスタ61のコレクタが接続され、 $+I_{mix_Q}$ の信号を出力する。NPNトランジスタ60のコレクタとNPNトランジスタ62のコレクタが接続され、 $-I_{mix_Q}$ の信号を出力する。

【0018】

つぎにRF合成器17に相当する回路構成について述べる。それぞれのミキサはオープンコレクタの回路構成となっているので、各コレクタを接続することにより構成することができる。

10

NPNトランジスタ55とNPNトランジスタ57のコレクタ共通接続点とNPNトランジスタ59とNPNトランジスタ61のコレクタ共通接続点が接続され、 $+I_{mix_I}$ と $+I_{mix_Q}$ と電流合成され、 $+I_{mod}$ の変調されたRF電流が出力される。

また、NPNトランジスタ56とNPNトランジスタ58のコレクタ共通接続点とNPNトランジスタ60とNPNトランジスタ62のコレクタ共通接続点が接続され、 $-I_{mix_I}$ と $-I_{mix_Q}$ が電流合成され、 $-I_{mod}$ の変調されたRF電流が出力される。

【0019】

つぎにRF合成器17のRF信号レベルを制御電圧により制御するGCA回路18について述べる。このGCA回路18は、MODブロックの一部として構成されているところに特徴があり、たとえば差動型増幅器で構成されている。

20

RF合成器17の出力である、 $+I_{mod}$ がNPNトランジスタ65とNPNトランジスタ66の共通エミッタに接続され、NPNトランジスタ65コレクタは負荷Z1(71)を介して電源Vccに接続され、このコレクタから出力電圧が取り出される。またNPNトランジスタ66のコレクタは直接電源Vccに接続される。

$-I_{mod}$ がNPNトランジスタ67とNPNトランジスタ68の共通エミッタに接続され、NPNトランジスタ68コレクタは負荷Z1(72)を介して電源Vccに接続され、このコレクタから出力電圧が取り出される。またNPNトランジスタ67のコレクタは直接電源Vccに接続される。

NPNトランジスタ65のベースとNPNトランジスタ68のベースが共通接続され、制御電圧 $+V_c$ が供給される。また、NPNトランジスタ66のベースとNPNトランジスタ67のベースが共通接続され、制御電圧 $-V_c$ が供給される。

30

【0020】

図2に示すBBブロックとMODブロックの動作について述べる。BBブロックのNPNトランジスタ51, 52の両ベース間にVI(I)信号が供給され、増幅されてそれぞれのコレクタから $+I_BB I$ と $-I_BB I$ の電流信号が出力される。 $+I_BB I$ 信号はミキサを構成するNPNトランジスタ55, 56の共通エミッタに供給される。 $-I_BB I$ 信号はミキサを構成するNPNトランジスタ57, 58の共通エミッタに供給され、NPNトランジスタ55, 58のベースには発振信号 $+LO_I$ がNPNトランジスタ56, 57のベースには $-LO_I$ がそれぞれ供給される。NPNトランジスタ55とNPNトランジスタ57のコレクタ出力を加算して変調信号 $+I_{mix_I}$ を出力する。また同様に、NPNトランジスタ56とNPNトランジスタ58のコレクタ出力を加算して変調信号 $-I_{mix_I}$ を出力する。

40

Q信号の変調についても同様に、BBブロックのNPNトランジスタ53, 54の両ベース間にVQ(Q)信号が供給され、増幅されてそれぞれのコレクタから $+I_BB Q$ と $-I_BB Q$ の電流信号が出力される。 $+I_BB Q$ 信号はミキサを構成するNPNトランジスタ59, 60の共通エミッタに供給される。 $-I_BB Q$ 信号はミキサを構成するNPNトランジスタ61, 62の共通エミッタに供給され、NPNトランジスタ59, 62のベースには発振信号 $+LO_Q$ が、またNPNトランジスタ60, 61のベースには $-LO_Q$ がそれぞれ供給される。NPNトランジスタ59とNPNトランジスタ61の

50

コレクタ出力を加算して変調信号 + $I_{mi} \times \underline{Q}$ を出力する。また同様に、NPNトランジスタ60とNPNトランジスタ62のコレクタ出力を加算して変調信号 - $I_{mi} \times \underline{Q}$ を出力する。

【0021】

変調信号 + $I_{mi} \times \underline{I}$ と + $I_{mi} \times \underline{Q}$ が加算されて + I_{mod} のRF変調信号が得られる。また変調信号 - $I_{mi} \times \underline{I}$ と - $I_{mi} \times \underline{Q}$ が加算されて - I_{mod} のRF変調信号が得られる。そして、ミキサで得られたそれぞれの変調信号 + I_{mod} 、- I_{mod} をGCA回路18に供給する。

GCA回路18において、制御電圧 V_c (, - V_c) を可変して利得を可変して、NPNトランジスタ65のコレクタ、NPNトランジスタ68のコレクタからRF信号を取り出す。このGCA回路については、図8に示した回路構成とその特性も同じである。

しかし、このGCA回路18については後述する(図3, 5に示す)ように、他の実施形態例の回路構成であってもよく、これらの回路構成に限定されるべきものではない。

【0022】

上述したように、変調器(回路)とこれを用いた通信装置はGCA回路をMODの一部に組み合わせたことにより、MOD出力信号を電圧に変換する必要が無く電流でRF信号を授受することができる。それによって、MOD出力において、RF電流からRF電圧に変換するI-V変換回路や電圧レベルシフトを行うエミッタフォロア回路などが不要になり、消費電流を削減できると共にチップ面積を縮小できるようにした。また、MODからGCA回路もレイアウトをし易くした。

RFを電流信号としてGCA回路に供給するようにしたので、配線容量の問題を回避でき、周波数特性も改善できる。

【0023】

図2の通信装置50において、BBブロック70はバイポーラトランジスタを用いた2個の差動増幅器で構成した。BBブロックに用いるベースバンド信号を処理する回路はこれ以外に、後述する図4に示すたとえばMOSトランジスタなどで構成したVI変換回路を用いて構成することもできるが、本発明はこれらの回路に限定されるべきものではない。

【0024】

つぎに、他の実施形態例であるBBブロック部とMODブロックを有する通信装置90の構成について図3を用いて述べる。

図3において、BBブロックを構成する回路構成とMODブロックの一部を構成するGCA回路の回路構成が図2の対応ブロックと異なっている。しかし、MODブロックを構成するミキサの回路構成は図2に示した回路構成と同じであり、またMOD全体の動作は図2と基本的に同じであるので詳細な説明は省略し、各ブロックの動作について説明する。

【0025】

図3において、BBブロック回路110はVI変換回路120A, 120Bの2個のVI変換回路で構成されていて、その実施形態例の回路構成であるVI変換回路120を図4に示す。

図4に示すように、PMOSトランジスタ125とPMOSトランジスタ126で差動増幅器を構成し、出力信号はカレントミラー回路を用いて電流出力とする構成となっている。

+ V_{in} の信号経路において、電源 V_{cc} に定電流源 I_{120} の一方の端子が接続され、他方の端子はPMOSトランジスタ125のソースと、オペアンプ127の反転入力端子と抵抗129の一方の端子とに接続されている。オペアンプ127の非反転入力端子に入力信号 V_{in} が供給される。出力はPMOSトランジスタ125のゲートに接続されている。このPMOSトランジスタ125のドレインはソース接地のNMOSトランジスタ121のドレインとゲートに接続される。またNMOSトランジスタ121のゲートはカレントミラーを構成するソース接地型のNMOSトランジスタ122のゲートに接続され

10

20

30

40

50

、このNMOSトランジスタ122のドレインから出力信号が電流として出力される。

ここで、カレントミラーを構成するNMOSトランジスタ121とNMOSトランジスタ122の面積比（ゲート幅の比）は1：mと設定し、NMOSトランジスタ121に流れる電流のm倍の電流をNMOSトランジスタ122のドレインから出力するようにしている。

一方、 $-V_{in}$ の信号経路において、電源 V_{cc} に定電流源I121の一方の端子が接続され、他方の端子はPMOSトランジスタ126のソースと、オペアンプ128の反転入力端子と抵抗129の他方の端子とに接続されている。オペアンプ128の非反転入力端子に入力信号 $-V_{in}$ が供給される。出力はPMOSトランジスタ126のゲートに接続されている。このPMOSトランジスタ126のドレインはソース接地のNMOSトランジスタ123のドレインとゲートに接続される。またNMOSトランジスタ123のゲートはカレントミラーを構成するソース接地NMOSトランジスタ124のゲートに接続され、このNMOSトランジスタ124のドレインから出力信号が電流として出力される。

10

ここで、カレントミラーを構成するNMOSトランジスタ123とNMOSトランジスタ124の面積比（ゲート幅の比）は1：mと設定し、NMOSトランジスタ123に流れる電流のm倍の電流をNMOSトランジスタ124のドレインから出力するようにしている。

【0026】

つぎに、このVI変換回路120の動作について述べる。

20

入力信号 V_{in} がオペアンプ127の入力で端子Aの電圧と比較され、その差電圧が差動増幅器を構成するPMOSトランジスタ125のゲートに供給され、電流を増減してソース電圧の端子Aが V_{in} に等しくなるように帰還がかかる。同様に $-V_{in}$ がオペアンプ128の入力で端子Bの電圧と比較され、その差電圧がPMOSトランジスタ126のゲートに供給され、電流を増減して端子Bの電圧が $-V_{in}$ に等しくなるように帰還がかかる。そして、入力電圧（ V_{in} 、 $-V_{in}$ ）がレベルシフトされて増幅器の端子A、Bにそれぞれ出力される。

その結果、端子Aと端子B間に発生した電圧差を抵抗129で電流に変換する。この電流即ち信号電流（交流）が図4に示すようにPMOSトランジスタ126、NMOSトランジスタ123、NMOSトランジスタ121、PMOSトランジスタ125さらに抵抗129と流れる。

30

NMOSトランジスタ121とNMOSトランジスタ122はカレントミラー回路を構成しているので、NMOSトランジスタ121に流れる電流をm倍した電流がNMOSトランジスタ122のドレインから信号電流が流れる。また同様に、NMOSトランジスタ123に流れる電流をm倍した電流がNMOSトランジスタ124のドレインから信号電流が流れる。

【0027】

図4に示した入力信号 V_{in} が図3に示したBBブロックの入力信号VI信号のとき、VI変換回路120をVI変換回路120Aとし、入力信号 V_{in} がVQ信号のとき、VI変換回路120をVI変換回路120Bとする。

40

図3のVI変換回路120Aにおいて、 V_{in} （VI）信号が入力され、その結果NMOSトランジスタ122のドレインから出力された信号電流（ $-I_{BBI}$ ）はミキサを構成するNPNトランジスタ97、98の共通エミッタに供給される。またNMOSトランジスタ124のドレインから出力される信号電流（ $+I_{BBI}$ ）はミキサを構成するNPNトランジスタ95、96の共通エミッタに供給される。

またVI変換器120Bにおいても同様に、入力信号 V_{in} （VQ）が供給されると、カレントミラーを構成するNMOSトランジスタの各ドレインから出力される信号電流はミキサを構成するNPNトランジスタ101、102、NPNトランジスタ99、100の共通エミッタにそれぞれ供給される。

【0028】

50

図4に示すV I変換回路120において、出力トランジスタ、NMOSTランジスタ122, 124の各ドレインは直接ミキサを構成するNPNトランジスタ99, 100、NPNトランジスタ101, 102の共通エミッタに接続されている。BBブロック、ミキサ、利得制御増幅器(GCA回路)を電源Vccとグランド間に接続するとき、V I変換回路120にはNMOSTランジスタ122, 124のVDS(ドレイン-ソース間)電圧だけ必要でその電圧は小さくでき、それ以外の電圧(Vcc-VDS)はミキサと利得制御増幅器(GCA回路)で設定することができ、設計マージンが多くなり、またそれに伴って、ミキサまたは利得制御増幅器(GCA回路)の動作電圧を大きくすることができ、線形性領域が広がる利点がある。

【0029】

つぎに、ミキサの動作については図2に示した通信装置90のミキサと同じであるのでここでは数式を用いて概略を説明し、詳細な説明は省略する。

BBブロックからの出力電流をそれぞれ+I_{BB I}, -I_{BB I}, +I_{BB Q}, -I_{BB Q}とする。

信号成分; I_{BB I} = cos b, I_{BB Q} = sin b

LO成分; I_{LO I} = cos lo, I_{LO Q} = sin lo

と設定すると、MIX動作により生成される電流I_{mix I}, I_{mix Q}はそれぞれ

$$I_{mix I} = \cos lo * \cos b \quad \dots (11)$$

$$I_{mix Q} = -\sin lo * \sin b \quad \dots (12)$$

となる。この式(11)、(12)より、ミキサ出力電流I_{mod}は、

$$\begin{aligned} I_{mod} &= (I_{mix I}) + (I_{mix Q}) \\ &= \cos(lo + b) \quad \dots (13) \end{aligned}$$

となり、イメージ信号成分(cos(lo-b))は除去される。このイメージ成分が除去された変調波(信号)がミキサ出力にカスコード接続されたGCA回路(18)に供給される。

【0030】

つぎに、図3において、RF(電流)合成器17から出力されたRF信号のレベルを制御電圧(+Vc, -Vc)で利得を制御する他の実施形態例のGCA回路(18)の構成について述べる。このGCA回路(18)は、MODブロックの一部として構成されるところに特徴があり、差動型増幅器で構成され、図2のGCA回路(18)とは負荷回路の構成が異なる。

RF合成器17の出力から+I_{mod}がNPNトランジスタ105とNPNトランジスタ106の共通エミッタに供給される。NPNトランジスタ105のコレクタはキャパシタC1とインダクタL1が並列接続された負荷Z1を介して電源Vccに接続されまた抵抗R2の一方の端子に接続されている。またこのコレクタから出力電圧が取り出される。

NPNトランジスタ106のコレクタは抵抗R1を介して電源Vccに接続されると共に、抵抗R2の他方の端子に接続される。

同様に、-I_{mod}がNPNトランジスタ107とNPNトランジスタ108の共通エミッタに供給される。NPNトランジスタ108のコレクタはキャパシタC1AとインダクタL1Aが並列接続された負荷Z1Aを介して電源Vccに接続されまた抵抗R2Aの一方の端子に接続されている。またこのコレクタから出力電圧が取り出される。

NPNトランジスタ107のコレクタは抵抗R1Aを介して電源Vccに接続されると共

10

20

30

40

50

に、抵抗 R_{2A} の他方の端子に接続される。

Z_1 と Z_{1A} の回路はキャパシタ C_1 とインダクタ L_1 またはキャパシタ C_{1A} とインダクタ L_{1A} とでそれぞれ構成されているが、これは並列共振回路を構成して、所望の周波数たとえば 800MHz または 2GHz の周波数で並列共振して、キャリアを取り出すバンドパスフィルタとしての働きをし、これらのキャリアを出力端子から取り出している。

【0031】

この GCA 回路 (18) の動作について、図5を用いて具体的に説明する。図5においてまず回路構成に付いて述べる。ミキサから出力される信号電流 I_{ob} の出力端子が NPN トランジスタ151と NPN トランジスタ152の共通エミッタに接続され、 NPN トランジスタ151のコレクタは負荷 Z_{1B} (154) を介して電源 V_{cc} に接続されまた抵抗 R_{2B} (153) の一方の端子に接続されている。またこのコレクタから出力電圧が取り出される。

10

NPN トランジスタ152のコレクタは抵抗 R_{1B} (155) を介して電源 V_{cc} に接続されると共に、抵抗 R_{2B} (153) の他方の端子に接続される。即ち、差動回路の出力回路がパイ () 型構成になっていて、差動出力を合成している。

つぎにこの GCA 回路150の回路動作を以下に示す。信号電流が NPN トランジスタ151, 152の共通エミッタから入力され、制御電圧 V_c を可変することによりこの信号電流の減衰量が変わる。この回路においては、負荷回路が Z_{1B} , R_{2B} , R_{1B} で構成され、 NPN トランジスタ151のコレクタから出力 (信号) V_o が導出される。

20

出力 V_o は次式で表せる。

$$V_o = \{ Z_{1B} // (R_{1B} + R_{2B}) \} \times I_{1B} + \{ (Z_{1B} + R_{2B}) // R_{1B} \} \times Z_{1B} / (Z_{1B} + R_{2B}) \times I_{2B}$$

$$= R_{\max} \times I_{ob} / [1 + \exp(-V_c/V_t)] + R_{\min} \times I_{ob} / [1 + \exp(V_c/V_t)] \quad \dots (14)$$

但し、 $R_{\max} = Z_{1B} \times (R_{1B} + R_{2B}) / (R_{1B} + R_{2B} + Z_{1B})$, $R_{\min} = Z_{1B} \times R_{1B} / (R_{1B} + R_{2B} + Z_{1B})$

$V_c = V_{BE1} - V_{BE2}$, V_t : ボルツマン定数

30

この回路の特性を分かり易くするため、仮に入力電圧 $V_i = 1$ 、 $Z_{1B} = R_{1B} = R_{2B} = I_{ob} = 1$ と置くと、

$$\text{利得 Gain} = (2/3) / [1 + \exp(-V_c/V_t)] + (1/3) / [1 + \exp(V_c/V_t)] \quad \dots (15)$$

となる。

【0032】

この (15) 式をグラフ化すると、図6のようになる。横軸には制御電圧 V_c を示し、 0.1V ステップで -0.2V から $+0.2\text{V}$ の範囲を示している。また縦軸には $Gain$ (利得) を示し、 1dB ステップで -3dB から -10dB の範囲を示している。

40

温度条件は -25 , 27 , 85 のとし、制御電圧 V_c を可変したときの $Gain$ を示した。図6から、利得制御範囲が、最大利得と、最小利得によって制限されて有限な幅に制御される。そして、その制御特性は中利得、この例においては -6dB に関してほぼ点対称になり、さらに温度 $-25 \sim +85$ の範囲における特性のばらつきは非常に小さい。実際には、この利得制御変調回路 (器) の後段に利得制御増幅器を2段置き、これらをオーバーラップさせ、温度特性を相殺し、良好な直線性及び、温度特性を持つ。なお、本発明は $CDMA$ 方式における利得制御変調回路 (器) として説明したが、この通信方式に限定されるものではなく、本発明を応用できる他の方式にも有効である。

【0033】

50

上述したように、通信装置の送信系の変調回路について説明したが、これに限定されるべきものでなく、本発明は通信装置の受信系の復調回路、たとえばミキサ回路とその周辺回路にも適用できることは明らかである。

【 0 0 3 4 】

このように、変調器（回路）と利得制御増幅器の一部を組み合わせる回路構成とし変調（復調）器（回路）出力に独立して従来３段構成にされていたＧＣＡ回路を２段の回路構成とし、消費電流を削減できるようにした。またＭＯＤ出力信号を電圧に変換する必要が無く電流でＲＦ信号を授受することができようにしたことにより、ＭＯＤからＧＣＡ回路へのレイアウトをし易くした。さらにＭＯＤ出力信号を電流出力としてＧＣＡ回路に供給するようにしたので、配線容量の問題を回避でき、周波数特性も改善できる。

10

ＭＯＤ出力において、ＲＦ電流からＲＦ電圧に変換するＩ－Ｖ変換回路や電圧レベルシフトを行うエミッタフォロア回路などが不要になり、消費電流を削減できると共にチップ面積を縮小できるようにした。

また、ＭＯＤと組み合わせるＧＣＡ回路の回路構成とさらにその後段のＧＣＡ回路の新たな回路構成により、ＧＣＡ回路の直線性と温度特性を向上させた。

【図面の簡単な説明】

【 0 0 3 5 】

【図１】本発明の利得制御変調回路を有する通信装置の全体ブロックを示すブロック構成図である。

【図２】図１に示した通信装置の利得制御変調回路の回路構成を示す回路図である。

20

【図３】図１に示した通信装置の他の利得制御変調回路の回路構成を示す回路図である。

【図４】図３に示したベースバンドブロックに用いられるＶＩ変換回路の構成図を示した図である。

【図５】図３に示した利得制御変調回路に用いられる利得制御増幅器の回路構成を示した図である。

【図６】図４に示した利得制御増幅器の減衰特性を示した特性図である。

【図７】従来の変調器と利得制御増幅器を有するＣＤＭＡ携帯電話の全体ブロックを示すブロック構成図である。

【図８】図７に示した利得制御増幅器の回路構成を示す回路図である。

【図９】図８に示した利得制御増幅器の減衰特性を示した特性図である。

30

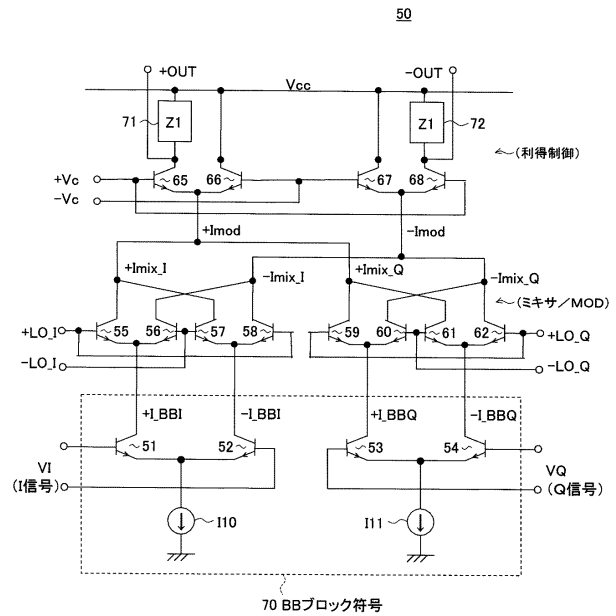
【符号の説明】

【 0 0 3 6 】

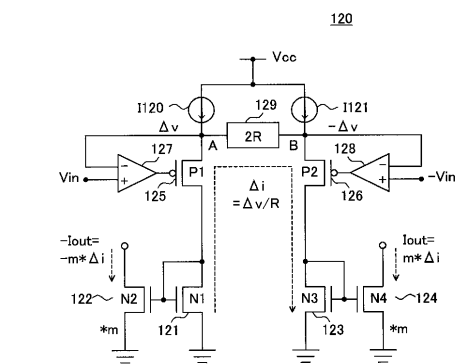
１０，２００…通信装置、１３，１４，１２０，１２０Ａ，１２０Ｂ…ＶＩ変換回路、１５，１６，２０２…ミキサ、１８，１９，２０，２０３Ａ，２０３Ｂ，２０３Ｃ…ＧＣＡ回路（利得制御増幅器）、２１…ＶＣＯ（電圧制御型発振器）、２２…Ｄｉｖ（分周器）、５１～６８，９５～１０８，１５１，１５２…ＮＰＮバイポーラトランジスタ、７１，７２，１５４…負荷（インピーダンス）、５０，９０…利得制御変調回路（器）、１２１～１２４…ＮＭＯＳトランジスタ、１２５，１２６…ＰＭＯＳトランジスタ、１２７，１２８…オペアンプ、１２９，１５３，１５５…抵抗、２０１…変調器、２０５…ＳＡＷ（ソーフィルタ）、２０６…パワーアンプ（ＰＡ）、２０８…ＤＵＰ（ディユープレクサ）、２０８…ＡＮＴ（アンテナ）。

40

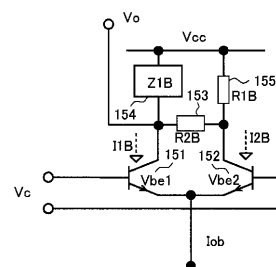
【圖 2】



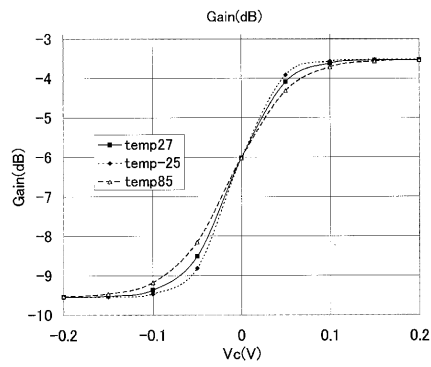
【図 4】



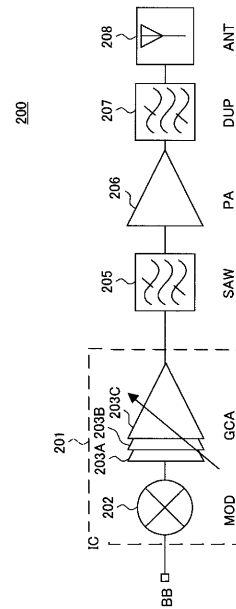
150



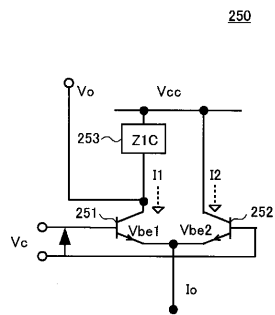
【図 6】



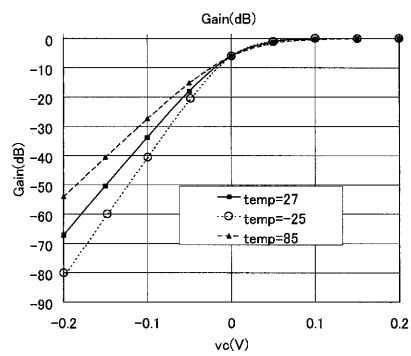
【図 7】



【図 8】



【図 9】



フロントページの続き

(56)参考文献 特開2003-229735(JP,A)
特開2004-512724(JP,A)
特開平02-134908(JP,A)
特開平08-186452(JP,A)
特開2000-013159(JP,A)
特開2003-087067(JP,A)
特開2000-091915(JP,A)
特開2000-196386(JP,A)
実開平05-057917(JP,U)

(58)調査した分野(Int.Cl., DB名)

H03C 3/00 - 5/00、
H03F 1/00 - 3/45、 3/50 - 3/52、
3/62 - 3/64、 3/68 - 3/72、
H03G 1/00 - 3/34、
H04B 1/02 - 1/04、 1/18 - 1/24