

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
G09G 3/36

(45) 공고일자 1996년06월 19일
(11) 공고번호 특허1996-0008102

(21) 출원번호	특 1991-0019503	(65) 공개번호	특 1999-1000001
(22) 출원일자	1991년 11월 04일	(43) 공개일자	1999년 01월 01일
(30) 우선권주장	2-296164 1990년 10월 31일 일본(JP)		
(73) 특허권자	샤프 가부시끼가이샤 쓰지 하루오		
(72) 발명자	일본국 오사까후 오사까시 아베노구 나가이게쵸 22반 22고 다케다 시로		
	일본국 나라겐 덴리시 이찌노모또쵸 2613-1 가와구찌 다카후미		
	일본국 나라겐 덴리시 마가따쵸 166-8-비-205 다케다 마코토		
(74) 대리인	일본국 나라겐 나라시 오미야쵸 2-3-4-904 이병문, 백덕열, 이태희		

심사관 : 안대진 (책
자공보 제4513호)

(54) 표시장치의 행전극 구동회로

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

표시장치의 행전극 구동회로

[도면의 간단한 설명]

제1도는 본 발명에 의한 행전극 구동회로에 사용되는 부분 행전극 구동회로를 나타내는 블록도이다.

제2도는 본 발명에 의한 행전극 구동회로의 블록도이다.

제3도 및 제4도는 제2도의 행전극 구동회로의 동작을 나타내는 타이밍도이다.

제5도는 제1도에 보인 부분 행전극 구동회로에 사용되는 시프트 레지스터 제어회로의 상세 회로도이다.

제6도는 종래 액티브 매트릭스형 LCD 장치의 개략도이다.

제7도는 종래 행전극 구동회로의 블록도이다.

제8도는 제7도에 보인 행전극 구동회로의 동작을 나타내는 타이밍도이다.

제9도는 복수의 부분 행전극 구동회로를 포함하는 종래의 행전극 구동회로의 구성도이다.

* 도면의 주요부분에 대한 부호의 설명

10 : 행전극 구동회로	11 : 시프트 레지스터 회로
12 : 레벨 시프트 회로	13 : 버퍼회로
14 : 시프트 레지스터 회로	15 : 카운트회로
16 : 타이밍선택회로	17 : 스위칭회로

U/L : 시트프방향 제어신호

[발명의 상세한 설명]

본 발명은 표시장치의 행전극 구동회로에 관한 것으로, 특히 매트릭스형 표시장치의 행전극 구동회로에

관한 것이다.

매트릭스형 표시장치의 전형적인 예로서의 매트릭형 액정표시장치(LCD)는 제6도에 보인 바와 같다. 제6도의 LCD 장치는 LCD 패널(61)을 구비하며, 이 패널은 서로 평행하게 기판위에 배치된 복수의 행전극(61a) 및 이 행전극(61a)과 교차하여 복수의 열전극(61b)을 갖는다.

1쌍의 화소전극(61c) 및 스위칭소자로 가능한 박막 트랜지스터(TFT)(61d)가 상기 행전극(61a)과 열전극(61b)의 각 교점에 배치되어 있다. LCD 패널(61)은 행전극 구동회로(62)와 열전극 구동회로(63)에 의해 구동된다. 상기 행전극 구동회로(62)는 스위칭트랜지스터(61d)의 각 행을 순차적으로 도통시키기 위해 행전극(61a)에 차례로 공급되는 주사펄스를 발생한다. 열전극 구동회로(63)는 열전극(61b)을 통해 화소전극(61c)에 인가되는 전압신호를 발생한다. 제어회로(64)는 상기 행전극 구동회로(62)와 열전극 구동회로(63)의 동작을 제어한다.

제7도에 도시한 바와 같이, 행전극 구동회로(62)는 시프트 레지스터 회로(71), 레벨 시프트 회로(72) 및 버퍼회로(73)를 포함한다. 시프트 레지스터(71)는 클럭펄스(ψ)에 따라 펄스신호(D)를 시프트시켜 그 펄스신호를 라인(q_1, q_2, \dots, q_3)에 출력한다. 레벨 시프트 회로(72)는 상기 라인(q_1, q_2, \dots, q_n)에 대한 펄스신호를 스위칭 트랜지스터(61d)를 온/오프시키기에 필요한 전압레벨로 변환한다. 버퍼회로(73)는 레벨 시프트 회로(72)에 의해 변환된 전압신호(Q_1, Q_2, \dots, Q_n)를 출력한다.

이하, 행전극 구동회로(62)의 동작을 제8도를 참조하여 설명한다.

펄스신호(D)의 입력후, 펄스신호들은 시프트 레지스터 회로(71)로부터 라인(q_1, q_2, \dots, q_n)에 순차적으로 출력된다. 레벨 시프트 회로(72)에 의해 변환된 전압신호(Q_1, Q_2, \dots, Q_n)는 이 펄스신호에 따라 버퍼회로(73)를 통해 출력된다.

구동될 행전극(61a)이 다수인 경우, 행전극 구동회로(62)는 통상적으로, 제9도에 보인 바와 같이, 각각 행전극(61a)의 일부에 대응하고 하나의 LSI에 집적되는 복수의 부분 행전극 구동회로 90a(LS11), 90b(LS12), 90c(LS13)...로 구성된다. 상기 부분 행전극 구동회로(90a, 90b, 90c...)는 시프트 레지스터 회로(91a, 91b, 91c...)(이하 간단히 91로 표시), 레벨 시프트 회로(92a, 92b, 92c...)(이하 간단히 92로 표시), 및 버퍼회로(93a, 93b, 93c...)(이하 간단히 93으로 표시)를 포함한다. 상기 시프트 레지스터 회로(91), 레벨 시프트 회로(92) 및 버퍼회로(93)는 구동용 행전극의 수가 다른 것을 제외하고, 제7도에 보인 시프트 레지스터 회로(71), 레벨 시프트 회로(72) 및 버퍼회로(73)와 동일하게 구성될 수 있다. 단일 시프트 레지스터 회로로서 연속적으로 동작하도록 전체적으로 모든 부분 행전극 구동회로(90)에 시프트 레지스터 회로(91a, 91b, 91c...)를 필요로 한다. 따라서, 예컨대 부분 행전극 구동회로(90a)에서 시프트 레지스터 회로(91a)의 최종단계의 출력은 다음의 부분 행전극 구동회로(90b)의 시프트 레지스터 회로(91b)에 공급된다.

상기 행전극 구동회로(62)에 있어서, 디지털신호와 아날로그신호는 혼재하기 때문에, 아날로그신호와 혼합되는 디지털신호로부터의 잡음문제가 발생한다. 이와 같은 행전극 구동회로(62)가 소형 텔레비전 표시장치의 표시장치에 적용될때 전원선 및 신호선을 통한 직접영향에 더하여 대기로 방사되는 고주파잡음이 장치의 안테나에 의해 픽업되는 간접영향을 초래하여 표시화상의 외란을 일으킨다. 또한, 디지털신호의 변화와 동기되는 선형외란이 표시장치의 표시에 발생된다. 복수의 부분 행전극 구동회로(LSI)들이 캐스케이드 접속된 제9도에 도시한 바와 같은 행전극 구동회로에서, LSI들간에 전송되는 디지털신호의 레벨은 화상표시 기간동안 변화하여 화상외란을 야기한다. 또한, LSI들의 보통 고밀도로 장착되기 때문에, LSI들의 근방에 효과적인 잡음대책을 강구하는 것이 불가능한 경우가 많다.

상기와 같은 종래기술의 결점 및 기타 단점을 제거하기 위해, 본 발명의 표시장치의 행전극 구동회로는, 상기 표시장치의 행전극군을 각각 구동시키며, 각각 수치(1) 할당된 복수의 부분 행전극 구동회로를 포함하며 ; 상기 부분 행전극 구동회로는, 펄스신호를 수신하고 복수의 출력들로부터 상기 펄스신호(q_1 내지 q_2)를 순차적으로 출력하기 위해 상기 펄스신호를 시프트시키기 위한 시프트 레지스터 수단으로서, 이 시프트 레지스터 수단에 의해 제공되는 시프트 방향이 시프트 방향 제어신호(U/L)에 따라 변화할 수 있는, 시프트 레지스터 수단 ; 클럭 펄스들을 카운트하고, 클럭펄스들의 소정수의 각 카운트에 따라 카운트신호를 발생하기 위한 카운트 수단 ; 상기 시프트 방향 제어 신호를 수신하고, 상기 시프트 방향 제어 신호에 따라 제1신호와 제2신호중 하나의 선택적으로 발생하기 위한 스위치 수단으로, 상기 제1신호는 상기 할당된 수치(1)을 나타내고 상기 제2신호는 지정된 수치(n-1)에서 상기 할당된 수치(1)를 감산하여 얻어진 수치(n-1)를 나타내는, 스위치 수단 ; 및 상기 제1신호에 의해 지시된 수치와 상기 카운트신호 수치가 소정 관계를 만족할때, 상기 펄스신호를 상기 시프트 레지스터 수단에 출력하고, 상기 제2신호에 의해 지시된 수치와 상기 카운트신호의 수치가 상기 소정 관계를 만족할때, 상기 펄스신호를 상기 시프트 레지스터 수단에 출력하기 위한 펄스신호 출력 수단을 포함한다.

상기 클럭펄스들의 소정 수는 상기 시프트 레지스터 수단의 단수(段數)와 동일한 것이 바람직하다.

상기 각 부분 행전극 구동회로(10)의 할당된 수치(1)의 다른 부분 행전극 구동회로에 대해 상기 부분 행전극 구동회로의 위치에 대응하는 것이 바람직하다.

상기 지정된 수치(n-1)은 상기 부분 행전극 구동회로(10)의 수(n)에 관계되는 것이 바람직하다.

상기 시프트 방향은 상기 시프트 방향 제어 신호(U/L)에 따라 상기 제1방향 및 제1방향과 반대인 제2방향중 하나로 설정되며, 상기 펄스신호는 상기 시프트 방향이 제1방향으로 설정될때 상기 복수의 부분 행전극 구동회로의 각 할당 수치의 첫번째 오더에 따라 출력되고, 또한 상기 펄스신호는 상기 시프트 방향이 상기 제2방향으로 설정될때 상기 복수의 행전극 구동회로의 각 할당 수치의 두번째 오더에 따라 출력되며, 상기 첫번째 오더는 상기 두번째 오더와 반대인 것이 바람직하다.

본 발명의 다른 양태에 의하면, 상기 행전극 구동회로를 구비하는 매트릭스형 액정표시장치가 제공된다. 따라서, 본 발명의 목적은 다음과 같다.

(1) 화질을 손상시키지 않고 표시장치를 구동할 수 있는 행전극 구동회로의 제공 ; (2) 부분 행전극 구동회로간에 제공되는 디지털신호를 필요로 하지 않고 표시장치를 구동할 수 있는 행전극 구동회로의 제공 ; (3) 부분 행전극 구동회로간에 전송되는 전송되는 디지털신호에 의해 야기되는 잡음을 발생함이 없이, 표시장치를 구동할 수 있는 행구동 회로의 제공.

이하, 본 발명의 바람직한 실시예를 첨부 도면에 따라 상세히 설명한다.

제2도는 본 발명에 따른 행전극 구동회로를 보여준다. 제2도의 회로는 제6도에 도시된 LCD 장치를 구동할 수 있고, 4개의 부분 행전극 구동회로들(10a, 10b, 10c, 10d)(이하, 부분 행전극 구동회로를 총칭하여 10이라 함)을 포함하며, 이들 구동회로들 각각은 LCD 장치에서 k갓수의 행전극에 해당한다. 부분 행전극 구동회로들(10)의 갓수와 부분 행전극 구동회로(10)중의 하나에 해당하는 행전극들의 갓수는 상기 갓수에 제한되지 않으며 임의로 선택할 수 있다. 각각이 하나의 LSI칩(LSI1, LSI2, LSI3, LSI4)에 집적되는 부분 행전극 구동회로들(10a, 10b, 10c, 10d)은 시프트 레지스터 회로들(11a, 11b, 11c, 11d)(이하, 간단히 11이라 함), 레벨 시프트 회로들(12a, 12b, 12c, 12d)(이하, 간단히 12이라 함), 버퍼회로들(13a, 13b, 13c, 13d)(이하, 간단히 13이라 함), 및 시프트 레지스터 제어회로들(14a, 14b, 14c, 14d)(이하, 간단히 14이라 함)로 구성된다. 클럭 펄스(Ψ)와 시프트 방향 제어신호(U/L)는 부분 행전극 구동회로(10) 전체에서 시프트 레지스터 회로들(11)과 시프트 레지스터 제어회로들(14)에 공통적으로 전송된다. 시프트 레지스터 제어회로들(14)에는 스타트신호(S)가 더 전송된다.

제1도는 부분 행전극 구동회로들(10)중의 하나를 더 자세히 보여준다. 레벨 시프트 회로(12)와 버퍼회로(13)는 종래에 사용된 것(즉 제7도에 도시된 레벨 시프트 회로(72) 및 버퍼회로(73)와 같은 방식으로 구성된다. 시프트 레지스터 회로들(11)은 시프트 방향 제어신호(U/L)에 응답해 시프트 방향이 반전되도록 구성된다. 시프트 방향 제어신호(U/L)가 U일때, 제1, 2도에서 우측을 향한 정상적인 시프트 동작이 수행되고, 펄스신호들은 차례대로 라인들(q_1, q_2, \dots)로 출력된다. 시프트 방향 제어 신호(U/L)가 L일때는, 좌측을 향한 시프트 동작이 실행되고, 펄스신호들을 차례대로 라인들(q_1, q_2, \dots)로 출력된다. 종래에는 시프트 레지스터 회로(11)로 입력되는 펄스신호(D)가 부분 행전극 구동회로(10)의 외부로부터 전송되었다. 이와 대조적인, 본 실시예에서는, 펄스신호(D)가 시프트 레지스터 제어회로들(14)에 의해 발생된다.

시프트 레지스터 제어회로들(14)는 카운트신호(15), 타이밍 선택회로(16), 및 스위칭회로(17)로 구성된다. 카운트회로(15)는 스타트신호(S)를 수신한 직후 타이밍 선택회로(16)에 카운트신호(C)를 전송하고, 스타트신호(S)가 입력된 후 매번 k개의 클럭 펄스들(Ψ){k는 시프트 레지스터 회로들(11)에서 단계의 갓수이다}이 계수된다. 스위칭회로(17)는 시프트 방향 제어신호(U/L)가 U일때는 외부에서 설정된 데이터(I)를 전송하고, 시프트 방향 제어회로(U/L)가 L일때는 데이터(n-1-I)를 타이밍 선택회로(16)로 전송한다. 여기서, n 은 부분 행전극 구동회로(10)의 총 갓수로서, 본 실시예에서 n=4이다. 제2도에 도시된 바와 같이, I은 부분 행전극 구동회로(10)의 배열순서에 따라 각 부분 행전극 구동회로 10a(I=0), 10b(I=1), 10c(I=2), 10d(I=3)에 할당된 값이다. 스위칭회로(17)로부터 타이밍 선택회로(16)로 전송된 데이터가 제1도에서는 대표적으로 I'으로 표시되어 있다. 요컨대, 시프트 방향 제어회로(U/L)가 U일때는, I'-I이고, 시프트 방향 제어회로(U/L)가 L이면, I'=(n-1-I)이다. 이미 입력된 카운트신호들(C)의 갓수가 (I'+1)이면, 타이밍 선택회(16)는 시프트 레지스터 회로들(11)로 펄스신호(D)를 출력한다.

본 실시예의 동작을 시프트 방향 제어신호(U/L)가 U인 경우의 타이밍 차트인 제3도를 참조하여 설명하면 다음과 같다. 스타트 신호(S)를 수신한 즉시(제3도의 (b)에 해당함), 한개의 카운트신호(C)가 먼저 발생된다{제3도의 (c)에 해당함}. 그뒤, k,개의 클럭 펄스들(Ψ)이 입력될 때마다{제3도의 (a)에 해당함} 하나의 카운트신호(C)가 발생된다. 카운트신호(C)가 발생하는 시간간격(t_k)은 시프트 레지스터 회로(11)의 모든 단계를 통해 펄스신호(D)를 시프트하는데 필요한 시간이다. 제3도의 (d)-(g)에서는, 제2도에서와 마찬가지로, 부분 행전극 구동회로들(10)에 할당된 데이터(I)의 값들(0 내지 3)에 따라 펄스신호(D)에 첨자(0 내지 3)가 첨부된다.

이상의 설명에서 알 수 있는 것처럼, 본 실시예에 따르면, 시프트 레지스터 제어회로(14)는 데이터(I)를 근거로 적당한 타이밍으로 동일한 부분 행전극 구동회로(10)내의 시프트 레지스터 회로(11)로 향하는 펄스신호를 발생시킬 수 있다. 따라서, 본 실시예에서, 펄스신호들(D_0, D_1, D_2 및 D_3)는 각각의 부분 행전극 구동회로(10)내에서 제어된다. 다시 말해서, 본 실시예에서, 종래 기술의 행전극 구동회로의 부분 행전극 구동회로들 사이에 전송되는 디지털신호들이 불필요하여, 디지털신호들로부터의 잡음으로 인한 영상 외란을 피할 수 있다. 더욱이, 스타트신호(S)의 레벨은 화상표시기간의 외부를 변화시키고 부분 행전극 구동회로(10)를 포함하는 LSI의 외부에서 발생될 수 있다. 그러므로, 잡음 제거가 같은 회로를 쉽게 부가하여, 스타트신호(S)가 영상 외란의 원인이 되지 않게 할 수 있다.

제4도는 시프트 방향 제어신호(U/L)가 L인 경우의 본 실시예의 동작을 예시한다. 제4도의 (d) 내지 (g)에서 보듯이, 시프트 방향 제어신호(U/L)가 L일때, 펄스신호(D_0 내지 D_3)의 발생 순서는 시프트 방향 제어신호(U/L)가 제3도의 (d) 내지 (g)에서와 같이 U일 경우와는 정반대이다. 더욱이, 도시되지는 않았지만, 부분 행전극 구동회로(10)내의 시프트 레지스터 회로(11)에 의해 펄스신호(D)가 시프트되는 방향 역시 시프트 방향 제어신호(U/L)가 U인 경우와는 정반대이다.

시프트 레지스터 제어회로(14)의 일례가 제5도에 도시되어 있다. 시프트 레지스터 제어회로(14)에서, 값 k는 64로 설정되고, 데이터 I은 2개의 비트들(I_1, I_0)로 표현된다. 시프트 방향 제어신호(U/L)가 U인 경우 0값을 갖고, 시프트 방향 제어신호(U/L)가 L일 경우, 1값을 갖는다. 스타트신호(S)가 입력된 직후 발생되는 카운트신호(C)는 0플롭-플롭(152)로부터 출력된다. 1/64 카운터(151)는 클럭 펄스들(Ψ)을 계

수한다. 1/64 카운터(151)의 출력이 63(=111111)에서 0(=000000)으로 변할때, 카운트신호(C)는 OR게이트(154)로부터 출력된다. OR게이트(154)로부터 출력되는 카운트신호(C)는 1/4 카운터(161)에 의해 계수된다. 카운트신호(C)가 D플립-플롭(152)이나 OR게이트(154)로부터 출력될때, 2개의 비트들(1, 1)에 의해 표현되고 스위칭 회로(17)로부터 공급된 데이터 '1'가 1/4 카운터(161)의 출력과 일치하는지의 여부는 NOR게이트들(162-165)의 조합에 의해 결정된다. 일치할 경우에는, 펄스신호(D)가 OR게이트(166)로부터 출력된다.

본 발명에 따르면, 부분 행전극 구동회로들 사이에 디지털신호들을 발생시킬 필요가 없다. 따라서, 본 발명의 행전극 구동회로들에서, 디지털신호로 인한 잡음 때문에 생기는 영상 외란을 제거할 수 있다. 더욱이, 본 발명의 행전극 구동회로에서, 표시장치에서 구동하는 행전극들의 순서는 시프트 방향 제어신호를 제어함으로써 쉽게 반전될 수 있다.

(57) 청구의 범위

청구항 1

표시장치의 행전극 구동회로로서, 상기 표시장치의 행전극군을 각각 구동시키며, 각각 수치(1)이 할당되어 있는 복수의 부분 행전극 구동회로(10)를 포함하며 ; 상기 부분 행전극 구동회로(10)는 ; 펄스신호(D)를 수신하고 복수의 출력들로부터 상기 펄스신호(q_1 내지 q_2)를 순차적으로 출력하기 위해 상기 펄스신호를 시프트시키기 위한 시프트 레지스터 수단(11)으로서, 이 시프트 레지스터 수단(11)에 의해 제공되는 시프트 방향이 시프트 방향 제어 신호(U/L)에 따라 변화할 수 있는, 시프트 레지스터 수단(11) ; 클럭 펄스들을 카운트하고, 이 클럭펄스들의 소정수의 각 카운트에 따라 카운트신호(C)를 발생하기 위한 카운트 수단 ; 상기 시프트 방향 제어 신호를 수신하고, 상기 시프트 방향 제어신호에 따라 제1신호와 제2신호중 하나를 선택적으로 발생하기 위한 스위치 수단(17)으로서, 상기 제1신호는 상기 할당된 수치(1)을 나타내고 상기 제2신호는 지정된 수치($n-1-i$)에서 상기 할당된 수치(1)를 감산하여 수치($n-1-i$)를 나타내는, 스위치 수단(17) ; 및 상기 제1신호에 의해 지시된 수치와 상기 카운트신호(C)의 수치가 소정 관계를 만족할때, 상기 펄스신호(D)를 상기 시프트 레지스터 수단(11)에 출력하고, 상기 제2신호에 의해 지시된 수치와 상기 카운트신호(C)의 수치가 상기 소정 관계를 만족할때, 상기 펄스신호(D)를 상기 시프트 레지스터 수단(11)에 출력하기 위한 펄스신호 출력 수단(16)을 포함하는 행전극 구동회로.

청구항 2

제1항에 있어서, 상기 클럭펄스들의 소정 수는 상기 시프트 레지스터 수단(11)의 단수(段數)와 동일한 행전극 구동회로.

청구항 3

제1항 또는 제3항에 있어서, 각 부분 행전극 구동회로(10)의 할당된 수치(1)은 다른 부분 행전극 구동회로에 대해 상기 부분 행전극 구동회로의 위치에 대응하는 행전극 구동회로.

청구항 4

제1항에 있어서, 상기 지정된 수치($n-1$)은 상기 부분 행전극 구동회로(10)의 수(n)에 관계되는 행전극 구동회로.

청구항 5

제1항에 있어서, 상기 시프트 방향은 상기 시프트 방향 제어 신호(U/L)에 따라 상기 제1방향 및 상기 제1방향과 반대인 제2방향중 하나로 설정되며, 상기 펄스신호(D)는 상기 시프트 방향이 제1방향으로 설정될때 상기 복수의 부분 행전극 구동회로(10)의 각 할당 수치의 첫번째 오더에 따라 출력되고, 또한 상기 펄스신호(D)는 상기 시프트 방향이 상기 제2방향으로 설정될때 상기 복수의 부분 행전극 구동회로(10)의 각 할당 수치의 두번째 오더에 따라 출력되며, 상기 첫번째 오더는 상기 두번째 오더와 반대인, 행전극 구동회로.

청구항 6

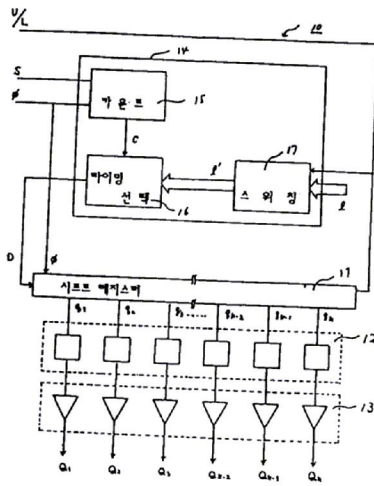
제1항, 제3항, 제5항 및 제6항중 어느 한항에 따른 행전극 구동회로를 구비하는 매트릭스형 액정표시장치.

청구항 7

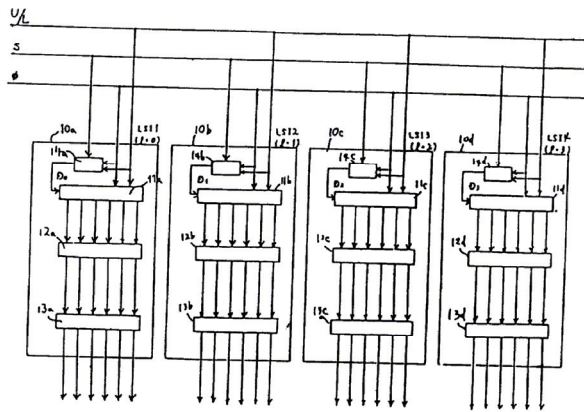
제4항에 따른 행전극 구동회로를 구비하는 매트릭스형 액정표시장치.

도면

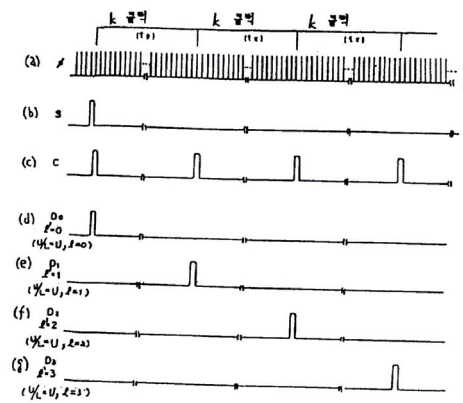
도면1



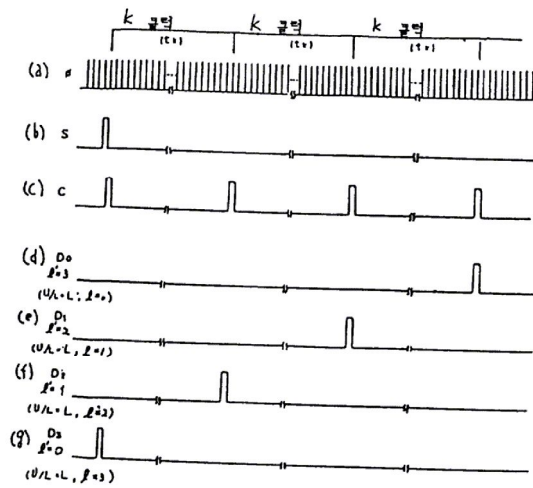
도면2



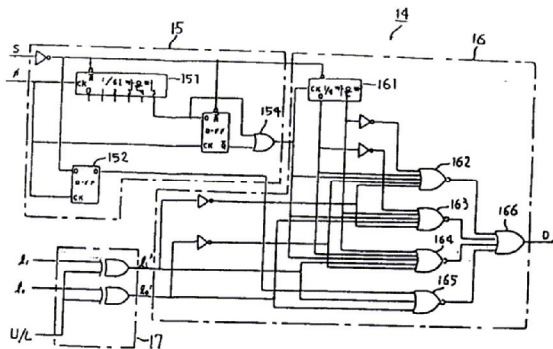
도면3



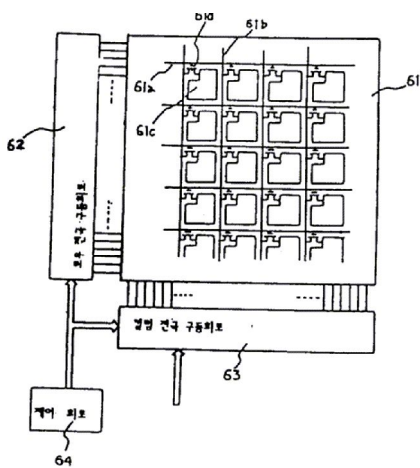
도면4



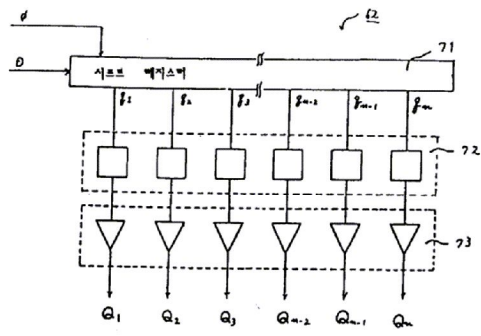
도면5



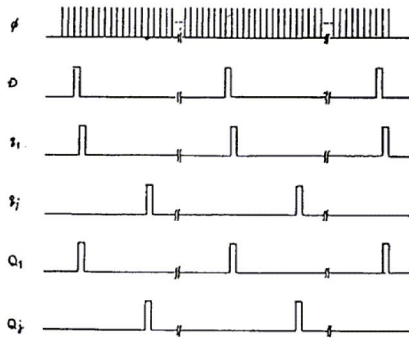
도면6



도면7



도면8



도면9

