

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-33141

(P2005-33141A)

(43) 公開日 平成17年2月3日(2005.2.3)

(51) Int. Cl.⁷

H01L 23/12

H01L 21/56

F I

H01L 23/12

H01L 21/56

501B

R

テーマコード(参考)

5F061

審査請求 未請求 請求項の数 38 O L (全 30 頁)

(21) 出願番号

特願2003-273706(P2003-273706)

(22) 出願日

平成15年7月11日(2003.7.11)

(71) 出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人

100076059

弁理士 逢坂 宏

(72) 発明者

波多野 正喜

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

Fターム(参考) 5F061 AA01 BA03 CA10 CB13

(54) 【発明の名称】 半導体装置及びその製造方法、疑似ウェーハ及びその製造方法、並びに半導体装置の実装構造

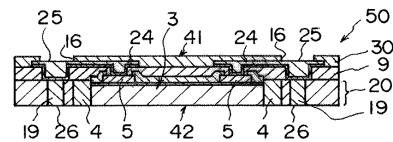
(57) 【要約】

【課題】 チップ部品の電極を裏面側へ簡単かつ確実に導通させ、表面側及び裏面側に外部端子を低コストにて形成できる半導体装置及びその製造方法、疑似ウェーハ及びその製造方法、並びに半導体装置の実装構造を提供すること。

【解決手段】 チップ部品3の電極5に対応してその周辺に配されるように、チップ部品を配置するための欠除部を有し、プラグ19を予設したビア付き基板20をチップ部品3と共に支持基板21上に貼り付け、これらを樹脂4で覆って一体化した疑似ウェーハ29上で、電極5をプラグ19に配線24で接続し、配線24の一部を露出させて表面41の外部端子25を形成後に、チップ部品3の裏面42の樹脂4を研削してプラグ19を露出させ、この露出部によってこの面の外部端子26を形成する。

【選択図】

図1



【特許請求の範囲】

【請求項 1】

一方の面側に電極が設けられ、この電極面以外の少なくとも側面が保護物質層で覆われているチップ部品を有する半導体装置において、

前記チップ部品の少なくとも側方に絶縁物質層が被着され、

前記絶縁物質層をこの両面に貫通して形成された貫通孔に、第 1 の導電材が設けられ

、前記電極と前記第 1 の導電材とが別の導電材を介して接続され、

前記電極が少なくとも、前記一方の面とは反対側の他方の面側に電気的に取り出されている

10

ことを特徴とする、半導体装置。

【請求項 2】

前記チップ部品の側方において、前記保護物質層とは別の前記絶縁物質層の前記貫通孔に、前記第 1 の導電材が設けられている、請求項 1 に記載した半導体装置。

【請求項 3】

前記チップ部品の側方において、前記絶縁物質層を兼ねる前記保護物質層の前記貫通孔に前記第 1 の導電材が設けられている、請求項 1 に記載した半導体装置。

【請求項 4】

前記第 1 の導電材が、前記他方の面側又は / 及び前記一方の面側に形成された外部端子に取り出されている、請求項 1 に記載した半導体装置。

20

【請求項 5】

前記第 1 の導電材が、これとは別の配線を介して前記外部端子に取り出されている、請求項 4 に記載した半導体装置。

【請求項 6】

前記チップ部品の前記他方の面側が露出している、請求項 1 に記載した半導体装置。

【請求項 7】

一方の面側に電極が設けられ、この電極面以外の少なくとも側面が保護物質層で覆われているチップ部品を有する半導体装置を製造する方法において、

前記チップ部品を配するための欠除部を有し、かつ両面間に形成した貫通孔に第 1 の導電材を設けた絶縁物質層を作製する工程と、

30

前記絶縁物質層を支持体上に固定する工程と、

前記電極面の側にて、前記チップ部品を前記欠除部内にて支持体上に固定する工程と

、前記チップ部品及び前記絶縁物質層の少なくとも側面を前記保護物質層によって覆う工程と、

前記保護物質層によって前記チップ部品と前記絶縁物質層とが一体化されてなる疑似ウェーハを前記支持体から分離して疑似ウェーハを作製する工程と、

前記疑似ウェーハにおいて、前記チップ部品の前記電極を前記第 1 の導電材とは別の導電材によって前記第 1 の導電材に接続する工程と、

前記一方の面とは反対側の他方の面とのうち、少なくとも前記他方の面に前記電極を電気的に取り出す工程と、

40

複数の前記チップ部品間で、前記絶縁物質層又は前記保護物質層を切断して各半導体装置に個片化する工程と

を有することを特徴とする、半導体装置の製造方法。

【請求項 8】

前記他方の面側において前記疑似ウェーハの前記保護物質層を部分的に除去して、前記第 1 の導電材を露出させる、請求項 7 に記載した半導体装置の製造方法。

【請求項 9】

前記チップ部品の前記他方の面側の少なくとも一部を露出させる、請求項 7 に記載した半導体装置の製造方法。

50

【請求項 10】

特性測定により良品と判定された前記チップ部品を有する前記疑似ウェーハを作製する、請求項 7 に記載した半導体装置の製造方法。

【請求項 11】

前記疑似ウェーハの状態において前記チップ部品の特性測定を行い、良品のチップ部品又はチップ状電子部品を選択する、請求項 7 に記載した半導体装置の製造方法。

【請求項 12】

請求項 1～6 のいずれか 1 項に記載した半導体装置が、少なくとも前記他方の面側にプリント配線板に接続されている、半導体装置の実装構造。

【請求項 13】

前記半導体装置の複数個が、前記一方の面側及び前記他方の面側間での接続下で積層されている、請求項 12 に記載した半導体装置の実装構造。

【請求項 14】

一方の面側に電極が設けられ、この電極面以外の少なくとも側面が保護物質層で覆われているチップ部品の複数個が、前記保護物質層を介して互いに一体化されてなる疑似ウェーハにおいて、

前記チップ部品の少なくとも側方に絶縁物質層が被着され、

前記絶縁物質層をこの両面に貫通して形成された貫通孔に、第 1 の導電材が設けられ、

前記電極と前記第 1 の導電材とが別の導電材を介して接続され、

前記電極が少なくとも、前記一方の面とは反対側の他方の面側に電気的に取り出されている

ことを特徴とする、疑似ウェーハ。

【請求項 15】

前記チップ部品の側方において、前記保護物質層とは別の前記絶縁物質層の前記貫通孔に、前記第 1 の導電材が設けられている、請求項 14 に記載した疑似ウェーハ。

【請求項 16】

前記チップ部品の側方において、前記絶縁物質層を兼ねる前記保護物質層の前記貫通孔に前記第 1 の導電材が設けられている、請求項 14 に記載した疑似ウェーハ。

【請求項 17】

前記第 1 の導電材が、前記他方の面側又は / 及び前記一方の面側に形成された外部端子に取り出されている、請求項 14 に記載した疑似ウェーハ。

【請求項 18】

前記第 1 の導電材が、これとは別の配線を介して前記外部端子に取り出されている、請求項 17 に記載した疑似ウェーハ。

【請求項 19】

前記チップ部品の前記他方の面側が露出している、請求項 14 に記載した疑似ウェーハ。

【請求項 20】

特性測定により良品と判定された前記チップ部品を有する、請求項 14 に記載した疑似ウェーハ。

【請求項 21】

前記チップ部品の特性測定を行い、良品のチップ部品又はチップ状電子部品を選択する、請求項 14 に記載した疑似ウェーハ。

【請求項 22】

一方の面側に電極が設けられ、この電極面以外の少なくとも側面が保護物質層で覆われているチップ部品の複数個が、前記保護物質層を介して互いに一体化されてなる疑似ウェーハを製造する方法において、

前記チップ部品を配するための欠除部を有し、かつ両面間に形成した貫通孔に第 1 の導電材を設けた絶縁物質層を作製する工程と、

10

20

30

40

50

前記絶縁物質層を支持体上に固定する工程と、

前記電極面の側にて、前記チップ部品を前記欠除部内にて支持体上に固定する工程と

、
前記チップ部品及び前記絶縁物質層の少なくとも側面を前記保護物質層によって覆う工程と、

前記保護物質層によって前記チップ部品と前記絶縁物質層とが一体化されてなる疑似ウェーハを前記支持体から分離する工程と、

前記チップ部品の前記電極を前記第1の導電材とは別の導電材によって前記第1の導電材に接続する工程と、

前記一方の面とは反対側の他方の面とのうち、少なくとも前記他方の面に前記電極を電氣的に取り出す工程と 10

を有することを特徴とする、疑似ウェーハの製造方法。

【請求項23】

前記他方の面側において前記保護物質層を部分的に除去して、前記第1の導電材を露出させる、請求項22に記載した疑似ウェーハの製造方法。

【請求項24】

前記チップ部品の前記他方の面側の少なくとも一部を露出させる、請求項22に記載した疑似ウェーハの製造方法。

【請求項25】

特性測定により良品と判定された前記チップ部品を有する前記疑似ウェーハを作製する、請求項22に記載した疑似ウェーハの製造方法。 20

【請求項26】

前記疑似ウェーハの状態において前記チップ部品の特性測定を行い、良品のチップ部品又はチップ状電子部品を選択する、請求項22に記載した疑似ウェーハの製造方法。

【請求項27】

一方の面側に電極が設けられ、この電極面以外の少なくとも側面が保護物質層で覆われているチップ部品を有する半導体装置を製造する方法において、

支持体上に前記チップ部品を固定する工程と、

前記チップ部品の側方にて第1の導電材を前記支持体上に固定する工程と、

前記第1の導電材を保護物質材料に埋設する工程と、 30

前記保護物質材料を前記チップ部品の側面に被着して前記保護物質層を形成する工程と、

前記保護物質層によって前記チップ部品が一体化されてなる疑似ウェーハを前記支持体から分離する工程と、

前記疑似ウェーハにおいて、前記チップ部品の前記電極を前記第1の導電材とは別の導電材によって前記第1の導電材に接続する工程と、

前記一方の面とこれとは反対側の他方の面とのうち、少なくとも前記他方の面に前記電極を電氣的に取り出す工程と、

複数の前記チップ部品間で、前記保護物質層を切断して各半導体装置に個片化する工程と 40

を有することを特徴とする、半導体装置の製造方法。

【請求項28】

前記チップ部品を配するための欠除部を有し、かつ両面間に形成した貫通孔に前記第1の導電材を設けた前記保護物質材料層を作製する工程と、

前記保護物質材料層を支持体上に固定する工程と、

前記電極面の側にて前記チップ部品を前記欠除部内にて支持体上に固定する工程と、

前記保護物質材料層を加熱により流動化させ、前記チップ部品の少なくとも側面を前記保護物質層によって覆う工程と

を有する、請求項27に記載した半導体装置の製造方法。

【請求項29】

前記他方の面側において前記疑似ウェーハの前記保護物質層を部分的に除去して、前記第1の導電材を露出させる、請求項27に記載した半導体装置の製造方法。

【請求項30】

前記チップ部品の前記他方の面側の少なくとも一部を露出させる、請求項27に記載した半導体装置の製造方法。

【請求項31】

特性測定により良品と判定された前記チップ部品を有する前記疑似ウェーハを作製する、請求項27に記載した半導体装置の製造方法。

【請求項32】

前記疑似ウェーハの状態において前記チップ部品の特性測定を行い、良品のチップ部品又はチップ状電子部品を選択する、請求項27に記載した半導体装置の製造方法。 10

【請求項33】

一方の面側に電極が設けられ、この電極面以外の少なくとも側面が保護物質層で覆われているチップ部品の複数個が、前記保護物質層を介して互いに一体化されてなる疑似ウェーハを製造する方法において、

支持体上に前記チップ部品を固定する工程と、

前記チップ部品の側方にて第1の導電材を前記支持体上に固定する工程と、

前記第1の導電材を保護物質材料に埋設する工程と、

前記保護物質材料を前記チップ部品の側面に被着して前記保護物質層を形成する工程と、 20

前記保護物質層によって前記チップ部品が一体化されてなる疑似ウェーハを前記支持体から分離する工程と、

前記疑似ウェーハにおいて、前記チップ部品の前記電極を前記第1の導電材とは別の導電材によって前記第1の導電材に接続する工程と、

前記一方の面とこれとは反対側の他方の面とのうち、少なくとも前記他方の面に前記電極を電気的に取り出す工程とを有することを特徴とする、疑似ウェーハの製造方法。

【請求項34】

前記チップ部品を配するための欠除部を有し、かつ両面間に形成した貫通孔に前記第1の導電材を設けた前記保護物質材料層を作製する工程と、 30

前記保護物質材料層を支持体上に固定する工程と、

前記電極面の側にて前記チップ部品を前記欠除部内にて支持体上に固定する工程と、

前記保護物質材料層を加熱により流動化させ、前記チップ部品の少なくとも側面を前記保護物質層によって覆う工程と

を有する、請求項33に記載した疑似ウェーハの製造方法。

【請求項35】

前記他方の面側において前記疑似ウェーハの前記保護物質層を部分的に除去して、前記第1の導電材を露出させる、請求項33に記載した疑似ウェーハの製造方法。

【請求項36】

前記チップ部品の前記他方の面側の少なくとも一部を露出させる、請求項33に記載した疑似ウェーハの製造方法。 40

【請求項37】

特性測定により良品と判定された前記チップ部品を有する、請求項33に記載した疑似ウェーハの製造方法。

【請求項38】

前記チップ部品の特性測定を行い、良品のチップ部品又はチップ状電子部品を選択する、請求項33に記載した疑似ウェーハの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法、疑似ウェーハ及びその製造方法、並びに半導体装置の実装構造に関するものである。

【背景技術】

【0002】

従来、携帯用電子機器の小型・軽量化、高速化の要求に対し、一つの方法として、IC (Integrated Circuit) の高集積化、微細化を図って複数の機能をワンチップ (システム LSI) 化しているが、歩留低下等による製造コストの増大等の問題でシステム LSI を低コストで実現することが難しくなっている。一方で、複数の半導体チップをワンパッケージ化した MCM (Multi Chip Module) が提案されている。

【0003】

MCM は多層配線基板に半導体チップを配置しているが、搭載する半導体チップの接続端子ピッチが狭くなると配線基板の製造が難しくなり、基板のコストアップとなる。また、パンプやワイヤボンディング、タブ等で接続するため、接続端子数に制限がある上、その平面視面積は搭載半導体チップの平面視面積の総和より大きくなってしまふ。更に、信号伝達が遅くなり、性能低下等の問題がある。

【0004】

MCM の製造技術については、複数のペアチップをその表面が平坦になるように支持基板上に貼り付けて配線することにより、生産性よく配線することが開示されている (後述の特許文献 1 参照)。また、機能別に作製した複数の半導体チップを互いに隣接して接着することにより、四辺形に形成した合成チップをウェーハ上に貼り付け、このチップのアクティブ面を平坦化して露出させたチップの外部接続端子から配線することにより、小面積化した合成チップを小さいパッケージに形成することが開示されている (後述の特許文献 2 参照)。更に、支持基板に良品チップを貼り付けた後に、保護物質を被着して剥離することで疑似ウェーハを作製し、その上に半導体プロセスにより配線することが開示されている (後述の特許文献 3 参照)。

【0005】

このうち、本出願人が提起した特許文献 3 (以下、先願発明と称する。) は、自社製又は他社製の区別なく、ウェーハより半導体チップを切り出した後、オープン/ショート或いは DC (直流) 電圧測定により良品と確認された半導体ペアチップのみを疑似ウェーハ上に再配置し、これに所定の製造工程を施してチップ状電子部品を作製するものであるが、その製造プロセスを図 36 に示す。

【0006】

即ち、図 36 (a) は、仮の支持基板として用いた石英基板 1 を示す。但し、基板への加熱プロセスは 400 以下であるため、安価なガラス基板も使用でき、また、この石英基板 1 は繰り返し使用可能である。

【0007】

次に、図 36 (b) のように、石英基板 1 上に、紫外線を照射されると粘着力が低下する例えばアクリル系の粘着シート 2 を貼り付ける。

【0008】

次に、図 36 (c) のように、良品と確認された複数の良品ペアチップ 3 をチップ表面 (デバイス面) 28 を下向きに配列して粘着シート 2 に貼り付ける。なお、良品ペアチップ 3 は、通常のウェーハ工程でダイシングして、使用したダイシングシート (図示せず) の延伸状態から取り出してもよく、チップトレイから移載してもよい。

【0009】

次に、図 36 (d) のように、良品ペアチップ 3 上から有機系絶縁性樹脂、例えばエポキシ系等の樹脂 4 をスピンコート法か印刷法により、均一に塗布する。

【0010】

次に、図 36 (e) のように、石英基板 1 の裏側 1a から紫外線を照射して、粘着シート 2 の粘着力を弱め、樹脂 4 で側面及び裏面が連続して固められた複数の良品ペアチップ (以下、半導体チップ、チップ又はチップ部品と称することがある。) 3 を配した疑似ウ

10

20

30

40

50

エーハ29を石英基板1から接着面14で剥離する。

【0011】

次に図36(f)のように、良品ベアチップ表面28(デバイス面)が上になるように疑似ウェーハ29をひっくり返す。下図は疑似ウェーハ29の一部を拡大図示したものであり、図示の如く、Si基板上にSiO₂膜7を介してA1電極パッド5及びパッシベーション膜8が形成されている。

【0012】

その後、無電解めっき法により、開口されたA1電極パッド5の上面のみに、選択的にNiめっき層を形成し、この上に配したはんだペーストを加熱溶解してはんだバンプをウェーハ一括で形成後に、再度プローブ検査により電気的特性を測定することにより、更により確実に良品チップのみを選別する。

10

【0013】

上記のように形成した半導体チップ3は、ワンチップに個片化後、例えば図39に示すようにはんだバンプ33を介して回路基板39の電極40にマウントしたり、例えば図40に示すようにチップ3を並列に配し、この複数のチップ3間の再配置配線12(半導体チップ内の配線をチップ上の任意の位置に引き出して行う配線)を行うことにより、回路構成をしてMCMを構成することができる。また、図示しないが半導体チップ3の電極パッド5から接続孔を介して絶縁層上に配線を導出し、更にこのような構造を積み上げて多層構造化することにより、回路基板へのマウント時に任意の位置に再配置配線を行って多ピン化に対応することもでき、これらを疑似ウェーハ29上で一括して行うことができる。

20

【0014】

このように、先願発明によれば、半導体チップの電極面以外(即ち、チップの側面及び裏面)が連続した保護物質によって保護されるので、チップ化後のハンドリングにおいてチップが保護され、ハンドリングが容易となる。

【0015】

また、半導体ウェーハから切出した良品のみを選択して再配置しているので、あたかも全品が良品チップからなる疑似ウェーハが得られ、配置した良品チップに対してウェーハ一括でのバンプ処理等が可能となり、低コストのバンプチップを形成できると共に、半導体チップを疑似ウェーハから切り出す際に、チップ間の保護物質の部分を切断することになるので、半導体チップ本体への悪影響(歪みやばり、亀裂等のダメージ)を抑えて容易に切断することができる。

30

【0016】

しかも、保護物質によってチップの側面及び裏面が覆われているため、Ni無電解めっき処理も可能である。そして、自社製ウェーハのみならず、他社から購入したベアチップでも容易にはんだバンプ処理等が可能になる。

【0017】

また、MCMに搭載される異種LSIチップを全て同一半導体メーカーから供給されるケースは少なく、SRAM、フラッシュメモリーやマイコン、更にCPU(中央演算処理ユニット)を、それぞれ得意とする半導体メーカーから別々にチップで供給してもらい、これらをMCM化することもできる等の優れた特徴を有している。

40

【0018】

上記した先願発明の半導体チップ3の再配置配線を疑似ウェーハ29上で行う場合、例えば図37~図38のような方法で行うことができる。

【0019】

図37(a)は、上記した図36(f)の下図(一部の拡大図)を示す。即ち、疑似ウェーハ29を構成する保護物質としての樹脂4により、側面及び裏面を覆われて一体化された半導体チップ3上に、A1からなる電極パッド5(以下、電極と称する。)が配され、この電極5が露出するようにパッシベーション膜8が形成されている。

【0020】

50

この後に形成する配線はセミアディティブ法により形成されるが、簡略して図示する。まず、図37(b)に示すように、パッシベーション膜8を被覆するように層間絶縁膜9を形成後に、図37(c)に示すように、上面の全面にめっき用の電極となるシードメタルとして、Alと密着性の良いTiのスパッタ膜10を形成する。

【0021】

次に、図37(d)に示すように、スパッタ膜10上にフォトリソグラフィ技術によってフォトレジスト膜11を形成後に、図38(e)に示すように、Cuを用いて配線となる電解めっき膜12Aを形成する。これにより、Alと密着性の良いTiをシードメタルとすることにより、Tiのスパッタ膜10上にCuを容易にめっきすることができる。

【0022】

次に、図38(f)に示すように、フォトレジスト膜11を除去し、このフォトレジスト膜11下のスパッタ膜10をウェットエッチング等で除去することにより、再配置した配線12が形成される。

【0023】

次に、図38(g)に示すように、上部の全面を保護膜13で被覆後に、図38(h)に示すように、保護膜13に配線12との接続孔6を形成し、外部端子15を露出させる。

【0024】

上記の方法により、同一の疑似ウェーハ29上に複数個又は複数種のチップ部品を並列に配し、MCMの回路を形成するための再配置配線をウェーハレベルで一度に行うことができる。しかも、先願発明は、半導体ウェーハから切り出した良品チップのみを選んで再配置し、その側面及び裏面を樹脂で覆って一体化し、更に特性検査を行って、100%良品チップが配された疑似ウェーハ上で、これらのチップに対して一括してチップ間の再配置配線を行うことができ、MCMを疑似ウェーハ段階で形成することができる等の優れた特長を有している。

【0025】

【特許文献1】特開平7-202115号(第5頁左欄、図1及び図3)

【特許文献2】特開平11-330350号(第6頁右欄、図5及び図6)

【特許文献3】特開2001-308116号(第5頁左欄、第7頁右欄及び図2)

【発明の開示】

【発明が解決しようとする課題】

【0026】

しかしながら、従来は先願発明においても、チップ部品の外部端子が半導体装置の表面側にしか形成されていないため、裏面側で外部機器等との接続ができないという問題や、積層構造のMCMを形成できないという問題があることから、本発明者はこれらの問題を解決すべく、出願番号2003-138136号(平成15年5月16日出願)により提案したところである。

【0027】

しかし、なおも改良の余地があることに気付き、本発明者は鋭意検討を重ねた結果、更に前進的な方策を見出し本発明に到達したものである。

【0028】

そこで本発明の目的は、チップ部品の電極が精度の良い接続構造にて簡単かつ確実に裏面に導通でき、複数のチップ部品間及び外部機器との接続が容易な外部端子を有する半導体装置及びその製造方法、疑似ウェーハ及びその製造方法、並びに半導体装置の実装構造を低コストにて提供することにある。

【課題を解決するための手段】

【0029】

即ち、本発明は、一方の面側に電極が設けられ、この電極面以外の少なくとも側面が保護物質層で覆われているチップ部品を有する半導体装置において、

前記チップ部品の少なくとも側方に絶縁物質層が被着され、

10

20

30

40

50

前記絶縁物質層をこの両面に貫通して形成された貫通孔に、第1の導電材が設けられ

、
前記電極と前記第一の導電材とが別の導電材を介して接続され、

前記電極が少なくとも、前記一方の面とは反対側の他方の面側に電気的に取り出されている

ことを特徴とする、半導体装置（以下、本発明の半導体装置と称する。）に係るものである。

【0030】

また、本発明は、一方の面側に電極が設けられ、この電極面以外の少なくとも側面が保護物質層で覆われているチップ部品を有する半導体装置を製造する方法において、

前記チップ部品を配するための欠除部を有し、かつ両面間に形成した貫通孔に第1の導電材を設けた絶縁物質層を作製する工程と、

前記絶縁物質層を支持体上に固定する工程と、

前記電極面の側にて前記チップ部品を前記欠除部内にて支持体上に固定する工程と、

前記チップ部品及び前記絶縁物質層の少なくとも側面を前記保護物質層によって覆う工程と、

前記保護物質層によって前記チップ部品と前記絶縁物質層とが一体化されてなる疑似ウェーハを前記支持体から分離して疑似ウェーハを作製する工程と、

前記疑似ウェーハにおいて、前記チップ部品の前記電極を前記第1の導電材とは別の導電材によって前記第1の導電材に接続する工程と、

前記一方の面とは反対側の他方の面とのうち、少なくとも前記他方の面に前記電極を電気的に取り出す工程と、

複数の前記チップ部品間で、前記絶縁物質層又は前記保護物質層を切断して各半導体装置に個片化する工程と

を有することを特徴とする、半導体装置の製造方法（以下、本発明の半導体装置の第1の製造方法と称する。）に係るものである。

【0031】

また、本発明は、一方の面側に電極が設けられ、この電極面以外の少なくとも側面が保護物質層で覆われているチップ部品の複数個が、前記保護物質層を介して互いに一体化されてなる疑似ウェーハにおいて、

前記チップ部品の少なくとも側方に絶縁物質層が被着され、

前記絶縁物質層をこの両面に貫通して形成された貫通孔に、第1の導電材が設けられ

、
前記電極と前記第一の導電材とが別の導電材を介して接続され、

前記電極が少なくとも、前記一方の面とは反対側の他方の面側に電気的に取り出されている

ことを特徴とする、疑似ウェーハ（以下、本発明の疑似ウェーハと称する。）に係るものである。

【0032】

また、本発明は、一方の面側に電極が設けられ、この電極面以外の少なくとも側面が保護物質層で覆われているチップ部品の複数個が、前記保護物質層を介して互いに一体化されてなる疑似ウェーハを製造する方法において、

前記チップ部品を配するための欠除部を有し、かつ両面間に形成した貫通孔に第1の導電材を設けた絶縁物質層を作製する工程と、

前記絶縁物質層を支持体上に固定する工程と、

前記電極面の側にて前記チップ部品を前記欠除部内にて支持体上に固定する工程と、

前記チップ部品及び前記絶縁物質層の少なくとも側面を前記保護物質層によって覆う工程と、

前記保護物質層によって前記チップ部品と前記絶縁物質層とが一体化されてなる疑似ウェーハを前記支持体から分離する工程と、

10

20

30

40

50

前記チップ部品の前記電極を前記第1の導電材とは別の導電材によって前記第1の導電材に接続する工程と、

前記一方の面とは反対側の他方の面とのうち、少なくとも前記他方の面に前記電極を電氣的に取り出す工程と

を有することを特徴とする、疑似ウェーハの製造方法（以下、本発明の疑似ウェーハの第1の製造方法と称する。）に係るものである。

【0033】

また、本発明は、一方の面側に電極が設けられ、この電極面以外の少なくとも側面が保護物質層で覆われているチップ部品を有する半導体装置を製造する方法において、

支持体上に前記チップ部品を固定する工程と、

前記チップ部品の側方にて第1の導電材を前記支持体上に固定する工程と、

前記第1の導電材を保護物質材料に埋設する工程と、

前記保護物質材料を前記チップ部品の側面に被着して前記保護物質層を形成する工程と、

前記保護物質層によって前記チップ部品が一体化されてなる疑似ウェーハを前記支持体から分離する工程と、

前記疑似ウェーハにおいて、前記チップ部品の前記電極を前記第1の導電材とは別の導電材によって前記第1の導電材に接続する工程と、

前記一方の面とこれとは反対側の他方の面とのうち、少なくとも前記他方の面に前記電極を電氣的に取り出す工程と、

複数の前記チップ部品間で、前記保護物質層を切断して各半導体装置に個片化する工程と

を有することを特徴とする、半導体装置の製造方法（以下、本発明の半導体装置の第2の製造方法と称する。）に係るものである。

【0034】

また、本発明は、一方の面側に電極が設けられ、この電極面以外の少なくとも側面が保護物質層で覆われているチップ部品の複数個が、前記保護物質層を介して互いに一体化されてなる疑似ウェーハを製造する方法において、

支持体上に前記チップ部品を固定する工程と、

前記チップ部品の側方にて第1の導電材を前記支持体上に固定する工程と、

前記第1の導電材を保護物質材料に埋設する工程と、

前記保護物質材料を前記チップ部品の側面に被着して前記保護物質層を形成する工程と、

前記保護物質層によって前記チップ部品が一体化されてなる疑似ウェーハを前記支持体から分離する工程と、

前記疑似ウェーハにおいて、前記チップ部品の前記電極を前記第1の導電材とは別の導電材によって前記第1の導電材に接続する工程と、

前記一方の面とこれとは反対側の他方の面とのうち、少なくとも前記他方の面に前記電極を電氣的に取り出す工程と

を有することを特徴とする、疑似ウェーハの製造方法（以下、本発明の疑似ウェーハの第2の製造方法と称する。）に係るものである。

【0035】

また、本発明は、上記した本発明の半導体装置が、少なくとも前記他方の面側にてプリント配線板に接続されている、半導体装置の実装構造（以下、本発明の実装構造と称する。）に係るものである。

【発明の効果】

【0036】

本発明によれば、一方の面側に電極が設けられたチップ部品の複数個が疑似ウェーハ上で一括処理され、少なくともその側方に絶縁物質層が被着されているので、チップ化後のハンドリング時にはチップ部品が保護され、ハンドリングが容易となると共に、少なくと

10

20

30

40

50

も絶縁物質層の位置で切断して個片化できるため、切断時にチップ部品が亀裂や歪みの如きダメージを受けることがない。

【0037】

そしてこの構造において、絶縁物質層に第1の導電材を位置精度良く設けることができ、この第1の導電材を介して電極が少なくとも一方の面とは反対側の他方の面に電氣的に取り出されているので、この第1の導電材に対して別の導電材を介して電極を接続するだけで、簡単かつ確実に電極を他方の面側に導通させることができ、このチップ部品を外部機器等へ実装する際には、他方の面側へ第1の導電材を介しての接続も可能であると共に、第1の導電材から別の導電材を介して再配置し、任意の位置でプリント配線板等に接続して実装できるため、設計の自由度が大きくなると共に、積層構造の半導体装置も可能になる。

10

【発明を実施するための最良の形態】

【0038】

上記した本発明における半導体装置及びその第1と第2の製造方法、疑似ウェーハ及びその第1と第2の製造方法、実装構造においては、前記チップ部品の側方において、前記保護物質層とは別の前記絶縁物質層の前記貫通孔に、前記第1の導電材が設けられていることが、電極との接続が簡単に行え、電極とは反対側の面に電極を確実に導通できる点で望ましい。

【0039】

この場合、前記チップ部品の側方において、前記絶縁物質層を兼ねる前記保護物質層に設けられた前記貫通孔に前記第1の導電材が設けられるようにしてもよい。

20

【0040】

即ち、保護物質層が絶縁物質層を兼ねる場合には、熱可塑性の如き材料を用い、前記チップ部品を配するための欠除部を有し、かつ両面間に形成した貫通孔に前記第1の導電材を設けた前記保護物質材料層を作製する工程と、前記保護物質材料層を支持体上に固定する工程と、前記電極面の側にて前記チップ部品を前記欠除部内にて支持体上に固定する工程と、前記保護物質材料層を加熱により流動化させ、前記チップ部品の少なくとも側面を前記保護物質層によって覆う工程とを有することにより、前記と同様な機能の半導体装置を形成することができる。

【0041】

また、前記他方の面側において前記疑似ウェーハの前記保護物質層を部分的に除去して、前記第1の導電材を露出させ、更に前記他方の面側又はノ及び前記一方の面側に形成された外部端子に取り出すことが望ましい。

30

【0042】

この場合、前記第1の導電材が、これとは別の配線を介して前記外部端子に取り出されていることが、外部端子を任意の位置に形成し易い点で望ましい。

【0043】

また、前記チップ部品の前記他方の面側の少なくとも一部を露出させることにより、チップ部品が放熱し易くなり、実装基板等への実装時等にチップ部品が熱ストレスを緩和される点で望ましい。

40

【0044】

そして、特性測定により良品と判定された前記チップ部品を有する前記疑似ウェーハを作製し、更に前記疑似ウェーハの状態において前記チップ部品の特性測定を行い、良品のチップ部品又はチップ状電子部品を選択することが、歩留りを高める点で望ましい。

【0045】

これにより、上記した半導体装置を製造するための疑似ウェーハを得て、これを個片化した前記半導体装置の複数個が、前記一方の面側及び前記他方の面側間での接続下で積層された、MCMの如きモジュールを構成することができる。

【0046】

次に、上記した本発明の好ましい実施の形態を図面参照下で具体的に説明する。

50

【0047】

実施の形態 1

図1は、本実施の形態の半導体装置50の概略断面図を示す。図示の如く、チップ3が、その側面を保護物質層としての樹脂4及び、この樹脂4の外側に隣接した有機系絶縁性樹脂からなるビア付き基板20に囲まれている(図8参照)。そして、ビア付き基板20には、その上下面に対してほぼ垂直に配された導電プラグ19が予設されており、チップ3の電極5が、導出された配線24を介してプラグ19の上端に接続され、電極5の反対側へ導通されている。

【0048】

チップ3の裏面42は全体が露出しており、これと同一面上にビア付き基板20のプラグ19の下端面が露出し、この露出部が裏面側42の外部端子26となり、これと対向する上方位置で配線24に対する接続孔16が開口されて表面側41の外部端子25が形成され、電極5の外部端子25、26が、プラグ19を介して接続され、半導体装置50の両面に形成されている。

【0049】

この構造により、チップ3の裏面42が剥き出しになるので放熱性が良いため、実装時にチップ3が熱ストレスなしで、裏面側42の外部端子26を外部機器の外部端子にはんだバンプ等を介して容易に接続が可能であり、例えばプリント基板等へフェイスアップで実装できる等のメリットを有している。

【0050】

図2～図8により、本実施の形態の半導体装置50の作製プロセスを説明する。なお、以下のプロセス及び後述する他の実施の形態等においては、例えば、接続孔にCuの埋め込みに際してはTa等によるバリア膜が形成され、また埋め込み後はCMPによる表面研磨が行われ、またレジストマスクはフォトリソグラフィ技術等の工程を経て形成され、またエッチングは必要なエッチングガス等を用いて行われるが単にエッチングと称し、これらの処理がなされることを前提とし、各プロセスにおいてはこの説明を省略することがある。

【0051】

まず図2(a)に示すように、支持体(例えば、石英又はガラスからなる基板)17上に、例えば紫外線照射により粘着力が低下する粘着シートからなる固定材22を貼り付け、この上に後述するチップ配置場所として欠除部23を形成可能な成形型55を載せ、その空洞部55aに液状の有機絶縁樹脂材料(以下、絶縁物質層と称する。)を射出し、冷却して固化する。

【0052】

これにより、図2(b)に示すように成形型55を除去後に、欠除部23部及びチップ間領域20aが所定間隔で形成された絶縁物質層からなるビア付き基板20の原型(図3参照)が形成される。

【0053】

次に図2(c)に示すように、チップ間領域20aにビアホール38を形成する。このビアホール38は、例えば全部を一度に形成可能な突起付きの押し型、又はレーザ加工やドリル等により形成できる。

【0054】

次に図2(d)に示すように、例えばスキージ56を用いて銀ペースト18をビアホール38内に充填することにより、プラグ19が形成され、絶縁物質層間をこの両面に貫通した第1の導電材としてのプラグ19を有するビア付き基板20が形成される。

【0055】

次に図2(e)に示すように、支持体17の裏面側に紫外線Lを照射して固定材22の粘着力を弱め、ビア付き基板20を剥離することにより、この平面図として示した図3のような表面を有するビア付き基板20が完成する。

【0056】

10

20

30

40

50

図 4 ~ 図 8 は、上記のように形成したビア付き基板 20 の欠除部 23 の位置にチップ 3 を配置し、半導体装置 50 を形成するプロセスを示す図である。

【0057】

まず、図 4 (a) に示すように、例えば石英からなる支持基板 21 上に、紫外線照射により粘着力が低下する例えばアクリル系の粘着シートを固定材 22 として貼り付ける。

【0058】

次に図 4 (b) に示すように、固定材 22 上の所定位置に、電極 5 を下向きにしてチップ 3 を貼り付ける。このチップ 3 は先願発明 (図 3 6 参照) と同様に、特性測定により良品ベアチップと判定されたものを用いる。

【0059】

次に図 4 (c) に示すように、先に別途形成したビア付き基板 20 を貼り付ける。ビア付き基板 20 の欠除部 23 はチップ 3 の外側寸法よりも大きく形成されており、図示のようにチップ 3 の周囲にすき間 23 a が形成される。この場合、支持基板 21 への貼り付けは、上記とは逆に、ビア付き基板 20 を貼り付けた後にチップ 3 を貼り付けてもよい。

【0060】

次に図 4 (d) に示すように、チップ 3 及びビア付き基板 20 上の全面に、保護物質層として有機系絶縁性樹脂 (例えばエポキシ系の樹脂、以下、単に樹脂と称する。) 4 をスピンコート法又は印刷法により、均一に塗布する。これにより上記したすき間 23 a 内にも樹脂 4 が充填され、チップ 3 とビア付き基板 20 とが樹脂 4 を介して一体化される。

【0061】

次に図 4 (e) に示すように、支持基板 21 の裏面側から紫外線 L を照射して固定材 22 の粘着力を弱め、樹脂 4 で裏面を覆われた状態のチップ 3 及びビア付き基板 20 を剥離する。これにより、チップ 3 の周辺にビア付き基板 20 が配置された状態の疑似ウェーハ 29 を形成できる。

【0062】

図 5 (f) は、剥離後の疑似ウェーハ 29 をひっくり返した状態であり、図示の如く、チップ 3 とビア付き基板 20 とが裏面を樹脂 4 で覆われ、一体化されている。

【0063】

次に図 5 (g) に示すように、層間膜 9 をチップ 3 の電極 5 を開口するように所定のパターンで形成する。層間膜 9 は感光性絶縁樹脂等を使用し、液状のものをスピンコートして塗布するか、又はドライフィルムをラミネーターで貼り付ける等により形成する。

【0064】

次にチップ 3 の電極 5 をプラグ 19 に接続するための引き出し配線を形成するが、この配線は、例えば次の如きプロセスで行うセミアディティブ法 (スパッタ膜形成 めっきレジスト形成 めっき めっきレジスト剥離 スパッタ膜エッチング) 等で形成する。

【0065】

まず図 5 (h) に示すように、層間膜 9 上にめっきの電極となるシードメタルとして、Al 電極 5 との密着性の良い Ti 等によりスパッタ膜 10 を形成後、図 5 (i) に示すように、この上の全面に、例えばポジ型のフォトリソ膜 11 A を形成する。

【0066】

次に、図 5 (j) に示すように、フォトリソ膜 11 A 上にパターン開口部 36 を有する露光マスク 35 を配置し、フォトリソ膜 11 A を露光する。この露光光 37 によってマスク 35 のパターン開口部 36 下のレジスト膜 11 A が硬化される。

【0067】

次に図 6 (k) に示すように、露光後のフォトリソ膜 11 A を現像することにより、硬化部がレジストマスク 11 として形成される。

【0068】

次に図 6 (l) に示すように、Cu の電解めっきを行うことにより、レジストマスク 11 以外の領域にめっき膜 12 A を形成する。

【0069】

10

20

30

40

50

次に図 6 (m) に示すように、レジストマスク 1 1 を剥離除去後に、レジストマスク 1 1 下のスパッタ膜 1 0 をウェットエッチング等で除去することにより、再配置した別の導電材としての配線 2 4 が形成される。図 8 はこの状態を簡略図示した平面図であり、図 8 に示すように、ビア付き基板 2 0 に予設したプラグ 1 9 に対し、チップ 3 の電極 5 が配線 2 4 によって接続される。

【 0 0 7 0 】

次に図 7 (n) に示すように、配線 2 4 を含む上部の全面に保護膜 3 0 を形成し、プラグ 1 9 上方の保護膜 3 0 に、配線 2 4 との接続孔 1 6 を開口してこの面の外部端子 2 5 を形成する。

【 0 0 7 1 】

次に図 7 (o) に示すように、樹脂 4 を裏面から研削し、ビア付き基板 2 0 に設けてあるプラグ 1 9 を露出させることにより、この露出部が裏面側の外部端子 2 6 として形成される。樹脂 4 の研削は S i ウェーハの裏面研削用のグラインダー等で行うことができる。

【 0 0 7 2 】

図 7 (o) 及び図 8 における切断線 4 5 をダイサー等で個片にカット分割することにより、図 1 に示したように、表面 4 1 及び裏面 4 2 の両面に外部端子 2 5 、 2 6 が配置されたモジュールが疑似ウェーハ 2 9 段階で容易に形成できる。なお、図 8 では、配線 2 4 を 1 つのチップ 3 についてのみ図示したが、他のチップについても同様である (但し、図示省略) 。

【 0 0 7 3 】

しかも、良品チップのみを選択して再配置しているのも、あたかも全てが良品チップからなる疑似ウェーハ 2 9 に自社製、他社製の区別なく配置し、ウェーハレベルで一括処理が可能であり、低コストにて外部端子を形成できると共に、チップ 3 を疑似ウェーハから切り出す際に、絶縁物質からなるビア付き基板 2 0 の位置で切断するので、チップ 3 にダメージ (亀裂、歪み等) を与えることなしで個片化でき、個片化後のハンドリングにおいてもチップが樹脂で保護され、ハンドリングが容易である。

【 0 0 7 4 】

図 9 ~ 図 1 1 は、上記のように形成した半導体装置 5 0 の代表的な実装例を示す図であり、上記のようにして疑似ウェーハ段階で外部端子を形成した後に、これを個片化した半導体装置 5 0 をプリント基板 3 9 に搭載した実装例である。

【 0 0 7 5 】

図 9 はその一例を示す。本実施の形態による半導体装置 5 0 は、表面 4 1 側に外部端子 2 5 を有し、裏面 4 2 側にも外部端子 2 6 を有するので、プリント基板 3 9 の端子 4 0 に対して、ワイヤボンディングの如き配線を要せず、はんだバンプ 3 3 等を介してフェイスアップにて接続できると共に、フェイスダウンにて接続することもできる。後述する他の実装例も同様である。

【 0 0 7 6 】

図 1 0 は、他の実装例 (M C M) を示すものであり、図示の如く、半導体装置 5 0 を並列に配し、隣接する半導体装置 5 0 との間配線は、裏面 4 2 側の一方の外部端子 2 6 をプリント基板 3 9 の端子 4 0 を介して接続してもよく、また図 1 1 のように、再配置配線 2 4 で接続することもできる。また、並列に配置する半導体装置の数はこれに限らず、2 個以上を配置することができる。また、図示省略したが積層構造にすることもできる。

【 0 0 7 7 】

本実施の形態によれば、半導体装置 5 0 を作製するための疑似ウェーハ 2 9 の形成時に、チップ 3 の周辺にプラグ 1 9 が位置するように、プラグ 1 9 を予設したビア付き基板 2 0 を別途形成し、これをチップ 3 と共に支持基板 2 1 上に貼り付けるので、プラグ 1 9 を位置精度良く設けることができ、その後の配線工程においてチップ 3 の電極 5 から導出した配線 2 4 をプラグ 1 9 に接続するだけで、簡単かつ確実にチップ 3 の裏面 4 2 側へ電極 5 を導通させることができ、表面 4 1 側の外部端子 2 5 と、裏面 4 2 側に露出されたプラグ 1 9 の露出部をこの面の外部端子 2 6 として形成することができる。

10

20

30

40

50

【0078】

しかも、チップ3の裏面全体が露出しているので、放熱性が良く、実装時に熱ストレスによるチップ3への影響を緩和できる利点があると共に、チップ3が側面を樹脂で保護されているので、この樹脂部で切断して個片化できることにより、切断時にチップ3がダメージを受けることがなく、チップ化後のハンドリングが容易であり、このような構造の半導体装置50を疑似ウェーハ29上で一括に形成することにより、両面に外部端子を有する装置を低コストで形成でき、この半導体装置50により積層構造のMCMを構成することもできる。

【0079】

実施の形態2

図12は、本実施の形態の半導体装置51の概略断面図を示す。図示の如く、上記した実施の形態1の半導体装置50に更に加工を施し、裏面42側に露出させたプラグ19の露出部19aに再配置配線を行い、この配線34の一部を露出させてこの面の外部端子27を形成したものである。従って、これ以前の作製プロセスは実施の形態1と同じであるので、そのプロセスの説明等は省略する。

【0080】

即ち、図13(a)に示すように、既述した図7(o)に対し、チップ3の裏面42にプラグ19の露出部19aを開口するように層間膜31を形成する。

【0081】

次に図13(b)に示すように、プラグ19に接続した再配置配線34を形成する。この配線34も既述したセミアディティブ法(図5(h)~図6(m)参照)で形成する。

【0082】

次に図13(c)に示すように、配線34を含む裏面42の全面に保護膜43を形成し、プラグ19から導出した配線34との接続孔32を開口してこの面の外部端子27を形成後に、切断線45位置で切断して個片化することにより、図12に示した半導体装置51を形成することができる。

【0083】

この半導体装置51は、裏面42の外部端子27が表面41の外部端子25と対向する位置に形成されているが、裏面42の外部端子27は配線34が存在する場所で、図12とは異なる別の位置に形成することもでき、例えば実装するプリント基板の外部端子に合わせて設けることもでき、設計の自由度が大きい利点も有している。

【0084】

しかも、良品チップ3のみを選択して再配置しているので、あたかも全てが良品チップからなる疑似ウェーハ29に自社製、他社製の区別なく配置し、ウェーハレベルで一括処理が可能であり、低コストにて外部端子を形成できると共に、チップ3を疑似ウェーハから切り出す際に、絶縁物質からなるビア付き基板20の位置で切断するので、チップ3にダメージ(亀裂、歪み等)を与えることなしで個片化でき、個片化後のハンドリングにおいてもチップが樹脂で保護され、ハンドリングが容易である。

【0085】

図14~16は、上記のように形成した半導体装置51の代表的な実装例を示す図であり、疑似ウェーハ29上で一括処理後に個片化した半導体装置51をプリント基板39に実装した例である。

【0086】

図14は積層構造の実装例であるが、2層以上に積層することもできる。この半導体装置51も両面に対向配置した外部端子25、27を有しているので、はんだバンプ33等を介して、それぞれの外部端子同士を接続して積層することができ、プリント基板39上へフェイスアップで実装できると共に、フェイスダウンにて接続してもよい。後述する他の実装例も同様である。

【0087】

図15は他の実装例(MCM)を示し、半導体装置51を並列に配し、隣接する半導体

10

20

30

40

50

装置間の配線は、裏面 4 2 側の外部端子 2 7 をプリント基板 3 9 の端子 4 0 を介して接続してもよく、また、図 1 6 に示すように、表面 4 1 の配線 2 4 の一方を連結（裏面 4 2 側の配線 3 4 を連結してもよい。）することもできる。また、並列配置する半導体装置 5 1 の数は 2 個以上であってもよい。

【0088】

本実施の形態によれば、この半導体装置 5 1 も、プラグ 1 9 が予設されたビア付き基板 2 0 を別途形成し、これをチップ 3 と共に支持基盤 2 1 上に貼り付けて疑似ウェーハ段階で形成するので、プラグを位置精度良く設けることができ、予設したプラグ 1 9 に対し、チップ 3 の電極 5 から導出した配線 2 4 を接続するだけで、簡単かつ確実に電極 5 をチップ 3 の裏面 4 2 側へ導通させることができ、表面 4 1 に外部端子 2 5 を形成し、裏面 4 2 側の外部端子 2 7 は、裏面 4 2 に露出したプラグ 1 9 に再配置配線 3 4 を接続し、この配線 3 4 に対する接続孔を任意の位置に設けることにより、任意の位置にこの面の外部端子 2 7 を形成することもできる。

10

【0089】

しかも、チップ 3 がその側面を樹脂で保護されているので、この樹脂部で切断して個片化できることにより、切断時にチップ 3 がダメージを受けることがなく、チップ化後のハンドリングが容易であり、このような構造の半導体装置 5 1 を疑似ウェーハ 2 9 上で一括して形成することにより、両面に外部端子を有する装置を低コストで形成できる。

【0090】

そして、このチップ 3 を外部機器へ実装する際には、裏面 4 2 の外部端子 2 7 を介して接続してもよく、またこの外部端子 2 7 の位置はプリント配線板等の外部端子の位置に合わせて形成することもできるので、設計の自由度が大きく、このような半導体装置 5 1 により積層構造の MCM を構成することもできる。

20

【0091】

実施の形態 3

図 1 7 は本実施の形態の半導体装置 5 2 A、図 1 8 は本実施の形態の半導体装置 5 2 B を示す。図示の如く、いずれも外部端子を裏面のみに設けたものであり、図 1 7 に示す半導体装置 5 2 A は、既述した実施の形態 1 において表面側の外部端子がないものであり、図 1 8 に示す半導体装置 5 2 B は、同じく実施の形態 2 において表面側の外部端子がないものである。

30

【0092】

従って、実施の形態 1 及び 2 と同様の作製プロセスにおいて、一部のプロセスを省略して形成できる。即ち、図 1 7 の半導体装置 5 2 A は、実施の形態 1 において表面側の外部端子形成プロセスを省略したものであり、図 1 8 の半導体装置 5 2 B は、実施の形態 2 において表面側の外部端子形成プロセスを省略したものであるため、いずれも構成及び作製プロセスの説明は省略する。

【0093】

そしてこの場合も、良品チップ 3 のみを選択して再配置しているので、あたかも全てが良品チップからなる疑似ウェーハ 2 9 に自社製、他社製の区別なく配置し、ウェーハレベルで一括処理が可能であり、低コストにて外部端子を形成できると共に、チップ 3 を疑似ウェーハから切り出す際に、絶縁物質からなるビア付き基板 2 0 の位置で切断するので、チップ 3 にダメージ（亀裂、歪み等）を与えることなしで個片化でき、個片化後のハンドリングにおいてもチップが樹脂で保護され、ハンドリングが容易である。

40

【0094】

しかも、図 1 7 の半導体装置 5 2 A はチップ 3 の裏面全体が露出しているので、放熱性が良く、実装時に熱ストレスによるチップ 3 への影響を少なくすることができ、図 1 8 の半導体装置 5 2 B は、裏面側の再配置配線 3 4 が存在する位置で、実施の形態 2 と同様に図 1 8 とは異なる位置に形成でき、設計の自由度が大きい利点を有しており、いずれも疑似ウェーハ 2 9 上で一括して低コストにて作製することができる。

【0095】

50

図19及び図20に半導体装置52Aの実装例を示す。いずれも疑似ウェーハ上で一括して形成後に個片化してプリント基板に実装したものである。

【0096】

まず図19の例のように、半導体装置52Aの外部端子26をプリント基板39の端子40にはんだバンプ33を介して接続し、フェイスアップにて実装することができる。

【0097】

また、図20のように、半導体装置52Aを並列に配し、隣接する半導体装置間の接続は、一方の外部端子26同士をプリント基板39の長尺の端子40にはんだバンプ33を介して接続し、フェイスアップにて実装できる。

【0098】

図21及び図22に半導体装置52Bの実装例を示す。いずれも疑似ウェーハ上で一括して形成後に個片化してプリント基板に実装した例である。

【0099】

まず図21の例のように、半導体装置52Bの外部端子27をプリント基板39の端子40にはんだバンプ33を介して接続し、フェイスアップにて実装することができる。

【0100】

また、図22の例のように、半導体装置52B並列に配し、隣接する半導体装置間の接続は、一方の外部端子27同士をプリント基板39の長尺の端子40にはんだバンプ33を介して接続し、フェイスアップにて実装することができる。また、図示しないが隣接する半導体装置間の接続は、疑似ウェーハ上において表面41側の再配置配線24同士を予め接続しておいてもよく、裏面42側の再配置配線34同士を予め接続しておくこともでき、外部端子27の設置位置はプリント基板39の端子40の位置にあわせて配置することもできる。また、2個以上の半導体装置52Bを並列配置してもよい。

【0101】

本実施の形態によれば、半導体装置52A及び半導体装置52Bも、プラグ19が予設されたビア付き基板20を別途形成し、これをチップ3と共に支持基板21上に貼り付けて疑似ウェーハ段階で形成するので、プラグを位置精度良く設けることができ、予設したプラグ19に対し、チップ3の電極5から導出した配線24を接続するだけで、簡単かつ確実に電極5をチップ3の裏面42側へ導通させることができる。

【0102】

そして、半導体装置52Aの場合は、裏面42に露出したプラグ19の露出部をこの面の外部端子26とし、半導体装置52Bの場合は、裏面42に露出したプラグ19に配線34を接続し、この配線上に外部端子27を形成することもでき、いずれも、チップ3がその側面を樹脂で保護されているので、この樹脂部で切断して個片化できることにより、切断時にチップ3がダメージを受けることがなく、チップ化後のハンドリングが容易であり、この構造を疑似ウェーハ29上で一括して形成することにより、半導体装置を低コストにて形成することができる。

【0103】

そして、このチップ3を外部機器等へ実装する際には、半導体装置52Aの場合は外部端子26を介して接続でき、また、半導体装置52Bの場合は、外部端子27を介して接続してもよく、プリント配線板等の端子の位置に合わせて外部端子27を形成できるので設計の自由度が大きい。

【0104】

以下、上記した各実施の形態の変形例を示すが、基本構造及び基本的な作製プロセスは対応する実施の形態の場合と同じであるので、プロセスの詳細は省略して説明する。

【0105】

図23は、実施の形態1の変形例を示し、図23(a)は図7(n)に対応する図である。図示の如く、ビア付き基板20Aに予設されたプラグ19が実施の形態1に比べて長く、チップ3の厚みよりも裏面側に突出しており、従って、ビア付き基板20A自体も実施の形態1よりも厚い。

10

20

30

40

50

【0106】

このビア付き基板20Aも実施の形態1の場合と同様に、図2に示したプロセスを経て別途形成し、図4～図6と同様のプロセスを経て図23の形状に作製する。

【0107】

次に、裏面を研削して図23(b)に示すようにプラグ19を露出させ、この露出部がこの面の外部端子26となる。これにより、プラグ19が長いため、チップ3の裏面42側が樹脂4によって被覆された状態に形成され、しかる後、切断線45の位置で切断して個片化することにより、図23(c)に示す半導体装置50Aを形成することができる。

【0108】

個片化後は、実施の形態1と同様にしてプリント基板等を実装することができる(図9～図11参照。)これにより、チップ3の側面及び裏面が樹脂4によって被覆されるため、チップ3を衝撃等から保護しハンドリングが更に容易になる。

【0109】

図24は、実施の形態2の変形例を示し、図24(a)は図13(a)に対応する図である。図示の如く、裏面42に設けた層間膜31がチップ3の裏面領域において、チップ3の中央部に露出部44が形成されるように欠除されている。この露出部44は層間膜31の成膜時に形成できる。

【0110】

以後は、実施の形態2におけるプロセス(図13(b)～図13(c))と同様に、図24(b)～図24(c)のプロセスを行い、切断線45の位置で切断して個片化することにより、図24(d)に示す半導体装置51Aを形成できる。

【0111】

個片化後は、実施の形態2と同様にプリント基板等を実装することができる(図14～図16参照)。これにより、チップ3の裏面が露出しているため放熱性が良く、実装時の熱ストレスによるチップ3への影響を緩和することができる。

【0112】

図25は、実施の形態1～3に共通の変形例を示し、図2に対応する図である。即ち、既述した如く、図2においてはビア付き基板20の作製を、成形型55を用いた液状材料の射出成形及びスキージによる銀ペースト18の充填によりプラグ19を形成したが、この例は、フォトリソグラフィ技術によるビア付き基板20の形成とめっきによりプラグ19を形成するものであり、ビア付き基板20はこの方法で形成することもできる。

【0113】

即ち、まず図25(a)に示すように、例えば石英等を用いた基板17上に紫外線照射により粘着力が低下する粘着シートを固定材22として貼り付け、この上に感光性の絶縁物質層20Aを貼り付ける。

【0114】

次に図25(b)に示すように、フォトリソグラフィ技術を用いて絶縁物質層20Aにチップ配置のための欠除部23と、プラグを形成するためのビアホール38を形成する。これらの欠除部23及びビアホール38は、図3に示した平面図と同様に形成する。

【0115】

次に図25(c)に示すように、ビアホール38に対応する部分が開口されたマスク46を掛け、金属めっきのためのシードメタルとして、Ta等を用いてスパッタ膜をビアホール38の内壁面に形成した後に、図25(d)に示すように、ビアホール38に銅めっき等を埋め込む。

【0116】

次に図25(e)に示すように、基板17の裏面側から紫外線Lを照射して固定材22の粘着力を弱め、絶縁物質層22を剥離することにより、図3と同様に、欠除部23及びプラグ19が所定位置に配されたビア付き基板20を作製することができる。以後はこれを用いて実施の形態1同様のプロセスに適用することができる。

【0117】

10

20

30

40

50

図 26 は、実施の形態 1 ~ 3 に共通の変形例を示し、図 26 (a) は図 2 (b) に対応する図である。実施の形態 1 においては、別途作製したビア付き基板 20 を図 4 に示すように、固定材を貼り付けた別の基板 21 上に移し替えてその後のプロセスに移行したが、この例は最初の支持基板 17 上で全てのプロセスを実施するものである。

【 0 1 1 8 】

即ち、図 26 (a) は図 2 (b) と同様に、液状の絶縁物質層 20 を射出成形後に成型型を除去し、絶縁物質層 20 が固化して欠除部 23 が形成された状態である。

【 0 1 1 9 】

次に図 26 (b) に示すように、チップ間領域 20 a にビアホール 38 を形成後、欠除部 23 にチップ 3 を貼り付ける。ビアホール 38 は実施の形態 1 と同様に押し型又はレーザ加工等で形成することができ、支持基板 17 上には固定材 22 が設けてあるので貼り付けることができる。また、欠除部 23 はチップ 3 の寸法よりも大きいので、チップ 3 の周囲にはすき間 23 a が形成される。

10

【 0 1 2 0 】

次に図 26 (c) に示すように、ビアホール 38 に導電材を埋め込みプラグ 19 を形成する。この導電材の埋め込みは、図 2 と同様に銀ペーストをスキージ印刷によって行ってもよく、図 25 と同様に銅めっきによって埋め込んでもよい。

【 0 1 2 1 】

次に図 26 (d) に示すように、チップ 3 及びビア付き基板 20 上の全面に、樹脂 4 をスピンコート法又は印刷法により均一に塗布する。これにより実施の形態 1 と同様 (図 4 (d) 参照) に、チップ 3 及びビア付き基板 20 が樹脂 4 からなる疑似ウェーハ 29 上で一体化された状態を形成できる。

20

【 0 1 2 2 】

次に図 26 (d) に示すように、支持基板 17 の裏面側から紫外線 L を照射して固定材 22 の粘着力を弱め、疑似ウェーハ 29 を支持基板 17 から剥離する。これにより、製造工程を大幅に簡素化することができる。

【 0 1 2 3 】

即ち、この状態は実施の形態 1 における図 4 (e) とは、支持基板が異なるのみで同じ状態であるので、以後は実施の形態 1 における図 5 以降のプロセスを実施すればよい。従って、これまでのプロセスが共通な実施の形態 2 及び実施の形態 3 にも適用することができる。

30

【 0 1 2 4 】

図 27 及び図 28 は、請求項 27 及び請求項 29 ~ 33、請求項 35 ~ 38 の実施の形態に係るものであり、実施の形態 1 ~ 3 に共通の変形例であるが、上記した各例がプラグ 19 を予設したビア付き基板 20 を用いるのとは異なり、この例の特徴は、第 1 の導電材として入れ子 47 をチップ 3 と同時に埋設し、予設するものである。

【 0 1 2 5 】

即ち、まず図 27 (a) は、表面に固定材 22 を設けた支持基板 21 の上に、チップ 3 を所定位置で貼り付ける。

【 0 1 2 6 】

次に図 27 (b) に示すように、チップ間領域となる場所に導電性の入れ子 47 を貼り付ける。この入れ子 47 は 2 個の突起部 47 a が連結部 47 b にて連結されている。そして各突起部 47 a はチップ 3 の電極 5 に対応する位置で、チップ 3 の周辺に配置する。

40

【 0 1 2 7 】

次に図 27 (c) に示すように、チップ 3 及び各入れ子 47 上の全面を樹脂 4 で被覆する。この樹脂 4 は後に疑似ウェーハとなるものであり、上記した樹脂 4 と同じ材料を用い、スピンコート法又は印刷法により均一に塗布する。これにより、チップ 3 及び入れ子 47 が樹脂で一体化された疑似ウェーハ 29 が形成される。

【 0 1 2 8 】

次に図 27 (d) に示すように、支持基板 21 の裏面から紫外線 L を照射して固定材 2

50

2の粘着力を弱め、疑似ウェーハ29を支持基板21から剥離する。

【0129】

次に図28(e)に示すように、疑似ウェーハ29をひっくり返すことにより、実施の形態1における図5(f)に対応する状態になるが、この例ではチップ3の側面が樹脂4からなる単一部材によって覆われ、基板内にはチップ3との界面のみが存在する強度の高いビア付き基板20Bを形成できる。

【0130】

以後は、実施の形態1における図5(g)~図7(n)と同様のプロセスを経ることにより、図28(f)(図7(o)に対応する)の状態が形成され、切断線45の位置で切断して個片化することにより、図28(g)に示すように、裏面42側に入れ子47の露出部がこの面の外部端子26として形成された半導体装置53を形成することができる。なお、この例は実施の形態2及び実施の形態3にも適用できる。

10

【0131】

図29は、この例における図28(f)の平面図を示し、入れ子47との関係を明示するために配線24を実線で示した。

【0132】

上記したようにこの半導体装置53は、既述した各例がプラグを予設したビア付き基板20を用いるのとは異なり、チップ3の配置と同時にプラグとして入れ子47を配設してプラグを予設することと、チップ3及び入れ子47を保護物質材料である樹脂4によって一体化させていることが異なっている。またこの場合、樹脂4を塗布する際に、配置した入れ子47が若干移動して位置が変化することも考えられるが、設計の許容誤差の範囲内に配置することができる。また入れ子47の突起部47aを連続部47bで連結していることと、入れ子47の形状が梯形であることは、変位を制御するためのものである。

20

【0133】

図30~図32は、請求項28及び請求項34に係るものであり、実施の形態1~3に共通の変形例である。この例の特徴は、ビア付き基板が保護物質材料としての熱可塑性の材料からなり、チップの厚みより厚いビア付き基板を加熱圧着して、チップ3がビア付き基板に一体化され、このビア付き基板が保護物質層を兼ねていることである。

【0134】

即ち、まず図30(a)は実施の形態1における図4(a)に対応する図であり、図30(a)~図30(c)のプロセスは図4(a)~図4(c)と同様に行われ、プラグを予設したビア付き基板20Cを別途作製して用いる。

30

【0135】

しかし、図30(c)に示すように、本例のビア付き基板20Cは、熱可塑性の樹脂を材料とし、チップ3の設置領域となる欠除部23の大きさが、既述した実施の形態1の場合よりも小さいため、チップ3との間隔が小さく、しかもビア付き基板20Cの厚さがチップ3の厚さよりも厚く形成されている。

【0136】

次に図31(d)に示すように、加熱圧着プレス48で加圧することにより、ビア付き基板20Cが軟性となって流動するため、チップ3との間のすき間23aが埋めつくされると共に、チップ3がビア付き基板20Cに圧着されて一体化され、双方の厚みも均一となる。この場合、プラグとなる材料としては銀ペースト18等を用い、加圧により厚みが減少する量を考慮して、銀ペースト18の充填量は、ビア付き基板20Cの厚みよりも少な目にしておくのが良い。

40

【0137】

次に、図31(e)に示すように、支持基板21側と同じ固定材22を設けた支持体17をチップ3の裏面側に貼り付け、チップ3及びビア付き基板20Cを仮固定する。これにより支持体17が疑似ウェーハと同様に機能する。

【0138】

次に図31(f)に示すように、支持基板21の裏面に紫外線Lを照射して固定材22

50

の粘着力を弱め、チップ 3 及びビア付き基板 20C を支持体 17 に固定状態で剥離する。

【0139】

図 32 (g) は、剥離後の支持体 17 をひっくり返した状態の図であり、あたかも疑似ウェーハのように支持体 17 に支持された状態でこれ以降のプロセスを実施できる。

【0140】

図 32 (h) は、実施の形態 1 と同様のプロセス (図 5 (g) ~ 図 7 (n)) を経て、表面 41 側の配線 24 を形成し、この一部分を開口して表面 41 の外部端子 25 を形成した状態である。

【0141】

次に図 32 (i) に示すように、支持体 17 の裏面に紫外線 L を照射して固定材 22 の粘着力を弱め、支持体 17 から上部を剥離する。しかる後、切断線 45 の位置で切断して個片化することにより、図 32 (j) の半導体装置 54A を形成できる。

10

【0142】

この構造により、チップ部品 3 の側面を覆う保護物質層が単一材料からなるビア付き基板 20C のみであるため、この物質層間にはチップ 3 との界面のみが存在することになり、しかも加熱圧着されているため接着性が良く、界面での剥離を抑制することができる。なお、この例は実施の形態 2 及び実施の形態 3 にも適用できる。

【0143】

図 33 ~ 図 35 は、さらに請求項 28 及び請求項 34 の実施の形態に係るものであり、実施の形態 1 ~ 3 に共通の変形例である。この例は、上記した変形例 (図 30) と同様にビア付き基板が保護物質層を兼ねており、熱可塑性の材料を用いて上記変形例よりもビア付き基板の厚みを厚くすることにより、支持体なしでビア付き基板が疑似ウェーハ的に機能する。

20

【0144】

まず、図 33 (a) ~ (b) は、上記した変形例における図 30 と同様であるが、図 33 (c) において、別途作製したビア付き基板 20D が図 30 の場合に比べて更に厚く形成され、ビアホール 38 内には銀ペースト 18 がほぼチップ 3 の厚さ相当に充填されている。

【0145】

次に図 34 (d) に示すように、加熱圧着プレス 48 で加圧することにより、ビア付き基板 20D が流動化し、チップ 3 とのすき間 23a を埋めつくすと共に、ビアホール 38 の空域部も埋め、チップ 3 の裏面も一定の厚みで覆い、チップ 3 が側面及び裏面を保護物質層を兼ねた単一材料によって一体化され、ビア付き基板 20D が疑似ウェーハとして機能する。

30

【0146】

次に図 34 (e) に示すように、加熱圧着プレス 48 を除去した後は、ビア付き基板 20D からなる疑似ウェーハ 29B 内にチップ 3 が埋設された状態となる。

【0147】

次に図 34 (f) に示すように、支持基板 21 の裏面に紫外線 L を照射して固定材 22 の粘着力を弱め、疑似ウェーハ 29B を剥離する。

40

【0148】

図 35 (g) は、剥離後の疑似ウェーハ 29B をひっくり返した状態の図であり、これ以降は実施の形態 1 における図 5 以降のプロセスを経て、図 35 (h) に示すように、チップ 3 の裏面側全体を研削してプラグ 19 を露出させ、切断線 45 の位置で切断して個片化することにより、図 35 (i) に示す半導体装置を形成することができる。

【0149】

この構造により、チップ 3 の側面を覆う保護物質層が単一材料からなるビア付き基板 20D のみであるため、この物質層間にはチップ 3 との界面のみが存在し、しかも加熱圧着されているため接着性が良く、上記と同様に界面剥離を抑制することができる。なお、この例は実施の形態 2 及び実施の形態 3 にも適用できる。

50

【0150】

上記した各実施の形態等は、本発明の技術的思想に基づいて種々に変形が可能である。

【0151】

例えば、予設するプラグ19の形状や形成方法は、実施の形態に限らず、別の適宜な方法であってもよく、使用材料も銅や銀ペースト以外を用いてもよい。

【0152】

また、再配置配線の形成方法も、電気めっきに限らず、物理蒸着、又はスクリーン印刷により形成してもよい。また、積層構造の外部端子間の接続やプリント基板等への実装時の外部端子の接続は、はんだパンプに限らずACF（異方性導電フィルム）を用いてもよい。

10

【0153】

また、チップ3の外部端子をチップの表面及び裏面のうち少なくとも裏面に形成することは、半導体チップ以外の例えば発光ダイオード又はフォトダイオード等のチップ部品にも適用できる。

【図面の簡単な説明】

【0154】

【図1】本発明の実施の形態1による半導体装置を示す概略断面図である。

【図2】同、ビア付き基板作製プロセスを示す概略断面図である。

【図3】同、ビア付き基板の一部分を示す概略平面図である。

【図4】同、半導体装置の作製プロセスを示す概略断面図である。

20

【図5】同、半導体装置の作製プロセスを示す概略断面図である。

【図6】同、半導体装置の作製プロセスを示す概略断面図である。

【図7】同、半導体装置の作製プロセスを示す概略断面図である。

【図8】同、半導体装置の作製プロセスにおける一部分を示す概略平面図である。

【図9】同、半導体装置の実装例を示す概略断面図である。

【図10】同、半導体装置の実装例を示す概略断面図である。

【図11】同、半導体装置の実装例を示す概略断面図である。

【図12】同、実施の形態2による半導体装置を示す概略断面図である。

【図13】同、半導体装置の作製プロセスを示す概略断面図である。

【図14】同、半導体装置の実装例を示す概略断面図である。

30

【図15】同、半導体装置の実装例を示す概略断面図である。

【図16】同、半導体装置の実装例を示す概略断面図である。

【図17】同、実施の形態3による一方の半導体装置を示す概略断面図である。

【図18】同、実施の形態による他方の半導体装置を示す概略断面図である。

【図19】同、実施の形態による一方の半導体装置の実装例を示す概略断面図である。

【図20】同、半導体装置の実装例を示す概略断面図である。

【図21】同、実施の形態による他方の半導体装置の実装例を示す概略断面図である。

【図22】同、半導体装置の実装例を示す概略断面図である。

【図23】同、実施の形態1による半導体装置の変形例の作製プロセスを示す概略断面図である。

40

【図24】同、実施の形態2による半導体装置の変形例の作製プロセスを示す概略断面図である。

【図25】同、ビア付き基板の変形例の作製プロセスを示す概略断面図である。

【図26】同、実施の形態1の構造で示した変形例の作製プロセスの概略断面図である。

【図27】同、実施の形態1の構造で示した他の変形例の作製プロセスの概略断面図である。

【図28】同、変形例の作製プロセスの概略断面図である。

【図29】同、変形例の作製プロセスにおける一部分を示す概略平面図である。

【図30】同、実施の形態1の構造で示した他の変形例の作製プロセスの概略断面図である。

50

【図 3 1】同、変形例の作製プロセスを示す概略断面図である。

【図 3 2】同、変形例の作製プロセスを示す概略断面図である。

【図 3 3】同、実施の形態 1 の構造で示した他の変形例の作製プロセスの概略断面図である。

【図 3 4】同、変形例の作製プロセスを示す概略断面図である。

【図 3 5】同、変形例の作製プロセスを示す概略断面図である。

【図 3 6】従来例による半導体装置の作製プロセスを示す概略断面図である。

【図 3 7】同、半導体装置の作製プロセスを示す概略断面図である。

【図 3 8】同、半導体装置の作製プロセスを示す概略断面図である。

【図 3 9】同、半導体装置の実装例を示す概略断面図である。

【図 4 0】同、半導体装置の実装例を示す概略断面図である。

10

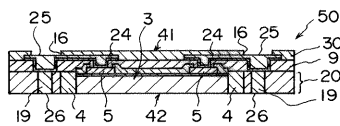
【符号の説明】

【0155】

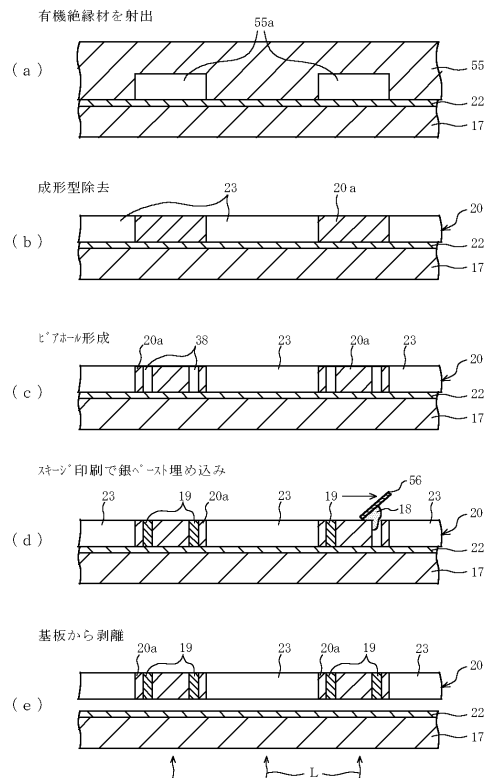
- 3 ... 半導体チップ、4 ... 樹脂、5 ... 電極、16、32 ... 接続孔、
- 9、13、31 ... 層間膜、10 ... スパッタ膜、11、11A ... レジスト膜、
- 24、34 ... 配線、12A ... めっき膜、25、26、27、40 ... 外部端子、
- 17 ... 支持体、18 ... 銀ペースト、19 ... プラグ、19a ... 露出部、
- 20、20A、20B、20C、20D ... ピア付き基板、20a ... チップ間領域、
- 21 ... 支持基板、22 ... 固定材、23 ... 欠除部、23a ... すき間、
- 29、29B ... 疑似ウェーハ、30、43 ... 保護膜、33 ... はんだバンプ、
- 35、46 ... マスク、36 ... 開口部、37 ... 露光光、38 ... ピアホール、
- 39 ... プリント基板、41 ... 表面、42 ... 裏面、45 ... 切断線、47 ... 入れ子、
- 47a ... 突起部、47b ... 連結部、48 ... 加熱圧着プレス、
- 50、50A、51、51A、52A、52B、53、54A、54B ... 半導体装置、
- 55 ... 成型型、55a ... 空洞部、56 ... スキージ、L ... 紫外線

20

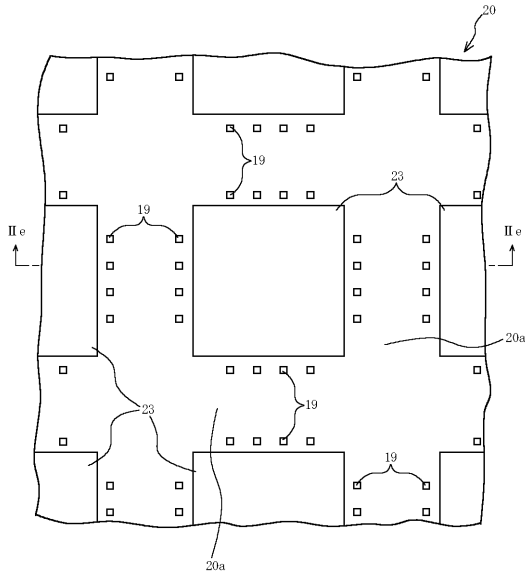
【図 1】



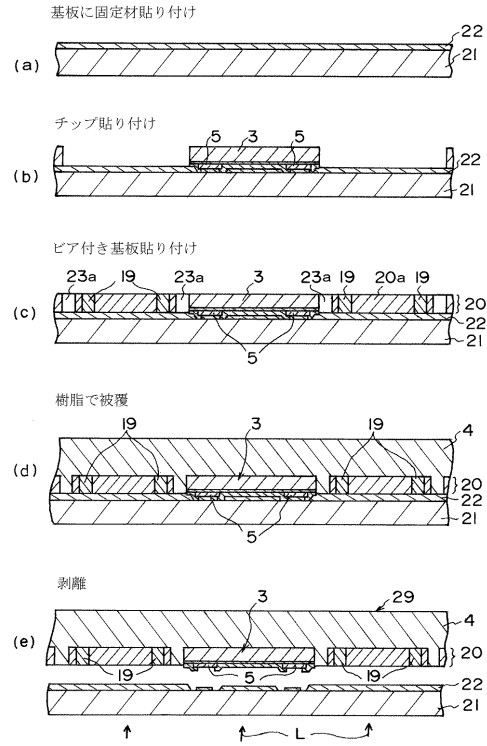
【図 2】



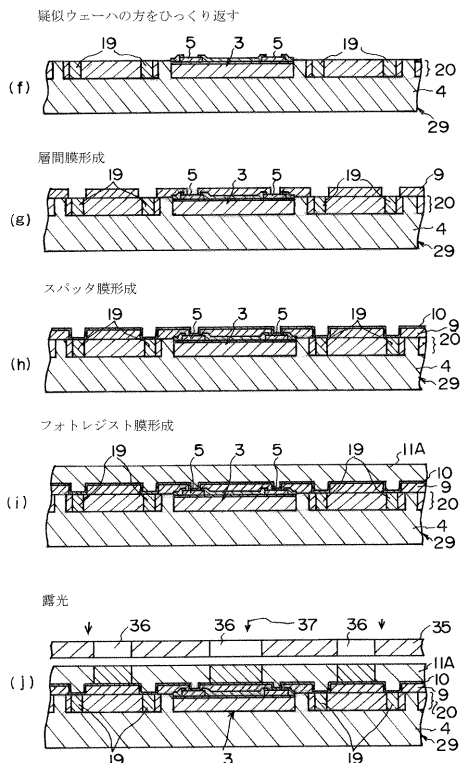
【図3】



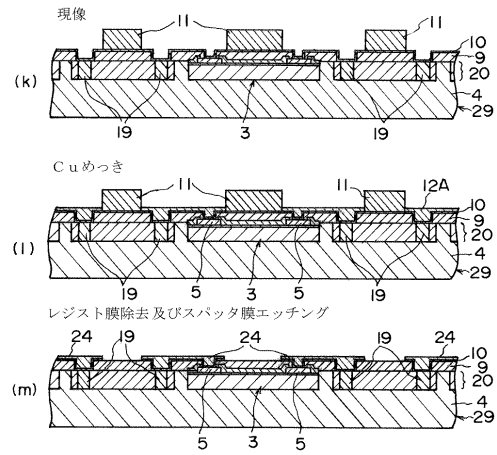
【図4】



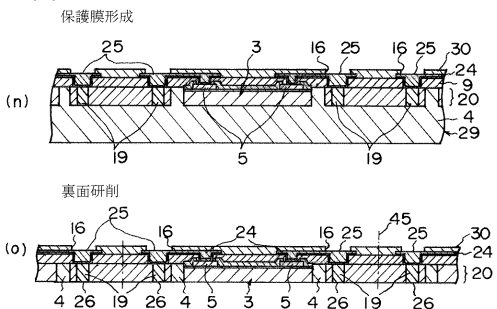
【図5】



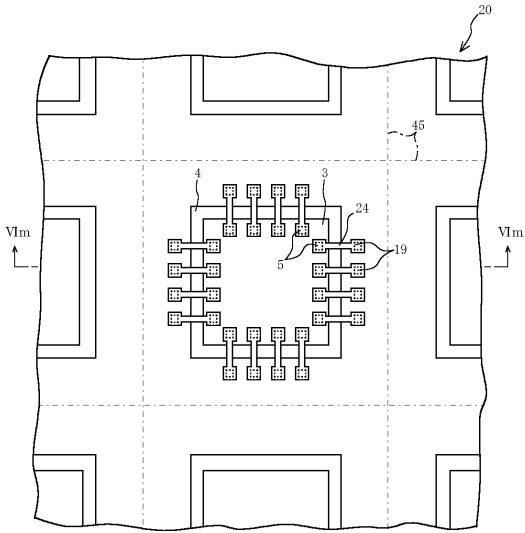
【図6】



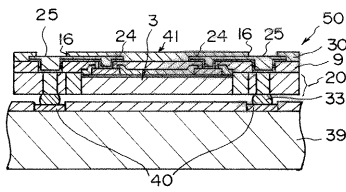
【図7】



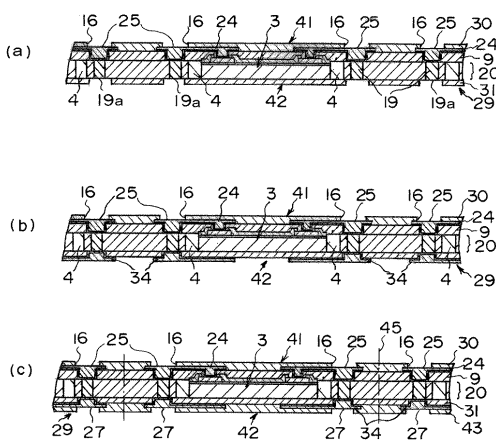
【 図 8 】



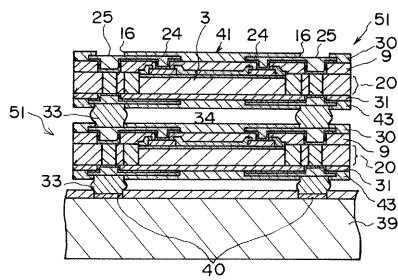
【 図 9 】



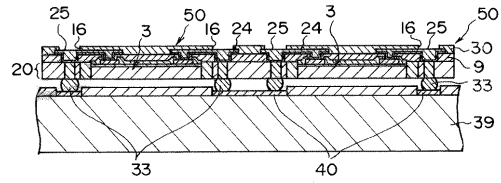
【 図 13 】



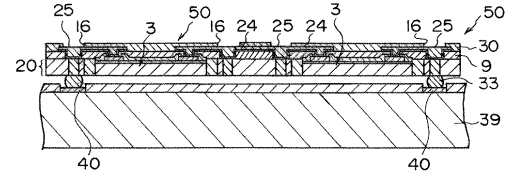
【 図 14 】



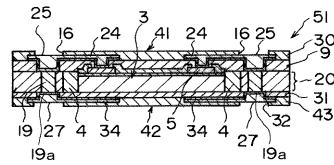
【 図 10 】



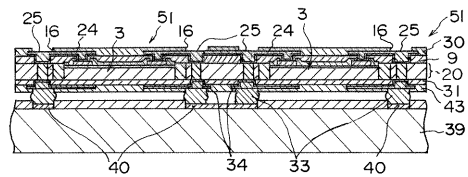
【 図 11 】



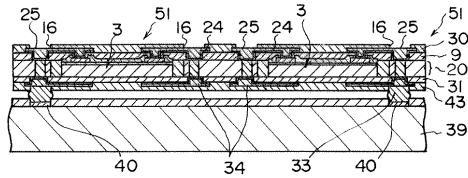
【 図 12 】



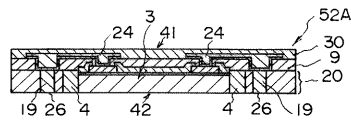
【 図 15 】



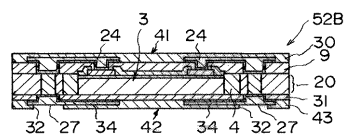
【 図 16 】



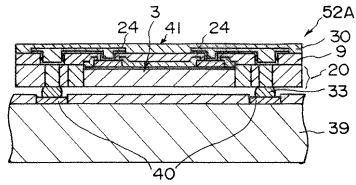
【 図 17 】



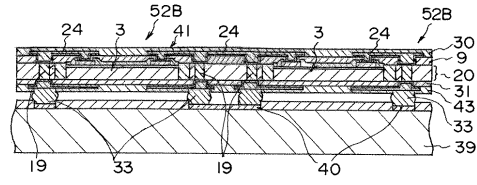
【 図 18 】



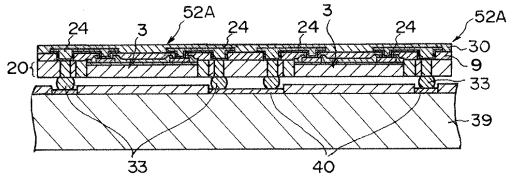
【図19】



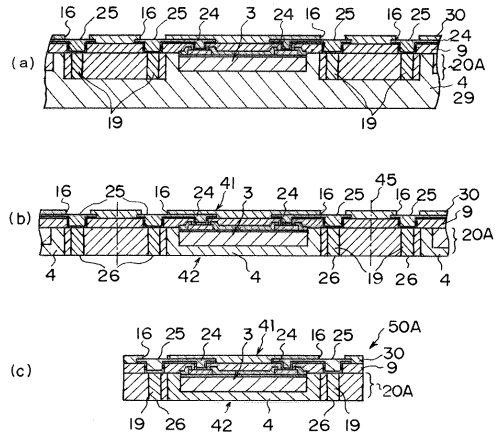
【図22】



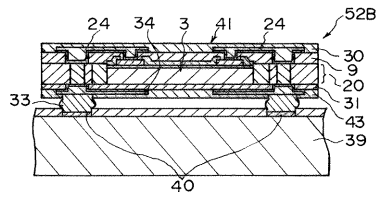
【図20】



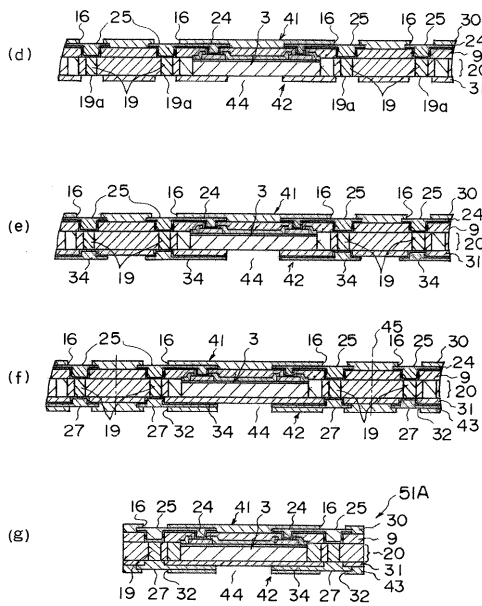
【図23】



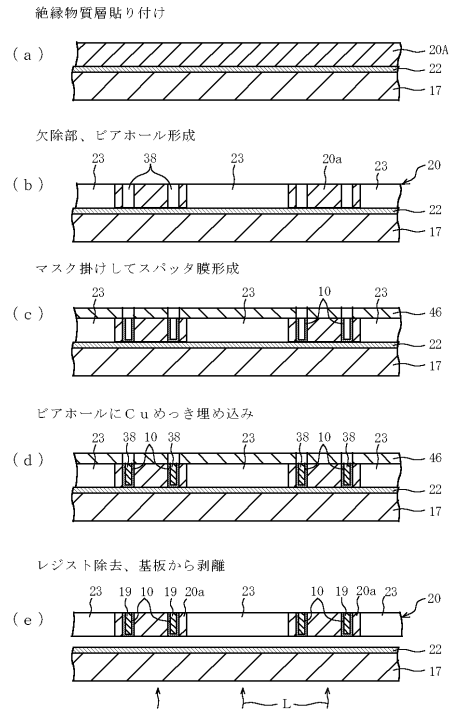
【図21】



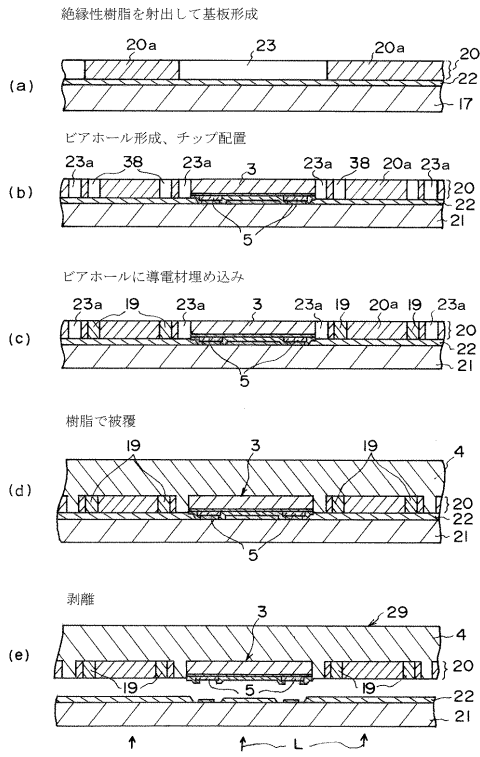
【図24】



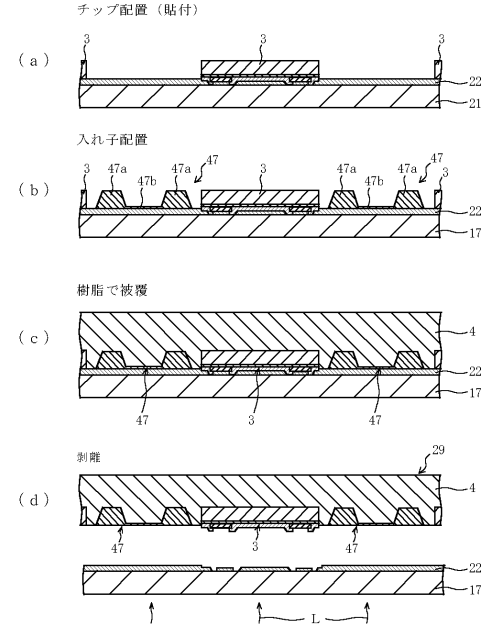
【図25】



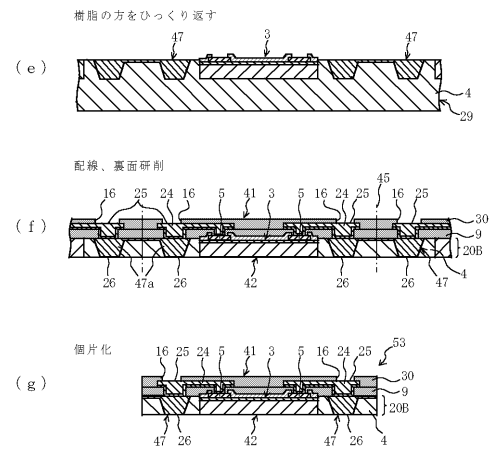
【図 26】



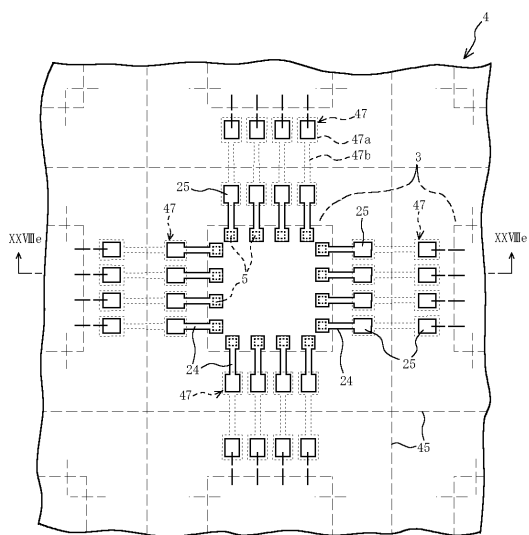
【図 27】



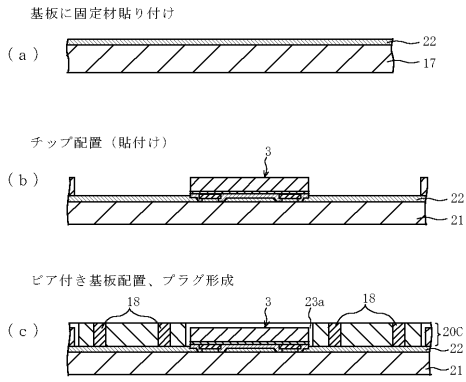
【図 28】



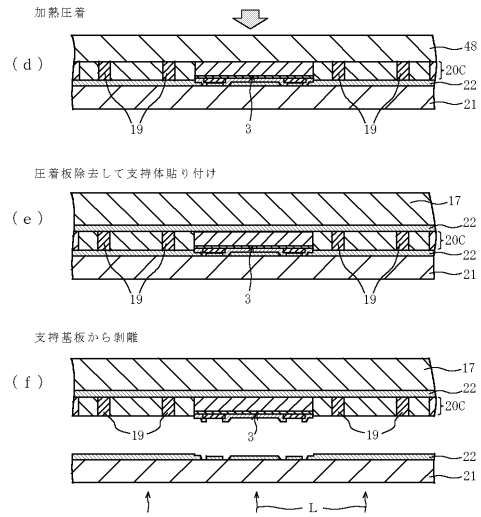
【図 29】



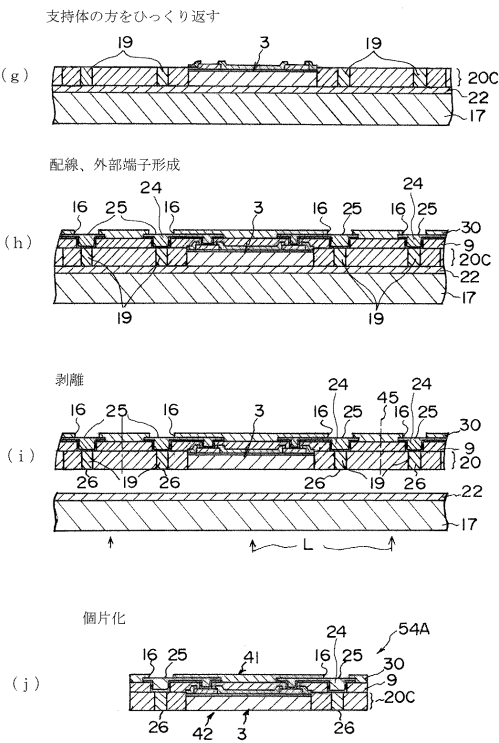
【図 30】



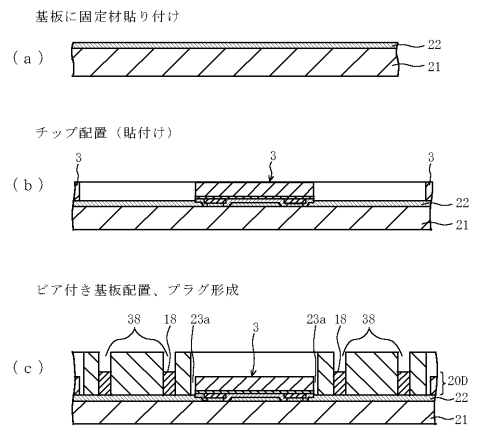
【図 31】



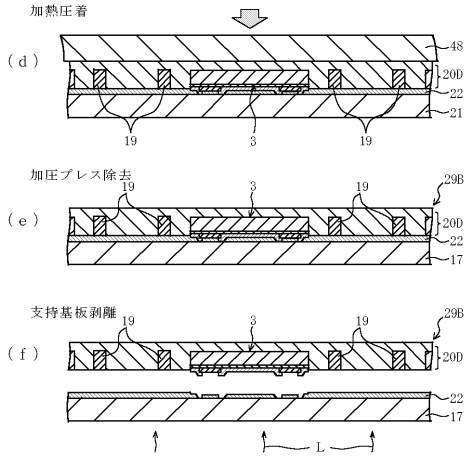
【図 32】



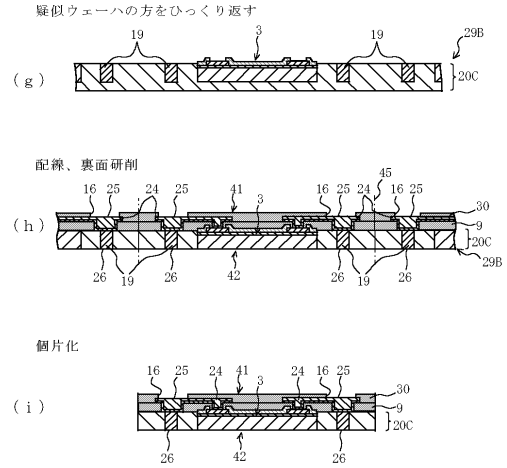
【図 33】



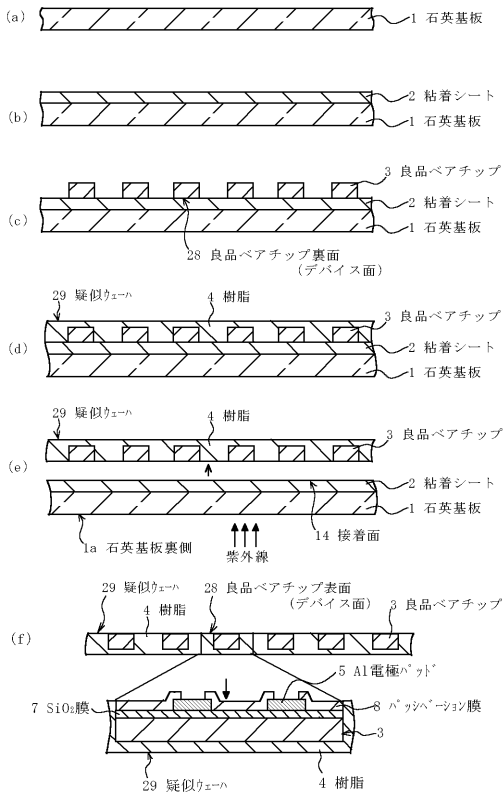
【図34】



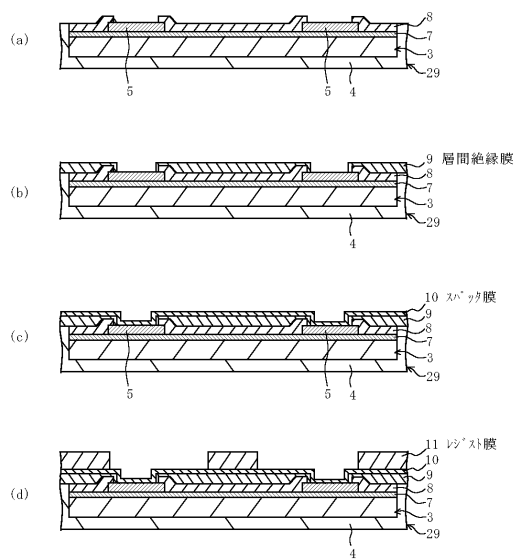
【図35】



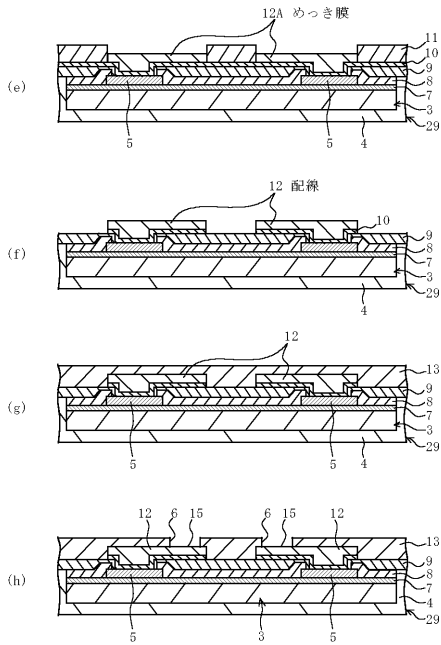
【図36】



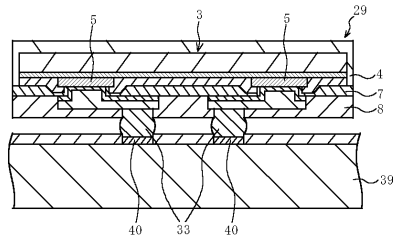
【図37】



【図 38】



【図 39】



【図 40】

