



發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93132327

※ 申請日期：93-10-26

※IPC 分類：H01L²⁹/43

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

富士通股份有限公司 / FUJITSU LIMITED

代表人：(中文/英文)

黑川博昭 / KUROKAWA, HIROAKI

住居所或營業所地址：(中文/英文)

日本國神奈川縣川崎市中原區上小田中 4 丁目 1 番 1 號

1-1, KAMIKODANAKA 4-CHOME, NAKAHARA-KU, KAWASAKI-SHI, KANAGAWA

211-8588 JAPAN

國 籍：(中文/英文)

日本 / JAPAN

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 蛭子芳樹 / EBIKO, YOSHIKI

2. 鈴木邦廣 / SUZUKI, KUNIHIRO

3. 竹內文代 / TAKEUCHI, FUMIYO

國 籍：(中文/英文)

日本 / JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☒ 無主張專利法第二十七條第一項國際優先權：

PCT； 2004.10.20； PCT/JP2004/015532

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

發明領域

本發明有關於具有閘電極及一對不純物擴散區域(源
5 /汲)之半導體裝置，特別是適合應用於MOS電晶體。

【先前技術】

發明背景

近年來，愈加提高要求半導體裝置之微細化、小型化，
伴隨於此，半導體裝置例如MOSFET等矽(Si)電晶體之通道
10 長度愈來愈短。此情形下，短通道之門檻值電壓移轉至負
的短通道效果變得顯著起來。為了防止此短通道效果乃有
必要增加基板中的不純物濃度。但是一旦增加基板中的不
純物濃度，則會導致增加門檻值電壓及減少移動度。因此，
考慮到要提高通道下側的不純物濃度而防止穿通情形，且
15 降低基板表面側之不純物濃度而抑制增加門檻值電壓的情
形。

其一解決方法乃提案有在一致導入不純物之矽基板上
使新的無摻雜的矽層進行外延成長而設成通道層的外延構
造。藉此不純物濃度設成二階段的外延構造而實現高的短
20 通道耐性並能防止不純物擴散。

但是，上述的情形下，矽層之外延成長時必須有800
℃範圍的高溫。因此基板側之不純物會擴散至外延層而會
有不純物輪廓模糊的問題。

又，另一解決方法乃提案有將基板中的不純物與逆導

電型之不純物導入基板表面側的逆摻雜法。

然而此情形下，將基板中的不純物與逆導電型之不純物予以導入之後，要使不純物活性化則要900℃範圍的高溫。因此，基板表面側之逆導電型不純物會朝基板內部擴散而會產生與上述相同之不純物輪廓模糊的問題。

特許文獻1

特開平11-260828號公報

【發明內容】

發明概要

10 本發明係鑑於上述課題而完成者，其目的在於提供不會於使不純物活性化之際產生不純物不必要的擴散，可抑制短通道效果且能抑制門檻值電壓的增加而確保高的移動度，可對應更微細化・小型化之要求之高可靠度之半導體裝置及其製造方法。

15 本發明之半導體裝置具有藉由閘絕緣膜而形成在基板之半導體區域上的閘電極、第1導電型之第1不純物導入相當於前述半導體區域之前述閘電極兩側部位所形成之一對不純物擴散區域，前述半導體區域具有於其上層部分具有下層及上層之至少二層構造的通道層，前述第1不純物之逆導電型即第2導電型之第2不純物導入前述通道層之前述下層，前述通道層從前述上層至前述下層內具有含有具有使前述半導體區域非結晶化功能之非結晶化不純物的不純物層，前述不純物層內包含前述不純物擴散區域。

本發明之半導體裝置之一樣態，為前述不純物層之最

下面係形成在前述通道層之前述下層內而構成。

本發明之半導體裝置之一樣態，為前述非結晶化不純物係從Ge、Si、非活性氣體之中選擇之至少一種者。

5 本發明之半導體裝置之一樣態，為前述不純物之最下面形成結晶缺陷，前述不純物擴散區域與前述結晶缺陷離開。

本發明之半導體裝置之一樣態，為前述結晶缺陷形成於比該半導體裝置之空乏層更下側。

10 本發明之半導體裝置之一樣態，為前述通道層之前述下層具有前述非結晶化不純物(例如Ge)之濃度為 $1 \times 10^{18} / \text{cm}^3$ 以上。

本發明之半導體裝置之一樣態，為前述通道層之前述上層係僅含有前述非結晶化不純物者。

15 本發明之半導體裝置之一樣態，為前述通道層之前述上層係不僅含有前述非結晶化不純物，且含有前述第1導電型不純物及前述第2導電型不純物者。

本發明之半導體裝置之一樣態，為前述基板係於絕緣層上具有前述半導體區域所構成者。

20 本發明之半導體裝置之一樣態，為前述基板係於玻璃基板上藉由絕緣層而具有前述半導體區域所構成者。

本發明之半導體裝置之製造方法1包含有：將第1不純物之逆導電型即第2導電型之第2不純物導入基板之半導體區域的步驟、以低溫在前述半導體區域上堆積形成矽膜的步驟、將非結晶化不純物導入前述矽膜及包含前述第2不純

- 物導入部位之前述半導體區域表層，而使包含前述矽膜及前述第2不純物導入部位之前述半導體區域表層非結晶化的步驟、藉回火處理而使前述矽膜及前述第2不純物導入部位之前述半導體區域表層單結晶化，而將前述第2不純物之
- 5 導入部位設為下層，將前述矽膜設為上層之形成至少二層構造之通道層的步驟、藉由閘絕緣膜而於前述通道層上圖案形成閘電極的步驟、將第1導電型之第1不純物導入相當於前述通道層之前述閘電極兩側的部位，而形成一對不純物擴散區域的步驟。
- 10 本發明之半導體裝置之製造方法2包含有：將第1不純物之逆導電型即第2導電型之第2不純物導入基板之半導體區域的步驟、將非結晶化不純物導入基板之半導體區域表層以包含前述第2不純物導入部位而使前述半導體區域表層非結晶化的步驟、將第1導電型之第1不純物導入經結晶
- 15 化之前述半導體區域表層之上部的步驟、藉回火處理而使已非結晶化之前述半導體區域表層單結晶化，而將前述半導體區域內之前述非結晶化不純物及前述第2不純物之導入部位設為下層，將前述非結晶化不純物、前述第1不純物及前述第2不純物之導入部位設為上層之形成至少二層構
- 20 造之通道層的步驟、藉由閘絕緣膜而於前述通道層上圖案形成閘電極的步驟、將第1導電型之第1不純物導入相當於前述通道層之前述閘電極兩側的部位，而形成一對不純物擴散區域的步驟。

本發明之半導體裝置之製造方法1、2之一樣態，為將

經單結晶化之前述半導體區域表層之最下面，形成於前述通道層之前述下層內。

5 本發明之半導體裝置之製造方法1、2之一樣態，為前述非結晶化不純物係從Ge、Si、非活性氣體之中選擇之至少一種者。

本發明之半導體裝置之製造方法1、2之一樣態，為前述經結晶化之前述半導體區域之前述通道層之前述下層中形成結晶缺陷，形成前述不純物擴散區域與前述結晶缺陷離開。

10 本發明之半導體裝置之製造方法1、2之一樣態，為前述結晶缺陷形成於比該半導體裝置之空乏層更下側。

本發明之半導體裝置之製造方法1、2之一樣態，為使前述不純物層具有該不純物層中之前述非結晶化不純物(例如Ge)之濃度為 $1 \times 10^{18} / \text{cm}^3$ 以上的部位，而該部位之前
15 述第2不純物濃度形成 $1 \times 10^{18} / \text{cm}^3$ 以上。

本發明之半導體裝置之製造方法1、2之一樣態，為在 700°C 以下進行前述回火處理。

本發明之半導體裝置之製造方法1、2之一樣態，為前述基板係於絕緣層上具有前述半導體區域所構成者。

20 本發明之半導體裝置之製造方法1、2之一樣態，為前述基板係於玻璃基板上藉由絕緣層而具有前述半導體區域所構成者。

圖式簡單說明

第1A圖係以工程順序表示第1實施樣態所構成之p型Si

電晶體之製造方法的概略剝面圖。

第1B圖係以工程順序表示第1實施樣態所構成之p型Si電晶體之製造方法的概略剝面圖。

第1C圖係以工程順序表示第1實施樣態所構成之p型Si
5 電晶體之製造方法的概略剝面圖。

第1D圖係以工程順序表示第1實施樣態所構成之p型Si電晶體之製造方法的概略剝面圖。

第1E圖係以工程順序表示第1實施樣態所構成之p型Si電晶體之製造方法的概略剝面圖。

10 第1F圖係以工程順序表示第1實施樣態所構成之p型Si電晶體之製造方法的概略剝面圖。

第2A圖係以工程順序表示第1實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

第2B圖係以工程順序表示第1實施樣態之變形例1所構
15 成之n型Si電晶體之製造方法的概略剝面圖。

第2C圖係以工程順序表示第1實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

第2D圖係以工程順序表示第1實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

20 第2E圖係以工程順序表示第1實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

第2F圖係以工程順序表示第1實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

第3A圖係以工程順序表示第1實施樣態之變形例2所構

成之n型Si電晶體之製造方法的概略剝面圖。

第3B圖係以工程順序表示第1實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第3C圖係以工程順序表示第1實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第3D圖係以工程順序表示第1實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第3E圖係以工程順序表示第1實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第3F圖係以工程順序表示第1實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第4A圖係以工程順序表示第2實施樣態所構成之n型Si電晶體之製造方法的概略剝面圖。

第4B圖係以工程順序表示第2實施樣態所構成之n型Si電晶體之製造方法的概略剝面圖。

第4C圖係以工程順序表示第2實施樣態所構成之n型Si電晶體之製造方法的概略剝面圖。

第4D圖係以工程順序表示第2實施樣態所構成之n型Si電晶體之製造方法的概略剝面圖。

第4E圖係以工程順序表示第2實施樣態所構成之n型Si電晶體之製造方法的概略剝面圖。

第4F圖係以工程順序表示第2實施樣態所構成之n型Si電晶體之製造方法的概略剝面圖。

第5圖表示第2實施樣態所構成之型Si電晶體之通道層

下層之硼之濃度輪廓的特性圖。

第6A圖係以工程順序表示第2實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

5 第6B圖係以工程順序表示第2實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

第6C圖係以工程順序表示第2實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

第6D圖係以工程順序表示第2實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

10 第6E圖係以工程順序表示第2實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

第6F圖係以工程順序表示第2實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

15 第7A圖係以工程順序表示第2實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第7B圖係以工程順序表示第2實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第7C圖係以工程順序表示第2實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

20 第7D圖係以工程順序表示第2實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第7E圖係以工程順序表示第2實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第7F圖係以工程順序表示第2實施樣態之變形例2所構

成之n型Si電晶體之製造方法的概略剝面圖。

【實施方式】

較佳實施例之詳細說明

本發明之發明人專精檢討半導體裝置，例如將
5 MOSFET等Si電晶體中的不純物擴散區域(源／汲)之間的
通道部分的不純物(與源／汲逆導電型不純物)濃度清晰地
保持於淺輪廓的技術。著眼於製造該Si電晶體之際，於構
成通道層之基板表面以導入該二層構造之下層部分的不純
物(與源／汲逆導電型不純物)的狀態而下，必須避免高溫處
10 理的狀況，而想到以下所示之發明的各種樣態。

以下參照圖式來說明本發明之各實施樣態。

— 第1實施樣態 —

第1A～1F圖係以工程順序表示第1實施樣態所構成之
p型Si電晶體之製造方法的概略剝面圖。

15 首先，如第1A圖所示基板之半導體區域，將n型不純物
注入例如含有 $1 \times 10^{15} / \text{cm}^3$ 範圍之表體(bulk)型之n型矽基
板1的表層，以例如加速能量100KeV，劑量為 $1 \times 10^{13} / \text{cm}^2$
的條件，而將要於之後記述之源／汲不純物(例如p型，在
此為硼(B))與逆導電型不純物(例如n型，在此為磷(P))予以
20 離子注入。而在900℃下施予2小時的回火處理，將導入之
磷予以活性化而形成具有同樣不純物分布的逆導電型不純
物層2。此時，逆導電型不純物層2之不純物(磷)濃度例如為
 $3 \times 10^{18} / \text{cm}^3$ 範圍。又，亦可使不純物濃度向深度方向緩緩
地改變的分布那般地形成逆導電型不純物層2。在此說明構

成通道層之矽基板1之表層尚未形成二層構造，因此要進行高溫的回火處理並無問題。之後，對矽基板1施予氨過水蒸出處理、氟酸處理、鹽酸過水蒸出處理及氟酸處理而洗淨表面。

- 5 接著如第1B圖所示以低溫的成膜法，在此為電漿CVD法，於矽基板1上堆積摻雜之矽膜，在此為例如堆積非定形矽膜3膜厚50nm範圍。此情形下，由於在700°C以下的低溫例如300°C範圍的低溫處理，因此不會從形成在矽基板1表層之逆導電型不純物層2朝向非定形矽膜3擴散不純物即
- 10 磷。

- 接著如第1C圖所示，於包含非定形矽膜3及矽基板1之表層的逆導電型不純物層2的區域注入具有將構成半導體區域之矽予以非定形化之功能之較重的原子，在此為注入鎢(Ge)。亦可取代鎢而使用矽(Si)、或氬(Ar)等非活性氣體。
- 15 具體而言乃以鎢從非定形矽膜3到達逆導電型不純物層2內的條件來注入，例如以加速能量100KeV、劑量為 1×10^{15} /cm²的條件來注入。藉此注入而可從包含矽基板1之逆導電型不純物層2的非定形矽膜3表面至例如100nm範圍的深度形成非定形狀態。於第1C圖中表示以此經非定形化之不
- 20 純物層(包含非定形矽膜3)作為Ge注入層4而以虛線表示其最下面4a。

 接著洗淨矽基板1之後，如第1D圖所示施予700°C以下的低溫回火，例如以600°C施加一小時的回火處理。藉此回火處理而使Ge注入層4單結晶化。此時，於Ge注入層之中，

逆導電型不純物層2會單結晶化而形成磷摻雜之下層5a、非
 定形矽膜3會單結晶化而形成無摻雜之上層5b之二層構造
 的通道層5。但是，對剩餘之Ge注入層4之與矽基板1之界面
 的最下層4a施予回火處理亦無法回復而殘留未能結晶化的
 5 結晶缺陷，但是，藉著磷($1 \times 10^{18} / \text{cm}^3$ 的高濃度)而被中
 和，因此不會造成問題。又，在上層5b內亦有殘留未能結
 晶化之部位的情形。由於本實施樣態以注入非結晶化不純
 物即Ge而形成非定形化及進行回火處理，因此磷不會擴散
 至無摻雜的上層5b。

10 接著藉例如ECR—CVD法而於通道層5上形成薄的矽
 氧化膜。也可取代矽氧化膜而使用HfO或 Al_2O_3 等高介電值
 絕緣材料來形成膜。之後，例如藉CVD法而於矽氧化膜上
 形成經磷摻雜的多結晶矽膜。藉光刻法及乾式蝕刻法而將
 多結晶矽膜及矽氧化膜圖案化成電極形狀。如此一來，如
 15 第1E圖所示於通道層5上圖案化形成藉由閘絕緣膜6所構成
 之閘電極7。

接著如第1F圖所示，將閘電極7作為遮罩而注入p型不
 純物，在此乃將硼(B)注入通道層5。具體而言，以加速能
 量7KeV、劑量為 $2 \times 10^{15} / \text{cm}^2$ 的條件來注入硼。藉此離子
 20 注入及之後的回火處理而於閘電極7之兩側的通道層5內形
 成一對不純物擴散區域即源／汲8。源／汲8在通道層5內與
 Ge注入層4之最下面4a僅離開預定的距離。

之後，經過進行包覆閘電極7之層間絕緣膜或連接孔、
 上層配線等(圖式未顯示)的形成工程而完成本實施樣態之

Si電晶體。

經以上製造處理程序所形成之Si電晶體的主要結構如第1F圖所示，具有積層磷摻雜之下層5a與無摻雜之上層5b所構成的通道層5，形成從上層5b至下層5a內含有非結晶化不純物即含有鎵所構成的Ge注入層4，而具有源／汲8之構造以在通道層5內Ge注入層4與最下面4a分開的構造。

通道層5之上層5b與殘留結晶缺陷之最下面4a分開著，因此無電性上的影響。

又，使用Si電晶體時形成在通道層5之空乏層亦與Ge注入層4之最下面4a分開。如此一來以保持使形成在通道層5之空乏層離開殘留結晶缺陷之最下面4a而能防止電性上的影響。

如以上說明依據本實施樣態，以效率良好地利用低溫處理而在離子注入下層5a之厚區域的狀態而能避免高溫處理的狀態，因此能將通道層5構成磷摻雜之下層5a與無摻雜之上層5b之不純物濃度差別極大的二層構造。如此一來，通道層5之垂直電場緩和而增加移動度。此情形下，可防止高磷濃度之下層5a所造成的穿通，且能抑制無摻雜之上層5b所造成的增加門檻值電壓。此門檻值電壓可藉著於形成下層5a之際調節磷之注入的各條件、調節下層5a的磷濃度而控制。如上所述，可實現對應更微細化、小型化之要求之高可靠度的Si電晶體。

—變形例—

以下說明上述第1實施樣態之各變形例。為便於記載，

此等變形例對於與第1實施樣態相同的構成要件則標記相同的標號。

(變形例1)

在此說明取代第1實施樣態之表體型矽基板而使用所謂SOI(Silicon(semiconductor)On Insulator)基板。

第2A～2F圖係以工程順序表示第1實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剖面圖。

SOI基板11例如藉膜厚200nm範圍之矽氧化膜13而於矽基體12上形成例如膜厚150nm範圍之單結晶的SOI層14，SOI層14相當於本發明的半導體區域。

首先，如第2A圖所示於SOI基板11，將p型不純物注入例如含有 $1 \times 10^{15} / \text{cm}^3$ 範圍之p型SOI層14的表層，以例如加速能量30KeV，劑量為 $1 \times 10^{13} / \text{cm}^2$ 的條件，而將要於之後記述之源／汲不純物(例如n型，在此為磷(P))與逆導電型不純物(例如p型，在此為硼(B))予以離子注入。而在900℃下施予2小時的回火處理，將導入之硼予以活性化而形成具有同樣不純物分布的逆導電型不純物層15。此時，逆導電型不純物層15之不純物(硼)濃度例如為 $3 \times 10^{18} / \text{cm}^3$ 範圍。又，亦可使不純物濃度向深度方向緩緩地改變的分布那般地形成逆導電型不純物層15。在此說明構成通道層之SOI層14之表層尚未形成二層構造，因此要進行高溫的回火處理並無問題。之後，對SOI層14施予氨過水蒸出處理、氟酸處理、鹽酸過水蒸出處理及氟酸處理而洗淨表面。

接著如第2B圖所示以低溫的成膜法，在此為電漿CVD

法，於SOI層14上堆積摻雜之矽膜，在此為例如堆積非定形矽膜3膜厚50nm範圍。此情形下，由於在700°C以下的低溫例如300°C範圍的低溫處理，因此不會從形成在SOI層14表層之逆導電型不純物層15朝向非定形矽膜3擴散不純物即

5 磷。

接著如第2C圖所示，於包含非定形矽膜3及SOI層14之表層的逆導電型不純物層15的區域注入具有將構成半導體區域之矽予以非定形化之功能之較重的原子，在此為注入鎳(Ge)。亦可取代鎳而使用矽(Si)、或氬(Ar)等非活性氣體。

10 具體而言乃以鎳從非定形矽膜3到達SOI層14之逆導電型不純物層15內的條件來注入，例如以加速能量80KeV、劑量為 $1 \times 10^{15} / \text{cm}^2$ 的條件來注入。藉此注入而可從包含SOI層14之逆導電型不純物層15的非定形矽膜3表面至例如100nm範圍的深度形成非定形狀態。於第2C圖中表示以此經非定

15 形化之不純物層(包含非定形矽膜3)作為Ge注入層18而以虛線表示其最下面18a。

接著洗淨SOI層14之後，如第2D圖所示施予700°C以下的低溫回火，例如以600°C施加一小時的回火處理。藉此回火處理而使Ge注入層18單結晶化。此時，於Ge注入層18之

20 中，逆導電型不純物層15會單結晶化而形成硼摻雜之下層16a、非定形矽膜3會單結晶化而形成無摻雜之上層16b之二層構造的通道層16。但是，對剩餘之Ge注入層18之與SOI層14之界面的最下層18a施予回火處理亦無法回復而殘留未能結晶化的結晶缺陷，又，在上層16b內亦有殘留未能結

晶化之部位的情形。由於變形例1以注入非結晶化不純物即Ge而形成非定形化及進行回火處理，因此硼不會擴散至無摻雜的上層16b。

接著藉例如ECR—CVD法而於通道層16上形成薄的矽氧化膜。也可取代矽氧化膜而使用HfO或Al₂O₃等高介電值絕緣材料來形成膜。之後，例如藉CVD法而於矽氧化膜上形成經磷摻雜的多結晶矽膜。藉光刻法及乾式蝕刻法而將多結晶矽膜及矽氧化膜圖案化成電極形狀。如此一來，如第2E圖所示於通道層16上圖案化形成藉由閘絕緣膜6所構成之閘電極7。

接著如第2F圖所示，將閘電極17作為遮罩而注入n型不純物，在此乃將磷(P)注入通道層16。具體而言，以加速能量10KeV、劑量為 $2 \times 10^{15} / \text{cm}^2$ 的條件來注入磷。藉此離子注入及之後的回火處理而於閘電極7之兩側的通道層16內形成一對不純物擴散區域即源／汲17。源／汲17在通道層16內與Ge注入層18之最下面18a僅離開預定的距離。

之後，經過進行包覆閘電極7之層間絕緣膜或連接孔、上層配線等(圖式未顯示)的形成工程而完成變形例1之Si電晶體。

經以上製造處理程序所形成之Si電晶體的主要結構如第2F圖所示，具有積層磷摻雜之下層16a與無摻雜之上層16b所構成的通道層16，形成從上層16b至下層16a內含有非結晶化不純物即含有鎵所構成的Ge注入層18，而具有源／汲17之構造以在通道層16內Ge注入層18與最下面18a分開

的構造。

通道層16之上層16b與殘留結晶缺陷之最下面18a分開著，因此無電性上的影響，即使結晶缺陷殘留於最下面18a之近旁的情形下，亦因下層16a存在硼而能中和結晶缺陷。

- 5 又，使用Si電晶體時形成在通道層16之空乏層亦與Ge注入層18之最下面18a分開。如此一來以保持使形成在通道層16之空乏層離開殘留結晶缺陷之最下面18a而能防止電性上的影響。

- 10 下層16a具有Ge濃度為 $1 \times 10^{18} / \text{cm}^3$ 的部位，而該部位之硼濃度需要在 $1 \times 10^{18} / \text{cm}^3$ 以上。

- 如以上說明依據變形例1，以效率良好地利用低溫處理而在離子注入下層16a之厚區域的狀態而能避免高溫處理的狀態，因此能將通道層16構成硼摻雜之下層16a與無摻雜之上層16b之不純物濃度差別極大的二層構造。如此一來，
- 15 通道層16之垂直電場緩和而增加移動度。此情形下，可防止高硼濃度之下層16a所造成的穿通，且能抑制無摻雜之上層16b所造成的增加門檻值電壓。此門檻值電壓可藉著於形成下層16a之際調節硼之注入的各條件、調節下層16a的硼濃度而控制。如上所述，可實現對應更微細化、小型化之
- 20 要求之高可靠度的Si電晶體。

(變形例2)

在此說明取代第1實施樣態之表體型矽基板而使用所謂玻璃基板。

第3A～3F圖係以工程順序表示第1實施樣態之變形例

2所構成之n型Si電晶體之製造方法的概略剝面圖。

首先，如第3A圖所示於玻璃基板21上順序積層例如膜厚200nm範圍之矽氧化膜22、及例如膜厚100nm範圍之非定形矽層(圖式未顯示)。此非定形矽層相當於本發明的半導體區域。之後，於非定形矽層的表層，以例如加速能量10KeV，劑量為 $1 \times 10^{13} / \text{cm}^2$ 的條件，而將要於之後記述之源／汲不純物(例如n型，在此為磷(P))與逆導電型不純物(例如p型，在此為硼(B))予以離子注入。而對非定形矽層施予雷射回火，例如施予CW雷射回火處理。此時，非定形矽層被單結晶化而形成矽層23。而且於矽層23之上層，經導入之硼被活性化而形成具有同樣不純物分布的逆導電型不純物24。

此時，逆導電型不純物層24之不純物(硼)濃度例如為 $3 \times 10^{18} / \text{cm}^3$ 範圍。又，亦可使不純物濃度向深度方向緩緩地改變的分布那般地形成逆導電型不純物層24。在此說明由於使用雷射而進行結晶化及不純物活性化，因此可縮短施加加熱的時間而能避免高溫處理程序。

接著於洗淨矽層23表面之後，如第3B圖所示以低溫的成膜法，在此為電漿CVD法，於矽層23上堆積無摻雜之矽膜，在此為例如堆積非定形矽膜3膜厚50nm範圍。此情形下，由於在600℃以下的低溫例如300℃範圍的低溫處理，因此不會從形成在矽層23表層之逆導電型不純物層24朝向非定形矽膜3擴散不純物即硼。

接著如第3C圖所示，於包含非定形矽膜3及矽層23之表

層的逆導電型不純物層24的區域注入具有將構成半導體區域之矽予以非定形化之功能之較重的原子，在此為注入鎔(Ge)。亦可取代鎔而使用矽(Si)、或氬(Ar)等非活性氣體。具體而言乃以鎔從非定形矽膜3到達矽層23之逆導電型不純物層24內的條件來注入，例如以加速能量80KeV、劑量為 $1 \times 10^{15} / \text{cm}^2$ 的條件來注入。藉此注入而可從包含矽層23表面至逆導電型不純物層24例如至100nm範圍的深度形成非定形化。於第3C圖中表示以此經非定形化之不純物層(包含非定形矽膜3)作為Ge注入層25而以虛線表示其最下面25a。

接著洗淨矽層23之後，如第3D圖所示施予700°C以下的低溫回火，例如以600°C施加一小時的回火處理。藉此回火處理而使Ge注入層25單結晶化。此時，於Ge注入層25之中，逆導電型不純物層24會單結晶化而形成硼摻雜之下層26a、非定形矽膜3會單結晶化而形成無摻雜之上層26b之二層構造的通道層26。但是，對剩餘之Ge注入層25之與矽層23之界面的最下層25a施予回火處理亦無法回復而殘留未能結晶化的結晶缺陷，又，在上層26b內亦有殘留未能結晶化之部位的情形。由於變形例2以注入非結晶化不純物即Ge而形成非定形化及進行低溫回火處理，因此硼不會擴散至無摻雜的上層26b。

接著藉例如ECR—CVD法而於通道層26上形成薄的矽氧化膜。也可取代矽氧化膜而使用HfO或Al₂O₃等高介電值絕緣材料來形成膜。之後，例如藉CVD法而於矽氧化膜上

形成鉬(Mo)膜例如膜厚300nm範圍。藉光刻法及乾式蝕刻法而將Mo膜及矽氧化膜圖案化成電極形狀。如此一來，如第3E圖所示於通道層26上圖案化形成藉由閘絕緣膜6所構成之閘電極28。

- 5 接著如第3F圖所示，將閘電極28作為遮罩而注入n型不純物，在此乃將磷(P)注入通道層26。具體而言，以加速能量10KeV、劑量為 $2 \times 10^{15} / \text{cm}^2$ 的條件來注入磷。藉此離子注入及之後的回火處理而於閘電極28之兩側的通道層26內形成一對不純物擴散區域即源／汲27。源／汲27在通道層
- 10 26內與Ge注入層25之最下面25a僅離開預定的距離。

之後，經過進行包覆閘電極28之層間絕緣膜或連接孔、上層配線等(圖式未顯示)的形成工程而完成變形例2之Si電晶體。

- 經以上製造處理程序所形成之Si電晶體的主要結構如
- 15 第3F圖所示，具有積層磷摻雜之下層5a與無摻雜之上層5b所構成的通道層5，形成從上層26b至下層26a內含有非結晶化不純物即含有鎵所構成的Ge注入層25，而具有源／汲27之構造以在通道層26內Ge注入層25與最下面25a分開的構造。

- 20 通道層26之上層26b與殘留結晶缺陷之最下面25a分開著，因此無電性上的影響，又，即使結晶缺陷殘留於最下面25a之近旁的情形下，亦因下層26a存在硼而能中和結晶缺陷。

又，使用Si電晶體時形成在通道層26之空乏層亦與Ge

注入層25之最下面25a分開。如此一來以保持使形成在通道層26之空乏層離開殘留結晶缺陷之最下面25a而能防止電性上的影響。

下層26a具有Ge濃度為 $1 \times 10^{18} / \text{cm}^3$ 的部位，而該部位之硼濃度需要在 $1 \times 10^{18} / \text{cm}^3$ 以上。

如以上說明依據變形例2，以效率良好地利用低溫處理而能使用矽基板21，且能避免於下層26a之厚度區域以離子注入的狀態而高溫處理。因此能於玻璃基板21，將通道層26構成硼摻雜之下層26a與無摻雜之上層26b之不純物濃度差別極大的二層構造。如此一來，通道層16之垂直電場緩和而增加移動度。此情形下，可防止高硼濃度之下26a所造成的穿通，且能抑制無摻雜之上層26b所造成的增加門檻值電壓。此門檻值電壓可藉著於形成下層26a之際調節硼之注入的各條件、調節下層26a的硼濃度而控制。如上所述，可實現對應更微細化、小型化之要求之高可靠度的Si電晶體。

— 第2實施樣態 —

第4A～4F圖係以工程順序表示第2實施樣態所構成之n型Si電晶體之製造方法的概略剝面圖。為便於記載，本實施樣態對於與第1實施樣態相同的構成要件則標記相同的標號。

首先，如第4A圖所示基板之半導體區域，將p型不純物注入例如含有 $1 \times 10^{15} / \text{cm}^3$ 範圍之表體(bulk)型之p型矽基板31的表層，以例如加速能量50KeV，劑量為 $1 \times 10^{13} / \text{cm}^2$ 的條件，而將要於之後記述之源／汲不純物(例如n型，在

此為磷(P))與逆導電型不純物(例如P型，在此為硼(B))予以離子注入。而在900°C下施予2小時的回火處理，將導入之硼予以活性化而形成具有同樣不純物分布的逆導電型不純物層32。此時，逆導電型不純物層32之不純物(硼)濃度例如
 5 為 $3 \times 10^{18} / \text{cm}^3$ 範圍。又，亦可使不純物濃度向深度方向緩緩地改變的分布那般地形成逆導電型不純物層32。在此說明構成通道層之矽基板31之表層尚未形成二層構造，因此要進行高溫的回火處理並無問題。之後，對矽基板31施予氮過水蒸出處理、氟酸處理、鹽酸過水蒸出處理及氟酸處
 10 理而洗淨表面。

接著如第4B圖所示，於包含逆導電型不純物層32之矽基板31之表層注入具有將構成半導體區域之矽予以非定形化之功能之較重的原子，在此為注入鍺(Ge)。亦可取代鍺而使用矽(Si)、或氬(Ar)等非活性氣體。具體而言乃以鍺到達矽基板31表層之逆導電型不純物層32內的條件來注入，
 15 例如以加速能量80KeV、劑量為 $1 \times 10^{15} / \text{cm}^2$ 的條件來注入。藉此注入而可從矽基板31包含逆導電型不純物層32而至例如100nm範圍的深度形成非定形化。於第4B圖中表示以此經非定形化之不純物層作為Ge注入層33而以虛線表示
 20 其最下面33a。

接著如第4C圖所示，將於後述之與源／汲不純物(例如n型，在此為磷(P))相同導電型之不純物導入Ge注入層33，在此說明係以到達Ge注入層33之逆導電型不純物層32之上部區域的條件導入磷。具體而言，以加速能量5KeV、劑量

為 $1 \times 10^{13} / \text{cm}^2$ 的條件來注入磷。藉此，於Ge注入層33之上部區域形成混合存在硼與磷之混合存在不純物層34，如此一來，會於Ge注入層33形成因形成混合存在不純物層34而存在於其下部區域的逆導電型不純物層32與該混合存在不純物層34所積層的二層構造。

接著洗淨矽基板31之後，如第4D圖所示施予700°C以下的低溫回火，例如以600°C施加一小時的回火處理。藉此回火處理而使Ge注入層33單結晶化。此時，於Ge注入層33之中，會形成逆導電型不純物層32單結晶化而構成磷摻雜之下層35a、與混合存在不純物層34單結晶化而從實質來看僅呈電性逆型的摻雜狀態，或是中性狀態的上層35b所構成之二層構造的通道層35，而實質上Ge注入層33殘留於下層35a之中。但是，對剩餘之Ge注入層33之與矽基板31之界面的最下層33a施予回火處理亦無法回復而殘留未能結晶化的結晶缺陷，又，在上層35b內亦有殘留若干未能結晶化之部位的情形。由於本實施樣態以注入非結晶化不純物即Ge而形成非定形化及進行低溫回火處理，因此磷不會擴散至無摻雜的上層35b。

接著藉例如ECR—CVD法而於通道層35上形成薄的矽氧化膜。也可取代矽氧化膜而使用HfO或Al₂O₃等高介電值絕緣材料來形成膜。之後，於矽氧化膜上形成鉬(Mo)膜例如膜厚300nm。藉光刻法及乾式蝕刻法而將Mo膜及矽氧化膜圖案化成電極形狀。如此一來，如第4E圖所示於通道層35上圖案化形成藉由閘絕緣膜6所構成之閘電極36。

接著如第4F圖所示，將閘電極36作為遮罩而注入n型不純物，在此乃將磷(P)注入通道層35。具體而言，以加速能量10KeV、劑量為 $2 \times 10^{15} / \text{cm}^2$ 的條件來注入磷。藉此離子注入及之後的回火處理而於閘電極36之兩側的通道層35內形成一對不純物擴散區域即源／汲37。源／汲37在通道層35內與Ge注入層33之最下面33a僅離開預定的距離。

之後，經過進行包覆閘電極36之層間絕緣膜或連接孔、上層配線等(圖式未顯示)的形成工程而完成本實施樣態之Si電晶體。

經以上製造處理程序所形成之Si電晶體的主要結構如第4F圖所示，具有積層磷摻雜之下層35a與無摻雜之上層35b所構成的通道層35，形成從上層35b至下層35a內含有非結晶化不純物即含有鎢所構成的Ge注入層33，而具有源／汲37之構造以在通道層35內Ge注入層33與最下面33a分開的構造。

通道層35之上層35b與殘留結晶缺陷之最下面33a分開著，因此無電性上的影響，又，即使結晶缺陷殘留於最下面33a之近旁的情形下，亦因下層35a存在硼而能中和結晶缺陷。

又，使用Si電晶體時形成在通道層35之空乏層亦與Ge注入層33之最下面33a分開。如此一來以保持使形成在通道層35之空乏層離開殘留結晶缺陷之最下面33a而能防止電性上的影響。

下層35a具有Ge濃度為 $1 \times 10^{18} / \text{cm}^3$ 的部位，而該部位

之硼濃度需要在 $1 \times 10^{18} / \text{cm}^3$ 以上。

第5圖表示通道層35之下層35a之硼之濃度的輪廓。圖中，橫軸表示深度，縱軸表示硼的濃度。下層35a之硼的平均濃度為 $2 \times 10^{18} / \text{cm}^3$ 範圍，可得知如圖所示在下層35a形成呈急劇且淺的高斯(Gaussian)分布的濃度輪廓。

如以上說明依據本實施樣態，以效率良好地利用低溫處理而在離子注入下層35a之厚區域的狀態而能避免高溫處理的狀態，因此能將通道層35構成硼摻雜之下層35a與無摻雜之上層35b之不純物濃度差別極大的二層構造。如此一來，通道層35之垂直電場緩和而增加移動度。此情形下，可防止高硼濃度之下層35a所造成的穿通，且能抑制無摻雜之上層35b所造成的增加門檻值電壓。此門檻值電壓可藉著於形成下層35a及上層35b之際調節硼之注入的各條件、調節下層35a及上層35b的磷濃度而能微細地控制。如上所述，可實現對應更微細化、小型化之要求之高可靠度的Si電晶體。

— 變形例 —

以下說明上述第2實施樣態之各變形例。為便於記載，此等變形例對於與第2實施樣態相同的構成要件則標記相同的標號。

(變形例1)

在此說明取代第2實施樣態之表體型矽基板而使用所謂SOI(Silicon(semiconductor)On Insulator)基板。

第6A～6F圖係以工程順序表示第2實施樣態之變形例

1所構成之n型Si電晶體之製造方法的概略剖面圖。

SOI基板41例如藉膜厚200nm範圍之矽氧化膜43而於矽基體42上形成例如膜厚150nm範圍之單結晶的SOI層44，SOI層44相當於本發明的半導體區域。

5 首先，如第6A圖所示於SOI基板41，將p型不純物注入例如含有 $1 \times 10^{15} / \text{cm}^3$ 範圍之p型SOI層44的表層，以例如加速能量50KeV，劑量為 $1 \times 10^{13} / \text{cm}^2$ 的條件，而將要於之後記述之源／汲不純物(例如n型，在此為磷(P))與逆導電型不純物(例如p型，在此為硼(B))予以離子注入。而在900°C
10 下施予2小時的回火處理，將導入之硼予以活性化而形成具有同樣不純物分布的逆導電型不純物層45。此時，逆導電型不純物層45之不純物(硼)濃度例如為 $3 \times 10^{18} / \text{cm}^3$ 範圍。又，亦可使不純物濃度向深度方向緩緩地改變的分布那般地形成逆導電型不純物層45。在此說明構成通道層之
15 SOI層44之表層尚未形成二層構造，因此要進行高溫的回火處理並無問題。之後，對SOI層44施予氨過水蒸出處理、氟酸處理、鹽酸過水蒸出處理及氟酸處理而洗淨表面。

接著如第6B圖所示，於包含逆導電型不純物層45之SOI層44之表層注入具有將構成半導體區域之矽予以非定
20 形化之功能之較重的原子，在此為注入鎳(Ge)。亦可取代鎳而使用矽(Si)、或氬(Ar)等非活性氣體。具體而言乃以鎳到達SOI層44之逆導電型不純物層45內的條件來注入，例如以加速能量80KeV、劑量為 $1 \times 10^{15} / \text{cm}^2$ 的條件來注入。藉此注入而可從SOI層44表面包含逆導電型不純物層45至例

如100nm範圍的深度形成非定形化。於第6B圖中表示以此經非定形化之不純物層作為Ge注入層46而以虛線表示其最下面46a。

接著如第6C圖所示，將於後述之與源／汲不純物(例如
5 n 型，在此為磷(P))相同導電型之不純物導入Ge注入層46，
在此說明係以到達Ge注入層46之逆導電型不純物層45之上
部區域的條件導入磷。具體而言，以加速能量5KeV、劑量
為 $1 \times 10^{13} / \text{cm}^2$ 的條件來注入磷。藉此，於Ge注入層46之
上部區域形成混合存在硼與磷之混合存在不純物層47，如
10 此一來，會於Ge注入層46形成因形成混合存在不純物層47
而存在於其下部區域的逆導電型不純物層45與該混合存在
不純物層47所積層的二層構造。

接著洗淨SOI層44之後，如第6D圖所示施予700°C以下的
的低溫回火，例如以600°C施加一小時的回火處理。藉此回
15 火處理而使Ge注入層46單結晶化。此時，於Ge注入層46之
中，逆導電型不純物層45會單結晶化而形成硼摻雜之下層
48a、與混合存在不純物層47單結晶化，而實質上來看僅存
在電性上逆型之無摻雜的狀態，或是呈中性之上層48b所構
成之二層構造的通道層48，實質上Ge注入層46僅殘留於下
20 層48a的下側。但是，對剩餘之Ge注入層46之與SOI層44之
界面的最下層46a施予回火處理亦無法回復而殘留未能單
結晶化的結晶缺陷，又，在上層48b內亦有殘留若干未能單
結晶化之部位的情形。由於本實施樣態以注入非結晶化不
純物即Ge而形成非定形化及進行回火處理，因此磷不會擴

散至無摻雜的上層48b。

接著藉例如ECR—CVD法而於通道層48上形成薄的矽氧化膜。也可取代矽氧化膜而使用HfO或Al₂O₃等高介電值絕緣材料來形成膜。之後，例如於矽氧化膜上形成鉬(Mo)膜例如膜厚300nm範圍。藉光刻法及乾式蝕刻法而將Mo膜及矽氧化膜圖案化成電極形狀。如此一來，如第6E圖所示於通道層48上圖案化形成藉由閘絕緣膜6所構成之閘電極36。

接著如第6F圖所示，將閘電極36作為遮罩而注入n型不純物，在此乃將磷(P)注入通道層48。具體而言，以加速能量10KeV、劑量為 $2 \times 10^{15} / \text{cm}^2$ 的條件來注入磷。藉此離子注入及之後的回火處理而於閘電極36之兩側的通道層46內形成一對不純物擴散區域即源／汲49。源／汲49在通道層48內與Ge注入層46之最下面46a僅離開預定的距離。

之後，經過進行包覆閘電極36之層間絕緣膜或連接孔、上層配線等(圖式未顯示)的形成工程而完成變形例1之Si電晶體。

經以上製造處理程序所形成之Si電晶體的主要結構如第6F圖所示，具有積層磷摻雜之下層48a與無摻雜之上層48b所構成的通道層48，形成從上層48b至下層48a內含有非結晶化不純物即含有鎔所構成的Ge注入層46，而具有源／汲49之構造以在通道層48內Ge注入層46與最下面46a分開的構造。

通道層48之上層16b與殘留結晶缺陷之最下面46a分開

著，因此無電性上的影響，即使結晶缺陷殘留於最下面46a之近旁的情形下，亦因下層48a存在硼而能中和結晶缺陷。

又，使用Si電晶體時形成在通道層48之空乏層亦與Ge注入層46之最下面46a分開。如此一來以保持使形成在通道層48之空乏層離開殘留結晶缺陷之最下面46a而能防止電性上的影響。

下層48a具有Ge濃度為 $1 \times 10^{18} / \text{cm}^3$ 的部位，而該部位之硼濃度需要在 $1 \times 10^{18} / \text{cm}^3$ 以上。

如以上說明依據變形例1，以效率良好地利用低溫處理而在離子注入下層48a之厚區域的狀態而能避免高溫處理的狀態，因此能將通道層48構成硼摻雜之下層48a與無摻雜之上層48b之不純物濃度差別極大的二層構造。如此一來，通道層48之垂直電場緩和而增加移動度。此情形下，可防止高硼濃度之下層48a所造成的穿通，且能抑制無摻雜之上層48b所造成的增加門檻值電壓。此門檻值電壓可藉著於形成下層48a及上層48b之際調節硼及磷之注入的各條件、調節下層48a及上層48b的硼及磷的濃度而控制，而能極細微地控制。如上所述，可實現對應更微細化、小型化之要求之高可靠度的Si電晶體。

20 (變形例2)

在此說明取代第2實施樣態之表體型矽基板而使用所謂的玻璃基板。

第7A~7F圖係以工程順序表示第2實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

首先，如第7A圖所示，於玻璃基板51上順序積層例如膜厚200nm範圍之矽氧化膜52、及例如膜厚100nm範圍之非定形矽層(圖式未顯示)。此非定形矽層相當於本發明的半導體區域。之後，於非定形矽層的表層，以例如加速能量
5 10KeV，劑量為 $1 \times 10^{13} / \text{cm}^2$ 的條件，而將要於之後記述之源／汲不純物(例如n型，在此為磷(P))與逆導電型不純物(例如p型，在此為硼(B))予以離子注入。而對非定形矽層施予雷射回火，例如施予CW雷射回火處理。此時，非定形矽層被單結晶化而形成矽層53。而且於矽層53之上層，經導
10 入之硼被活性化而形成具有同樣不純物分布的逆導電型不純物54。

此時，逆導電型不純物層54之不純物(硼)濃度例如為 $3 \times 10^{18} / \text{cm}^3$ 範圍。又，亦可使不純物濃度向深度方向緩緩地改變的分布那般地形成逆導電型不純物層54。在此說明由
15 於使用雷射而進行結晶化及不純物活性化，因此可縮短施加熱的時間而能避免高溫處理程序。

接著如第7B圖所示，於包含逆導電型不純物層54之矽層53之表層注入具有將構成半導體區域之矽予以非定形化之功能之較重的原子，在此為注入鍺(Ge)。亦可取代鍺而
20 使用矽(Si)、或氬(Ar)等非活性氣體。具體而言乃以鍺到達矽層53之表層之逆導電型不純物層54內的條件來注入，例如以加速能量80KeV、劑量為 $1 \times 10^{15} / \text{cm}^2$ 的條件來注入。藉此注入而可從包含矽層53表面至逆導電型不純物層54例如至100nm範圍的深度形成非定形化。於第7B圖中表示以

此經非定形化之不純物層作為Ge注入層55而以虛線表示其最下面55a。

接著如第7C圖所示，將於後述之與源／汲不純物(例如n型，在此為磷(P))相同導電型之不純物導入Ge注入層55，
 5 在此說明係以到達Ge注入層55之逆導電型不純物層54之上部區域的條件導入磷。具體而言，以加速能量5KeV、劑量為 $1 \times 10^{13} / \text{cm}^2$ 的條件來注入磷。藉此，於Ge注入層55之上部區域形成混合存在硼與磷之混合存在不純物層56，如此一來，會於Ge注入層55形成因形成混合存在不純物層56
 10 而存在於其下部區域的逆導電型不純物層54與該混合存在不純物層56所積層的二層構造。

接著洗淨矽層53之後，如第7D圖所示施予700°C以下的低溫回火，例如以600°C施加一小時的回火處理。藉此回火處理而使Ge注入層55單結晶化。此時，於Ge注入層55之
 15 中，逆導電型不純物層54會形成單結晶化而構成硼摻雜之下層57a、與混合存在不純物層56單結晶化而從實質來看僅呈約無摻雜狀態的上層57b所構成之二層構造的通道層57。但是，對剩餘之Ge注入層55之與矽層53之界面的最下層55a施予回火處理亦無法回復而殘留未能結晶化的結晶
 20 缺陷，又，在上層57b內亦有殘留若干未能結晶化之部位的情形。由於本實施樣態以注入非結晶化不純物即Ge而形成非定形化及進行低溫回火處理，因此硼不會擴散至無摻雜的上層57b。

接著藉例如ECR—CVD法而於通道層57上形成薄的矽

氧化膜。也可取代矽氧化膜而使用HfO或Al₂O₃等高介電值絕緣材料來形成膜。之後，例如藉於矽氧化膜上形成鉬(Mo)膜例如膜厚300nm範圍。藉光刻法及乾式蝕刻法而將Mo膜及矽氧化膜圖案化成電極形狀。如此一來，如第7E圖所示
5 於通道層57上圖案化形成藉由閘絕緣膜6所構成之閘電極36。

接著如第7F圖所示，將閘電極36作為遮罩而注入n型不純物，在此乃將磷(P)注入通道層57。具體而言，以加速能量10KeV、劑量為 $2 \times 10^{15} / \text{cm}^2$ 的條件來注入磷。藉此離子
10 注入及之後的回火處理而於閘電極36之兩側的通道層57內形成一對不純物擴散區域即源／汲58。源／汲58在通道層57內與Ge注入層55之最下面55a僅離開預定的距離。

之後，經過進行包覆閘電極36之層間絕緣膜或連接孔、上層配線等(圖式未顯示)的形成工程而完成變形例2之
15 Si電晶體。

經以上製造處理程序所形成之Si電晶體的主要結構如第7F圖所示，具有積層磷摻雜之下層57a與無摻雜之上層57b所構成的通道層57，形成從上層57b至下層57a內含有非結晶化不純物即含有鎢所構成的Ge注入層55，而具有源／
20 汲58之構造以在通道層57內Ge注入層55與最下面55a分開的構造。

通道層57之上層26b與殘留結晶缺陷之最下面55a分開著，因此無電性上的影響，又，即使結晶缺陷殘留於最下面55a之近旁的情形下，亦因下層57a存在硼而能中和結晶

缺陷。

又，使用Si電晶體時形成在通道層57之空乏層亦與Ge注入層55之最下面55a分開。如此一來以保持使形成在通道層57之空乏層離開殘留結晶缺陷之最下面55a而能防止電性上的影響。

下層57a具有Ge濃度為 $1 \times 10^{18} / \text{cm}^3$ 的部位，而該部位之硼濃度需要在 $1 \times 10^{18} / \text{cm}^3$ 以上。

如以上說明依據本實施樣態，以效率良好地利用低溫處理而能使用玻璃基板51，且能避免於下層57a之厚度區域以離子注入的狀態而高溫處理的狀況，因此將通道層57構成硼摻雜之下層57a與電性地無摻雜之上層57b之不純物濃度差別極大的二層構造。如此一來，通道層57之垂直電場緩和而增加移動度。此情形下，可防止高硼濃度之下57a所造成的穿通，且能抑制無摻雜之上層57b所造成的增加門檻值電壓。此門檻值電壓可藉著於形成下層57a及上層57b之際調節硼及磷之濃度之注入的各條件、而調節下層26a及上層57b的硼及磷之濃度而控制。如上所述，可實現對應更微細化・小型化之要求之高可靠度的Si電晶體。

產業上之利用性

依據本發明，可實現不會於使不純物活性化之際產生不純物不必要的擴散，可抑制短通道效果且能抑制門檻值電壓的增加而確保高的移動度，可對應更微細化・小型化之要求之高可靠度的半導體裝置。

【圖式簡單說明】

第1A圖係以工程順序表示第1實施樣態所構成之p型Si電晶體之製造方法的概略剝面圖。

第1B圖係以工程順序表示第1實施樣態所構成之p型Si電晶體之製造方法的概略剝面圖。

5 第1C圖係以工程順序表示第1實施樣態所構成之p型Si電晶體之製造方法的概略剝面圖。

第1D圖係以工程順序表示第1實施樣態所構成之p型Si電晶體之製造方法的概略剝面圖。

10 第1E圖係以工程順序表示第1實施樣態所構成之p型Si電晶體之製造方法的概略剝面圖。

第1F圖係以工程順序表示第1實施樣態所構成之p型Si電晶體之製造方法的概略剝面圖。

第2A圖係以工程順序表示第1實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

15 第2B圖係以工程順序表示第1實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

第2C圖係以工程順序表示第1實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

20 第2D圖係以工程順序表示第1實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

第2E圖係以工程順序表示第1實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

第2F圖係以工程順序表示第1實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

第3A圖係以工程順序表示第1實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第3B圖係以工程順序表示第1實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

5 第3C圖係以工程順序表示第1實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第3D圖係以工程順序表示第1實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

10 第3E圖係以工程順序表示第1實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第3F圖係以工程順序表示第1實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第4A圖係以工程順序表示第2實施樣態所構成之n型Si電晶體之製造方法的概略剝面圖。

15 第4B圖係以工程順序表示第2實施樣態所構成之n型Si電晶體之製造方法的概略剝面圖。

第4C圖係以工程順序表示第2實施樣態所構成之n型Si電晶體之製造方法的概略剝面圖。

20 第4D圖係以工程順序表示第2實施樣態所構成之n型Si電晶體之製造方法的概略剝面圖。

第4E圖係以工程順序表示第2實施樣態所構成之n型Si電晶體之製造方法的概略剝面圖。

第4F圖係以工程順序表示第2實施樣態所構成之n型Si電晶體之製造方法的概略剝面圖。

第5圖表示第2實施樣態所構成之型Si電晶體之通道層下層之硼之濃度輪廓的特性圖。

第6A圖係以工程順序表示第2實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

5 第6B圖係以工程順序表示第2實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

第6C圖係以工程順序表示第2實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

第6D圖係以工程順序表示第2實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

第6E圖係以工程順序表示第2實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

第6F圖係以工程順序表示第2實施樣態之變形例1所構成之n型Si電晶體之製造方法的概略剝面圖。

15 第7A圖係以工程順序表示第2實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第7B圖係以工程順序表示第2實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第7C圖係以工程順序表示第2實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第7D圖係以工程順序表示第2實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第7E圖係以工程順序表示第2實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

第7F圖係以工程順序表示第2實施樣態之變形例2所構成之n型Si電晶體之製造方法的概略剝面圖。

【主要元件符號說明】

1	n型矽基板	18a	最下面
2	逆導電型不純物層	21	玻璃基板
3	非定形矽膜	22	矽氧化膜
4	Ge注入層	23	矽層
4a	最下面	24	逆導電型不純物
5	通道層	25	Ge注入層
5a	下層	25a	最下面
5b	上層	26	通道層
6	閘絕緣膜	26a	下層
7	閘電極	26b	上層
8	源／汲	27	源／汲
11	SOI基板	28	閘電極
12	矽基體	31	矽基板
13	矽氧化膜	32	逆導電型不純物層
14	SOI層	33	Ge注入層
15	逆導電型不純物層	33a	最下面
16	通道層	34	混合存在不純物層
16a	下層	35	通道層
16b	上層	35a	下層
17	閘電極	35b	上層
18	Ge注入層	36	閘電極

37	源／汲	51	玻璃基板
41	SOI基板	52	矽氧化膜
42	矽基體	53	矽層
43	矽氧化膜	54	逆導電型不純物
44	SOI層	55	Ge注入層
45	逆導電型不純物層	55a	最下面
46	Ge注入層	56	混合存在不純物層
46a	最下面	57	通道層
47	混合存在不純物層	57a	下層
48	通道層	57b	上層
48a	下層	58	源／汲
48b	上層		
49	源／汲		

五、中文發明摘要：

本發明之Si電晶體之主要構造，係具有積層磷摻雜之下層與無摻雜之上層所構成之通道層，形成從上層至下層含有非結晶化不純物即含有鎔所構成之Ge注入層，此通道層內具有源／汲以分離Ge注入層之最下面的構造。依據此構造，可實現不會於使不純物活性化之際產生不純物不必要的擴散，可抑制短通道效果且能抑制門檻值電壓的增加而確保高的移動度，可對應更微細化・小型化之要求之高可靠度的Si電晶體。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體裝置，係包含有：

閘電極，其係藉由閘絕緣膜而形成在基板之半導體區域上；及

5 一對不純物擴散區域，其係第1導電型之第1不純物導入相當於前述半導體區域之前述閘電極兩側部位所形成，

前述半導體區域具有於其上層部分具有下層及上層之至少二層構造的通道層，前述第1不純物之逆導電型即
10 第2導電型之第2不純物導入前述通道層之前述下層，

前述通道層從前述上層至前述下層內具有含有具有使前述半導體區域非結晶化功能之非結晶化不純物的不純物層，

前述不純物層內包含前述不純物擴散區域。

15 2. 如申請專利範圍第1項之半導體裝置，其中前述不純物層之最下面係形成在前述通道層之前述下層內而構成。

3. 如申請專利範圍第1項之半導體裝置，其中前述非結晶化不純物係從Ge、Si、非活性氣體之中選擇之至少一種者。

20 4. 如申請專利範圍第1項之半導體裝置，其中前述通道層之前述下層內形成結晶缺陷，前述不純物擴散區域與前述結晶缺陷分離。

5. 如申請專利範圍第4項之半導體裝置，其中前述結晶缺陷形成於比該半導體裝置之空乏層更下側。

6. 如申請專利範圍第1項之半導體裝置，其中前述通道層之前述下層具有前述非結晶化不純物之濃度為 $1 \times 10^{18} / \text{cm}^3$ 的部位，該部位之前述第2不純物之濃度為 $1 \times 10^{18} / \text{cm}^3$ 以上。
- 5 7. 如申請專利範圍第1項之半導體裝置，其中前述通道層之前述上層係僅含有前述非結晶化不純物者。
8. 如申請專利範圍第1項之半導體裝置，其中前述通道層之前述上層係不僅含有前述非結晶化不純物，且含有前述第1導電型不純物及前述第2導電型不純物者。
- 10 9. 如申請專利範圍第1項之半導體裝置，其中前述基板係於絕緣層上具有前述半導體區域所構成者。
10. 如申請專利範圍第1項之半導體裝置，其中前述基板係於玻璃基板上藉由絕緣層而具有前述半導體區域所構成者。
- 15 11. 一種半導體裝置之製造方法，係包含有：
- 將第1不純物之逆導電型即第2導電型之第2不純物導入基板之半導體區域的步驟；
- 以低溫在前述半導體區域上堆積形成矽膜的步驟；
- 將非結晶化不純物導入前述矽膜及包含前述第2不純物導入部位之前述半導體區域表層，而使包含前述矽膜及前述第2不純物導入部位之前述半導體區域表層非結晶化的步驟；
- 20 藉回火處理而使前述矽膜及前述第2不純物導入部位之前述半導體區域表層單結晶化，而將前述第2不純物

之導入部位設為下層，將前述矽膜設為上層之形成至少二層構造之通道層的步驟；

藉由閘絕緣膜而於前述通道層上圖案形成閘電極的步驟；及

5 將第1導電型之第1不純物導入相當於前述通道層之前述閘電極兩側的部位，而形成一對不純物擴散區域的步驟。

12. 如申請專利範圍第11項之半導體裝置之製造方法，其中
10 將經單結晶化之前述半導體區域之表層的最下面，形成在前述通道層之前述下層內。

13. 如申請專利範圍第11項之半導體裝置之製造方法，其中
前述非結晶化不純物係從Ge、Si、非活性氣體之中選擇之至少一種者。

14. 如申請專利範圍第11項之半導體裝置之製造方法，其中
15 前述通道層之前述下層中形成結晶缺陷，前述不純物擴散區域與前述結晶缺陷分離。

15. 如申請專利範圍第14項之半導體裝置之製造方法，其中
前述結晶缺陷形成於比該半導體裝置之空乏層更下側。

16. 如申請專利範圍第11項之半導體裝置之製造方法，其中
20 前述通道層之前述下層具有前述非結晶化不純物之濃度為 $1 \times 10^{18} / \text{cm}^3$ 的部位，該部位之前述第2不純物之濃度為 $1 \times 10^{18} / \text{cm}^3$ 以上。

17. 如申請專利範圍第11項之半導體裝置之製造方法，其中
在 700°C 以下進行前述回火處理。

18. 如申請專利範圍第11項之半導體裝置之製造方法，其中
前述基板係於絕緣層上具有前述半導體區域所構成者。

19. 如申請專利範圍第11項之半導體裝置之製造方法，其中
前述基板係於玻璃基板上藉由絕緣層而具有前述半導體
5 區域所構成者。

20. 一種半導體裝置之製造方法，係包含有：

將第1不純物之逆導電型即第2導電型之第2不純物
導入基板之半導體區域的步驟；

10 將非結晶化不純物導入基板之半導體區域表層以包
含前述第2不純物導入部位而使前述半導體區域表層非
結晶化的步驟；

將第1導電型之第1不純物導入經結晶化之前述半導
體區域表層之上部的步驟；

15 藉回火處理而使已非結晶化之前述半導體區域表層
單結晶化，而將前述半導體區域內之前述非結晶化不純
物及前述第2不純物之導入部位設為下層，將前述非結晶
化不純物、前述第1不純物及前述第2不純物之導入部位
設為上層之形成至少二層構造之通道層的步驟；

20 藉由閘絕緣膜而於前述通道層上圖案形成閘電極的
步驟；及

將第1導電型之第1不純物導入相當於前述通道層之
前述閘電極兩側的部位，而形成一對不純物擴散區域的
步驟。

21. 如申請專利範圍第20項之半導體裝置之製造方法，其中

將經單結晶化之前述半導體區域之表層的最下面，形成在前述通道層之前述下層內。

22. 如申請專利範圍第20項之半導體裝置之製造方法，其中
5 前述非結晶化不純物係從Ge、Si、非活性氣體之中選擇之至少一種者。

23. 如申請專利範圍第20項之半導體裝置之製造方法，其中
前述通道層之前述下層中形成結晶缺陷，前述不純物擴散區域與前述結晶缺陷分離。

24. 如申請專利範圍第20項之半導體裝置之製造方法，其中
10 前述結晶缺陷形成於比該半導體裝置之空乏層更下側。

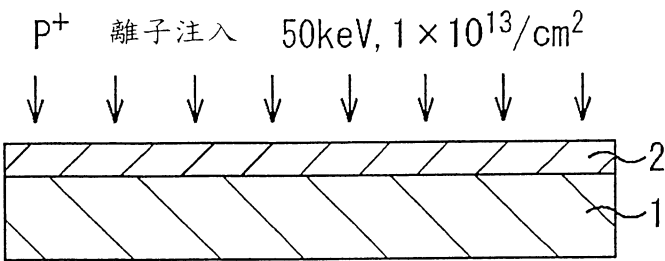
25. 如申請專利範圍第20項之半導體裝置之製造方法，其中
前述通道層之前述下層具有前述非結晶化不純物之濃度為 $1 \times 10^{18} / \text{cm}^3$ 的部位，該部位之前述第2不純物之濃度為 $1 \times 10^{18} / \text{cm}^3$ 以上。

15 26. 如申請專利範圍第20項之半導體裝置之製造方法，其中在 700°C 以下進行前述回火處理。

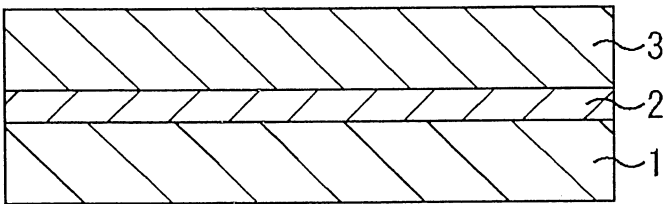
27. 如申請專利範圍第20項之半導體裝置之製造方法，其中
前述基板係於絕緣層上具有前述半導體區域所構成者。

28. 如申請專利範圍第20項之半導體裝置之製造方法，其中
20 前述基板係於玻璃基板上藉由絕緣層而具有前述半導體區域所構成者。

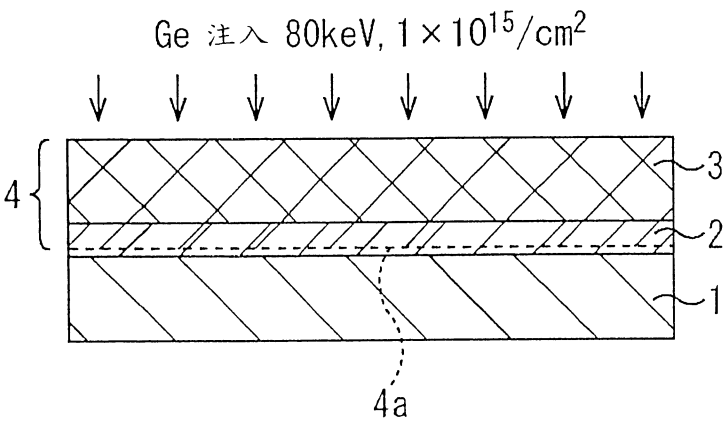
第 1A 圖



第 1B 圖

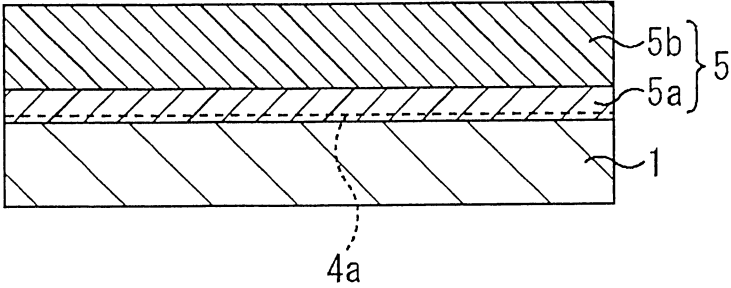


第 1C 圖

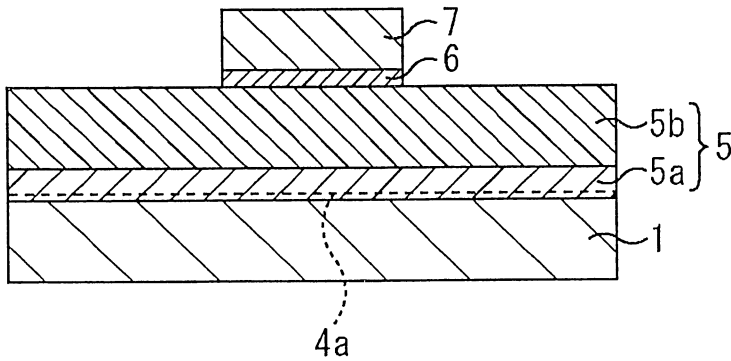


第 1D 圖

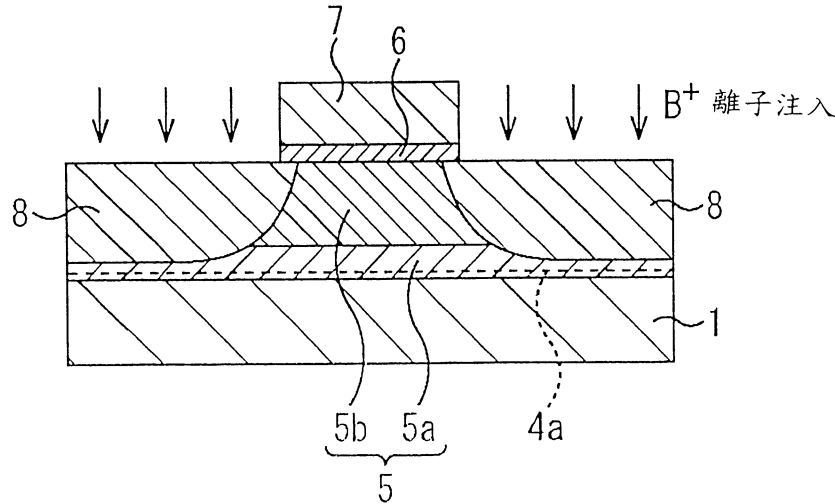
回火處理



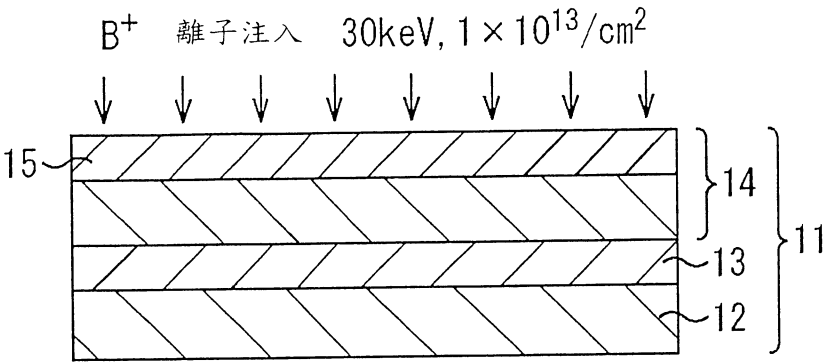
第 1E 圖



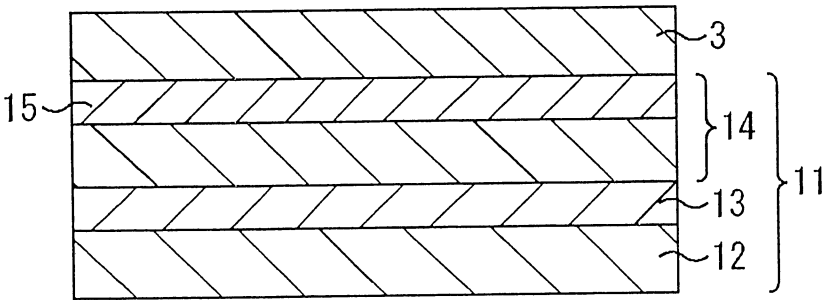
第 1F 圖



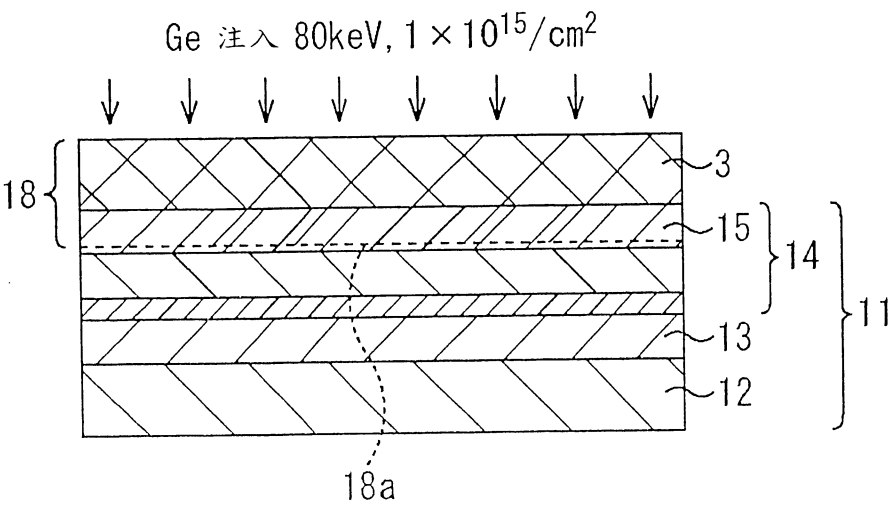
第 2A 圖



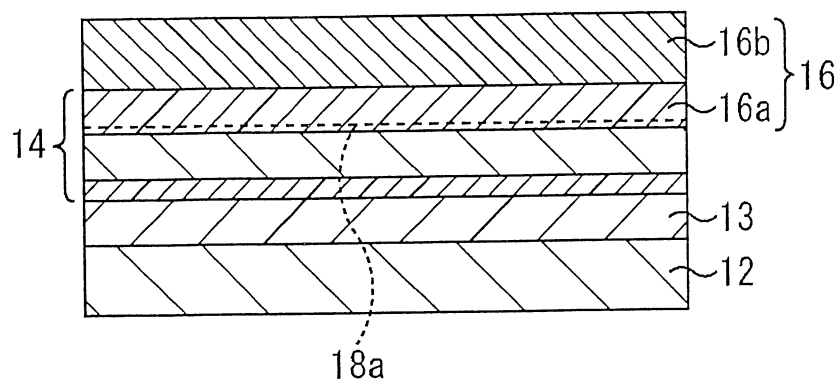
第 2B 圖



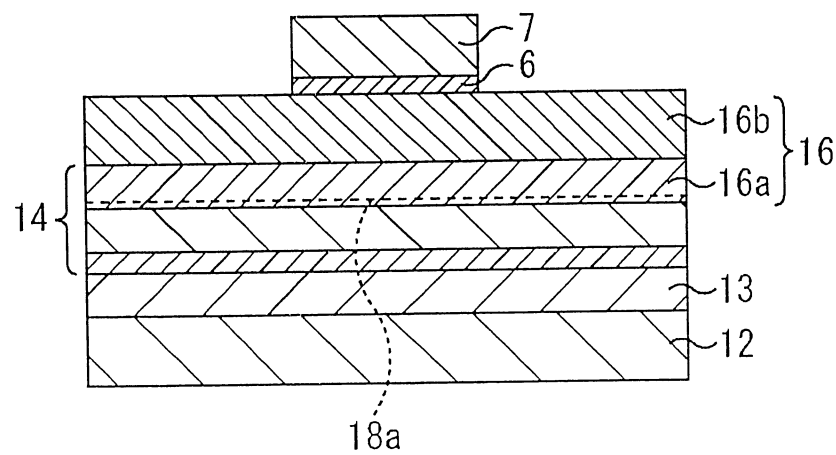
第 2C 圖



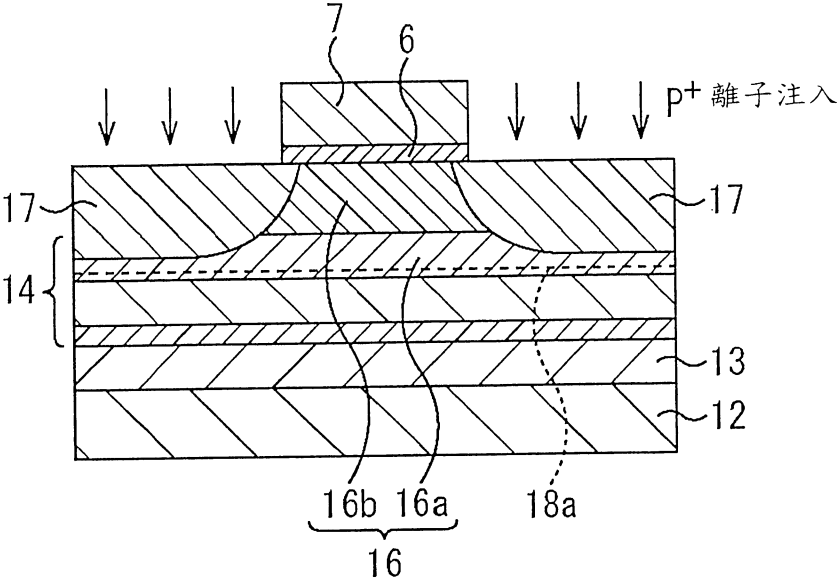
第 2D 圖



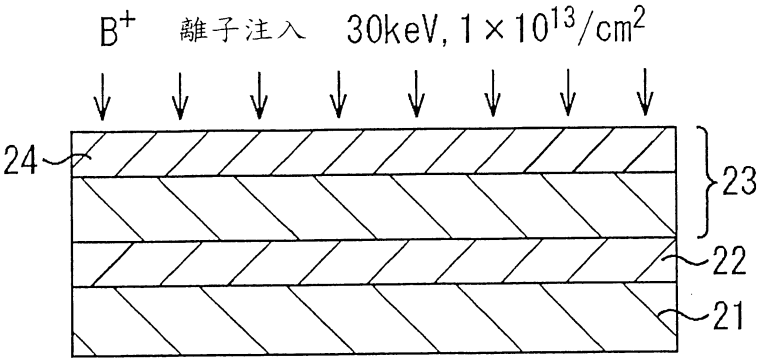
第 2E 圖



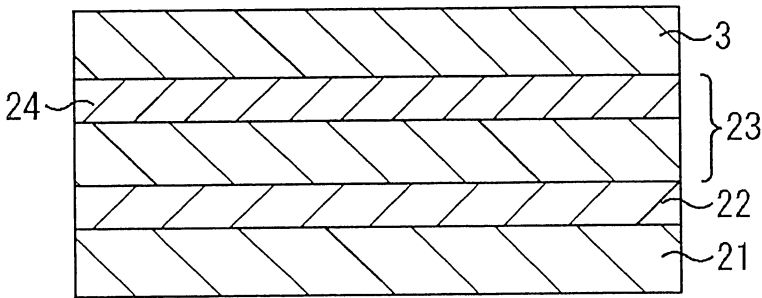
第 2F 圖



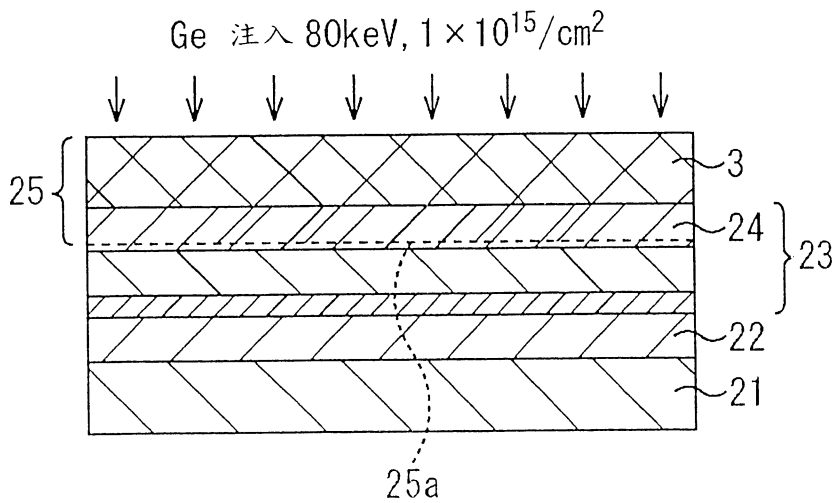
第 3A 圖



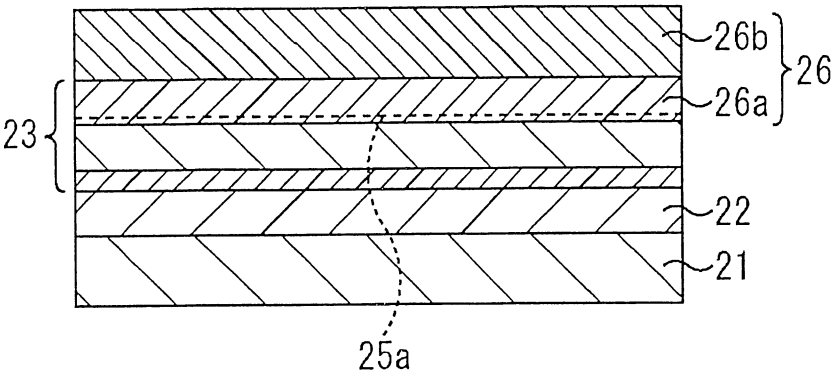
第 3B 圖



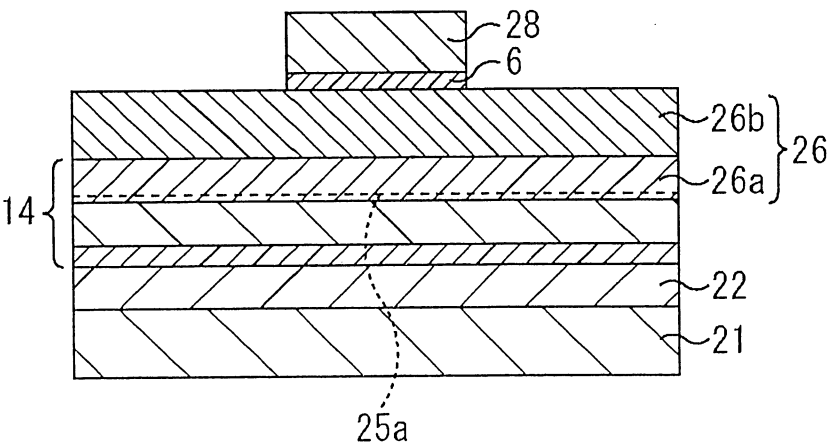
第 3C 圖



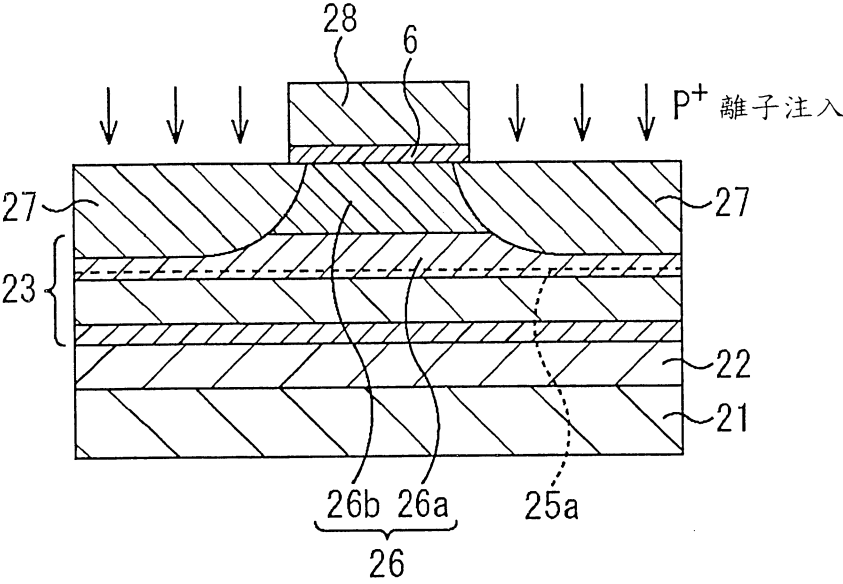
第 3D 圖



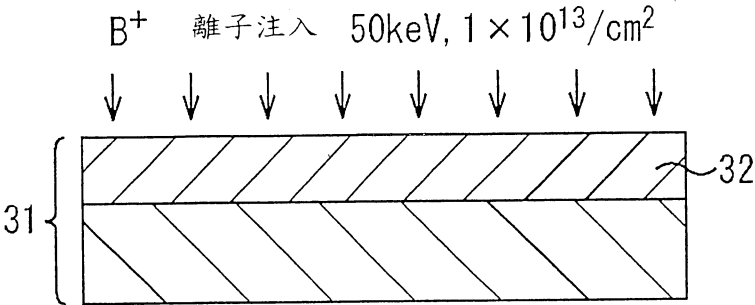
第 3E 圖



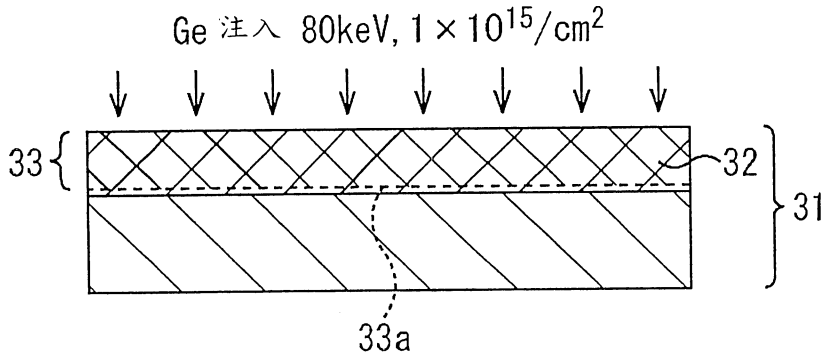
第 3F 圖



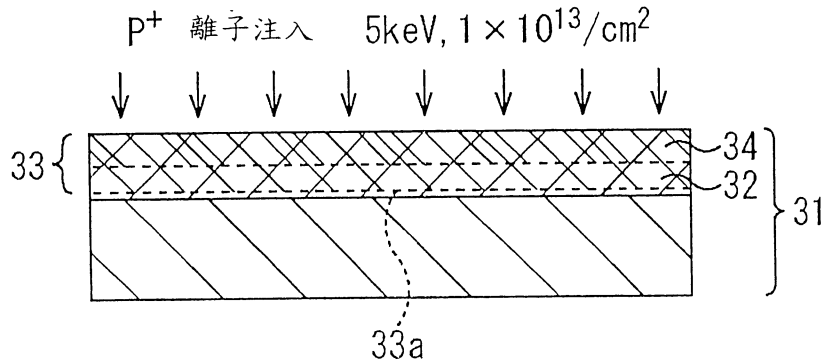
第 4A 圖



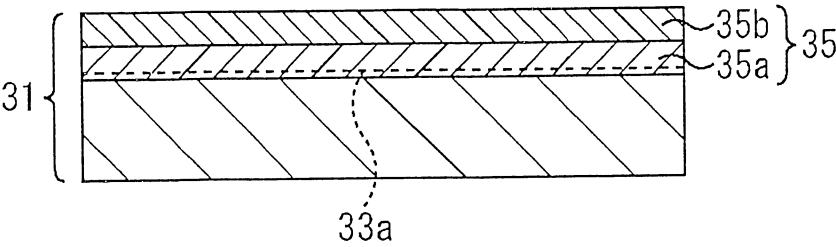
第 4B 圖



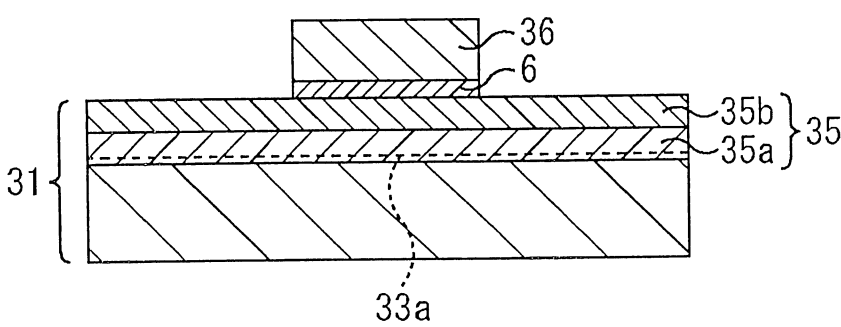
第 4C 圖



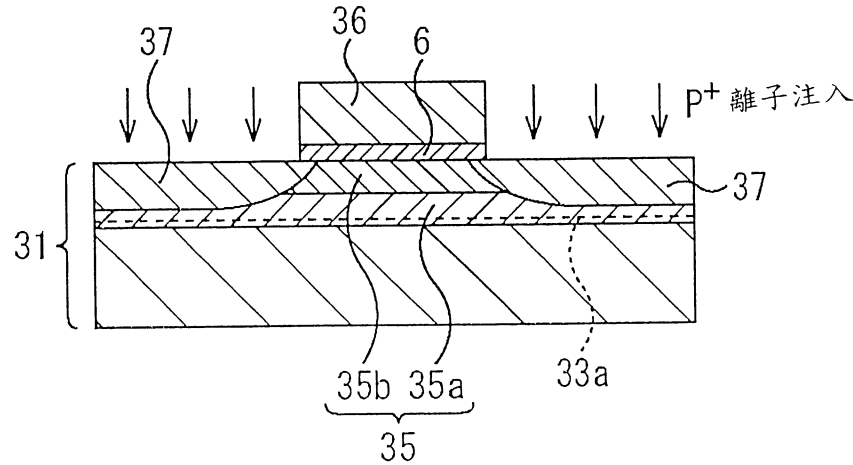
第 4D 圖



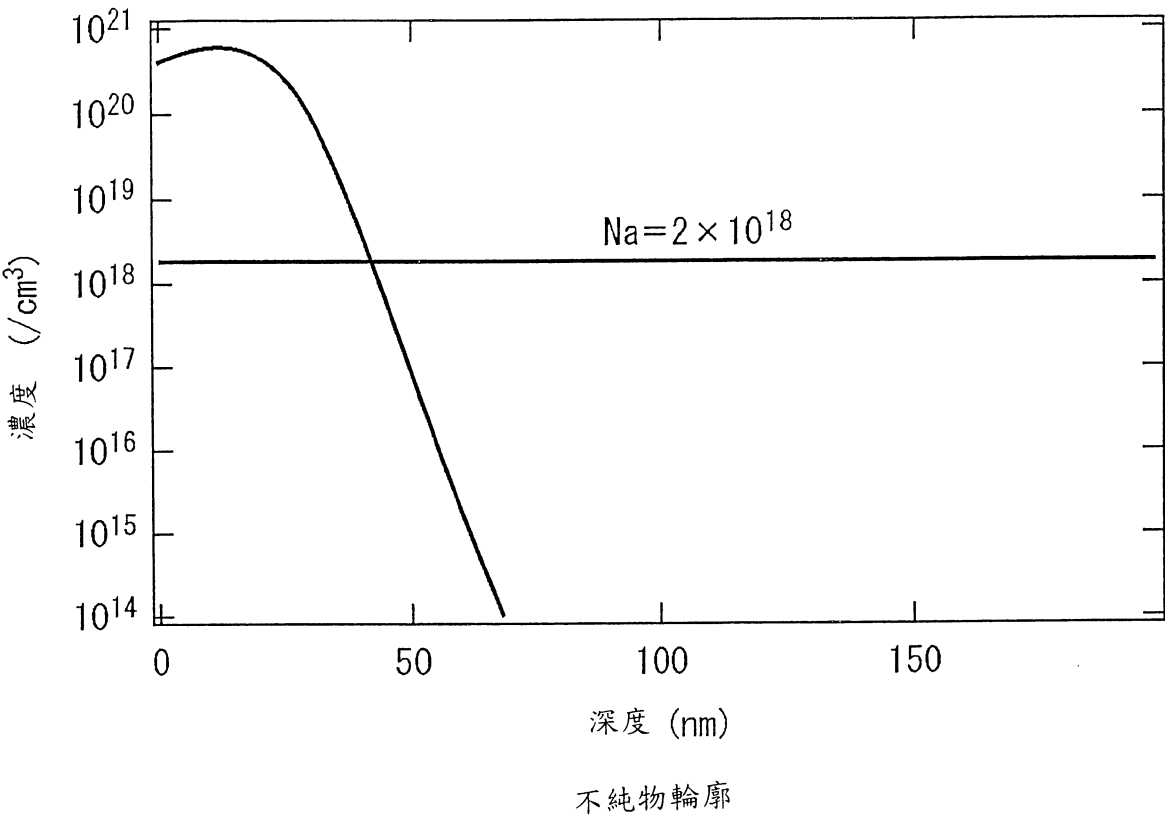
第 4E 圖



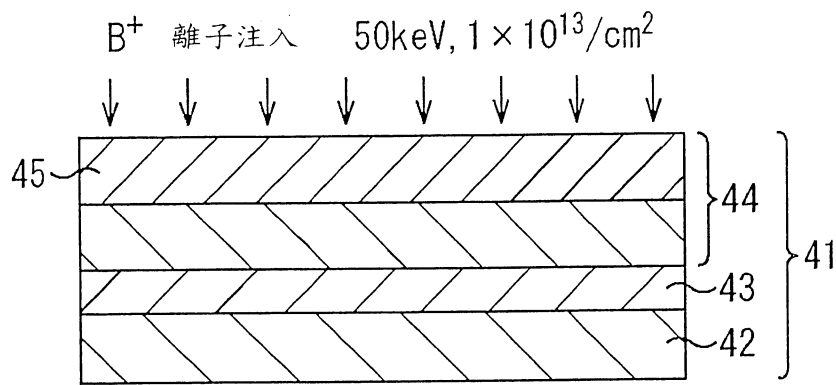
第 4F 圖



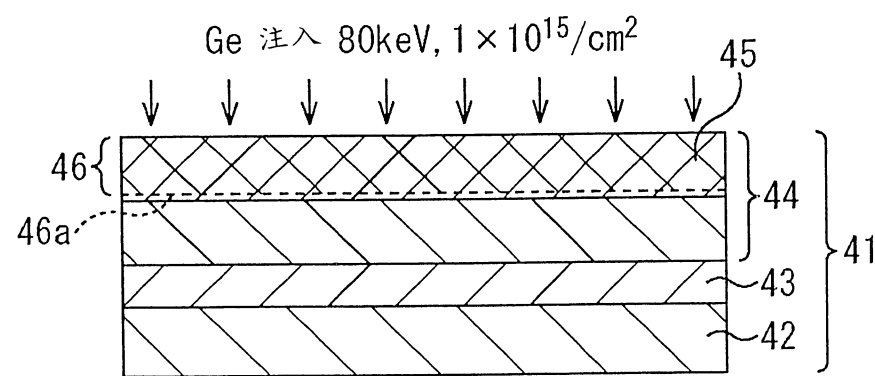
第 5 圖



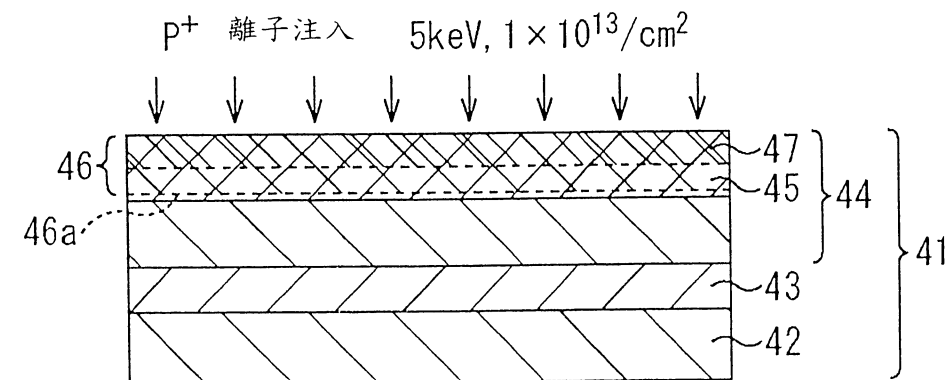
第 6A 圖



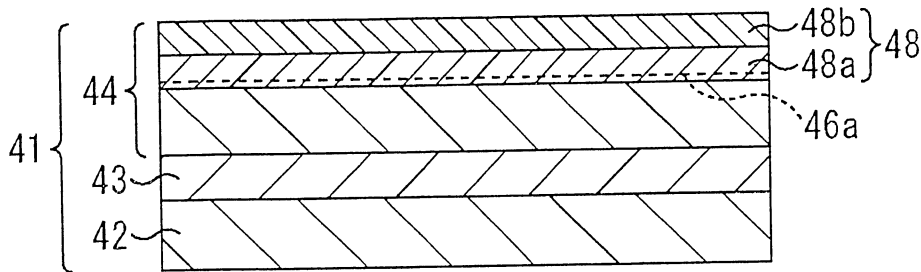
第 6B 圖



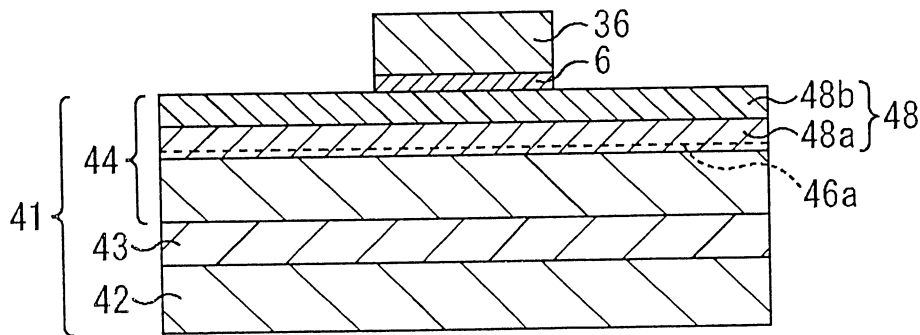
第 6C 圖



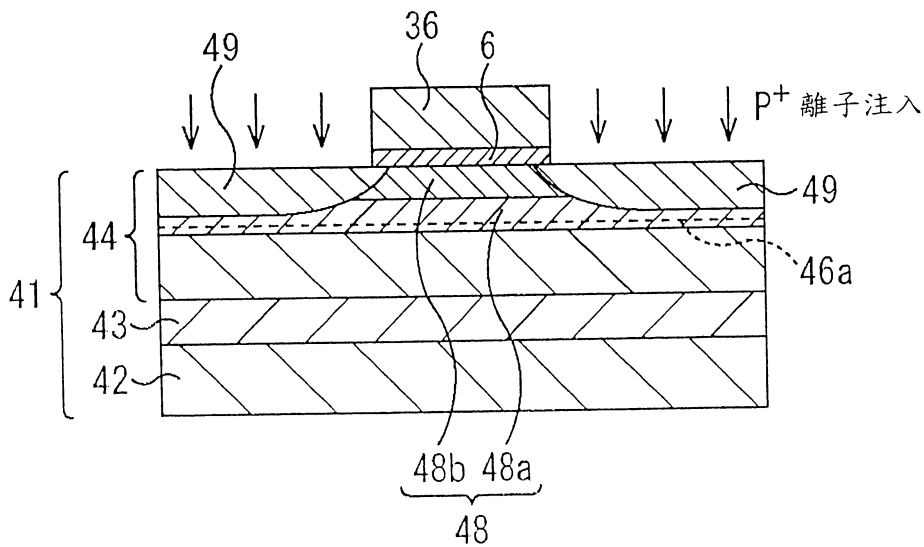
第 6D 圖



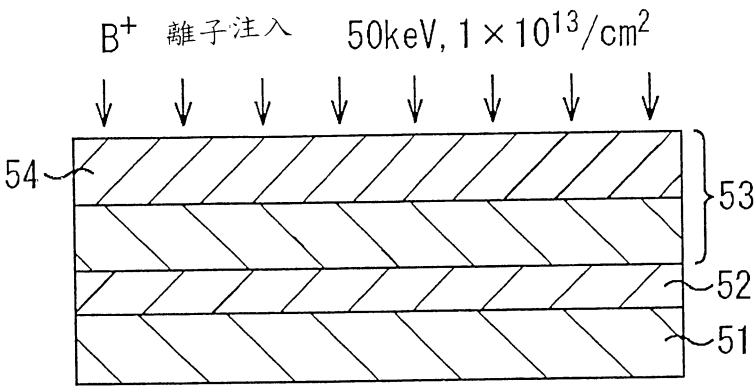
第 6E 圖



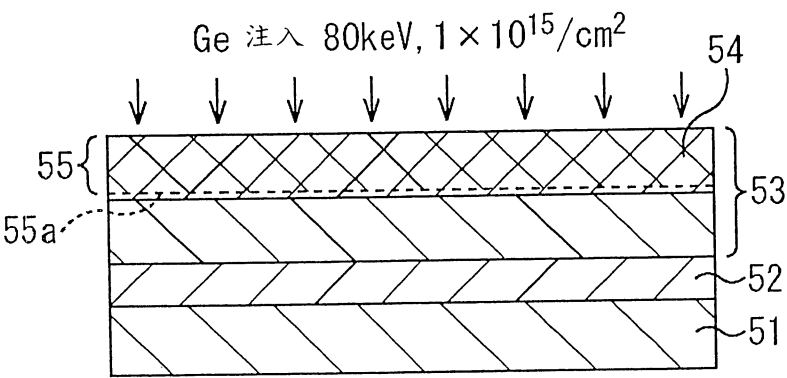
第 6F 圖



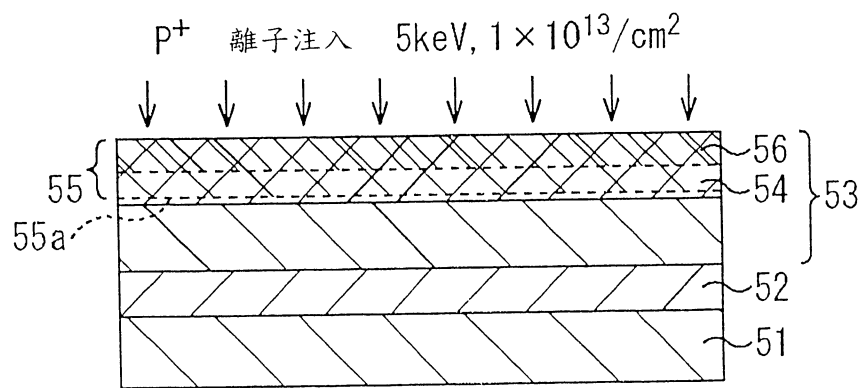
第 7A 圖



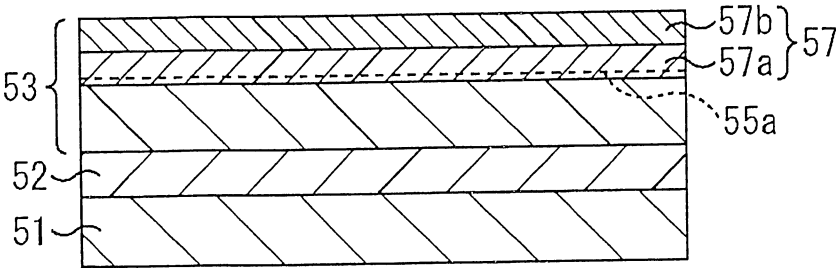
第 7B 圖



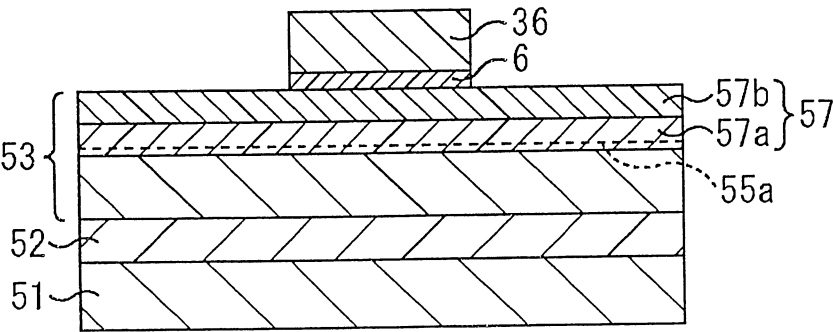
第 7C 圖



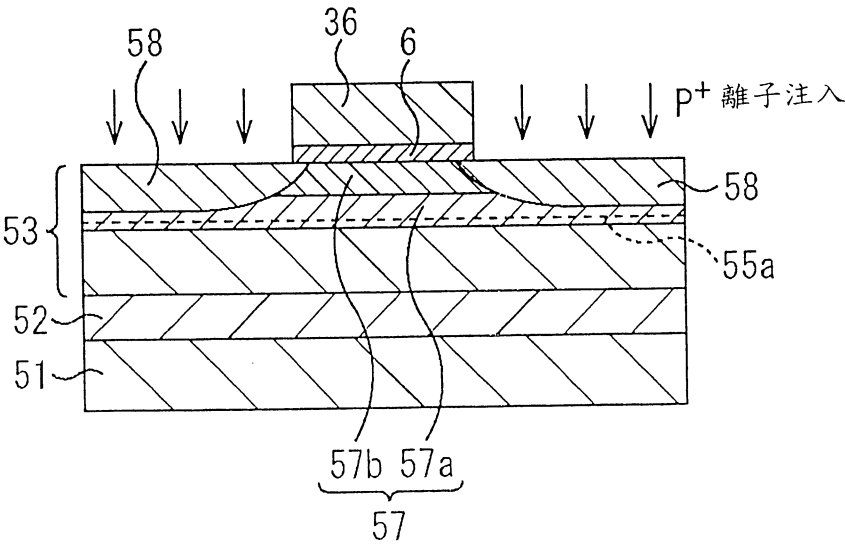
第 7D 圖



第 7E 圖



第 7F 圖



七、指定代表圖：

(一)本案指定代表圖為：第 (1F) 圖。

(二)本代表圖之元件符號簡單說明：

- 1 n型矽基板
- 4a 最下面
- 5 通道層
- 5a 下層
- 5b 上層
- 6 閘絕緣膜
- 7 閘電極
- 8 源／汲

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：