

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5114470号
(P5114470)

(45) 発行日 平成25年1月9日(2013.1.9)

(24) 登録日 平成24年10月19日(2012.10.19)

(51) Int.Cl.	F I	
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00	6 3 2 Z
H O 1 L 27/10 (2006.01)	H O 1 L 27/10	4 6 1
H O 1 L 21/8247 (2006.01)	H O 1 L 27/10	4 3 4
H O 1 L 27/115 (2006.01)	H O 1 L 29/78	3 7 1
H O 1 L 21/336 (2006.01)	H O 1 L 27/10	4 8 1

請求項の数 5 (全 11 頁) 最終頁に続く

(21) 出願番号	特願2009-289022 (P2009-289022)	(73) 特許権者	504199127
(22) 出願日	平成21年12月21日(2009.12.21)		フリースケール セミコンダクター イン
(62) 分割の表示	特願平10-146505の分割		コーポレイテッド
原出願日	平成10年5月12日(1998.5.12)		アメリカ合衆国 テキサス州 78735
(65) 公開番号	特開2010-113797 (P2010-113797A)		オースティン ウィリアム キャノン
(43) 公開日	平成22年5月20日(2010.5.20)		ドライブ ウェスト 6501
審査請求日	平成22年1月19日(2010.1.19)	(74) 代理人	100107766
(31) 優先権主張番号	08/859,897		弁理士 伊東 忠重
(32) 優先日	平成9年5月21日(1997.5.21)	(74) 代理人	100070150
(33) 優先権主張国	米国 (US)		弁理士 伊東 忠彦
		(74) 代理人	100091214
			弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 メモリ回路におけるリーケージ電流を制限する回路および方法

(57) 【特許請求の範囲】

【請求項 1】

メモリ回路であって、
基板に配置された第1の半導体領域と、
メモリセルを含む第2の半導体領域であって、該第2の半導体領域は前記第1の半導体領域に配置されかつ前記基板から前記第1の半導体領域によって隔離されている、第2の半導体領域と、

第1の電源導体と前記第1の半導体領域との間に結合された電流制限回路であって、制御信号を受けるように結合された制御端子と、前記第1の電源導体を前記第1の半導体領域に結合するための第1および第2の導通端子とを有する金属酸化物半導体電界効果トランジスタ(MOSFET)を含む電流制限回路とを備え、

前記MOSFETが導通モードの場合、前記MOSFETは、前記基板と前記第1の半導体領域によって、および前記第2の半導体領域と前記第1の半導体領域によって形成される複数の逆方向バイアスされたダイオードに対して電流を供給するように動作し、

スタンバイモードにおいて、前記MOSFETは、非導通モードに置かれて、前記複数の逆方向バイアスされたダイオードに対するリーケージ電流の供給を阻止するように動作する、メモリ回路。

【請求項 2】

前記MOSFETがPチャネルMOSFETである場合、前記メモリセルが前記スタンバイモードである場合に、前記制御端子にはVDDの電圧値が印加されており、前記MO

S F E TがNチャンネルM O S F E Tである場合、前記メモリセルが前記スタンバイモードである場合に前記制御端子にはグラウンドの電圧値が印加されている、請求項1に記載のメモリ回路。

【請求項3】

無線装置であって、

送信された信号を受信しかつデジタルデータを提供するよう結合された変換器と、

前記デジタルデータを受けよう結合された処理回路と、

データを提供するメモリ回路であって、該メモリ回路は、

(a) 基板に配置された第1の半導体領域と、

(b) メモリセルを含む第2の半導体領域であって、該第2の半導体領域は前記第1の半導体領域に配置されかつ前記第1の半導体領域によって前記基板から隔離されている、第2の半導体領域と、

(c) 第1の電源導体および前記第1の半導体領域の間に結合された電流制限回路であって、制御信号を受けよう結合された制御端子と、前記第1の電源導体を前記第1の半導体領域に結合するための第1および第2の導通端子とを有する金属酸化物半導体電界効果トランジスタ(M O S F E T)を含む電流制限回路と

を含む、メモリ回路とを備え、

前記M O S F E Tが導通モードの場合、前記M O S F E Tは、前記基板と前記第1の半導体領域によって、および前記第2の半導体領域と前記第1の半導体領域によって形成される複数の逆方向バイアスされたダイオードに対して電流を供給するように動作し、

スタンバイモードにおいて、前記M O S F E Tは、非導通モードに置かれて、前記複数の逆方向バイアスされたダイオードに対するリーケージ電流の供給を阻止するように動作する、無線装置。

【請求項4】

集積回路であって、

メモリセルを含む第2の半導体領域と、

前記メモリセルを含む前記第2の半導体領域を基板から分離するアイソレーション領域であって、前記アイソレーション領域に前記第2の半導体領域が配置される、アイソレーション領域と、

第1の電源導体と前記アイソレーション領域との間に結合された導通経路を提供する電流制限半導体装置であって、制御信号を受けよう結合された制御端子と、前記第1の電源導体を前記アイソレーション領域に結合するための第1および第2の導通端子とを有する金属酸化物半導体電界効果トランジスタ(M O S F E T)を含む電流制限半導体装置とを備え、

前記M O S F E Tが導通モードの場合、前記M O S F E Tは、前記基板と前記アイソレーション領域によって、および前記第2の半導体領域と前記アイソレーション領域によって形成される複数の逆方向バイアスされたダイオードに対して電流を供給するように動作し、

スタンバイモードにおいて、前記M O S F E Tは、非導通モードに置かれて、前記複数の逆方向バイアスされたダイオードに対するリーケージ電流の供給を阻止するように動作する、集積回路。

【請求項5】

リーケージ電流を制限する方法であって、

基板に第1の半導体ウエルを配置する段階と、

前記第1の半導体ウエルに第2の半導体ウエルを配置して前記第2の半導体ウエルを前記基板から隔離する段階と、

第1の電源導体と前記第1の半導体ウエルの間の電流を、電流制限回路を用いて制限する段階であって、前記電流制限回路は、制御信号を受けよう結合された制御端子と、前記第1の電源導体を前記第1の半導体ウエルに結合するための第1および第2の導通端子とを有する金属酸化物半導体電界効果トランジスタ(M O S F E T)を含む、制限する

10

20

30

40

50

段階とを備え、

前記MOSFETが導通モードの場合、前記MOSFETは、前記基板と前記第1の半導体ウエルによって、および前記第2の半導体ウエルと前記第1の半導体ウエルによって形成される複数の逆方向バイアスされたダイオードに対して電流を供給するように動作し、

スタンバイモードにおいて、前記MOSFETは、非導通モードに置かれて、前記複数の逆方向バイアスされたダイオードに対するリーケージ電流の供給を阻止するように動作する、リーケージ電流を制限する方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、一般的には、集積回路に関し、かつより特定的には、電流制限回路に関する。

【背景技術】

【0002】

セルラ電話またはページャのような携帯用無線システムは無線周波(RF)からベースバンドにおよぶ周波数の間で信号を変換するためにアナログおよびアクティブまたは能動回路を使用する。受信されたRF信号はRF送受信機、ダウンコンバータ、および復調器のような回路を通してベースバンドに変換される。セルラ電話の場合は、変換されたベースバンド信号は音声帯域周波数において認識可能な音声へと処理される。携帯用無線システムは典型的にはバッテリー電源からその動作電力を得る。携帯用無線システムにおけるアナログおよびアクティブ回路はシステムの動作の間におけるバッテリー電流消費の主たる原因となる。

20

【発明の概要】

【発明が解決しようとする課題】

【0003】

アナログおよびアクティブ回路のトランジスタは集積回路の基板に形成されたウエル(well)領域を有する。基板におけるウエル領域によって形成された逆バイアスされたPN接合ダイオードは該ダイオードの接合領域に基づくリーケージ電流を有する。携帯用無線システムが信号を送信または受信していないときには、該システムはバッテリー寿命を延長するためにスタンバイモードに入る。スタンバイモードにおいては、アナログおよびアクティブ回路の大部分はディスエーブルまたは不動作とされこれは前記ダイオードのリーケージ電流がバッテリーの寿命を低下させる支配的な電流となるようにさせる。

30

【0004】

従って、携帯用無線システムのバッテリー寿命を延長するためにスタンバイモードの間における集積回路のダイオードのリーケージ電流を制限する回路をもつことが有利であろう。さらに、該電流制限回路は小さな寸法を有しかつ容易に集積できることが好都合であろう。

【課題を解決するための手段】

【0005】

40

一般に、本発明はスタンバイモードで動作している間に携帯用無線システムにおけるメモリアレイのメモリセルの電流制限を行う回路および方法を提供する。携帯用無線通信システムはその電源をローカルなまたは局所的なバッテリー電源から得る。アナログおよびアクティブ回路は通常システム動作の間における電流消費の主たる要因である。しかしながら、スタンバイモードにおいては、アクティブ回路はディスエーブルされかつ集積回路のトランジスタに関連するウエル領域からのリーケージ電流がバッテリー寿命を低下させる電流消費の主たる要因となる。携帯用無線システムは典型的には高いパーセンテージまたは割合の時間の間スタンバイモードで動作する。従って、前記電流制限回路はスタンバイモードの間にオフに切り替えられて半導体ウエルのリーケージ電流を制限しかつバッテリーの寿命を延長する。

50

【 0 0 0 6 】

本発明の一態様では、メモリ回路が提供され、該メモリ回路は、基板(62)に配置された第1の半導体領域(64)、メモリセル(42, 52)を含む第2の半導体領域(66)であって、該第2の半導体領域は前記第1の半導体領域(64)に配置されかつ前記基板(62)から前記第1の半導体領域(64)によって隔離されているもの、そして第1の電源導体(72)と前記第1の半導体領域(64)との間に結合された電流制限回路(70)、を具備することを特徴とする。

【 0 0 0 7 】

前記電流制限回路(70)は制御信号を受けるよう結合された制御端子(74)、および前記第1の電源導体(72)を前記第1の半導体領域(64)に結合するための第1および第2の電流導通端子を有する金属酸化物半導体電界効果トランジスタ(MOSFET)を含むと好都合である。

10

【 0 0 0 8 】

本発明の別の態様では、無線装置が提供され、該無線装置は、送信された信号を受信しかつデジタルデータを提供するよう結合された変換器(14)、前記デジタルデータを受けるよう結合された処理回路(18)、そしてデータを提供するメモリ回路(24)であって、該メモリ回路(24)は、(a)基板(62)に配置された第1の半導体領域(64)、(b)メモリセル(42, 52)を含む第2の半導体領域(66)であって、該第2の半導体領域(66)は前記第1の半導体領域(64)に配置されかつ前記第1の半導体領域(64)によって前記基板(62)から隔離されているもの、そして(c)第1の電源導体(72)および前記第1の半導体領域(64)の間に結合された電流制限回路(70)、を具備する前記メモリ回路(24)、を具備することを特徴とする。

20

【 0 0 0 9 】

本発明のさらに別の態様では、集積回路が提供され、該集積回路は、メモリセル、該メモリセルを基板(62)から分離するアイソレーション領域(64)、そして第1の電源導体(72)と前記アイソレーション領域(64)との間に結合された導通経路を有する電流制限半導体装置(70)、を具備することを特徴とする。

【 0 0 1 0 】

本発明のさらに別の態様では、リーケージ電流を制限する方法が提供され、該方法は、基板(62)に第1の半導体ウエル(64)を配置する段階、前記第1の半導体ウエル(64)に第2の半導体ウエル(66)を配置して前記第2の半導体ウエル(66)を前記基板(62)から隔離する段階、そして第1の電源導体(72)と前記第1の半導体ウエル(64)の間の電流を制限する段階、を具備することを特徴とする。

30

【 図面の簡単な説明 】

【 0 0 1 1 】

【図1】無線通信装置を示すブロック図である。

【図2】無線通信装置におけるメモリ回路を示すブロック図である。

【図3】図2のメモリ回路のメモリセルを示す電気回路図である。

【図4】メモリセルおよび電流制限回路を示す断面図である。

【図5】電流制限回路の1実施形態を示す電気回路図である。

40

【図6】電流制限回路の他の実施形態を示す電気回路図である。

【図7】電流制限回路のさらに他の実施形態を示す電気回路図である。

【図8】電流制限回路のさらに他の実施形態を示す電気回路図である。

【図9】電流制限回路のさらに他の実施形態を示す電気回路図である。

【 発明を実施するための形態 】

【 0 0 1 2 】

図1は、セルラ電話または2方向無線機のような無線通信装置10のブロック図である。無線通信装置10はアンテナ12、RF送受信機14(送信回路および受信回路)、ダウンコンバータおよび復調回路16、データ処理回路18、スピーカ20、キーパッド22、およびメモリ回路24を含む。アンテナ12はデジタル情報によって変調された送信

50

無線周波キャリア信号を受信する。RF送受信機14は該RFキャリア信号を受信しかつ周波数を中間周波(IF)信号へとダウンコンバートし該IF信号はダウンコンバータおよび復調回路16の入力に結合される。RF送受信機14はまた送信された信号を受信するよう結合された変換器(トランスレータ)とも称されることに注目すべきである。ダウンコンバータおよび復調回路16は前記IF信号からデジタル情報を抽出してデータ処理回路14の入力に結合されるベースバンドデジタルデータを生成する。データ処理回路14はメモリ回路24の不揮発性フラッシュ(FLASH)メモリに記憶されたソフトウェアプログラム命令の制御の下に動作する。データ処理回路18はキーパッド22からデータを受信する入力およびスピーカ20をドライブするためのオーディオ信号を生成する出力を有する。

10

【0013】

図2は、メモリ回路24のブロック図である。フラッシュメモリ回路24は始めに消去されかつ論理“1”のデータ値によってプログラムされるべきメモリセルが書き込まれる。ページバッファ回路28は双方向バス26を介して入力信号を受けるよう結合されている。ページバッファ回路28はバス26を介してセンスアンプ回路30に接続されている。センスアンプ回路30はコラムmux(マルチプレクサ)32に接続されたデータバス31を有する。コラムmux32はアドレス信号を受けるよう結合された制御入力を受けかつデータがメモリアレイ34における選択されたビットラインから読み出すことができるようにする。コラムデコード回路36はアドレスバスからアドレスラインを受けかつ該アドレスラインをコラムmux32における1つの列またはコラムのメモリセルを選択するためにデコードする。ローデコード回路38はアドレスバスからアドレスラインを受けかつ該アドレスラインをメモリアレイ34内の1つのローまたは行のメモリセルを選択するためにデコードする。双方向バス26, 31および33のためのラインの数は本発明を限定するものでないことに注目すべきである。

20

【0014】

図3は、メモリセル40のブロック図である。図2を一時的に参照すると、一例としてのメモリセル40が複数個アレイに構成されかつメモリアレイ34(アレイは図示されていない)のローまたは行およびコラムまたは列へと配列されている。メモリセル40は制御トランジスタ42および選択トランジスタ52を含む2トランジスタメモリセルである。制御トランジスタ42はゲート端子44、ゲート構造46、ドレイン領域48、およびソース領域50を有する。選択トランジスタ52はゲート端子54、ゲート構造56、ドレイン領域50、およびソース領域58を有する。特に、制御トランジスタ42のドレイン領域48は信号を受信するかあるいは発生するメモリセル40の出力、「ビットライン(BITLINE)」として作用する。制御トランジスタ42のソース領域は選択トランジスタ52のドレイン領域に共通に接続されかつ参照番号50で参照される。選択トランジスタ52のソース領域58は電源導体60に接続されている。制御トランジスタ42のドレイン領域48およびソース領域50の双方および選択トランジスタ52のドレイン領域50およびソース領域58の双方はウエル端子61によってコンタクトされるウエル領域に配置されている。選択トランジスタ52は制御トランジスタ42のソースに接続されて示されかつソース選択メモリアーキテクチャ(source selected memory architecture)と称される。しかしながら、メモリアーキテクチャの形式は本発明を限定するものではない。言い換えれば、メモリセルは1トランジスタメモリセルアーキテクチャとすることもできる。

30

40

【0015】

制御トランジスタ42はフローティングゲートトランジスタとして示されていることに注目すべきである。言い換えれば、制御トランジスタ42はフローティングゲート、すなわちゲート端子から分離されかつ隔離または絶縁された(isolated)ゲート材料、上に電荷を捕捉する不揮発性メモリ記憶トランジスタである。さらに、制御トランジスタ42および選択トランジスタ52はNチャネル金属酸化物半導体電界効果トランジスタ(MOSFET)として示されていることに注目すべきである。しかしながら、トラン

50

ジスタの種別は本発明を限定するものではない。

【0016】

動作においては、メモリセル40は「プログラム」モードにおいてデジタルデータを記憶し、「読出し」モードにおいて記憶したデジタルデータを読み出し、かつ「消去」モードにおいて記憶されたデジタルデータを消去する。メモリセル40のゲート端子44および54は、それぞれ、制御端子および選択ゲートと称される。電源導体60はソース端子(SOURCE TERMINAL)と称される。

【0017】

以下の表1は、読出しモード、プログラムモード、および消去モードにおいて動作する場合にメモリセル40の制御端子、選択ゲート、ソース端子、およびウエル端子に印加される電圧値を示す。さらに、プログラムモードにおいて「ビットライン」信号としてある電圧値が供給される。一例として、選択ゲート電圧が約0ボルトから約VDDへと遷移し、かつ制御端子およびソース端子がそれぞれ約+1.2ボルトおよび約0ボルトの電圧値を有する場合に、メモリセル40に記憶された値がビットライン信号として読出しモードにおいて出力される。

10

【0018】

あるいは、約-9ボルトおよび約0ボルトのそれぞれの電圧値が制御端子およびソース端子に印加されたときプログラムモードにおいてある値がメモリセル40に記憶される。選択トランジスタ52のゲート端子上的電圧値はVDD~グラウンドの範囲内の任意の電圧である。メモリセル40はビットライン信号が約+5.5ボルトの値を有する場合にプログラムされかつビットライン信号が約0ボルトの値を有する場合に不変に留まっている。表1の文字Xは「ドントケア(don't care)」電圧値を表す。

20

【0019】

【表1】

モード	ビット ライン 信号	制御 端子 電圧	選択 ゲート 電圧	ソース 端子 電圧	ウエル 端子 電圧
読出し	出力	+1.2V	0V/VDD	0V	0V
プログラム	+5.5V	-9V	X	0V	0V
消去	フロート	+13V	0V	-5V	-5V

30

メモリセル40に記憶された論理値は選択ゲート電圧が約ゼロボルトであり、かつ約+1.3ボルトおよび約-5ボルトのそれぞれの電圧値が制御端子およびソース端子に供給されたときに消去モードにおいてクリアされる。

【0020】

図4は、電流制限回路70に結合されたメモリセル40の断面図である。図面においては同じ要素を示すために同じ参照番号が使用されていることに注目すべきである。半導体領域64は基板62内に配置されかつメモリセル40を基板62から分離するアイソレーション領域である。他の半導体領域66はメモリセル40を含みかつ半導体領域64内に配置されている。ウエル端子61は半導体領域66にコンタクトまたは接触している。一例として、基板62はP型半導体材料であり、半導体領域64は隔離された(isolated)Nウエル領域であり、かつ半導体領域66は隔離されたPウエル領域である。典型的には、NウエルおよびPウエル領域はMOSFETのソースおよびドレイン領域を形成するために使用される不純物濃度と比較した場合より低い不純物濃度で形成される。

40

【0021】

50

半導体領域 66 におけるメモリセル 40 はその中に形成されたゲート構造 46 および 56 を有する。本発明の 1 実施形態によれば、ゲート構造 46 および 56 はそれぞれのゲート端子 44 および 54 に接続されている。メモリセル 40 は制御トランジスタ 42 および選択トランジスタ 52 を含む。制御トランジスタ 42 はゲート端子 44、ゲート構造 46、ドレイン領域 48、およびソース領域 50 を有する。選択トランジスタ 52 はゲート端子 54、ゲート構造 56、ドレイン領域 50、およびソース領域 58 を有する。制御トランジスタ 42 のドレイン領域 48 は信号「ビットライン」に接続されている。制御トランジスタ 42 のソース領域は共通に選択トランジスタ 52 のドレイン領域に接続されかつ参照数字 50 で参照される。選択トランジスタ 52 のソース領域 58 は電源導体 60 に接続されている。

10

【0022】

電流制限回路 70 は電源導体 72、制御端子 74、および出力端子 76 を含む。出力端子 76 はオーミック接続により半導体領域 64 に接続されている。電流制限回路 70 は電源導体 72 と出力端子 76 との間で電流導通経路を提供する。

【0023】

図 5 は、電流制限回路 70 の好ましい実施形態を示す。電流制限回路 70 はゲート端子、ドレイン端子、およびソース端子を有する P チャネル MOSFET 80 である。また、MOSFET は制御端子および電流導通端子と称される端子をもつことができることに注目すべきである。特に、MOSFET 80 のゲート端子は電流制限回路 70 の制御端子 74 として作用する。MOSFET 80 のソース端子は電流制限回路 70 の電源導体 72 として作用する。MOSFET 80 のドレイン端子は電流制限回路 70 の出力端子 76 として作用する。

20

【0024】

動作においては、制御端子 74 に論理ゼロの値、すなわち、ほぼグラウンドの電圧値が供給されたとき、エンハンスメントトランジスタとしての MOSFET 80 は導通モードにある。導通モードにおいては、MOSFET 80 の出力端子 76 は電源導体 72 が VDD の電圧を供給されたとき約 VDD の電圧値を有する。電流制限回路 70 は導通モードで動作して基板 62 と半導体領域 64 および半導体領域 66 と半導体領域 64 によって形成される逆方向バイアスされたダイオードのリーケージ電流を供給する。

【0025】

制御端子 74 に論理“1”の値、すなわち、約 VDD の電圧値が供給されたとき、MOSFET 80 は非導通モードの動作にある。非導通モードにおいては、MOSFET 80 はオフでありかつ基板 62 と半導体領域 64 および半導体領域 66 と半導体領域 64 によって形成される逆方向バイアスダイオードに対しリーケージ電流を供給するのを阻止するよう動作する。MOSFET 80 が非導通である場合、基板 62 と領域 64 によって形成されるダイオードが順方向バイアスされるようにウエル領域 64 が負にバイアスされないことを保証するために他の半導体装置（図示せず）を使用できることが理解されるべきである。

30

【0026】

図 6 は、電流制限回路 70 の第 1 の別の実施形態を示す。電流制限回路 70 はゲート端子、ドレイン端子、およびソース端子を有する P チャネル MOSFET 82 である。特に、MOSFET 82 のゲート端子は電源導体に接続されかつ、例えば、グラウンドのような電圧を受ける。MOSFET 82 のソース端子は電流制限回路 70 の電源導体 72 として作用する。MOSFET 82 のドレイン端子は電流制限回路 70 の出力端子 76 として作用する。電流制限回路 70 の制御端子 74 は接続されていない。

40

【0027】

動作においては、MOSFET 82 は電源導体 72 が VDD の電圧を供給された場合に約 VDD の出力電圧値を端子 76 に有する。MOSFET 82 は導通モードで動作して基板 62 と半導体領域 64 および半導体領域 66 と半導体領域 64 によって形成される逆方向バイアスダイオードのリーケージ電流を供給する。

50

【0028】

図7は、電流制限回路70の第2の別の実施形態を示す。電流制限回路70はゲート端子、ドレイン端子、およびソース端子を有するNチャンネルMOSFET84である。特に、MOSFET84のゲート端子は電流制限回路70の制御端子74として作用する。MOSFET84のソース端子は電流制限回路70の出力端子76として作用する。MOSFET84のドレイン端子は電流制限回路70の電源導体72として作用する。

【0029】

動作においては、制御端子74が論理“1”の値、すなわち、約VDDの電圧値を供給されたとき、エンハンスメントトランジスタとしてのMOSFET84は導通モードにある。導通モードにおいては、MOSFET84の出力端子76は電源導体72がVDDの電圧を供給されたときにVDDの電圧値からMOSFET84のしきい値電圧値を減算した電圧を有する。MOSFET84は導通モードで動作して基板62と半導体領域64および半導体領域66と半導体領域64によって形成される逆方向バイアスダイオードに電流を供給する。言い換えれば、ダイオードのリーケージ電流はMOSFET84によって供給される。

10

【0030】

制御端子74が論理“0”の値、すなわち、約グラウンドの電圧値を供給されたとき、MOSFET84は非導通モードにある。非導通モードにおいては、MOSFET84はオフでありかつ基板62と半導体領域64および半導体領域66と半導体領域64で形成される逆方向バイアスされたダイオードにリーケージ電流を供給するのを阻止するよう動作する。

20

【0031】

図8は、電源制御回路70の第3の別の実施形態を示す。電流制限回路70はゲート端子、ドレイン端子、およびソース端子を有するNチャンネルMOSFET86である。特に、MOSFET86の共通接続されたゲート端子およびドレイン端子は電流制限回路70の電源導体72として作用する。MOSFET86のソース端子は電流制限回路70の出力端子76として作用する。電流制限回路70の制御端子74は接続されていない。

【0032】

動作においては、MOSFET86は電源導体72にVDDの電圧が供給されたとき、VDDからMOSFET86のしきい値電圧値を減算した電圧値を出力端子76に有する。MOSFET86は導通モードで動作して基板62と半導体領域64および半導体領域66と半導体領域64によって形成される逆方向バイアスされたダイオードのリーケージ電流を供給する。

30

【0033】

図9は、電源制限回路70の第4の別の実施形態を示す。電流制限回路70はアノードおよびカソードを有するPN接合ダイオード88である。特に、前記アノードは電流制限回路70の電源導体72に接続されている。前記カソードは電流制限回路70の出力端子76に接続されている。電流制限回路70の制御端子74は接続されていない。

【0034】

動作においては、ダイオード88は電源導体72にVDDの電圧が供給されたとき、VDDから前記順方向バイアスされたダイオードの電圧を減算した電圧値を出力端子76に有する。ダイオード88は基板62と半導体領域64および半導体領域66と半導体領域64によって形成される逆方向バイアスされたダイオードのリーケージ電流を供給するよう動作する。

40

【0035】

電流制限回路70が単一の装置あるいは複数のMOSFET装置であることは本発明を限定するものではない。例えば、メモリアレイまたはメモリ回路24がいくつかのセクションまたはバンクへと編成され、各々のバンクが基板62と半導体領域64および半導体領域66と半導体領域64によって形成される逆方向バイアスされたダイオードを有することは通常行なわれることである。共通に接続されたゲート端子を有する複数の電流制御

50

回路70を使用して各々のバンクのメモリアレイにおける逆方向バイアスされたダイオードのリーケージ電流を制限することができる。

【0036】

図5を参照すると、PチャネルMOSFET80は幅Wおよび長さLを含む制御端子74に接続されたゲート構造を有する。一例として、MOSFET80のゲートは約1.0マイクロメートルの幅Wおよび約0.4マイクロメートルの長さLをもつよう寸法を設定することができる。制御端子74が約ゼロボルトの電圧を供給されたとき、MOSFET80は導通モードにありかつ約25マイクロアンペアの電流を供給する。これに対し、制御端子74が約VDDの電圧を供給されたとき、MOSFET80は非導通モードにありかつ各々のバンクの逆方向バイアスされたダイオードへのリーケージ電流を約1.0ナノアンペアの電流に制限する。

10

【0037】

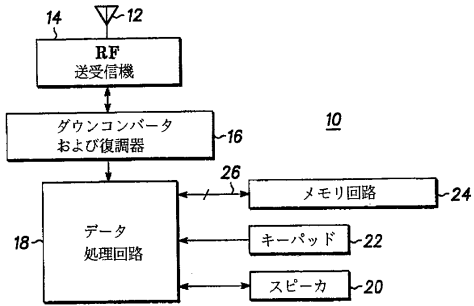
以上から、携帯用無線システムのバッテリー寿命を延長するためにダイオードのリーケージ電流を制限する構造および方法が提供されたことが理解されるべきである。さらに、本電流制限回路は小さな寸法を有しかつ携帯用無線システムのためのスタンバイモードにおける電流を最小にするため容易に集積できることが示されている。

【符号の説明】

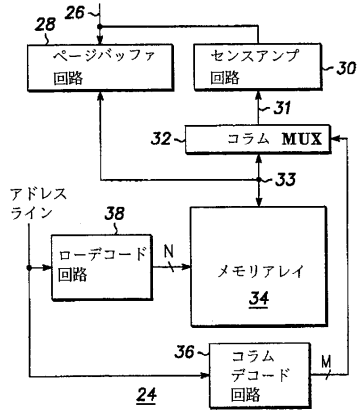
【0038】

10	無線通信装置	
12	アンテナ	20
14	RF送受信機	
16	ダウンコンバータおよび復調回路	
18	データ処理回路	
20	スピーカ	
22	キーパッド	
24	メモリ回路	
26	双方向バス	
28	ページバッファ回路	
30	センスアンプ回路	
31	データバス	30
32	コラムmux	
34	メモリアレイ	
36	コラムデコード回路	
40	メモリセル	
42	制御トランジスタ	
44, 54	ゲート端子	
46, 56	ゲート構造	
48	ドレイン領域	
50	ソース領域またはドレイン領域	
58	ソース領域	40
60	電源導体	
61	ウエル端子	
62	基板	
64, 66	半導体領域	
70	電流制限回路	
72	電源導体	
74	制御端子	
76	出力端子	
80	PチャネルMOSFET	

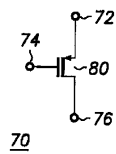
【図1】



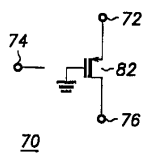
【図2】



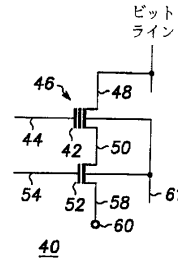
【図5】



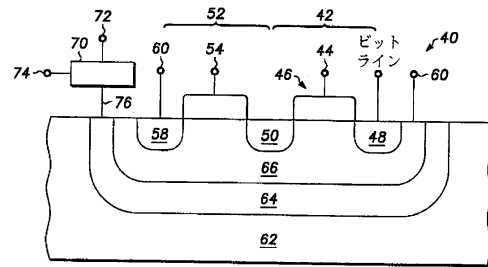
【図6】



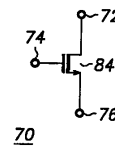
【図3】



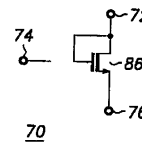
【図4】



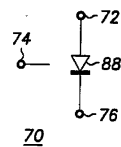
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

(72)発明者 ジェームズ・エス・キャラベラ

アメリカ合衆国アリゾナ州 8 5 2 4 8、チャンドラー、ウエスト・オリオウル・ウェイ 1 7 9 5

(72)発明者 デービッド・エフ・ミータス

アメリカ合衆国アリゾナ州 8 5 0 4 8、フェニックス、イースト・グラナイト・ビュー・ドライブ
2 2 1 2

(72)発明者 ジェレミー・ダブリュ・ムーア

アメリカ合衆国アリゾナ州 8 5 2 4 8、チャンドラー、ウエスト・ファルコン・ドライブ 1 8 8
3

審査官 堀 拓也

(56)参考文献 特開平 0 9 - 0 0 8 6 4 5 (J P , A)

特開平 0 8 - 0 6 3 9 8 5 (J P , A)

特開平 0 9 - 0 2 7 5 6 0 (J P , A)

特開平 0 4 - 3 4 8 5 6 4 (J P , A)

特開平 0 4 - 2 2 9 6 5 5 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

G 1 1 C 1 6 / 0 6