



- (51) 국제특허분류:
H01L 21/26 (2006.01) H01L 21/324 (2006.01)
- (21) 국제출원번호: PCT/KR2013/009502
- (22) 국제출원일: 2013년 10월 24일 (24.10.2013)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2012-0157977 2012년 12월 31일 (31.12.2012) KR
- (71) 출원인: (재)한국나노기술원 (KOREA ADVANCED NANO FAB CENTER) [KR/KR]; 443-270 경기도 수원시 영통구 광고로 109 (이의동), Gyeonggi-do (KR). 성균관대학교 산학협력단 (SUNGKYUNKWAN UNIVERSITY RESEARCH & BUSINESS FOUNDATION) [KR/KR]; 440-746 경기도 수원시 장안구 서부로 2066, 성균관대학교내 (천천동), Gyeonggi-do (KR).
- (72) 발명자: 박원규 (PARK, Won Kyu); 137-060 서울시 서초구 방배동 169-24 한화아파트 101-706, Seoul (KR). 허종곤 (HEO, Jong Gon); 448-170 경기도 용인시 수지구 풍덕천동 신정마을 7단지 상록아파트 707-402, Gyeonggi-do (KR). 전동환 (JUN, Dong Hwan); 448-130 경기도 용인시 수지구 상현동 96 풍산아파트 102-1307, Gyeonggi-do (KR). 박진홍 (PARK, Jin Hong); 446-930 경기도 용인시 기흥구 하갈동 신안인스빌아

파트 111동 1502호, Gyeonggi-do (KR). 심재우 (SHIM, Jae Woo); 420-761 경기도 부천시 원미구 중2동 연화마을아파트 1420동 104호, Gyeonggi-do (KR).

(74) 대리인: 이준성 (LEE, Joon Sung); 135-840 서울시 강남구 대치동 894-3 대치빌딩 4층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

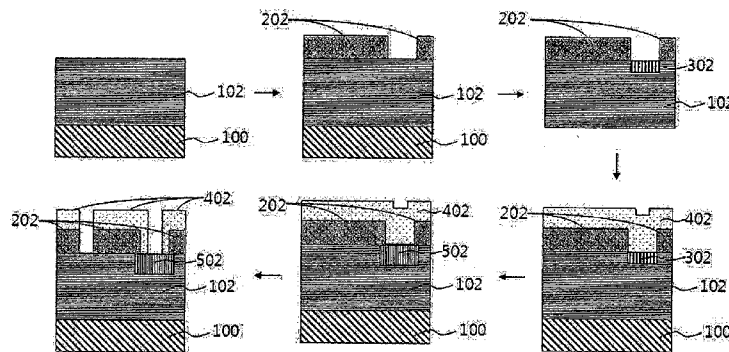
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) Title: METHOD FOR TREATING DEFECTS AT JUNCTION AREA OF SEMICONDUCTOR DEVICE USING GERMANIUM

(54) 발명의 명칭: 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법

[Fig.1]



(57) Abstract: The present invention relates to a method for treating defects at a junction area of a semiconductor device and comprises a process of: depositing an electrode by growing a p-Ge layer on a substrate; forming an n+ Ge area by means of ion implantation on the p-Ge layer or by means of doping in-situ and etching on the p-Ge layer, or depositing an oxide layer, patterning, etching, and doping in-situ on the p-Ge layer; forming an oxide layer for capping; and heat treating at 600°C to 700°C for 1 to 3 hours. Through the heat treating process, Ge defects at n+/p junctions may be treated, and deepened junctions through heat treatment may be relatively decreased, thereby minimizing leakage current and improving the properties of a semiconductor device. Also, the method may be useful for high stacking the semiconductor device or making same compact.

(57) 요약서:

[다음 쪽 계속]

**공개:**

— 국제조사보고서와 함께 (조약 제 21 조(3))

본 발명은 반도체 소자에서 접합 영역에서의 결함을 치유하기 위한 방법에 관한 것으로서, 기판 상에 p-Ge 층을 성장시키고, 상기 p-Ge 층 상층에 이온 임플란테이션을 통해 n+ Ge 영역을 형성하거나, p-Ge 층 상층에 인시츄 도핑후 에칭하여 n+ Ge 영역을 형성하거나 또는 상기 p-Ge 층 상층에 산화막을 증착시켜 패터닝 후 에칭하고 인시츄 도핑하여 n+ Ge 층을 형성한 후, 캡핑용 산화막을 형성한 후 600°C~700°C에서 1 시간 내지 3 시간동안 열처리를 수행하여 전극을 증착시키는 공정을 포함하여 이루어지는 것으로, 열처리 공정을 통해 n+/p 정션(junction)에서의 Ge 결함을 치유하고, 열처리를 통해 깊어진 정션을 상대적으로 줄일 수 있어 누설 전류를 최소화하여 반도체 소자의 특성을 향상시키고, 반도체 소자의 고집적화 및 미세화 실현에 더욱 유용한 이점이 있다.

명세서

발명의 명칭: 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법

기술분야

- [0001] 본 발명은 반도체 소자에서 접합 영역에서의 결함을 치유하기 위한 방법에 관한 것으로서, n+ Ge 영역 형성 후에 600°C~700°C에서 1시간 내지 3시간동안 열처리를 수행하여 접합(junction, 정선)에서의 결함을 치유하기 위한 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법에 관한 것이다.

배경기술

- [0002] 실리콘을 기판으로 하는 전계효과 트랜지스터는 게이트에 인가된 전압의 크기에 따라 채널영역의 변화를 통해 드레인 전류를 제어하게 되는 것으로, p형 웰(p-type well) 및 n형 소오스(n-type source) 또는 n형 드레인(n-type drain) 영역을 형성하기 위해 산화막 또는 포토레지스트를 사진식각 공정으로 정의한 후 주입되는 도펀트의 에너지를 통해 주입 깊이나 주입 농도 등을 결정하는 방법에 의해 제조된다.
- [0003] 상기 전계효과 트랜지스터와 같은 반도체는 실리콘 기판 상에 p형 또는 n형과 같은 서로 다른 도전형질을 갖는 도전 영역을 형성하게 되는데, 이러한 도전 영역들은 필수적으로 접합(junction, 이하에서는 의미를 명확히 하기 위해 '정선'이라고도 사용한다) 부분을 가지게 되며, 반도체 소자 제작시에 접합(junction) 부분의 결함을 최소화하는 것이 미세화된 반도체 소자의 결함을 해소하기 위한 방안으로 연구되고 있다.
- [0004] 이와 같이 종래의 반도체들은 필수적으로 이온을 도핑하는 과정이 수반되게 되며, 서로 다른 도전형질을 갖는 접합(junction) 영역에서의 결함은 반도체 소자의 고속화 및 고집적화에 따른 미세화된 반도체 소자의 특성을 향상시키는데 걸림돌로 작용하고 있다.
- [0005] 따라서, 반도체 소자의 정선에서의 결함 치유는 반도체 소자의 고집적화 및 미세화에 따른 특성 향상을 위해 매우 중요한 역할을 하게 된다.
- [0006] 종래 기술로는 대한민국특허청 등록특허공보 등록번호 10-0403992호 반도체 소자의 제조방법, 대한민국특허청 공개특허공보 공개번호 특2001-0068316호 모스 트랜지스터의 제조방법 등의 기술이 있다.
- [0007] 그러나 종래의 이러한 기술들은 정선에서의 결함 치유를 위한 특별한 방법을 제시하고 있지 않으며, 다른 대부분의 기술들도 특별한 관심을 보이지 않고 있는 실정이다.
- [0008] 또한, 결함 치유를 위해서 제시된 기술에서도 특별히 온도 영역 등을 구체화하지 않고 고온에서 열처리한다라는 것으로 애매모호하게 기재하고 있어, 여전히 결함을 치유하기 위한 확실한 방법을 제공하지 못하고 있다.

[0009] 또한, 높은 온도에서의 열처리를 함으로써 정선(junction)이 깊어져 누설 전류의 발생으로 인한 열화의 가능성이 존재하며, 특히 반도체 소자가 고집적화될수록 소오스 드레인 영역의 정선의 깊이를 줄여야만 쇼트채널 이펙트(short channel effect)에 의한 소자의 특성 저하를 방지할 수 있게 되므로, 이 부분 또한 반도체 소자의 미세화에 따른 특성 향상을 위해 해결해야 될 과제이다.

발명의 요약

기술적 과제

[0010] 본 발명은 상기 문제점을 해결하기 위한 것으로, n+ Ge 영역 형성 후에 600°C~700°C에서 1시간 내지 3시간동안 열처리를 수행하여 정선에서의 결함을 치유하기 위한 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법의 제공을 그 목적으로 한다.

[0011] 또한, 정선 깊이를 줄이기 위해 전극 형성 후에 열처리를 통한 저마나이드(germanide)를 형성하여 누설 전류를 최소화하기 위한 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법의 제공을 또 다른 목적으로 한다.

과제 해결 수단

[0012] 상기 목적 달성을 위해 본 발명은, 기판 상에 p-Ge층을 성장시키는 제1단계와, 상기 p-Ge층 상층에 산화막을 증착시켜, n+ Ge 영역 형성을 위한 패터닝하는 제2단계와, 상기 n+ Ge 영역 형성을 위한 패터닝에 p형 도펀트를 이온 임플란테이션을 통해 n+ Ge 영역을 형성하는 제3단계와, 상기 n+ Ge 영역 형성 후에 상기 p-Ge층 상층에 캡핑용 산화막을 형성하는 제4단계와, 상기 캡핑용 산화막을 형성한 후 600°C~700°C에서 1시간 내지 3시간동안 열처리를 수행하는 제5단계와, 상기 열처리 후 전극 형성을 위한 상기 캡핑용 산화막을 패터닝하고, 전극을 증착시키는 제6단계를 포함하여 이루어진 것을 특징으로 하는 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법을 기술적 요지로 한다.

[0013] 또한, 본 발명은 기판 상에 p-Ge층을 성장시키는 제1단계와, 상기 p-Ge층 상층에 p형 도펀트를 인시츄(in-situ) 도핑을 이용하여 n+ Ge층을 형성하는 제2단계와, n+ Ge 영역 형성을 위한 패터닝한 후 에칭하여 n+ Ge 영역을 형성하는 제3단계와, 상기 n+ Ge 영역 형성 후에 상기 p-Ge층 상층에 캡핑용 산화막을 형성하는 제4단계와, 상기 캡핑용 산화막을 형성한 후 600°C~700°C에서 1시간 내지 3시간동안 열처리를 수행하는 제5단계와, 상기 열처리 후 전극 형성을 위한 상기 캡핑용 산화막을 패터닝하고, 전극을 증착시키는 제6단계를 포함하여 이루어진 것을 특징으로 하는 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법을 또 다른 기술적 요지로 한다.

[0014] 또한, 본 발명은 기판 상에 p-Ge층을 성장시키는 제1단계와, 상기 p-Ge층 상층에 산화막을 증착시켜, n+ Ge 영역 형성을 위한 패터닝하고 상기 산화막 또는 상기 산화막 및 p-Ge층을 에칭하는 제2단계와, 상기 n+ Ge 영역 형성을 위한 p-Ge층

상층으로 p형 도펀트를 인시츄(in-situ) 도핑을 이용하여 n+ Ge층을 형성하는 제3단계와, 상기 n+ Ge층 형성 후에 상기 산화막 상층에 캡핑용 산화막을 형성하는 제4단계와, 상기 캡핑용 산화막을 형성한 후 600°C~700°C에서 1시간 내지 3시간동안 열처리를 수행하는 제5단계와, 상기 열처리 후 전극 형성을 위한 상기 캡핑용 산화막을 패터닝하고, 전극을 증착시키는 제6단계를 포함하여 이루어진 것을 특징으로 하는 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법을 또 다른 기술적 요지로 한다.

[0015] 여기에서, 상기 제1단계의 p-Ge층은, 실리콘(Si) 기판 위에 350~450°C, 7.5~8.5Pa 에서 Ge을 300~500nm 성장한 후 800~150°C에서 20분~1시간 H₂ 분위기에서 열처리를 수행하고, 앞의 과정을 한번 더 반복한 뒤 이어서 550~650°C, 7.5~8.5Pa 에서 Ge층을 추가로 성장시키는 것이 더욱 바람직하다.

[0016] 또한, 상기 제6단계의 전극은, Ti, Ni, Pd, Pt, Ta, Cu, W, Co, Zr, Cr, Mn 및 Mo 중 어느 하나를 사용하는 것이 바람직하며, 열처리를 깊어진 정선을 줄이기 위해 전극 형성 후 400°C~500°C에서 30초~2분 동안 N₂ 분위기에서 열처리를 수행하여 저마나이드(germanide)층을 형성하는 것이 바람직하다.

발명의 효과

[0017] 본 발명은 반도체 소자의 정선 형성 과정에서 결함을 발생시키지만 열처리 공정을 통해 n+/p 정선(junction)에서의 Ge 결함을 치유하고, 열처리를 통해 깊어진 정선을 상대적으로 줄일 수 있어 누설 전류를 최소화하여 반도체 소자의 특성을 향상시키고, 반도체 소자의 고집적화 및 미세화 실현에 더욱 유용한 효과가 있다.

도면의 간단한 설명

[0018] 도 1, 도 2, 도 3 - 본 발명에 따른 3가지의 프로세스에 의한 모식도를 나타낸 도.

[0019] 도 4 - 상기 프로세스에 따른 전극 형성 방법에 대한 모식도를 나타낸 도.

[0020] 도 5 - p-Ge 층 위에 Ge 이온 임플란테이션을 하고 점 결함(point defect)을 의도적으로 생성시킨 후의 열처리 온도에 따른 ECV 분석 결과도.

[0021] 도 6 - Ge n+/p 정선(junction)의 열처리 온도에 따른 I-V 측정 그래프를 나타낸 도.

[0022] 도 7 - Ge n+/p 정선(junction)의 열처리 온도에 따른 SIMS 결과를 나타낸 도.

[0023] <도면에 사용된 부호에 대한 설명>

[0024] 100, 800, 1500, 2300 : 기판

[0025] 102, 802, 1502, 2302 : p-Ge층

[0026] 202, 1602, 2304 : 산화막

[0027] 302, 902, 1702, 2306 : n+ Ge 영역

[0028] 402, 1002, 1802 : 캡핑용 산화막

[0029] 502, 1102, 1902 : 결함치유된 n+ Ge 영역

[0030] 2402 : 전극 2502: 저마나이드

발명의 실시를 위한 형태

- [0031] 본 발명은 반도체 소자에서 접합 영역에서의 결함을 치유하기 위한 방법에 관한 것으로서, 열처리 특히 $n+$ Ge 영역 형성 후에 $600^{\circ}\text{C}\sim 700^{\circ}\text{C}$ 에서 1시간 내지 3시간동안 열처리를 수행하여 정선에서의 결함을 치유하기 위한 것이다.
- [0032] 이하에서는 첨부된 도면을 참조하여 본 발명에 대해 상세히 설명하고자 한다.
- [0033] 도 1, 도 2, 도 3은 본 발명에 따른 3가지의 프로세스에 의한 모식도를 나타낸 도이며, 도 4는 상기 프로세스에 따른 전극 형성 방법에 대한 모식도를 나타낸 도이다.
- [0034] 본 발명은 크게 3가지의 프로세스(process)에 의해 구현된다.
- [0035] 먼저, 프로세스 1 공정은 도 1, 도 4(a)에 도시된 것으로, 기판(100) 상에 p-Ge층(102)을 성장시키는 제1단계, 상기 p-Ge층(102) 상층에 산화막(202)을 증착시켜, $n+$ Ge 영역(302) 형성을 위한 패터닝하는 제2단계, 상기 $n+$ Ge 영역(302) 형성을 위한 패터닝에 p형 도펀트를 이온 임플란테이션을 통해 $n+$ Ge 영역(302)을 형성하는 제3단계, 상기 $n+$ Ge 영역(302) 형성 후에 상기 p-Ge층(102) 상층에 캡핑용 산화막(402)을 형성하는 제4단계, 상기 캡핑용 산화막(402)을 형성한 후 $600^{\circ}\text{C}\sim 700^{\circ}\text{C}$ 에서 1시간 내지 3시간동안 열처리를 수행하는 제5단계 및 상기 열처리 후 전극(2402) 형성을 위한 상기 캡핑용 산화막(402)을 패터닝하고, 전극(2402)을 증착시키는 제6단계로 이루어진다.
- [0036] 여기에서, 상기 기판(100)은 실리콘(Si) 또는 실리콘저마늄(SiGe)을 사용한다.
- [0037] 상기 기판 상에 p-Ge층(102)을 성장시키게 되는데, 이는 Ge층 성장 시 특별히 n형 도펀트를 도핑하거나, Ge층 자체(intrinsic Ge, i-Ge) 만으로도 p-Ge 성질을 띄고 있어 특별히 도핑하지 않아도 무방하며, 이러한 p-Ge층 성장은 특별한 증착 방법을 한정하지 않으며, 공지된 물리적, 화학적 진공 증착법에 의해 형성된다.
- [0038] 상기 p-Ge층은, 상기 제1단계의 p-Ge층은, 실리콘(Si) 기판 위에 $350^{\circ}\text{C}\sim 450^{\circ}\text{C}$, $7.5\text{Pa}\sim 8.5\text{Pa}$ 에서 Ge를 $300\sim 500\text{nm}$ 성장한 후 $800^{\circ}\text{C}\sim 850^{\circ}\text{C}$ 에서 20분~1시간 동안 H_2 분위기에서 열처리를 수행하고, 앞의 과정을 한 번 더 반복한 뒤 이어서 $550^{\circ}\text{C}\sim 650^{\circ}\text{C}$, $7.5\text{Pa}\sim 8.5\text{Pa}$ 에서 Ge층을 추가로 성장시킨 후 $700^{\circ}\text{C}\sim 800^{\circ}\text{C}$ 에서 10분~20분 동안 H_2 분위기에서 열처리를 수행하여 형성시키는 방법이 바람직한데, 이는 실리콘 기판과 p-Ge층의 계면 또는 p-Ge층 내부의 결함을 최소화하기 위한 것이다.
- [0039] 그리고, 상기 p-Ge층(102) 성장 후에 상기 p-Ge층(102) 상층에 산화막(202)을 증착시키게 되는데, $n+$ Ge 영역(302) 형성을 위한 패터닝을 수행한다. 산화막(202)으로는 SiO_2 를 주로 사용하며, 패터닝 방법은 일반적으로 널리 사용되는 식각가스를 선택하여 반응성 이온식각장치(reactive ion etcher; RIE)를 이용하여 식각하거나 포토리소그래피 등 다른 공지된 방법을 사용한다.
- [0040] 그리고, 상기 $n+$ Ge 영역(302) 형성을 위한 패터닝에 P, As, Sb와 같은 p형 도펀트를 이온 임플란테이션 방법을 통해 $n+$ Ge 영역(302)을 형성한 후, 열처리

과정에서 도펀트 손실과 아웃-디퓨전(out-diffusion)을 막기 위해 캡핑용(capping) 산화막(402)을 형성한다.

- [0041] 그 다음, 상기 캡핑용 산화막(402) 형성 후에 600°C~700°C에서 1시간 내지 3시간동안 열처리를 수행하게 된다. 즉, 이온 임플란테이션을 통해 형성한 n+ Ge 영역을 활성화(activation)하고, 결함을 치유하기 위해 600°C~700°C에서 1시간 내지 3시간 동안 N₂ 분위기에서 열처리를 수행한다.
- [0042] 일반적으로 열처리 과정에서 도펀트의 확산이 이루어지기 때문에 낮은 온도에서 활성화를 수행하게 될 경우, Ge 내에 남아 있는 결함들이 성능 저하를 가져오기 때문에 결함을 최소화하기 위해 600°C 이상의 고온, 바람직하게는 600°C~700°C에서 1시간 내지 3시간 동안 열처리를 수행한다. 이러한 방법에 의해 결함이 치유된 n+ Ge 영역(502)을 형성하게 된다.
- [0043] 그리고, 도 4(a)에 도시된 바와 같이 상기 열처리 후 전극(2402) 형성을 위한 상기 캡핑용 산화막(402)을 패터닝하고, 전극(2402)을 증착시키게 된다. 상기 전극(2402)으로는 금속을 사용하며, Ti, Ni, Pd, Pt, Ta, Cu, W, Co, Zr, Cr, Mn 및 Mo 중 어느 하나를 사용하는 것이 바람직하다. 전극 증착법으로는 CVD와 같은 물리적, 화학적 진공 증착법을 사용하며, 전극 증착후 상기 산화막과 동일한 방법으로 전극 패터닝을 수행하게 된다.
- [0044] 이러한 전극(2402) 증착 후 열처리를 함으로써 저마나이드(germanide)(2502)를 형성하게 되는데, 형성된 저마나이드(germanide)(2502)는 Ge 내의 결함을 최소화하기 위해 높은 온도에서, 바람직하게는 400°C~500°C에서 30초~2분 동안 N₂ 분위기에서 열처리를 수행한다.
- [0045] 이는 저마나이드(germanide)(2502)의 형성을 통해 Ge 내의 결함을 최소화하고, 높은 온도에서 열처리를 수행함으로써 발생한 깊어진 정선(junction)을 보상하는 역할을 하게 된다. 즉, 저마나이드(germanide)(2502)의 형성을 통해 저항도가 낮은 물질이 깊어진 정선만큼 안으로 들어감으로써 정선 깊이를 상대적으로 줄이게 되는 것이다.
- [0046]
- [0047] 다음으로, 프로세스 2공정은 도 2, 도 4(b)에 도시된 것으로, 기판(800) 상에 p-Ge층(802)을 성장시키는 제1단계, 상기 p-Ge(802)층 상층에 p형 도펀트를 인시츄(in-situ) 도핑을 이용하여 n+ Ge층을 형성하는 제2단계, n+ Ge 영역 형성을 위한 패터닝한 후 에칭하여 n+ Ge 영역(902)을 형성하는 제3단계, 상기 n+ Ge 영역(902) 형성 후에 상기 p-Ge층(802) 상층에 캡핑용 산화막(1002)을 형성하는 제4단계, 상기 캡핑용 산화막(1002)을 형성한 후 600°C~700°C에서 1시간 내지 3시간동안 열처리를 수행하는 제5단계로 결함이 치유된 n+ Ge 영역(1102)을 얻고, 도 4(b)에 도시된 바와 같이 상기 열처리 후 전극(2402) 형성을 위한 상기 캡핑용 산화막을 패터닝한 후, 전극을 증착시키는 제6단계로 이루어지는 것이다.
- [0048] 여기에서, 프로세스 1공정과 대체적으로 유사하나 제1단계의 기판(800) 상에

p-Ge층(802) 성장 후에, p-Ge층(802) 상층에 p형 도펀트를 인시츄(in-situ) 도핑을 이용하여 n+ Ge층을 형성하고, n+ Ge 영역 형성을 위한 포토레지스트를 이용하여 패터닝한 후 에칭하여 n+ Ge 영역(902)을 형성하게 된다.

[0049] 그 다음 캡핑용 산화막(1002) 형성과 열처리 과정 및 전극(2402) 형성 및 저마나이드(germanide)(2502) 형성은 상기 프로세스 1 공정과 동일하다.

[0050]

[0051] 다음으로, 프로세스 3공정은 도 3 및 도 4(c), 도 4(d)에 도시된 것으로, 기판(1500) 상에 p-Ge층(1502)을 성장시키는 제1단계, 상기 p-Ge층(1502) 상층에 산화막(1602)을 증착시켜, n+ Ge 영역 형성을 위한 패터닝하고 상기 산화막(1602)(도 3(a) 공정) 또는 산화막(1602) 및 p-Ge층(1502)(도 3(b) 공정)을 에칭하는 제2단계, 상기 n+ Ge 영역 형성을 위한 p-Ge층(1502) 상층으로 p형 도펀트를 인시츄(in-situ) 도핑을 이용하여 n+ Ge층(1702)을 형성하는 제3단계, 상기 n+ Ge층(1702) 형성 후에 상기 산화막(1602) 상층에 캡핑용 산화막(1802)을 형성하는 제4단계, 상기 캡핑용 산화막(1802)을 형성한 후 600°C~700°C에서 1시간 내지 3시간동안 열처리를 수행하는 제5단계, 도 4(c), 도 4(d)에 도시된 바와 같이 상기 열처리 후 전극(2402) 형성을 위한 상기 캡핑용 산화막(1802)을 패터닝하고, 전극(2402)을 증착시키는 제6단계로 이루어진다.

[0052] 여기에서, 프로세스 1공정과 대체적으로 유사하나 제1단계의 기판(1500) 상에 p-Ge층(1502) 성장 후에, p-Ge층(1502) 상층에 산화막을 증착시키고, n+ Ge 영역(1702) 형성을 위한 패터닝한 후, 상기 산화막(1602) 및 p-Ge층(1502)을 딥에칭(deep etching)하고, 상기 n+ Ge 영역(1702) 형성을 위한 p-Ge층(1502) 상층으로 p형 도펀트를 인시츄(in-situ) 도핑을 이용하여 n+ Ge층을 형성한다.

[0053] 그 다음 캡핑용 산화막(1802) 형성과 열처리 과정 및 전극(2402) 형성 및 저마나이드(germanide)(2502) 형성은 상기 프로세스 1 공정과 동일하다.

[0054]

[0055] 도 4는 프로세스 1(도 1-도 4(a)), 프로세스 2(도 2-도 4(b)), 프로세스 3(도 3(a)-도 4(c), 도 3(b)-도 4(d))에서 형성된 열처리하여 결합이 치유된 n+ Ge 영역(502), (1102), (1902)을 갖는 소자에서, 상기 캡핑용 산화막(402), (1002), (1802)을 패터닝하고, 전극(2402)을 형성하는 과정을 한꺼번에 나타낸 것이다. 전극 형성 프로세스에서의 기판(2300), p-Ge층(2302), 산화막(2304), n+ Ge 영역(2306), 전극(2402), 저마나이드(2406)를 도시한 것이다.

[0056]

[0057] 이와 같이 본 발명에 따른 저마늄을 이용한 반도체 소자의 접합 영역에서의 결합 치유 방법은 크게 3가지의 프로세스에 의해 진행되게 되는데, 프로세스 1은 이온 임플란테이션을 통해 n+/p 정션(junction)을 형성하고, 프로세스 2는 인시츄 도핑을 통해 n+ Ge층을 형성하고, n+ Ge층의 선택적 에칭을 통해 n+/p 정션(junction)을 형성하며, 프로세스 3은 인시츄 도핑을 통해 n+ Ge층을 형성하고, 산화막 에칭 및 p-Ge층의 딥에칭(deep etching)을 통해 n+/p

정선(junction)을 형성하는 것이다.

[0058] 그리고, 상기의 이온 임플란테이션 또는 인시츄 도핑 과정을 통해 형성된 n+/p 정선(junction)에서 깊어진 정선을 줄이기 위해 전극 형성시 열처리를 통해 저마나이드(germanide)를 형성하는 것이다.

[0059] 이와 같이 각 프로세스에 따른 공정은 모두 정선 형성 과정에서 결함을 발생시키지만 열처리 공정을 통해 결함을 충분히 치유(healing)시킬 수 있으며, 따라서 각 소자에 따른 적절한 프로세스에 따른 반도체 소자의 구조를 선택하여 공정을 진행하면 된다.

[0060] 이에 의해 본 발명은 n+/p 정선(junction)에서의 Ge 결함을 치유하고, 열처리를 통해 깊어진 정선을 상대적으로 줄일 수 있어 누설 전류를 최소화하여 반도체 소자의 특성을 향상시키고, 반도체 소자의 고집적화 및 미세화 실현에 더욱 유용할 것으로 기대된다.

[0061]

[0062] 이하에서는 본 발명의 일실시예에 대해 살펴보고자 하며, 설명하지 않은 부분은 일반적인 공정방법을 사용한다.

[0063] 먼저, 프로세스 1공정은 실리콘(Si) 기판 위에 400°C, 8 Pa 에서 Ge를 400nm 성장한 후 825°C에서 30분간 H₂ 분위기에서 열처리를 수행한다. 그리고 앞의 과정을 한 번 더 반복한 뒤 이어서 600°C, 8 Pa 에서 Ge층을 추가로 성장시킨 후, 750°C에서 15분간 H₂ 분위기에서 열처리를 수행하여, 실리콘 기판 상에 p-Ge층을 형성시켰다. 그리고, CVD법으로 산화막으로 SiO₂ 증착 및 패터닝한 후, P(phosphorus)를 50keV의 에너지와 10¹⁵cm⁻²의 도스량(dose)으로 이온 임플란테이션한다.

[0064] 그리고, 앞의 산화막과 동일한 SiO₂ 캡핑용 산화막을 증착한 후 포토리소그래피나 이온 식각 공정을 통해 패터닝한 후, 600°C에서 1시간동안 열처리를 수행한다.

[0065] 상기 열처리 후 저마나이드(germanide)를 형성하기 위해 Ti를 CVD 또는 e-beam evaporator를 이용하여 500nm 이상 증착한다. Ti는 300°C 이상에서 확산(diffusion)하기 시작하고, 약 450°C에서 저마나이드(germanide)를 형성하기 시작하기 때문에 450°C에서 1분 동안 N₂ 분위기에서 열처리를 한다.

[0066]

[0067] 다음으로 프로세스 2 공정은, 상기 프로세스 1공정과 유사하며, 제2단계 및 제3단계는 1%의 phosphine(PH₃)를 GeH₄와 함께 600°C에서 8Pa의 압력 하에서 1분 동안 n+ Ge층을 인시츄(in-situ) 성장한다. 포토레지스트를 스핀 코팅한 후 포토리소그래피를 이용하여 패터닝을 수행한 후, NH₄OH : H₂O₂ : H₂O = 1: 1: 7 을 이용하여 Ge를 60초 동안 에칭하고, 포토레지스트를 제거하여 n+ Ge 영역을 형성한다.

[0068]

[0069] 다음으로 프로세스 3 공정은, 프로세스 1공정과 유사하며, 제2단계 및

제3단계는 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 7$ 을 이용하여 n+ Ge 층을 100초 동안 산화막 및 p-Ge층을 에칭한다. 1%의 phosphine(PH_3)를 GeH_4 와 함께 600°C에서 8Pa의 압력하에서 1분 동안 n+ Ge층을 인시츄(in-situ) 성장한다.

[0070]

[0071]

[0072] 이하에서는 상기의 실시예 중 프로세스 1에 의해 형성된 반도체 소자에 대한 실험 데이터 및 이를 통해 그 효과를 입증하고자 한다.

[0073] 도 5는 p-Ge 층 위에 Ge 이온을 임플란테이션함으로써 점 결함(point defect)을 의도적으로 생성시킨 후 열처리 온도에 따른 ECV 분석 결과를 나타낸 것이다. Ge 내에서 점 결함(point defect(vacancy))은 받개 유사 트랩(acceptor-like trap)으로써 작용하기 때문에 p-type 농도(concentration)가 증가하게 된다. 따라서 열처리 하지 않은 샘플에 대해 ECV 결과 값이 높은 p-type 농도(concentration)를 가지는 것을 볼 수 있다. 그리고 열처리 온도가 증가함에 따라 p-type 농도(concentration)가 감소하는 것으로 보아 결함이 치유되는 것으로 예상할 수 있다. 따라서, 고온에서 열처리 할수록 Ge 내의 점 결함(point defect)이 감소된다는 것을 알 수 있다.

[0074] 도 6은 Ge n+/p 정션(junction)의 열처리 온도에 따른 I-V 측정 그래프입니다. 저온(400°C~500°C)에서 열처리 하였을 때는 점 결함(point defect)의 증가로 인해 오프 전류(off current)가 증가하였으나, 고온(600°C~700°C)에서 열처리 하였을 때는 오프 전류(off current)가 열처리 하지 않은 샘플과 비슷한 수준으로 감소되었음을 알 수 있다. 따라서 Ge 소자가 높은 온도에 노출되게 되면 소자의 열화(degradation)가 생기지만 600°C 이상에서 열처리하였을 때는 점 결함(point defect)이 충분히 치유되어짐으로써 다음 공정(CVD를 이용한 금속 전극 증착 등) 단계에서 다시 고온에 노출되었을 때 소자의 열화를 막을 수 있게 되는 것이다.

[0075] 도 7은 Ge n+/p 정션(junction)의 열처리 온도에 따른 SIMS 결과를 나타낸 것으로, 500°C까지는 P(phosphorus, 인)가 거의 확산(diffusion)되지 않다가 600°C에서는 약 100nm 정도 확산되는 것을 볼 수 있다. 그러나 700°C에서는 200nm 이상 확산되는 것을 볼 수 있다. 따라서 700°C 이상부터는 P의 확산도(diffusivity)가 급격하게 증가하기 때문에 정션 깊이(junction depth)가 크게 증가하게 됩니다. 따라서, 앞의 실험들의 결과를 종합해 보았을 때 600°C에서 1~3시간 열처리를 하는 것이 가장 적절한 것으로 판단된다.

산업상 이용가능성

[0076] 본 발명은 반도체 소자 제작시 정션(junction)에서의 결함을 최소화하여 반도체 소자의 고집적화 및 미세화하기 위한 산업 분야에 이용 가능성이 있다.

청구범위

- [청구항 1] 기판 상에 p-Ge층을 성장시키는 제1단계와;
 상기 p-Ge층 상층에 산화막을 증착시켜, n+ Ge 영역 형성을 위한 패터닝하는 제2단계와;
 상기 n+ Ge 영역 형성을 위한 패터닝에 p형 도펀트를 이온 임플란테이션을 통해 n+ Ge 영역을 형성하는 제3단계와;
 상기 n+ Ge 영역 형성 후에 상기 p-Ge층 상층에 캡핑용 산화막을 형성하는 제4단계와;
 상기 캡핑용 산화막을 형성한 후 600°C~700°C에서 1시간 내지 3시간동안 열처리를 수행하는 제5단계와;
 상기 열처리 후 전극 형성을 위한 상기 캡핑용 산화막을 패터닝하고, 전극을 증착시킨 후 열처리하는 제6단계;를 포함하여 이루어진 것을 특징으로 하는 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법.
- [청구항 2] 제 1항에 있어서, 상기 제1단계의 p-Ge층은,
 실리콘(Si) 기판 위에 350°C~450°C, 7.5Pa~8.5Pa에서 Ge를 300~500nm 성장한 후 800°C~850°C에서 20분~1시간 동안 H₂ 분위기에서 열처리를 수행하고, 앞의 과정을 한 번 더 반복한 뒤 이어서 550°C~650°C, 7.5Pa~8.5Pa에서 Ge층을 추가로 성장시킨 후 700°C~800°C에서 10분~20분 동안 H₂ 분위기에서 열처리를 수행하여 형성시킨 것을 특징으로 하는 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법.
- [청구항 3] 제 1항에 있어서, 상기 제6단계의 전극은,
 Ti, Ni, Pd, Pt, Ta, Cu, W, Co, Zr, Cr, Mn 및 Mo 중 어느 하나를 사용하는 것을 특징으로 하는 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법.
- [청구항 4] 제 1항에 있어서, 상기 제6단계의 전극 증착 후,
 400°C~500°C에서 30초~2분 동안 N₂ 분위기에서 열처리를 수행하여 저마나이드(germanide)층을 형성하는 것을 특징으로 하는 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법.
- [청구항 5] 기판 상에 p-Ge층을 성장시키는 제1단계와;
 상기 p-Ge층 상층에 p형 도펀트를 인시츄(in-situ) 도핑을 이용하여 n+ Ge층을 형성하는 제2단계와;
 n+ Ge 영역 형성을 위한 패터닝한 후 에칭하여 n+ Ge 영역을 형성하는 제3단계와;
 상기 n+ Ge 영역 형성 후에 상기 p-Ge층 상층에 캡핑용 산화막을

형성하는 제4단계와;

상기 캡핑용 산화막을 형성한 후 600°C~700°C에서 1시간 내지 3시간동안 열처리를 수행하는 제5단계와;

상기 열처리 후 전극 형성을 위한 상기 캡핑용 산화막을 패터닝하고, 전극을 증착시킨 후 열처리하는 제6단계;를 포함하여 이루어진 것을 특징으로 하는 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법.

[청구항 6]

제 5항에 있어서, 상기 상기 제1단계의 p-Ge층은, 실리콘(Si) 기판 위에 350°C~450°C, 7.5Pa~8.5Pa에서 Ge를 300~500nm 성장한 후 800°C~850°C에서 20분~1시간 동안 H₂ 분위기에서 열처리를 수행하고, 앞의 과정을 한 번 더 반복한 뒤 이어서 550°C~650°C, 7.5Pa~8.5Pa에서 Ge층을 추가로 성장시킨 후 700°C~800°C에서 10분~20분 동안 H₂ 분위기에서 열처리를 수행하여 형성시킨 것을 특징으로 하는 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법.

[청구항 7]

제 5항에 있어서, 상기 제6단계의 전극은, Ti, Ni, Pd, Pt, Ta, Cu, W, Co, Zr, Cr, Mn 및 Mo 중 어느 하나를 사용하는 것을 특징으로 하는 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법.

[청구항 8]

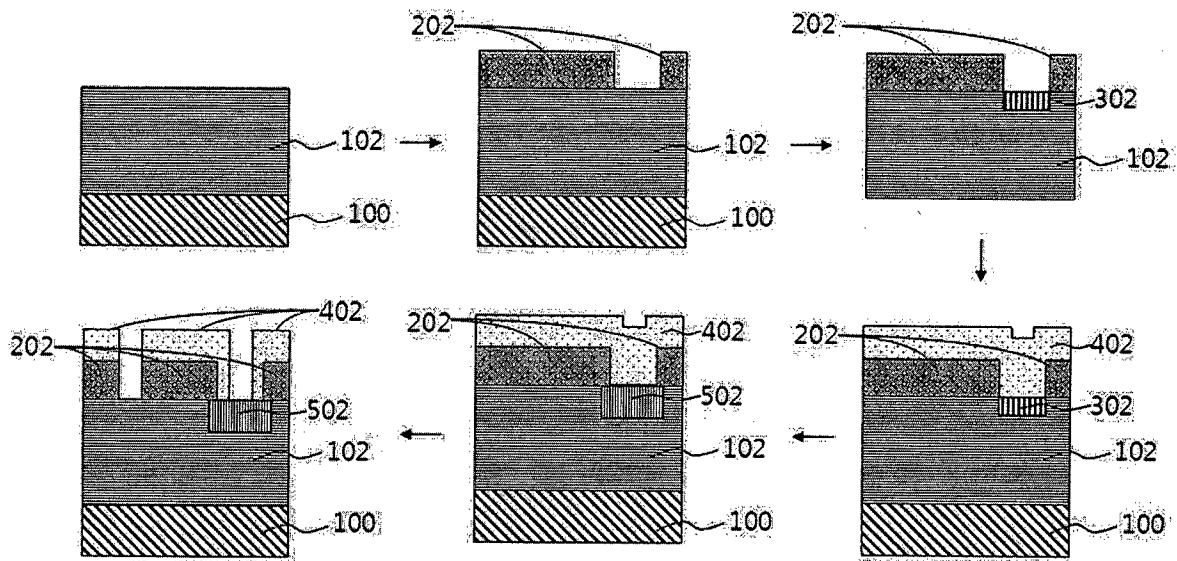
제 5항에 있어서, 상기 제6단계의 전극 증착 후, 400°C~500°C에서 30초~2분 동안 N₂ 분위기에서 열처리를 수행하여 저마나이드(germanide)층을 형성하는 것을 특징으로 하는 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법.

[청구항 9]

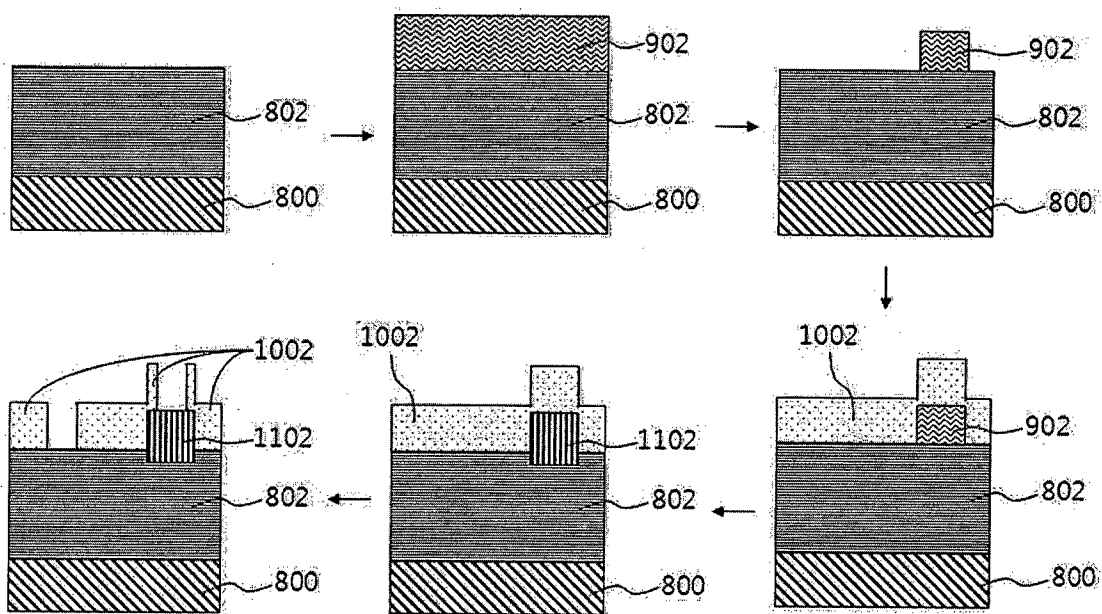
기판 상에 p-Ge층을 성장시키는 제1단계와;
상기 p-Ge층 상층에 산화막을 증착시켜, n+ Ge 영역 형성을 위한 패터닝하고 상기 산화막 또는 상기 산화막 및 p-Ge층을 에칭하는 제2단계와;
상기 n+ Ge 영역 형성을 위한 p-Ge층 상층으로 p형 도펀트를 인시츄(in-situ) 도핑을 이용하여 n+ Ge층을 형성하는 제3단계와;
상기 n+ Ge층 형성 후에 상기 산화막 상층에 캡핑용 산화막을 형성하는 제4단계와;
상기 캡핑용 산화막을 형성한 후 600°C~700°C에서 1시간 내지 3시간동안 열처리를 수행하는 제5단계와;
상기 열처리 후 전극 형성을 위한 상기 캡핑용 산화막을 패터닝하고, 전극을 증착시킨 후 열처리하는 제6단계;를 포함하여 이루어진 것을 특징으로 하는 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법.

- [청구항 10] 제 9항에 있어서, 상기 상기 제1단계의 p-Ge층은, 실리콘(Si) 기판 위에 350°C~450°C, 7.5Pa~8.5Pa에서 Ge를 300~500nm 성장한 후 800°C~850°C에서 20분~1시간 동안 H₂ 분위기에서 열처리를 수행하고, 앞의 과정을 한 번 더 반복한 뒤 이어서 550°C~650°C, 7.5Pa~8.5Pa에서 Ge층을 추가로 성장시킨 후 700°C~800°C에서 10분~20분 동안 H₂ 분위기에서 열처리를 수행하여 형성시킨 것을 특징으로 하는 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법.
- [청구항 11] 제 9항에 있어서, 상기 제6단계의 전극은, Ti, Ni, Pd, Pt, Ta, Cu, W, Co, Zr, Cr, Mn 및 Mo 중 어느 하나를 사용하는 것을 특징으로 하는 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법.
- [청구항 12] 제 9항에 있어서, 상기 제6단계의 전극 증착 후, 400°C~500°C에서 30초~2분 동안 N₂ 분위기에서 열처리를 수행하여 저마나이드(germanide)층을 형성하는 것을 특징으로 하는 저마늄을 이용한 반도체 소자의 접합 영역에서의 결함 치유 방법.

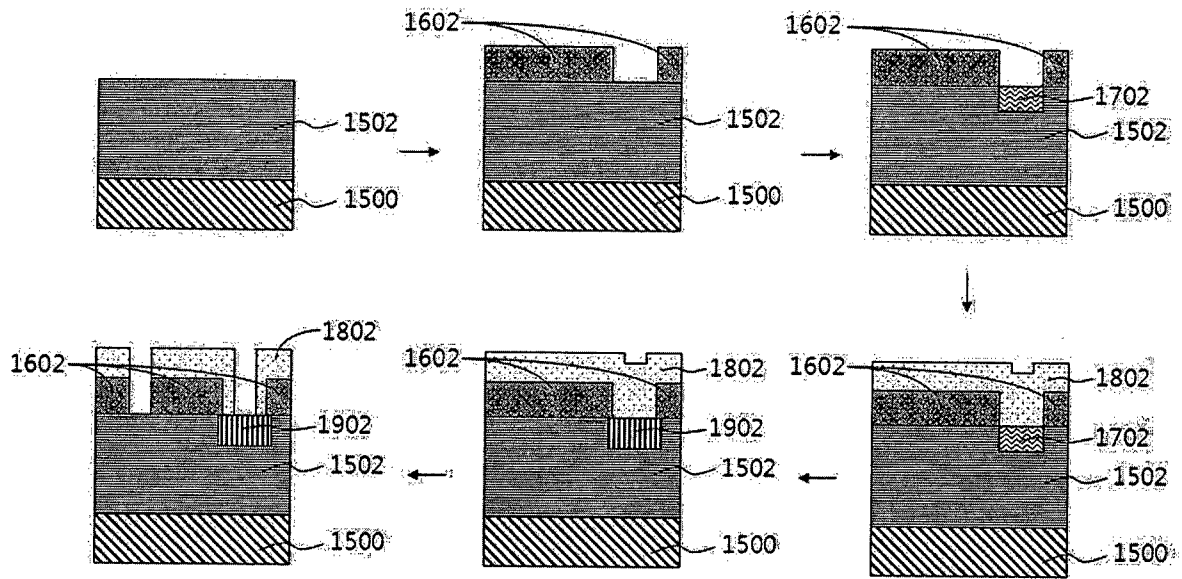
[Fig.1]



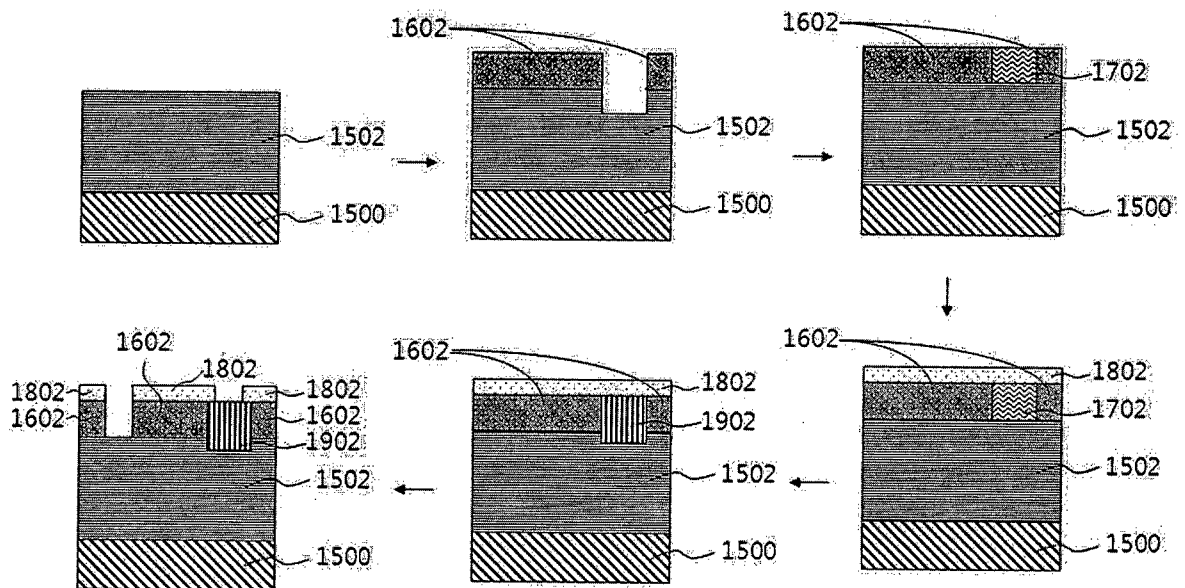
[Fig.2]



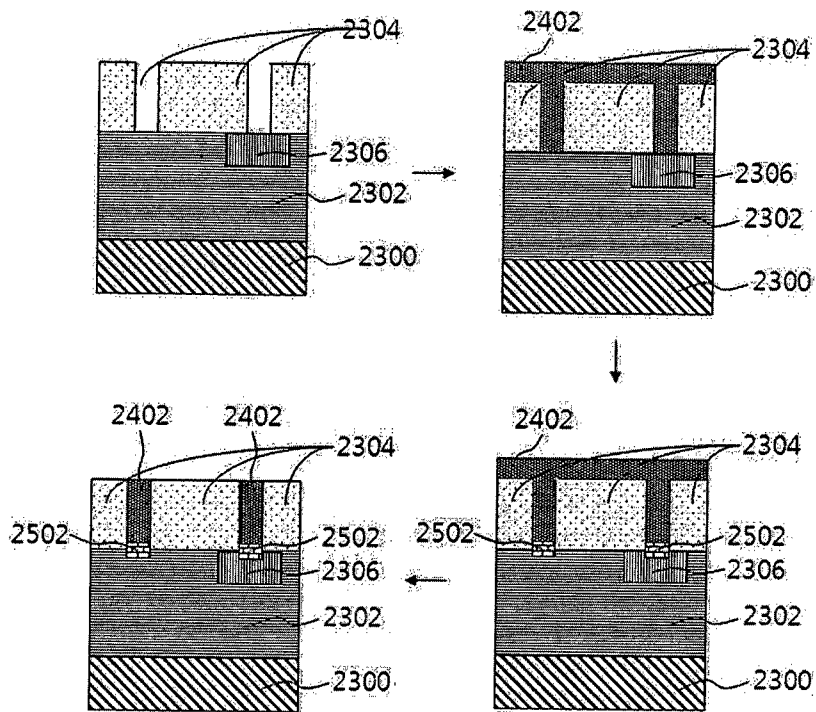
[Fig.3a]



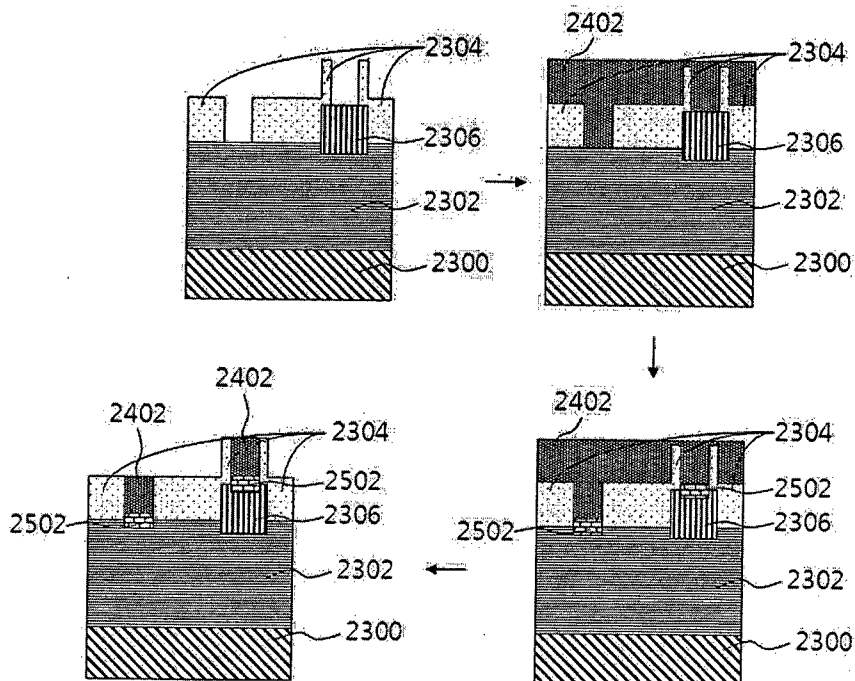
[Fig.3b]



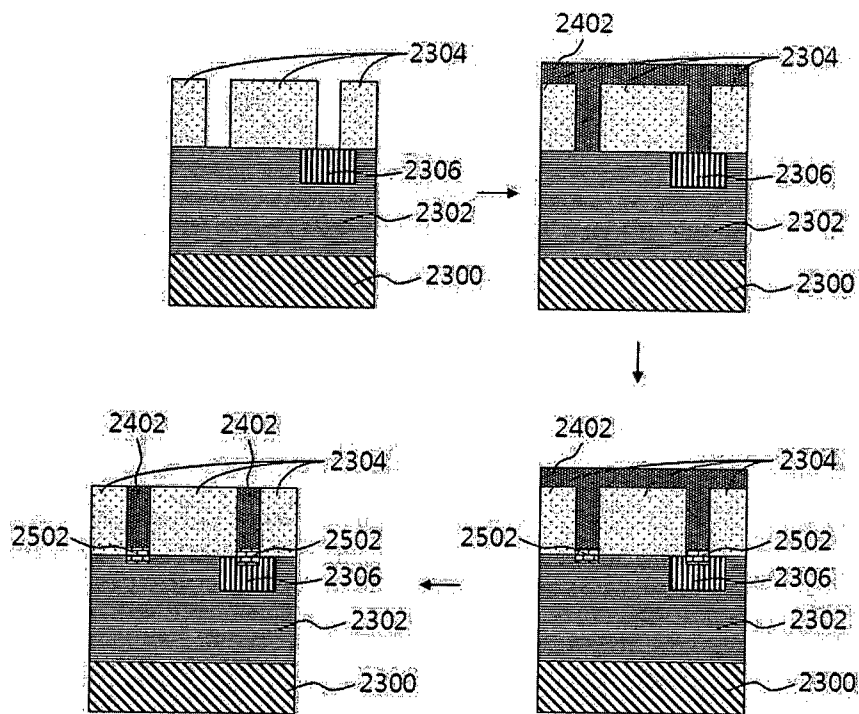
[Fig.4a]



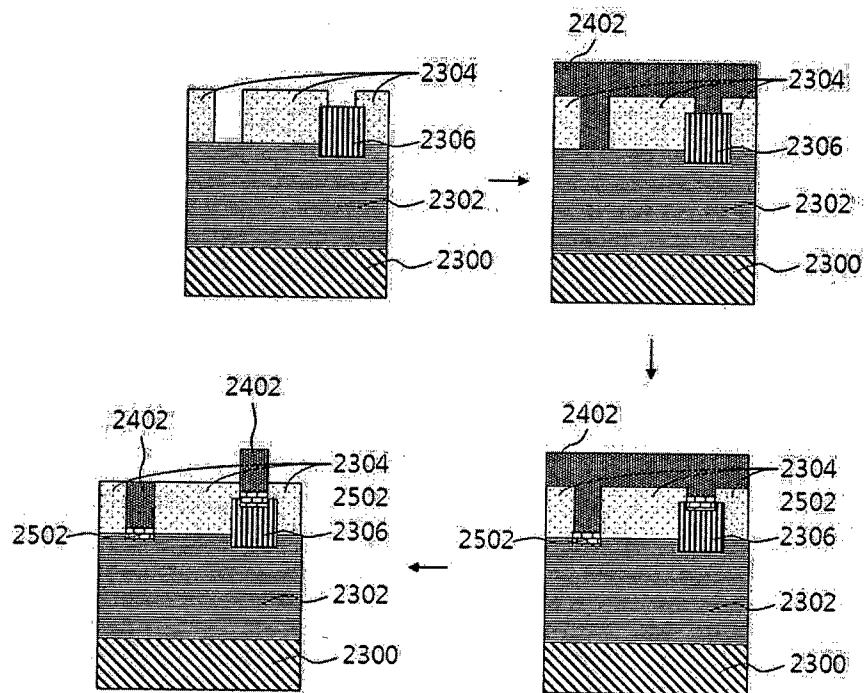
[Fig.4b]



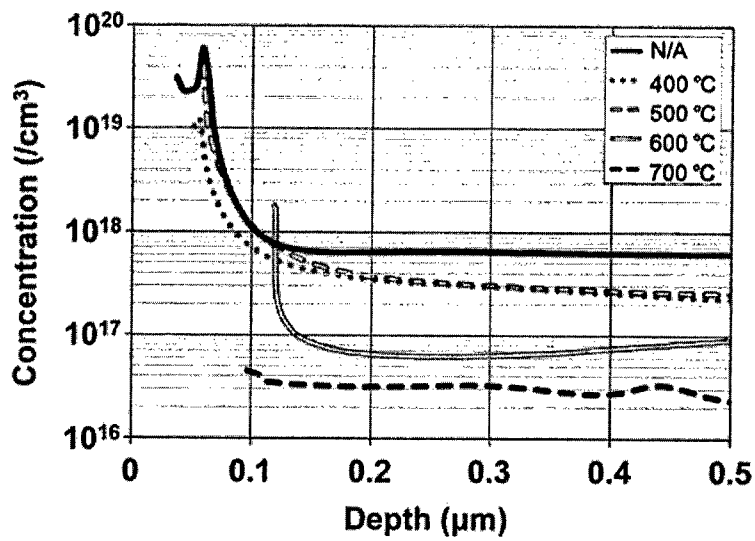
[Fig.4c]



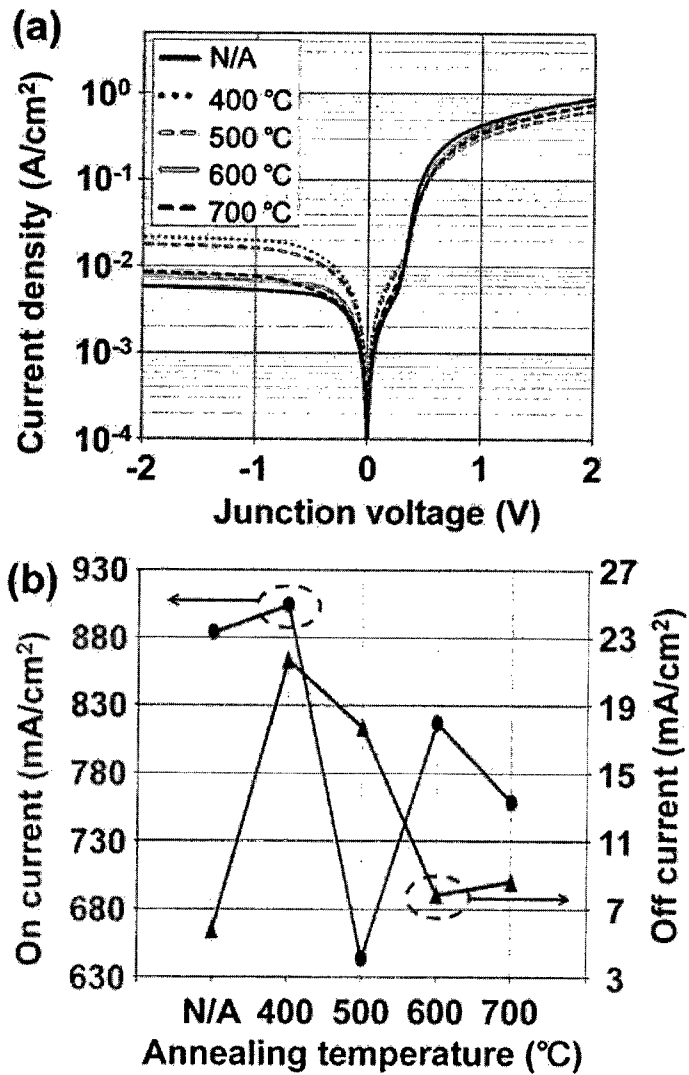
[Fig.4d]



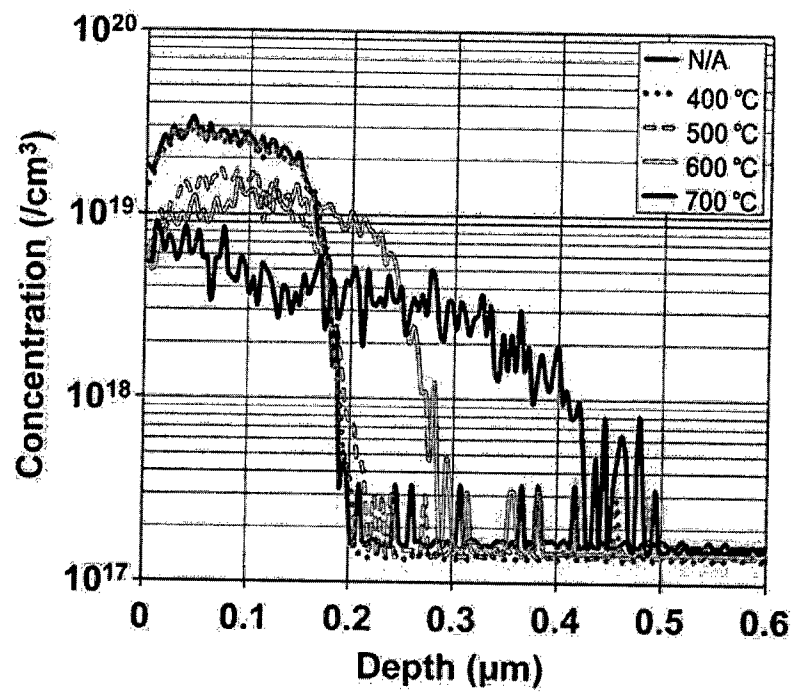
[Fig.5]



[Fig.6]



[Fig.7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2013/009502**A. CLASSIFICATION OF SUBJECT MATTER****H01L 21/26(2006.01)i, H01L 21/324(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 21/26; H01L 21/30; H01L 21/324

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: germanium, germanium, joining, implantation, ion implantation, in-situ, doping, heat treatment

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	YU; D.S. et al., "A12O3-Ge-On-Insulator n- and p-MOSFETs With Fully NiSi and NiGe Dual Gates," IEEE Electron Device Letters, vol. 25, 2004, pages 138-140	1,3,4,9,11,12
Y	CHUI; Chi On et al., "Germanium n-type shallow junction activation dependences," Applied Physics Letters, vol. 87, 2005, pages 091909 1-3	1,3,4,9,11,12
Y	YU; Hyun-Yong et al., "High Performance n-MOSFETs with Novel Source/Drain on Selectively Grown Ge on Si for Monolithic Integration," IEDM 2009, pages 1-4	9,11,12
A	US 2006-0019466 A1 (NAYFEH, Ammar et al.) 26 January 2006	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

20 NOVEMBER 2013 (20.11.2013)

Date of mailing of the international search report

22 NOVEMBER 2013 (22.11.2013)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2013/009502

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2006-0019466 A1	26/01/2006	JP 04950047 B2	13/06/2012
		JP 2008-508696 A	21/03/2008
		JP 2008-508696 T	21/03/2008
		US 2009-0061604 A1	05/03/2009
		US 2010-0159678 A1	24/06/2010
		US 7495313 B2	24/02/2009
		US 7772078 B2	10/08/2010
		US 7919381 B2	05/04/2011
		WO 2006-012544 A2	02/02/2006
		WO 2006-012544 A3	13/09/2007

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 21/26(2006.01)i, H01L 21/324(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 21/26; H01L 21/30; H01L 21/324

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 저마늄, 게르마늄, 접합, 임플란테이션, 이온주입, 인시츄, 도핑, 열처리

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	YU; D.S. et al., "Al2O3-Ge-On-Insulator n- and p-MOSFETs With Fully NiSi and NiGe Dual Gates," IEEE Electron Device Letters, vol.25, 2004, pages 138-140	1,3,4,9,11,12
Y	CHUI; Chi On et al., "Germanium n-type shallow junction activation dependencies," Applied Physics Letters, vol.87, 2005, pages 091909 1-3	1,3,4,9,11,12
Y	YU; Hyun-Yong et al., "High Performance n-MOSFETs with Novel Source/Drain on Selectively Grown Ge on Si for Monolithic Integration," IEDM 2009, pages 1-4	9,11,12
A	US 2006-0019466 A1 (NAYFEH; AMMAR 외 4명) 2006.01.26	1-12



추가 문헌이 C(계속)에 기재되어 있습니다.



대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"&" 동일한 대응특허문헌에 속하는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2013년 11월 20일 (20.11.2013)

국제조사보고서 발송일

2013년 11월 22일 (22.11.2013)

ISA/KR의 명칭 및 우편주소

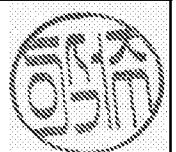
대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

이석주

전화번호 +82-42-481-8681



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2006-0019466 A1	2006/01/26	JP 04950047 B2	2012/06/13
		JP 2008-508696 A	2008/03/21
		JP 2008-508696 T	2008/03/21
		US 2009-0061604 A1	2009/03/05
		US 2010-0159678 A1	2010/06/24
		US 7495313 B2	2009/02/24
		US 7772078 B2	2010/08/10
		US 7919381 B2	2011/04/05
		WO 2006-012544 A2	2006/02/02
		WO 2006-012544 A3	2007/09/13