



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2007년12월31일  
 (11) 등록번호 10-0790525  
 (24) 등록일자 2007년12월24일

(51) Int. Cl.

*H01L 29/786* (2006.01)

(21) 출원번호 10-2000-0042234  
 (22) 출원일자 2000년07월22일  
 심사청구일자 2005년07월04일  
 (65) 공개번호 10-2001-0015419  
 (43) 공개일자 2001년02월26일

(30) 우선권주장  
 11-207041 1999년07월22일 일본(JP)

(56) 선행기술조사문현  
 JP08227079 A  
 JP09189737 A  
 KR100169443 B1

전체 청구항 수 : 총 34 항

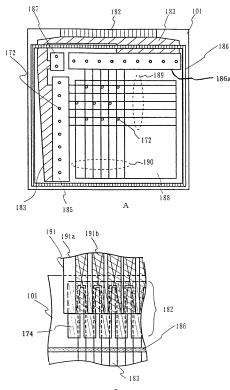
심사관 : 최광섭

## (54) 콘택트 구조 및 반도체장치

## (57) 요 약

액정 표시 패널과 같은 반도체장치에서 이방성 도전막과의 콘택트 신뢰성을 향상시키기 위해, 액티브 매트릭스 기판상의 접속 배선(183)의 단자부(182)가 이방성 도전막(195)에 의해 FPC(191)에 전기적으로 접속된다. 접속 배선(183)은 액티브 매트릭스 기판상의 TFT의 소스/드레인 배선과 동일한 공정에서 제조되고, 금속막과 투명 도전막의 적층막으로 되어 있다. 이방성 도전막(195)과의 접속부에서, 접속 배선(183)의 측면은 절연 재료로 된 보호막(174)으로 덮여 있다. 따라서, 접속 배선의 금속막의 측면이 보호막(174)으로 덮여 있기 때문에, 금속막이 투명 도전막, 하지 절연막, 그 금속막과 접촉하는 보호막(174)으로 둘러싸이는 부분이 대기에 노출되는 것이 방지될 수 있다.

## 대표도 - 도1



## 특허청구의 범위

### 청구항 1

제1 기판;

상기 제1 기판에 대향하는 제2 기판;

상기 제2 기판에 제공된 배선;

상기 제1 기판 위에 제공되고, 금속막과 그 금속막 위의 투명 도전막으로 이루어진 접속 배선;

상기 배선과 상기 접속 배선을 전기적으로 접속하기 위한 이방성 도전막; 및

상기 접속 배선의 길이 방향을 따라 상기 금속막 및 상기 투명 도전막의 측면들에 접하여 있는 절연막을 포함하는 것을 특징으로 하는 콘택트 구조.

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

삭제

### 청구항 7

삭제

### 청구항 8

삭제

### 청구항 9

삭제

### 청구항 10

제1 기판;

상기 제1 기판에 대향하는 제2 기판;

상기 제2 기판에 제공된 배선;

상기 제1 기판 위에 제공되고, 금속막과 그 금속막 위의 투명 도전막으로 이루어진 접속 배선;

상기 배선과 상기 접속 배선을 전기적으로 접속하기 위한 이방성 도전막; 및

상기 접속 배선의 길이 방향을 따라 상기 금속막 및 상기 투명 도전막의 측면들에 접하여 있는 절연막을 포함하고;

상기 금속막이 상기 이방성 도전막에 접하여 있지 않은 것을 특징으로 하는 콘택트 구조.

**청구항 11**

제 1 항 또는 제 10 항에 있어서, 상기 절연막이 수지막인 것을 특징으로 하는 콘택트 구조.

**청구항 12**

제 1 항 또는 제 10 항에 있어서, 상기 금속막의 두께가 100 nm~1 μm인 것을 특징으로 하는 콘택트 구조.

**청구항 13**

제 1 항 또는 제 10 항에 있어서, 상기 금속막이 Al의 금속층 또는 Al을 함유하는 합금층을 포함하는 것을 특징으로 하는 콘택트 구조.

**청구항 14**

제 1 항 또는 제 10 항에 있어서, 상기 금속막이 W의 금속층 또는 W을 함유하는 합금층을 포함하는 것을 특징으로 하는 콘택트 구조.

**청구항 15**

제 1 항 또는 제 10 항에 있어서, 상기 금속막이 W 층과 W과 N의 합금층으로 형성된 적층막인 것을 특징으로 하는 콘택트 구조.

**청구항 16**

제 1 항 또는 제 10 항에 있어서, 상기 투명 도전막의 두께가 50 nm~0.5 μm인 것을 특징으로 하는 콘택트 구조.

**청구항 17**

제 1 항 또는 제 10 항에 있어서, 상기 투명 도전막이 산화아연을 함유하는 합금막인 것을 특징으로 하는 콘택트 구조.

**청구항 18**

제 1 항 또는 제 10 항에 있어서, 상기 투명 도전막이 산화아연과 산화인듐을 함유하는 합금막인 것을 특징으로 하는 콘택트 구조.

**청구항 19**

제1 기판;

상기 제1 기판 위의 박막트랜지스터;

상기 제1 기판에 대향하는 제2 기판;

상기 제2 기판에 제공된 배선;

상기 배선을 상기 제1 기판 위의 상기 박막트랜지스터에 전기적으로 접속하기 위한 접속 배선으로서, 금속막과 그 금속막 위의 투명 도전막으로 이루어진 접속 배선; 및

상기 접속 배선의 길이 방향을 따라 상기 금속막 및 상기 투명 도전막의 측면들에 접하여 있는 절연막을 포함하는 것을 특징으로 하는 반도체장치.

**청구항 20**

삭제

**청구항 21**

삭제

**청구항 22**

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

제1 기판;

상기 제1 기판 위의 박막트랜지스터;

상기 제1 기판에 대향하는 제2 기판;

상기 제2 기판에 제공된 배선;

상기 배선을 상기 제1 기판 위의 상기 박막트랜지스터에 전기적으로 접속하기 위한 접속 배선으로서, 금속막과 그 금속막 위의 투명 도전막으로 이루어진 접속 배선; 및

상기 접속 배선의 길이 방향을 따라 상기 금속막 및 상기 투명 도전막의 측면들에 접하여 있는 절연막을 포함하고;

상기 절연막이 상기 제1 기판 위에 형성되어 있는 것을 특징으로 하는 반도체장치.

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

### 청구항 36

삭제

### 청구항 37

삭제

### 청구항 38

삭제

### 청구항 39

삭제

### 청구항 40

삭제

### 청구항 41

삭제

### 청구항 42

삭제

### 청구항 43

제1 기판;

상기 제1 기판 위의 박막트랜지스터;

상기 제1 기판에 대향하는 제2 기판;

상기 제2 기판에 제공된 배선;

상기 배선을 상기 제1 기판 위의 상기 박막트랜지스터에 전기적으로 접속하기 위한 접속 배선으로서, 금속막과 그 금속막 위의 투명 도전막으로 이루어진 접속 배선;

상기 접속 배선의 길이 방향을 따라 상기 금속막 및 상기 투명 도전막의 측면들에 접하여 있는 절연막; 및

상기 제1 기판과 상기 제2 기판 사이의 간격을 유지하기 위해 상기 박막트랜지스터 위에 형성된 기둥형 스페이서를 포함하고;

상기 절연막이 상기 기둥형 스페이서의 재료와 동일한 재료로 되어 있고,

상기 기둥형 스페이서와 상기 절연막이 상기 제1 기판 위에 형성되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 44

제 19 항, 제 31 항, 제 43 항 중 어느 한 항에 있어서, 상기 접속 배선이 이방성 도전막을 통해 상기 배선에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 45

제 19 항, 제 31 항, 제 43 항 중 어느 한 항에 있어서, 상기 절연막이 수지막인 것을 특징으로 하는 반도체장치.

### 청구항 46

제 19 항, 제 31 항, 제 43 항 중 어느 한 항에 있어서, 상기 금속막의 두께가 100 nm~1 μm인 것을 특징으로

하는 반도체장치.

#### 청구항 47

제 19 항, 제 31 항, 제 43 항 중 어느 한 항에 있어서, 상기 금속막이 Al의 금속층 또는 Al을 함유하는 합금층을 포함하는 것을 특징으로 하는 반도체장치.

#### 청구항 48

제 19 항, 제 31 항, 제 43 항 중 어느 한 항에 있어서, 상기 금속막이 W의 금속층 또는 W을 함유하는 합금층을 포함하는 것을 특징으로 하는 반도체장치.

#### 청구항 49

제 19 항, 제 31 항, 제 43 항 중 어느 한 항에 있어서, 상기 금속막이 W 층과 W과 N의 합금층으로 형성된 적층 막인 것을 특징으로 하는 반도체장치.

#### 청구항 50

제 19 항, 제 31 항, 제 43 항 중 어느 한 항에 있어서, 상기 투명 도전막의 두께가 50 nm~0.5 μm인 것을 특징으로 하는 반도체장치.

#### 청구항 51

제 19 항, 제 31 항, 제 43 항 중 어느 한 항에 있어서, 상기 투명 도전막이 산화아연을 함유하는 합금막인 것을 특징으로 하는 반도체장치.

#### 청구항 52

제 19 항, 제 31 항, 제 43 항 중 어느 한 항에 있어서, 상기 투명 도전막이 산화아연과 산화인듐을 함유하는 합금막인 것을 특징으로 하는 반도체장치.

#### 청구항 53

제 19 항, 제 31 항, 제 43 항 중 어느 한 항에 있어서, 상기 반도체장치가 액정표시장치와 EL(전계 발광) 표시장치 중 어느 하나인 것을 특징으로 하는 반도체장치.

#### 청구항 54

삭제

#### 청구항 55

삭제

#### 청구항 56

제 19 항, 제 31 항, 제 43 항 중 어느 한 항에 있어서, 상기 접속 배선이 상기 박막트랜지스터의 소스 배선 및 드레인 배선의 재료와 동일한 재료로 형성된 것을 특징으로 하는 반도체장치.

#### 청구항 57

삭제

#### 청구항 58

삭제

#### 청구항 59

제 19 항, 제 31 항, 제 43 항 중 어느 한 항에 있어서, 상기 반도체장치가, 퍼스널 컴퓨터, 비디오 카메라, 휴대형 정보 단말기, 디지털 카메라, 프론트형 프로젝터, 및 리어형 프로젝터로 이루어진 군에서 선택되는 전자

장치인 것을 특징으로 하는 반도체장치.

### 청구항 60

제1 기판;

상기 제1 기판 위의 박막트랜지스터;

상기 제1 기판에 대향하는 제2 기판;

상기 제2 기판에 제공된 배선;

상기 제2 기판의 상기 배선을 상기 제1 기판 위의 상기 박막트랜지스터에 전기적으로 접속하기 위한 접속 배선으로서, 상기 제1 기판 위의 금속막과 그 금속막 위의 투명 도전막으로 이루어진 접속 배선;

상기 제1 기판 위의 절연막; 및

상기 절연막 및 상기 접속 배선 위의 이방성 도전막을 포함하고;

상기 제2 기판의 상기 배선이 상기 접속 배선의 일 부분에 접속되어 있고,

상기 접속 배선의 상기 부분의 양 측면이 상기 절연막에 접하여 있는 것을 특징으로 하는 반도체장치.

### 청구항 61

제1 기판;

상기 제1 기판 위의 박막트랜지스터;

상기 제1 기판에 대향하는 제2 기판;

상기 제2 기판에 제공된 배선;

상기 제2 기판의 상기 배선을 상기 제1 기판 위의 상기 박막트랜지스터에 전기적으로 접속하기 위한 접속 배선으로서, 상기 제1 기판 위의 금속막과 그 금속막 위의 투명 도전막으로 이루어진 접속 배선;

상기 제1 기판과 상기 제2 기판 사이의 간격을 유지하기 위해 상기 박막트랜지스터 위에 형성된 기둥형 스페이서;

상기 제1 기판 위의 절연막; 및

상기 절연막 및 상기 접속 배선 위의 이방성 도전막을 포함하고;

상기 제2 기판의 상기 배선이 상기 접속 배선의 일 부분에 접속되어 있고,

상기 접속 배선의 상기 부분의 양 측면이 상기 절연막에 접하여 있는 것을 특징으로 하는 반도체장치.

### 청구항 62

제 60 항 또는 제 61 항에 있어서, 상기 이방성 도전막이 상기 접속 배선의 상기 부분을 덮고 있는 것을 특징으로 하는 반도체장치.

### 청구항 63

제 19 항, 제 31 항, 제 43 항, 제 60 항, 제 61 항 중 어느 한 항에 있어서, 상기 박막트랜지스터가 탑 게이트 형 박막트랜지스터와 보텀 게이트형 박막트랜지스터 중 어느 하나인 것을 특징으로 하는 반도체장치.

### 청구항 64

제 60 항 또는 제 61 항에 있어서, 상기 이방성 도전막이 접착제에 분산된 도전성 입자를 포함하는 것을 특징으로 하는 반도체장치.

### 청구항 65

제 60 항 또는 제 61 항에 있어서, 상기 이방성 도전막이 상기 접속 배선의 상기 부분의 상기 양 측면에 접하여 있지 않은 것을 특징으로 하는 반도체장치.

**청구항 66**

제 60 항 또는 제 61 항에 있어서, 상기 박막트랜지스터가 구동회로에 형성되어 있는 것을 특징으로 하는 반도체장치.

**청구항 67**

제 60 항 또는 제 61 항에 있어서, 상기 금속막 및 상기 투명 도전막이 상기 절연막에 접하여 있는 것을 특징으로 하는 반도체장치.

**청구항 68**

제 19 항, 제 31 항, 제 43 항, 제 60 항, 제 61 항 중 어느 한 항에 있어서, 상기 금속막이 테이퍼 형상을 가지는 것을 특징으로 하는 반도체장치.

**명세서****발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

&lt;31&gt;

본 발명은 절연 표면을 가진 기판상에 형성된 박막트랜지스터(이하, TFT라 함)로 구성된 회로를 구비한 반도체장치, 및 TFT로 구성된 회로를 다른 기판상의 회로에 접속하기 위한 단자의 구조에 관한 것이다. 특히, 본 발명은 화소부와 그 화소부의 주변에 설치되는 구동회로를 동일 기판상에 가지는 액정표시장치, 전계 발광(EL) 표시장치, 및 그 표시장치를 구비한 전기광학장치를 탑재한 전자 장치에 이용하는데 적합한 기술을 제공한다. 본 명세서에서, 반도체장치는, 반도체 특성을 이용하여 기능할 수 있는 장치 전체를 가리키고, 액정표시장치뿐만 아니라, 표시장치를 구비한 전자 장지도 반도체장치의 범주에 포함된다.

&lt;32&gt;

액티브 매트릭스형 액정표시장치로 대표되는 전기광학장치에서, 스위칭 소자 및 능동회로를 구성하기 위해 TFT를 이용하는 기술이 개발되고 있다. TFT는 기상 성장법에 의해 유리 기판과 같은 기판상에 형성된 반도체막을 활성층으로 하여 형성된다. 반도체막에는 규소 또는 규소 게르마늄과 같은, 규소를 주성분으로 하는 재료가 적절히 이용된다. 또한, 규소 반도체막의 제조방법에 따라 비정질 규소막 또는 다결정 규소막과 같은 결정성 규소막이 얻어질 수 있다.

&lt;33&gt;

비정질 규소막을 활성층으로 하는 TFT는 비정질 구조 등에 기인하는 전자 특성 때문에 본질적으로 수  $\text{cm}^2/\text{Vsec}$  이상의 전계효과 이동도를 달성할 수 없다. 따라서, 화소부의 각 화소에 제공된 액정을 구동하기 위한 스위칭 소자(화소 TFT)로서 TFT를 이용할 수 있음에도 불구하고, 화상 표시를 행하기 위한 구동회로까지 TFT로 형성하는 것은 불가능하였다. 화상 표시를 행하기 위한 구동회로를 제공하기 위해, TAB(Tape Automated Bonding)법 또는 COG(Chip On Glass)법에 의해 드라이버 IC를 장착하는 기술이 이용되어 왔다.

&lt;34&gt;

한편, 결정성 규소막을 활성층으로 하는 TFT에서는, 높은 전계효과 이동도가 얻어질 수 있기 때문에 각종의 기능회로를 동일 유리 기판상에 형성하는 것이 가능하다. 화소 TFT 이외에, 구동회로에서, n채널형 TFT와 p채널형 TFT로 이루어진 CMOS 회로를 기본으로 하여 형성되는, 시프트 레지스터 회로, 레벨 시프터 회로, 버퍼 회로, 및 샘플링 회로와 같은 회로를 동일 기판상에 제조할 수 있다. 제조 비용을 줄이고 품질을 향상시키기 위해, 액티브 매트릭스형 액정표시장치에서는, 화소와 그 화소를 구동하기 위한 구동회로를 동일 기판상에 형성한 액티브 매트릭스 기판이 이용되게 되었다.

&lt;35&gt;

상기와 같은 액티브 매트릭스 기판에서는, 구동회로에 전력 및 입력 신호를 공급하기 위해, 구동회로에 접속된 접속 배선을 액티브 매트릭스 기판상에 형성하고, 접속 배선 및 FPC(Flexible Print Circuit)를 탑재한 구조가 채택되고 있다. 기판상의 접속 배선과 FPC의 접속을 위해 이방성 도전막이 사용된다. 도 30은 이방성 도전막에 의해 FPC에 접속되는 접속 배선의 단면 구조를 나타낸다.

&lt;36&gt;

도 30에 도시된 바와 같이, 액티브 매트릭스 기판에서, 유리 기판(1)의 표면상에 형성된 절연막(2)상에 접속 배선(3)이 형성되어 있다. FPC(4)는 폴리이미드와 같은 가요성 재료로 된 기판(5)과, 그 기판 위에 형성된 구리 등으로 된 다수의 배선(6)을 포함한다. 이방성 도전막(7)에는, 도전성 스페이서(8)가 열 또는 광에 의해 경화

하는 접착제(수지막)(9)내에 분산되어 있다. 접속 배선(3)은 도전성 스페이서(8)에 의해 FPC(4)의 배선(6)에 전기적으로 접속된다.

<37> 접속 배선(3)은 알루미늄 및 티탄과 같은 금속막(3a)과 ITO 막과 같은 투명 도전막(3b)으로 이루어진 2층 구조로 되어 있다. 투명 도전막(3b)은 알루미늄과 같은 금속막을 이용하기 때문에 그의 배선 저항이 감소될 수 있다. 따라서, 금속막(3a)이 도전성 스페이서(8)에 의한 가압으로 인해 변형될 우려가 있다. 투명 도전막(3b)은 인듐 및 주석과 같은 금속 산화물로 되어 있기 때문에, 그의 경도(硬度)가 금속막(3a)보다 높다. 따라서, 투명 도전막(3b)이 금속막(3a)의 표면에 형성됨으로써, 금속막(3a)이 손상되거나 변형되는 것을 방지한다.

<38> 그럼에도 불구하고, 금속막(3a)의 측면은 덮이지 않은 상태에 있고, 이방성 도전막(7)이 형성될 때까지 대기에 노출된다. 금속막(3a)은 부식 및 산화에 쉽게 노출되는 상태에 있고, 이것은 접속 배선(3)과 FPC(4)의 접속 신뢰성을 저하시키는 원인이 된다. 또한, 금속막(3a)의 측면은 FPC(4)가 장착된 상태에서는 수지와 냇게 됨으로써, 수분에 대한 보호에 있어서 문제를 야기한다.

### 발명이 이루고자 하는 기술적 과제

<39> 본 발명은 상기한 문제점을 해결하기 위해 안출된 것으로, 본 발명의 목적은 FPC와 접속 배선 사이의 신뢰성 높은 접속을 실현하고, 대량 생산에 적합한 접속 배선을 제공하는데 있다.

### 발명의 구성 및 작용

<40> 상기 목적을 달성하기 위해, 본 발명의 일 양태에 따르면, 이방성 도전막에 의해 한 기판상의 접속 배선을 다른 기판상의 배선에 전기적으로 접속하는 콘택트 구조로서, 상기 접속 배선이 금속막과 투명 도전막의 적층막이고, 상기 이방성 도전막과의 접속부분에서, 상기 금속막의 측면이 보호막으로 덮여 있는 것을 특징으로 하는 콘택트 구조가 제공된다.

<41> 본 발명의 다른 양태에 따르면, 박막트랜지스터로 구성된 회로와, 그 박막트랜지스터로 구성된 회로를 다른 회로에 접속하기 위한 접속 배선을 기판상에 가지는 반도체장치로서, 상기 접속 배선이 금속막과 투명 도전막의 적층막이고, 상기 다른 회로와의 접속부분에서, 상기 금속막의 측면이 보호막으로 덮여 있는 것을 특징으로 하는 반도체장치가 제공된다.

<42> 본 발명의 또 다른 양태에 따르면, 박막트랜지스터로 구성된 회로를 가진 제1 기판과, 그 제1 기판에 대향하는 제2 기판을 포함하는 반도체장치로서, 상기 박막트랜지스터로 구성된 회로를 다른 회로에 접속하기 위해 금속막과 그 금속막의 표면과 접촉하는 투명 도전막으로 형성된 접속 배선과, 상기 금속막의 측면과 접촉하는 보호막이 상기 제1 기판상에 형성된 것을 특징으로 하는 반도체장치가 제공된다.

<43> 본 발명의 또 다른 양태에 따르면, 박막트랜지스터로 구성된 회로를 가진 제1 기판과, 그 제1 기판에 대향하는 제2 기판을 포함하는 반도체장치로서, 상기 박막트랜지스터로 구성된 회로를 다른 회로에 접속하기 위해 금속막과 그 금속막의 표면과 접촉하는 투명 도전막으로 형성된 접속 배선과, 상기 제1 기판과 상기 제2 기판 사이의 간격을 유지하기 위해 상기 박막트랜지스터상에 형성된 기둥형 스페이서와, 그 기둥형 스페이서와 동일한 재료로 형성되고 상기 금속막의 측면과 접촉하는 보호막이 상기 제1 기판상에 형성된 것을 특징으로 하는 반도체장치가 제공된다.

<44> [실시형태 1]

<45> 본 발명에 따른 콘택트 구조는 액티브 매트릭스형 액정표시장치 또는 EL 표시장치와 같은, 이방성 도전막에 의해 회로들을 접속하는 실장(實裝) 방법을 사용하는 반도체장치에 적합하다. 본 실시형태에서는, 본 발명의 콘택트 구조를 액티브 매트릭스형 액정표시장치에 적용한 경우를 도 12(A) 및 도 12(B)를 참조하여 설명한다.

<46> 액티브 매트릭스 기판상의 접속 배선(183)이 단자부(182)에서 이방성 도전막(195)에 의해 FPC(191)에 전기적으로 접속된다. 이 접속 배선(183)은 액티브 매트릭스 기판상의 TFT의 소스/드레인 배선이 형성되는 것과 동일한 공정에서 형성된다. 즉, 접속 배선(183)은 소스/드레인 배선과 동일한 재료로 동일한 층에 형성된다. 접속 배선(183)은 금속막(140)과 투명 도전막(141)의 적층막이다. 이방성 도전막(195)과의 접속부분에서, 접속 배선(183)의 측면이 보호막(174)으로 덮여 있다.

<47> 이 구조에서 금속막(140)의 측면이 보호막(174)으로 덮여 있다. 따라서, 접속부분에서, 금속막(140)은 투명 도전막(141), 절연막(109) 및 보호막(174)에 의해 대기기에의 노출 없이 둘러싸이고 이들 막과 접촉하여 있다.

그 결과, 금속막(140)의 부식이 방지될 수 있다.

<48> 보호막(174)은 소스/드레인 배선의 상층에 형성되는 절연막을 사용하여 형성될 수 있다. 본 실시형태에서는, 보호막(174)이 액티브 매트릭스 기판과 대향 기판 사이의 간격을 유지하기 위해 형성되는 기동형 스페이서(172)와 동일한 공정에서 형성된다.

<49> 또한, 도 16에 도시된 바와 같이, 접속 배선(303)이 TFT의 게이트 배선과 동일한 공정에서 형성될 수도 있다. 이 경우, 접속 배선(303)은 게이트 배선과 동일한 재료로 동일한 층에 형성된다. 또한, 이 경우, 보호막(304)은 게이트 배선과 소스/드레인 배선 사이에 형성되는 절연막(138, 139)으로 형성된다.

<50> 본 발명에 따르면, 접속 배선은 금속막의 표면을 투명 도전막으로 덮은 적층막으로 형성된다. 금속막은 단일 층에 한정되지 않는다. 금속막의 두께는 100 nm~1 μm이다. 금속막은 알루미늄(Al), 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo) 및 텉스텐(W)으로 이루어진 군에서 선택된 원소를 주성분으로 하는 금속층이거나, 또는 금속원소를 함유하는 합금층을 적어도 포함하는 금속층일 수 있다. 그 합금으로서는, Mo-W 합금, Mo-Ta 합금, 또는 상기 원소들과 질소의 화합물, 예를 들어, 질화 탄탈(TaN), 질화 텉스텐(WN), 질화 티탄(TiN) 및 질화 몰리브덴(Mo N)을 들 수 있다. 또한, 규화 텉스텐, 규화 티탄 및 규화 몰리브덴과 같은 규화물 층이 금속막에 포함될 수도 있다.

<51> 투명 도전막의 두께는 50 nm~5 μm이다. 투명 도전막의 재료로서는, 스퍼터링법이나 진공증착법을 이용하여 형성되는 산화 인듐( $In_2O_3$ ) 또는 산화 인듐/산화 주석 합금( $In_2O_3-SnO_2$ : ITO)과 같은 재료가 사용될 수 있다. 이러한 재료의 에칭 처리는 염산계 용액으로 행해진다. 그러나, 특히, ITO의 에칭은 잔재를 발생시키기 쉽기 때문에, 에칭 가공성을 개선하기 위해서는 산화 인듐/산화 아연 합금( $In_2O_3-ZnO$ )이 사용될 수 있다. 산화 인듐/산화 아연 합금( $In_2O_3-ZnO$ )은 표면 평활성이 우수하고, ITO에 비해 열 안정성도 우수하기 때문에, Al과 접촉하게 되는 드레인 배선(169)의 엣지(edge) 표면에서 Al과의 부식 반응이 방지될 수 있다. 이와 마찬가지로, 산화 아연 ( $ZnO$ )도 적절한 재료이다. 가시광의 투과율 및 전도율을 더 향상시키기 위해서는, 갈륨이 첨가된 산화 아연 ( $ZnO:G$ ) 등이 사용될 수도 있다.

<52> [실시형태 2]

<53> 또한, 게이트 배선과 동일한 공정에서 접속 배선을 형성하는 경우, 게이트 배선과 접속 배선의 단면 형상을 테이퍼(taper) 형상으로 하여도 좋다. 게이트 배선을 테이퍼 형상으로 형성함으로써, 중심으로부터 측면 쪽으로 향하여 막 두께가 감소하는 것으로 되기 때문에, 후에 설명되는 실시예에서 나타내는 바와 같이, 게이트 배선을 마스크로 한 반도체막의 도핑 공정에서 막 두께의 변화를 이용하여 반도체막에 첨가되는 불순물 농도를 변화시킬 수 있다.

<54> 테이퍼 형상의 게이트 배선을 형성하기 위해서는, 고밀도 플라즈마를 이용한 건식 에칭법을 적용한다. 고밀도 플라즈마를 얻는 수단에는, 마이크로파 또는 ICP(Inductively Coupled Plasma: 유도 결합 플라즈마)를 이용하는 에칭 장치가 적당하다. 특히, ICP 에칭 장치는 플라즈마를 용이하게 제어할 수 있고, 처리 기판의 대면적화에도 대응할 수 있다. 높은 정밀도로 플라즈마 처리를 행하는 수단으로서, ICP를 이용하는 플라즈마 처리 장치는 임피던스 정합 장치를 통해 4개의 소용돌이 모양 코일부분이 직렬로 접속되어 이루어진 다중 나선(multi-spiral) 코일에 고주파 전력을 인가하여 플라즈마를 형성하는 방법을 이용한다. 여기서, 각각의 소용돌이 모양 코일부분의 길이는 고주파의 파장의 1/4배로 하고 있다. 또한, 플라즈마 처리 장치는 피처리물을 보유하기 위한 하부 전극에도 별도의 고주파 전력을 인가하여 바이어스 전압을 부가하는 구성으로 하고 있다. ICP를 이용한 플라즈마 처리 방법과 플라즈마 처리 장치가 일본 공개특허공고 평9-293600호 공보에 개시되어 있다.

<55> 도 25는 그러한 ICP를 이용한 플라즈마 처리 장치(예를 들어, 에칭 장치)의 구조를 개략적으로 나타낸다. 체임버 상부의 석영 기판(11)상에 안테나 코일(12)이 배치되고, 그 안테나 코일(12)은 매칭 박스(13)를 통해 RF 전원(14)에 접속되어 있다. 또한, 플라즈마 처리될 기판(10)은 안테나 코일(12)로 향하여 배치된 하부 전극(15)상에 배치된다. 이 하부 전극(15)도 매칭 박스(16)를 통해 FR 전원(17)에 접속되어 있다. 석영 기판 위의 안테나 코일(12)에 FR 전류가 인가되면, 안테나 코일(12)에서 FR 전류(J)가 a 방향으로 흐름으로써, 하기 식 1에 따라 Z 방향으로 자기장(B)이 발생한다.

<56> [식 1]

$$\mu_0 J = \text{rot} B \quad (\mu_0 = \text{투자율})$$

<58> 그리고, 패러데이의 전자(電磁) 유도 법칙에 따라, 유도 전기장(E)이  $\theta$  방향으로 발생한다(식 2).

<59> [식 2]

$$-\frac{\partial \mathbf{B}}{\partial t} = \text{rot} \mathbf{E}$$

<60> 유도 전기장(E)에서 전자가  $a$  방향으로 가속되어 가스 분자와 충돌하여, 플라즈마가 발생한다. 유도 전기장(E)의 방향이  $a$  방향이기 때문에, 에칭 체임버의 벽 또는 기판에 하전 입자가 충돌하여 전하를 상실할 확률이 낮게 된다. 따라서, 1 Pa 정도의 낮은 압력에서도 고밀도 플라즈마가 발생될 수 있다. 또한, 하방 흐름에는 자기장(B)이 거의 없기 때문에, 시트(sheet) 형상으로 확대된 고밀도 플라즈마 영역이 얻어진다.

<61> ICP로 고밀도 플라즈마를 얻기 위해서는, 안테나 코일(12)로 흐르는 고주파 전류(J)를 저손실로 흐르게 할 필요가 있고, 그의 임피던스를 감소시켜야 한다. 따라서, 안테나 코일을 분할한 방식으로 하는 것이 효과적이다.

<62> 안테나 코일(12)(ICP 파워가 인가되는) 및 기판측의 하부 전극(15)(바이어스 파워가 인가되는) 각각에 인가되는 RF 파워를 조절함으로써, 플라즈마 밀도 및 셀프 바이어스 전압을 독립적으로 제어할 수 있다. 또한, 에칭될 막에 따라 상이한 주파수를 가진 FR 파워를 인가할 수 있다.

<63> ICP 에칭 장치로 고밀도 플라즈마를 얻기 위해서는, 안테나 코일(12)로 흐르는 RF 전류(J)가 저손실로 흐를 필요가 있다. 기판의 대표면적화를 위해서는, 안테나 코일(12)의 인덕턴스가 감소되어야 한다. 상기한 조건을 달성하기 위해, 도 26에 도시된 바와 같이, 안테나를 분할한 다중 나선 코일(22)을 가진 ICP 에칭 장치가 개발되었다. 도 26에서, 부호 21은 석영 기판을 나타내고, 부호 23 및 26은 매칭 박스를 나타내고, 부호 24 및 27은 RF 전원을 나타낸다. 또한, 체임버의 하부에는, 기판(28)을 보유하기 위한 하부 전극(25)이 절연체(29)를 사이에 두고 설치되어 있다.

<64> ICP를 사용하고 다중 나선 코일이 적용된 에칭 장치를 이용하면, 내열성의 도전 재료의 에칭을 양호하게 행할 수 있고, 또한, 소망의 테이퍼각( $\theta$ )을 가진 배선을 형성할 수 있다.

<65> ICP 에칭 장치의 바이어스 파워 밀도를 조절함으로써, 소망의 테이퍼각( $\theta$ )을 얻을 수 있다. 도 27은 테이퍼각( $\theta$ )의 바이어스 파워 의존성을 나타내는 도면이다. 도 27에 도시된 바와 같이, 바이어스 파워 밀도에 따라 테이퍼각( $\theta$ )을 제어할 수 있다. 도 27에는, 유리 기판상에 소정의 패턴으로 형성된 텅스텐(W) 막의 패터닝된 옛지부의 테이퍼 형상(테이퍼각)을 조사한 결과가 나타내어져 있다. 도 28은 기판측에 인가되는 바이어스 파워(13.56 MHz)에 대한 테이퍼각의 의존성을 나타낸다. 공동 조건으로서, 방전 전력(코일에 인가될 고주파 전력, 13.56 MHz)을  $3.2 \text{ W/cm}^2$ 으로 하고, 압력을 1.0 Pa로 하고, 에칭 가스로서  $\text{CF}_4$  및  $\text{Cl}_2$ 를 사용하였다. 에칭 가스의 유량은  $\text{CF}_4$  및  $\text{Cl}_2$  모두 30 SCCM으로 하였다.

<66> 도 27에 도시된 바와 같이, 바이어스 파워가  $128\sim384 \text{ mW/cm}^2$ 일 때, 테이퍼각이  $70^\circ \sim 20^\circ$ 에서 변화될 수 있다는 것이 명백하게 되었다.  $\text{CF}_4$  및  $\text{Cl}_2$ 의 유량은 모두 30 SCCM으로 하였다.

<67> 또한, 도 28에 나타낸 실험으로부터 알 수 있는 바와 같이, 테이퍼각을  $60^\circ \sim 80^\circ$ 로 변화시키는 것이 가능하다. 도 28의 실험조건에서는, 에칭 가스의 유량비에 대한 테이퍼각의 의존성을 조사한 결과를 나타낸다.  $\text{CF}_4$  및  $\text{Cl}_2$ 의 합계 유량을 60 SCCM으로 하는 조건에서  $\text{CF}_4$ 의 유량만을 20~40 SCCM의 범위로 변경하였다. 이때, 바이어스 파워는  $128 \text{ mW/cm}^2$ 로 하였다.

<68> 또한, 테이퍼각( $\theta$ )은 텅스텐과 레지스트의 에칭 선택비에도 의존하는 것으로 고려된다. 도 29는 텅스텐과 레지스트의 선택비에 대한 테이퍼각( $\theta$ )의 의존성을 나타낸다. ICP 에칭 장치를 사용하여, 바이어스 파워 밀도 및 반응 가스의 유량비를 적절히 결정하면,  $3^\circ \sim 60^\circ$ 의 소망의 테이퍼각( $\theta$ )을 가진 배선을 매우 용이하게 형성할 수 있다.

<69> 또한, 내열성의 도전 재료에 대한 ICP 에칭 장치에서의 가공 특성을 고려한다. 여기서는, 텅스텐(W)막과 탄탈(Ta)막 이외에, 게이트 전극의 재료로서 종종 사용되는 몰리브덴-텅스텐(Mo-W) 합금(조성비는 Mo:W = 48:50 wt%임)에 관하여, 에칭 속도, 적용될 수 있는 에칭 가스, 및 게이트 전극의 하지(下地)가 되는 게이트 절연막에 대한 선택비의 대표적인 값을 나타낸다. 게이트 절연막은 플라즈마 CVD법으로 형성된 산화규소막 또는 산화질화규소막이다. 여기서, 선택비는 각 재료의 에칭 속도에 대한 게이트 절연막의 에칭 속도의 비로서 정의된다.

&lt;71&gt;

[표 1]

&lt;72&gt;

재료	에칭속도(nm/min)	게이트 절연막과의 선택비	에칭 가스
W	70~90	2~4	CF <sub>4</sub> +Cl <sub>2</sub>
Ta	140~160	6~8	Cl <sub>2</sub>
Mo-W	40~60	0.1~2	CF <sub>4</sub> +Cl <sub>2</sub>

&lt;73&gt;

탄탈(Ta)막의 에칭 속도는 140~160 nm/min이고, 게이트 절연막에 대한 에칭 선택비는 6~8이다. 이 값은 텅스텐(W)막의 에칭 속도 70~90 nm/min, 게이트 절연막에 대한 텅스텐(W)막의 에칭 선택비 2~4를 초과한다. 따라서, 가공성의 관점에서 탄탈(Ta)막도 적용가능하다. 표 1에는 나타내지 않았지만, 탄탈(Ta)막의 저항률이 20~30  $\mu\Omega\text{cm}$ 이고, 10~16  $\mu\Omega\text{cm}$ 의 텅스텐(W)막의 저항률에 비해 탄탈(Ta)막의 저항률이 비교적 높아 어려운 점이 있다.

&lt;74&gt;

한편, Mo-W 합금의 에칭 속도는 40~60 nm/min로 느리고, 게이트 절연막에 대한 에칭 선택비는 0.1~2.0이다. 가공성의 관점에서, 이 재료는 반드시 적용 가능한 것은 아니다. 표 1에서 알 수 있는 바와 같이, 탄탈(Ta)막이 최상의 결과를 나타내지만, 상기한 바와 같이, 저항률을 고려하면, 종합적으로는 텅스텐(W)막이 적합한 것으로 고려된다.

&lt;75&gt;

또한, 건식 에칭을 위한 에칭 가스로서는, 불소 함유 가스와 염소 함유 가스의 혼합 가스가 사용될 수 있다. 불소 함유 가스로서는 CF<sub>4</sub>, C<sub>2</sub>F<sub>6</sub> 및 C<sub>4</sub>F<sub>8</sub>로부터 선택된 가스가 사용될 수 있고, 염소 함유 가스로서는 Cl<sub>2</sub>Cl<sub>2</sub>, SiCl<sub>4</sub> 및 BC<sub>1</sub>로부터 선택된 가스가 사용될 수 있다.

&lt;76&gt;

[실시예 1]

&lt;77&gt;

본 실시예는 액티브 매트릭스형 액정 패널에 관한 것이다. 도 1(A)는 화소부 및 그 화소부의 박막트랜지스터를 구동하기 위한 구동회로가 형성되어 있는 본 실시예의 액티브 매트릭스 기판의 상면도를 나타내고, 또한 액티브 매트릭스 기판상에 형성된 기동형 스페이서와 밀봉제(시일체)의 위치 관계도 나타내고 있다.

&lt;78&gt;

도 1(A)에 도시된 바와 같이, 유리 기판(101)상에는, 박막트랜지스터가 배치된 화소부(188)와, 화소부에 배치된 박막트랜지스터를 구동하기 위한 구동회로로서의 주사 신호 구동회로(185)와 화상 신호 구동회로(186a)가 설치되어 있다. 또한, CPU 또는 메모리 회로와 같은 신호 처리 회로(187)도 설치되어 있다.

&lt;79&gt;

화소부(188)에서는, 주사 신호 구동회로(185)로부터 연장하는 게이트 배선(189)과 화상 신호 구동회로(186a)로부터 연장하는 소스 배선(190)이 매트릭스 형상으로 교차하여 화소를 형성한다. 각 화소는 도 6(B)에 도시된 바와 같이 화소 TFT(204)와 보유용량(205)을 가지고 있다.

&lt;80&gt;

수지로 된 원통형 구조체인 기동형 스페이서(172)가 액티브 매트릭스 기판과 대향 기판 사이의 간격을 유지하기 위해 배치되어 있다. 화소부(188)에 배치되는 기동형 스페이서(172)는 각 화소마다 배치될 뿐만 아니라, 매트릭스 형상으로 배치된 여러개의 화소 또는 수십개의 화소마다에 배치될 수도 있다. 즉, 화소부를 구성하는 전체 화소수 대 스페이서의 수의 비율은 20%~100%인 것이 좋다. 또한, 구동회로에는, 기동형 스페이서(172) 대신에, 회로들의 전체 표면을 덮는 수지를 구비할 수도 있다. 본 실시예에서는 기동형 스페이서가 TFT의 소스 배선과 드레인 배선의 위치에 맞추어 설치되어 있다.

&lt;81&gt;

기판(101)상의 화소부(188), 주사 신호 구동회로(185), 화상 신호 구동회로(186a), 및 다른 회로들로 된 신호 처리 회로(187)의 외측과 외부 입출력 단자(182)의 내측에 밀봉제(186)가 형성되어 있다.

&lt;82&gt;

액티브 매트릭스 기판상의 구동회로는 접속 배선(183)에 의해 외부 전원 또는 외부 회로에 전기적으로 접속되어 있다. 이 접속 배선(183)은 구동회로의 TFT의 소스(드레인) 배선과 동시에 형성된다. 단자부(182)가 접속 배선(183)과 일체로 형성되고, 다른 기판상의 배선과의 접속부가 된다. 도 1(B)는 단자부(182)의 부분 확대도를 나타낸다.

&lt;83&gt;

도 1(B)에 도시된 바와 같이, 단자부(182)의 측면은 보호막(174)으로 덮여 있다. 단자부(182)에서 접속 배선(183)은 이방성 도전막에 의해 FPC(191)의 배선(191b)에 전기적으로 접속되어 있다. 부호 191a는 FPC(191)를 가진 기판을 나타낸다.

- <84> 도 2는 액티브 매트릭스 기판(101)의 회로의 블록도이다. 화상 신호 구동회로(186a)는 시프트 레지스터 회로(501a), 레벨 시프터 회로(502a), 버퍼 회로(503a), 및 샘플링 회로(504)로 구성되어 있고, 주사 신호 구동회로(185)는 시프트 레지스터 회로(501b), 레벨 시프터 회로(502b), 및 버퍼 회로(503b)로 구성되어 있다.
- <85> 시프트 레지스터 회로(501a, 501b)의 구동 전압은 5~16V(대표적으로는 10 V)이다. 이 회로를 형성하는 CMOS 회로는 도 6에 도시된 바와 같이 제1 p채널형 TFT(200)와 제1 n채널형 TFT(201)로 형성되어 있다. 레벨 시프터 회로(501a, 501b) 및 버퍼 회로(503a, 503b)의 구동 전압이 14~16 V로 더 높게 되지만, 시프트 레지스터의 TFT와 동일한 TFT가 사용될 수 있다. 또한, 이들 회로의 게이트를 멀티게이트 구조로 형성하면, 내압을 증가시키고 신뢰성을 향상시키는데 효과적이다.
- <86> 샘플링 회로(504)는 아날로그 스위치로 형성되고, 그의 구동 전압은 14~16 V이다. 극성이 교대로 반전하여 구동되므로, 오프 전류값을 감소시킬 필요가 있기 때문에, 도 6에 도시된 바와 같이, 샘플링 회로(504)가 제2 p채널형 TFT(202)와 제2 n채널형 TFT(203)로 형성되는 것이 바람직하다. 제2 p채널형 TFT(202)의 오프 전류값이 문제가 될 때는, 실시예 2에서 나타내는 공정에서 형성된 오프셋 영역을 구비한 단일 드레인 구조의 TFT를 사용하여 이 회로를 형성할 수 있다.
- <87> 또한, 화소부의 구동 전압은 14~16 V이다. 저소비전력화의 관점에서, 화소부의 오프 전류값을 샘플링 회로의 것보다 더 감소시킬 필요가 있다. 따라서, 화소부는 도 6에 도시된 화소 TFT(204)와 같이 멀티게이트 구조이고, 또한 LDD 영역을 구비한 구조인 것이 바람직하다.
- <88> 도면에는, 화소부(188) 및 구동회로(185, 186a)의 블록 구성만이 도시되어 있다. 후술되는 TFT 제작공정에 따르면, 그 외에도, 신호 분할 회로, 주파수 분할 회로, D/A 컨버터, y 보정회로, 연산 증폭기 회로, 및 메모리 회로와 연산 처리 회로와 같은 신호 처리 회로(187) 및 논리 회로와 같은 다른 회로들이 동일 기판상에 형성될 수 있다. 본 발명에 따르면, 동일 기판상에 형성된 화소부 및 구동회로를 가진 반도체장치, 예를 들어, 신호 구동회로 및 화소부를 구비한 액정표시장치가 실현될 수 있다.
- <89> 이하, 액티브 매트릭스 기판의 제작공정에 대해 설명한다. 도 3~도 7은 화소부(188) 및 구동회로의 제작공정을 나타내는 단면도이고, 도 9~도 11은 접속 배선(183)의 단자부(182)의 제작공정을 나타내는 도면이다. 이들 도면에서 동일한 부호는 동일한 구성요소를 나타낸다.
- <90> 삭제
- <91> 기판(101)에는, 코닝(Corning) #7059 유리 및 #1737 유리로 대표되는 봉규산 바륨 유리 또는 봉규산 알루미늄 유리가 사용될 수 있다. 이들 유리 기판 이외에, 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN), 폴리에테르술폰(PES) 등과 같은 광학적 이방성을 갖지 않는 플라스틱 기판도 사용될 수 있다. 유리 기판을 사용하는 경우에는, 기판(101)을 유리 변형점보다 약 10~20°C 낮은 온도로 미리 열처리할 수도 있다. 기판(101)으로부터 불순물의 확산을 방지하기 위해, TFT가 형성되는 기판(101)의 표면에 산화규소막, 질화규소막 또는 산화질화규소막으로 된 하지막(102)을 형성한다. 예를 들어, 플라즈마 CVD법에 의해 SiH<sub>4</sub>, NH<sub>3</sub> 및 N<sub>2</sub>O로부터 10~200 nm(바람직하게는, 50~100 nm)의 두께로 형성된 산화질화규소막(102a)과, 마찬가지로 SiH<sub>4</sub> 및 N<sub>2</sub>O로부터 50~200 nm(바람직하게는, 100~150 nm)의 두께로 형성된 산화질화수소화규소막(102b)으로 된 적층막을 형성한다.(도 3(A))
- <92> 산화질화규소막은 종래의 평행 평판형 플라즈마 강화 CVD법을 사용하여 형성된다. 산화질화규소막(102a)은 기판 온도 325°C, 반응 압력 40 Pa, 방전 전력 밀도 0.41 W/cm<sup>2</sup>, 방전 주파수 60 MHz의 조건 하에 반응실 내에 SiH<sub>4</sub>를 10 sccm으로, NH<sub>3</sub>를 100 sccm으로, N<sub>2</sub>O를 20 sccm으로 도입함으로써 형성된다. 한편, 산화질화수소화규소막(102b)은 기판 온도 400°C, 반응 압력 20 Pa, 방전 전력 밀도 0.41 W/cm<sup>2</sup>, 방전 주파수 60 MHz의 조건 하에 반응실 내에 SiH<sub>4</sub>를 5 sccm으로, N<sub>2</sub>O를 120 sccm으로, H<sub>2</sub>O를 125 sccm으로 도입함으로써 형성된다. 이들 막은 기판 온도를 변화시키고 반응 가스를 교체하는 것만으로 연속하여 형성될 수도 있다.
- <93> 이렇게 형성된 산화질화규소막(102a)은  $9.28 \times 10^{22}$  cm<sup>3</sup>의 밀도를 가지고, 플루오르화수소 암모늄(NH<sub>4</sub>HF<sub>2</sub>) 7.13%와 플루오르화 암모늄(NH<sub>4</sub>F) 15.4%를 함유하는 20°C의 혼합 용액(Stella Chemifa Co.의 제품인 "LAL500")에서 약 63 nm/min의 느린 에칭 속도를 가지며, 치밀하고 단단한 막이다. 하지막에 그러한 막이 사용되면, 유리 기판으

로부터 그 기판상에 형성된 반도체층으로의 알칼리 금속원소의 확산이 효과적으로 방지될 수 있다.

<94> 다음에, 25~80 nm(바람직하게는, 30~60 nm)의 두께이고 비정질 구조를 가지는 반도체막(103a)을 플라즈마 CVD법 또는 스퍼터링법과 같은 공기의 방법에 의해 형성한다. 예를 들어, 비정질 규소막을 플라즈마 CVD법에 의해 55 nm의 두께로 형성한다. 비정질 구조를 가진 반도체막에는, 비정질 반도체막과 미(微)결정 반도체막이 포함되고, 비정질 규소-게르마늄막과 같은, 비정질 구조를 가진 화합물 반도체막도 사용될 수 있다. 하지막(102)과 비정질 반도체막(103a)이 연속적으로 형성될 수도 있다. 예를 들어, 산화질화규소막(102a)과 산화질화수소화규소막(102b)을 상기한 바와 같이 플라즈마 CVD법에 의해 연속적으로 형성한 후, 반응 가스를 SiH<sub>4</sub>, N<sub>2</sub>O 및 H<sub>2</sub>로부터 SiH<sub>4</sub> 및 H<sub>2</sub>로 또는 SiH<sub>4</sub>만으로 전환함으로써 대기애의 노출 없이 연속적으로 성막을 행할 수 있다. 그 결과, 산화질화수소화규소막(102b)의 표면의 오염이 방지될 수 있고, 제조되는 TFT의 특성 편차 및 스레시홀드 전압의 변동이 감소될 수 있다.

<95> 그 다음, 결정화 공정을 행하여, 비정질 반도체막(103a)으로부터 결정성 반도체막(103b)을 형성한다. 이 방법에는, 레이저 어닐법, 열 어닐법(고상 성장법) 또는 급속 열 어닐법(RTA법)이 사용될 수 있다. 유리 기판 또는 내열성이 낮은 플라스틱 기판을 사용하는 경우에는, 레이저 어닐법을 이용하는 것이 바람직하다. RTA법은 광원으로서 IR 램프, 할로겐 램프, 금속 할로겐화물 램프 또는 크세논 램프를 사용한다. 또는, 일본 공개특허공고 평7-130652호 공보에 개시된 기술에 따라 촉매원소를 사용한 결정화 방법에 의해 결정성 반도체막(103b)을 형성할 수도 있다. 결정화 공정에서, 비정질 반도체막에 함유된 수소를 먼저 방출시키는 것이 바람직하다. 400~500°C에서 1시간 정도 열처리를 행하여 수소 함량을 5 원자% 이하로 감소시킨 후, 결정화 공정을 행한다. 이렇게 하여, 막 표면의 거칠어짐이 방지될 수 있어 좋다.

<96> 결정화 공정이 레이저 어닐법에 의해 행해지는 경우에는, 광원으로서 펄스 발진형 또는 연속 발광형 엑시머 레이저, 또는 아르곤 레이저가 사용된다. 펄스 발진형 엑시머 레이저를 사용하는 경우에는, 레이저 비임을 선형으로 가공하여, 레이저 어닐 조건은 실시자에 의해 적절히 선택될 수 있고, 예를 들어, 레이저 펄스 발진 주파수를 30 Hz로 하고, 레이저 에너지 밀도를 100~500 mJ/cm<sup>2</sup>(대표적으로는 300~400 mJ/cm<sup>2</sup>)로 한다. 그리고, 선형 레이저 비임을 기판의 전면(全面)에 조사하고, 이때의 레이저 비임의 오버랩 비율을 80~98%로 한다. 이렇게 하여, 도 3(B)에 도시된 바와 같이 결정성 반도체막(103b)이 얻어질 수 있다.

그 다음, 포토마스크(PM1)를 사용한 포토리소그래피에 의해 결정성 반도체막(103b)상에 레지스트 패턴을 형성한다. 건식 애칭에 의해 결정성 반도체막을 섬으로 분할하여, 섬 모양의 반도체막(104~108)을 형성한다. 건식 애칭에는 CF<sub>4</sub>와 O<sub>2</sub>의 혼합 가스를 사용한다.

<97> TFT의 스레시홀드 전압(V<sub>th</sub>)을 제어하기 위해, p형을 부여하는 불순물을 섬 모양의 반도체막의 전면에 약 1×10<sup>16</sup>~5×10<sup>17</sup> 원자/cm<sup>3</sup>의 농도로 첨가할 수도 있다. 반도체에 p형을 부여하는 불순물 원소로서는, 붕소(B), 알루미늄(Al) 또는 갈륨(Ga)과 같은 주기율표 13족의 원소가 알려져 있다. 이들 원소를 도핑하는 방법으로서는 이온 주입법 또는 이온 도핑법이 채택될 수 있으나, 대면적의 기판을 처리하는데는 이온 도핑법이 적합하다. 이 이온 도핑법은 원료 가스로서 디보란(B<sub>2</sub>H<sub>6</sub>)을 사용하여 붕소(B)를 첨가한다. 그러한 불순물 원소의 첨가가 반드시 필요한 것은 아니고, 생략될 수도 있다. 그러나, 이것은 특히 n채널형 TFT의 스레시홀드 전압을 소정의 범위내로 유지하기 위해 적절히 사용될 수 있는 방법이다.

<98> 플라즈마 CVD법 또는 스퍼터링법에 의해 규소를 함유한 절연막으로부터 게이트 절연막(109)을 40~150 nm의 두께로 형성한다. 예를 들어, 120 nm의 두께를 가진 산화질화규소막으로부터 게이트 절연막이 형성될 수 있다. O<sub>2</sub>를 SiH<sub>4</sub> 및 N<sub>2</sub>O에 첨가하여 형성된 산화질화규소막은 그 막 내에 감소된 고정 전하 밀도를 가지므로, 이 용도에 바람직한 재료이다. 물론, 게이트 절연막이 그러한 산화질화규소막에 특별히 한정되는 것은 아니고, 규소를 함유한 다른 절연막으로 된 단층 구조 또는 그들의 적층 구조일 수도 있다.(도 3(C))

<99> 도 3(D)에 도시된 바와 같이, 도전막을 형성하여 게이트 절연막(109) 위에 게이트 배선을 형성한다. 도전막은 단층일 수 있고, 필요에 따라 2층 또는 3층과 같은 다층의 적층 구조일 수도 있다. 예를 들어, 2층 구조인 경우에는, 상층에, 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo) 및 텉스텐(W) 등으로부터 선택된 원소를 주성분으로 하는 금속막, 또는 이들 원소를 포함하는 합금막(대표적으로는, Mo-W 합금막 및 Mo-Ta 합금막)이 형성되고, 하층에는 질화 탄탈(TaN), 질화 텉스텐(WN), 질화 티탄(TiN), 질화 몰리브덴(MoN) 등이 형성된다. 예를 들어, 2층의 경우, 상층은 하층의 도전성 질화물로부터 형성될 수 있고, 상층/하층으로서, WN 막/W 막 또는 TaN 막/Ta 막 등이

될 수 있다. 3층의 경우에는, TaN 막/Ta 막/TaN 막일 수 있다. 제2(상부) 도전막의 저항률을  $10\sim50 \mu\Omega\text{cm}$ 의 범위로 하는 것이 바람직하다. 저저항화를 도모하기 위해, 함유된 불순물 농도를 감소시키는 것이 바람직하고, 특히, 산소 농도는 30 ppm 이하로 감소시키면 좋다. 예를 들어, 산소 농도를 30 ppm 이하로 함으로써 텅스텐(W)에 대하여  $20 \mu\Omega\text{cm}$  이하의 저항률을 실현할 수 있다.

<100> 또한, 배선 저항의 저저항화를 달성하기 위해, 알루미늄을 주성분으로 하는 막을 사용하는 것이 바람직하다. 이 경우, 알루미늄에 미량의 Si 또는 Sc 등을 첨가함으로써 내열성이 향상될 수 있다. 예를 들어, 게이트 배선을 형성하는 도전막으로서, Sc가 첨가된 Ti 막/Al 막 또는 Sc가 첨가된 Ti 막/TiN 막/Al 막이 형성될 수 있다.

<101> 게이트 전극에 W을 사용하는 경우에는, 도전층(111)에 대해서는 W을 타깃으로 한 스퍼터링법에 의해 아르곤(Ar) 가스와 질소( $N_2$ ) 가스를 도입함으로써 질화 텅스텐(WN)을 50 nm의 두께로 형성하고, 도전층(110)에 대해서는 W을 250 nm의 두께로 형성한다. 다른 방법으로서는, 유플루오르화 텅스텐( $WF_6$ )을 사용한 열 CVD법에 의해 W 막을 형성할 수도 있다. 어떤 경우라도, 게이트 전극의 저항을 감소시켜야 하고, W 막의 저항률은  $20 \mu\Omega\text{cm}$  이하인 것이 바람직하다. W 막의 낮은 저항률은 결정립의 크기를 증가시킴으로써 달성될 수 있으나, W 막 중의 산소와 같은 불순물 원소의 함유량이 높으면 결정화가 저해되기 때문에 저항률을 높게 한다. 따라서, 스퍼터링 법이 이용되는 경우, 사용된 W 타깃은 99.9999%의 순도를 가지고, 성막 중에 기상으로부터의 불순물의 혼입이 없도록 충분한 주의를 하여야 한다. 이렇게 하여,  $9\sim20 \mu\Omega\text{cm}$ 의 저항률이 달성될 수 있다.

<102> 마찬가지로, 스퍼터링법에 의해 TaN 막 및 Ta 막을 형성할 수 있다. TaN 막을 형성하기 위해서는, 타깃으로서 Ta을 사용하고, 스퍼터링 가스로서 아르곤(Ar)과 질소의 혼합 가스를 사용한다. Ta 막을 형성하기 위해서는 스퍼터링 가스로서 아르곤(Ar)을 사용한다. 이들 스퍼터링 가스에 적당한 양의 Xe 또는 Kr이 첨가되면, 얻어지는 막의 내부 응력이 완화될 수 있고, 막의 벗겨짐이 방지될 수 있다.  $\alpha$ 상(相) Ta 막의 저항률은 약  $20 \mu\Omega\text{cm}$ 이고, 이 막이 게이트 전극에 사용될 수 있다. 그러나,  $\beta$ 상 Ta 막의 저항률은 약  $180 \mu\Omega\text{cm}$ 이고, 이 막은 게이트 전극에 적합하지 않다. TaN 막은  $\alpha$ 상의 결정 구조와 유사한 결정 구조를 가진다. 따라서, TaN 막 위에 Ta 막을 형성하면,  $\alpha$ 상 Ta 막이 용이하게 얻어질 수 있다. 본 실시예에서는, 게이트 배선을 형성하는 도전막으로서, 하부 도전막(110)으로서 TaN 막을 형성하고, 상부 도전막(111)으로서 Ta 막을 형성한다.

<103> 한편, 게이트 배선을 형성하는 도전막과 게이트 절연막(109) 사이에 인(P)이 도핑된 규소막을 약  $2\sim20 \text{ nm}$ 의 두께로 형성하는 것이 효과적이다. 이렇게 함으로써, 그 위에 형성되는 도전막의 밀착성 향상과 산화 방지가 도모될 수 있는 동시에, 도전막에 미량으로 함유된 알칼리 금속원소가 게이트 절연막(109)으로 확산하는 것을 방지할 수 있다.

<104> 다음에, 포토마스크(PM2)를 사용하여 포토리소그래피에 의해 레지스트 마스크(RM1~RM6)를 형성한다. 도전막(110)과 도전막(111)을 함께 에칭하여, 게이트 전극(118~122)과 용량 배선(123)을 형성한다. 이들 게이트 전극(118~122) 및 용량 배선(123)은 도전막으로 형성된 단일 구조(118a~123a)와 도전막으로 형성된 단일 구조(118b~123b)를 포함한다.(도 4(A))

<105> n채널형 TFT에 LDD 영역을 형성하기 위해, n형을 부여하는 불순물 원소의 도핑 공정(n<sup>+</sup> 도핑 공정)을 행한다. 여기서는, n형을 부여하는 불순물 원소를 게이트 전극(118~122)을 마스크로 하여 자기정합적으로 이온 도핑법에 의해 첨가한다. n형을 부여하는 불순물 원소로서 인(P)을  $1\times10^{16}\sim5\times10^{19} \text{ 원자}/\text{cm}^3$ 의 농도 범위로 첨가한다. 이렇게 하여, 도 4(B)에 도시된 바와 같이, 섬 모양의 반도체막에 저농도 n형 불순물 영역(124~129)이 형성된다.

<106> 그 다음, n채널형 TFT의 소스 또는 드레인 영역으로 기능하는 고농도 n형 불순물 영역을 형성한다(n<sup>+</sup> 도핑 공정). 먼저, 포토마스크(PM3)를 사용하여 레지스트 마스크(RM8~RM12)를 형성하고, n형을 부여하는 불순물 원소를 첨가하여 고농도 n형 불순물 영역(130~135)을 형성한다. n형을 부여하는 불순물 원소로서 인(P)이 사용된다. 포스핀( $PH_3$ )을 사용한 이온 도핑법을 이용하여, 농도가  $1\times10^{20}\sim1\times10^{21} \text{ 원자}/\text{cm}^3$ 의 범위내에 들게 한다.(도 4(C))

<107> 그리고, p채널형 TFT를 형성하는 섬 모양의 반도체막(104~106)에 소스 및 드레인 영역으로서 고농도 p형 불순물 영역(136, 137)을 형성한다. 여기서는, 게이트 전극(118, 120)을 마스크로 하여 p형을 부여하는 불순물 원소를 첨가하고, 자기정합적으로 고농도 p형 불순물 영역을 형성한다.

<108> 이때, 포토마스크(PM4)를 사용하여 n채널형 TFT를 형성하는 섬 모양의 반도체막(105, 107, 108)상에 레지스트

마스크(RM13~RM15)를 형성하여 전면을 덮는다. 고농도 p형 불순물 영역(136, 137)은 디보란( $B_2H_6$ )을 사용한 이온 도핑법에 의해 형성된다. 이 영역에서의 봉소(B) 농도는  $3 \times 10^{20} \sim 3 \times 10^{21}$  원자/ $\text{cm}^3$ 이다.(도 4(D))

<109> 고농도 p형 불순물 영역(136, 137)에는 이전 공정에서 인(P)이 첨가되어 있어, 고농도 p형 불순물 영역(136a, 137a)에는  $1 \times 10^{20} \sim 1 \times 10^{21}$  원자/ $\text{cm}^3$ 의 농도로, 그리고 고농도 p형 불순물 영역(136b, 137b)에는  $1 \times 10^{16} \sim 5 \times 10^{19}$  원자/ $\text{cm}^3$ 의 농도로 함유되어 있으나, 이 공정에서 첨가되는 봉소(B)의 농도를 1.5~3배 더 높게 함으로써, p채널형 TFT의 소스 및 드레인 영역으로서의 기능에는 아무런 문제가 발생하지 않는다.

<110> 그후, 도 5(A)에 도시된 바와 같이, 게이트 배선 및 게이트 절연막 위에 보호 절연막(138)을 형성한다. 이 보호 절연막(138)은 산화규소막, 산화질화규소막, 질화규소막, 또는 이를 막의 조합으로 된 적층막으로 이루어질 수 있다. 보호 절연막(138)은 100~200 nm의 두께를 가진다. 산화규소막이 사용되는 경우에는, 플라즈마 CVD 법으로, 테트라에틸 오소실리케이트(TEOS)와  $O_2$ 를 혼합하고, 반응 압력 40 Pa, 기판 온도 300~400°C로 하고, 고주파(13.56 MHz) 전력 밀도 0.5~0.8 W/ $\text{cm}^2$ 로 방전시켜 막을 형성할 수 있다.

<111> 산화질화규소막이 사용되는 경우에는, 그 막이 플라즈마 CVD법에 의해  $\text{SiH}_4$ ,  $\text{N}_2\text{O}$  및  $\text{NH}_3$ 로부터 형성된 산화질화규소막 또는  $\text{SiH}_4$  및  $\text{N}_2\text{O}$ 로부터 형성된 산화질화규소막으로 이루어질 수 있다. 이 경우의 성막 조건은 반응 압력 20~200 Pa, 기판 온도 300~400°C, 고주파(60 MHz) 전력 밀도 0.1~1.0 W/ $\text{cm}^2$ 이다.  $\text{SiH}_4$ ,  $\text{N}_2\text{O}$  및  $\text{H}_2$ 로부터 형성된 산화질화수소화규소막도 사용될 수 있다. 마찬가지로, 플라즈마 CVD법에 의해  $\text{SiH}_4$  및  $\text{NH}_3$ 로부터 질화규소막이 형성될 수도 있다.

<112> 그후, 각각의 농도로 첨가된 n형 또는 p형을 부여하는 불순물 원소를 활성화하는 공정을 행한다. 이 공정은 노어닐 오븐을 사용하는 열 어닐법에 의해 행해진다. 열 어닐법 이외에, 레이저 어닐법 및 금속 열 어닐법(RTA법)을 이용할 수도 있다. 열 어닐법은 1 ppm 이하, 바람직하게는, 0.1 ppm 이하의 농도로 산소를 함유한 질소 분위기에서 400~700°C, 대표적으로는 500~600°C로 행해진다. 본 실시예에서는, 550°C에서 4시간 열처리를 행하였다. 기판(101)에 내열 온도가 낮은 플라스틱 기판이 사용되는 경우에는, 레이저 어닐법을 이용하는 것이 바람직하다.(도 5(B))

<113> 활성화 공정 후, 3~100%의 수소를 함유한 분위기에서 300~450°C로 1~12시간 열처리를 추가로 행하여, 섬 모양의 반도체막을 수소화하는 공정을 행한다. 이것은 열적으로 예상된 수소에 의해 섬 모양의 반도체막 내의  $10^{16} \sim 10^{18}$  원자/ $\text{cm}^3$ 의 맹글링 결합(dangling bond)을 종단시키는 공정이다. 수소화의 다른 수단으로서 플라즈마 수소화(플라즈마에 의해 예상된 수소를 사용)가 사용될 수도 있다.

<114> 활성화 및 수소화 공정이 종료된 후, 유기 절연 재료로 된 층간절연막(139)을 1.0~2.0 nm의 평균 두께로 형성한다. 유기 수지 재료의 예로는, 폴리아미드, 아크릴, 폴리아미드, 폴리아미드아미드, BCB(벤조시클로부텐) 등이 있다. 기판에의 도포 후에 열중합하는 타입의 폴리아미드가 사용되는 경우에는, 그 재료를 청정 오븐에서 300°C로 소성(燒成)한다. 아크릴이 사용되는 경우에는, 2성분형의 것이 사용된다. 주 재료와 경화제를 혼합한 후, 그 혼합물을 스피너를 사용하여 기판의 전면에 도포한다. 그 다음, 열판을 사용하여 80°C로 60초간 예비가열을 행한 다음, 청정 오븐에서 250°C로 60분간 소성한다.(도 5(C))

<115> 유기 절연 재료로부터 층간절연막(139)을 형성함으로써, 그의 표면이 만족스럽게 평탄화될 수 있다. 유기 수지 재료는 일반적으로 유전율이 낮으므로, 기생용량을 감소시킬 수 있다. 그러나, 유기 수지 재료는 흡습성이기 때문에, 보호막으로는 적합하지 않다. 따라서, 유기 절연 재료는 본 실시예에서와 같이 보호 절연막(138)으로서 형성된 산화규소막, 산화질화규소막 또는 질화규소막과 조합하여 사용되어야 한다.

<116> 그후, 포토마스크(PM5)를 사용하여 소정의 패턴을 가진 레지스트 마스크를 형성한다(도 6(A)). 각각의 섬 모양의 반도체막의 소스 또는 드레인 영역에 이르는 콘택트 홀을 절연막(138, 139)에 형성한다. 또한, 단자부(18 2)의 절연막(138, 139)을 제거한다. 콘택트 홀은 전식 에칭법에 의해 형성된다. 이 경우, 에칭 가스로서  $\text{CF}_4$ ,  $\text{O}_2$  및  $\text{He}$ 의 혼합 가스가 사용된다. 유기 수지 재료로 형성된 층간절연막(139)을 먼저 에칭한다. 그 다음, 에칭 가스를  $\text{CF}_4$  및  $\text{O}_2$ 로 전환하여 보호 절연막(138)을 에칭한다. 섬 모양의 반도체막과의 선택비를 향상시키기 위해, 에칭 가스를 다시  $\text{CHF}_3$ 으로 전환하여 게이트 절연막을 에칭한다. 이렇게 하여, 콘택트 홀이 만족스럽게

형성될 수 있다.

<117> 그리고, 소스/드레인 배선 및 접속 배선(183)을 형성하는 금속막(140)과 투명 도전막(141)의 적층막을 형성한다. 여기서는, 소스 영역 또는 드레인 영역을 형성하는 반도체막과의 콘택트를 형성하게 되는 금속막(140)으로서 Ti 막을 50~150 nm의 두께로 형성하고, 그 Ti 막과 겹치도록 알루미늄(Al)을 스퍼터링법에 의해 300~400 nm의 두께로 형성한다. 또한, 금속막(140)으로서, Ti 막/TiN 막/Al 막을 포함하는 적층막을 형성할 수도 있다.

<118> 투명 도전막은 스퍼터링법 또는 진공증착법에 의해 산화 인듐( $In_2O_3$ ) 또는 산화 인듐/산화 주석의 합금( $In_2O_3-SnO_2$ ; ITO)으로부터 형성될 수 있다. 염산을 포함하는 용액에 의해 이들 재료의 에칭 처리를 행한다. 그러나, 특히 ITO의 에칭에서는 잔재가 발생하기 쉽기 때문에, 에칭 가공성을 개선하기 위해 산화 인듐/산화 아연의 합금( $In_2O_3-ZnO_2$ )을 사용할 수도 있다. 산화 인듐/산화 아연의 합금은 표면 평활성이 우수하고, ITO에 비해 열 안정성도 우수하며, 드레인 배선(169)의 엣지 표면과 접촉하는 Al과의 부식 반응을 방지할 수 있다. 마찬가지로, 산화 아연( $ZnO$ )도 적절한 재료이고, 가시광의 투과율 및 전도율 등을 증가시키기 위해 갈륨이 첨가된 산화 아연( $ZnO:Ga$ )도 사용될 수 있다. 본 실시예에서는, 투명 도전막(141)으로서 산화 인듐/산화 아연의 합금을 형성한다.

<119> 도 9(A)~도 9(C)는 도 6(A)에 대응하는 접속 배선(183)의 단자부(182)의 구조를 나타낸다. 도 9(A)는 접속 배선의 길이 방향에 수직인 단면에 대응하고, 도 9(B)는 그 길이 방향에 따른 단면에 대응하며, 이들 도면은 TFT에 대한 구조 및 적층 관계를 명확히 나타내는 것이다. 도 9(C)는 상면도이다. 도 10~도 11은 이들 도면과 유사한 도면이다.

<120> 그 다음, 포토마스크(PM6)를 사용하여 레지스트 마스크 패턴을 형성한다. 에칭에 의해 소스 배선(148~152) 및 드레인 배선(153~158)을 형성하고, 도 10에 도시된 바와 같이, 접속 배선(183)을 형성한다. 여기서, 드레인 배선(157)은 화소 전극으로서 기능한다.(도 6(B), 도 10(A)~도 10(C))

<121> 이 상태에서 수소화 처리를 행하면, TFT 성능의 향상에 바람직한 결과가 얻어질 수 있다. 예를 들어, 3~100%의 수소를 함유하는 분위기에서 300~450°C로 1~12시간 열처리를 행할 수 있다. 플라즈마 수소화 방법을 사용하여도 유사한 효과를 얻을 수 있다. 그러한 열처리에 의해, 보호 절연막(138) 및 하지막(102)에 존재하는 수소가 섬 모양의 반도체막(104~108)내로 확산하여, 이들 막을 수소화시킬 수 있다. 어떤 경우라도, 섬 모양의 반도체막(104)의 결합 밀도가  $10^{16} / cm^3$  이하로 감소되는 것이 바람직하고, 이를 위해, 약 0.01~0.1 원자%의 양으로 수소가 첨가될 수 있다.

<122> 상기한 바와 같이 6개의 포토마스크가 사용되는 경우, 동일 기판 위에 구동회로의 TFT와 화소부의 화소 TFT를 가지는 기판이 완성될 수 있다. 구동회로에는 제1 p채널형 TFT(200), 제1 n채널형 TFT(201), 제2 p채널형 TFT(202), 제2 n채널형 TFT(203)가 형성되고, 화소부에는 화소 TFT(204)와 보유용량(205)이 형성되어 있다. 본 명세서에서는, 그러한 기판을 편의상 "액티브 매트릭스 기판"이라 부른다.

<123> 구동회로의 제1 p채널형 TFT(200)는, 섬 모양의 반도체막(104)에 채널 형성 영역(206)과, 각각 고농도 p형 불순물 영역으로 된 소스 영역(207a, 207b) 및 드레인 영역(208a, 208b)을 가지는 단일 드레인 구조를 가진다. 제1 n채널형 TFT(201)의 섬 모양의 반도체막(105)에는, 채널 형성 영역(209), 게이트 전극(119)과 겹치지 않는 LDD 영역(210), 소스 영역(212), 및 드레인 영역(211)이 형성되어 있다. LDD 영역(210)의 채널 길이 방향으로의 길이는 1.0~4.0 mm, 바람직하게는, 2.0~3.0 mm이다. 이렇게 하여 n채널형 TFT의 LDD 영역의 길이가 결정된 때, 드레인 영역 근방에서 발생하는 높은 전기장이 완화될 수 있고, 핫 캐리어의 발생 및 TFT의 열화(劣化)가 방지될 수 있다.

<124> 샘플링 회로의 제2 p채널형 TFT(202)는, 섬 모양의 반도체막(106)에 채널 형성 영역(213)과, 고농도 p형 불순물 영역으로 된 소스 영역(214a, 214b) 및 드레인 영역(215a, 215b)이 형성된 단일 드레인 구조를 가진다.

<125> 제2 n채널형 TFT(203)의 섬 모양의 반도체막(107)에는 채널 형성 영역(216), LDD 영역(217, 218), 소스 영역(220) 및 드레인 영역(219)이 형성되어 있다. LDD 영역(217, 218)의 길이는 1.0~4.0 nm의 범위로 한다.

<126> 화소 TFT(204)의 섬 모양의 반도체막(108)에는 채널 형성 영역(221, 222), LDD 영역(223~225), 소스 또는 드레인 영역(226~228)이 형성되어 있다. LDD 영역의 채널 길이 방향으로의 길이는 0.5~4.0 mm, 바람직하게는, 1.5~2.5 mm이다. 또한, 화소 TFT(204)에는 보유용량이 접속되어 있다. 보유용량(205)은, 게이트 절연막(20)

9)을 유전체로 하고, 용량 배선(123)과 화소 TFT(204)의 드레인 영역(228)에 접속하는 반도체층(229)을 전극으로 하는 용량이다. 도 6(B)에서는, 화소 TFT(204)가 2중 게이트 구조이지만, 단일 게이트 구조이거나 또는 다수의 게이트 전극을 가지는 멀티게이트 구조일 수도 있다.

<127> 도 13은 화소부의 대략 1개 화소를 나타내는 상면도이다. 이 도면의 A-A'선 단면이 도 6(B)에 도시된 화소부의 단면도에 대응한다. 게이트 배선으로도 가능하는, 화소 TFT(204)의 게이트 전극(122)은 게이트 절연막(도시되지 않음)을 사이에 두고 그 아래에 있는 섬 모양의 반도체막(108)과 교차하여 있다. 도면에는 도시되지 않았지만, 섬 모양의 반도체막(108)에는 소스 영역, 드레인 영역 및 LDD 영역이 형성되어 있다. 부호 256은 소스 배선(152)과 소스 영역(226) 사이의 콘택트부를 나타내고, 부호 257은 드레인 배선(157)과 드레인 영역(228) 사이의 콘택트부를 나타낸다. 화소 TFT(204)의 드레인 영역(228)으로부터 연장하는 반도체층(229)과 용량 배선(123)이 게이트 절연막을 사이에 두고 겹치는 겹침(오버랩) 영역에 의해 보유용량(205)이 형성된다. 이 구성에서는, 반도체층(229)에 가전자(價電子) 제어를 위한 불순물 원소가 첨가되지 않는다.

<128> 상기한 구성은, 화소 TFT 및 구동회로에서 요구하는 사양(仕様)에 따라 각 회로를 구성하는 TFT의 구조를 최적화하고, 반도체장치의 동작 성능 및 신뢰성을 향상시킬 수 있게 한다. 또한, 이 구성은, 내열성을 가진 도전성 재료로 게이트 전극을 형성함으로써 LDD 영역, 소스 영역 및 드레인 영역의 활성화를 용이하게 한다.

<129> 또한, 본 실시예에서는, 도 7에 도시된 바와 같이, 상기한 공정을 거친 액티브 매트릭스 기판상에 기둥형 스페이서(172)가 형성된다. 기둥형 스페이서(172)의 형성과 동시에, 접속 배선(183)의 단자부(182)의 측면을 보호하는 보호막(174)이 형성된다. 기둥형 스페이서(172)의 재료는 특별히 한정되지 않고, 예를 들어, JSR Co.의 제품 "NN700"을 사용하여 형성될 수 있고, 이 재료를 스피너에 의해 도포한 후, 노광 및 현상에 의해 소정의 패턴을 형성한다. 그 다음, 그 패턴을 청정 오븐 등에서 150~200°C로 가열하여 경화시킨다.

<130> 이렇게 형성되는 기둥형 스페이서의 형상은 노광 및 현상 조건에 따라 변경될 수 있다. 그러나, 기둥형 스페이서(172)는 도 14에 도시된 바와 같이 평탄한 상면을 가진 원통 모양을 가짐으로써, 반대측의 기판이 배치된 때 액정 표시 패널로서의 기계적 강도가 확보될 수 있다. 스페이서의 형상은 특별히 한정되지 않고, 원추형 또는 피라미드형일 수도 있다. 원추형인 경우, 예를 들어, 높이(H)는 1.2~5 mm이고, 평균 반경(L1)은 5~7 mm이고, 평균 반경(L1) 대 하부의 반경(L2)의 비는 1:1.5이다. 이때, 측면의 테이퍼각은 ±15° 이하로 한다.

<131> 기둥형 스페이서의 배치는 임의로 결정될 수 있다. 그러나, 바람직하게는, 기둥형 스페이서(172)는, 도 7에 도시된 바와 같이, 화소부(188)에서는 드레인 배선(157)(화소 전극)의 콘택트부(251)와 겹치고 그 콘택트부를 덮도록 배치된다. 콘택트부(251)에서의 평탄성이 상실되어, 이 부분에서는 액정이 잘 배향되지 않기 때문에, 스페이서용의 수지가 콘택트부에 충전되는 형태로 기둥형 스페이서(172)를 형성함으로써 디스크리네이션(disclination) 등을 방지할 수 있다.

<132> 접속 배선(183)의 측면을 보호하는 보호막(174)은, 도 11에 도시된 바와 같이, 기둥형 스페이서(172)의 제작공정에서 형성된다. 보호막(174)은 단자부(182)에서 투명 도전막(141)의 표면만 노출시키도록 형성된다. 보호막(174)의 형상은 노광 및 현상의 조건에 의해 결정될 수 있다. 이 구성에 따라, 금속막(140)이 보호막(174), 게이트 절연막(109) 및 투명 도전막(141)과 접촉하고 이를 막으로 덮여 있기 때문에, 대기에 노출되지 않는다.

<133> 그후, 액티브 매트릭스 기판(100)의 표면에 배향막(173)을 형성한다. 배향막(173)은 단자부(182)에는 형성되지 않는다. 액정 표시 소자의 배향막에는 일반적으로 폴리아미드 수지가 사용된다. 배향막을 형성한 후, 러빙(rubbing) 처리를 행하여, 액정 문자가 어떤 일정한 프리틸트(pretilt)각으로 배향되게 한다. 러빙 방향으로 화소부에 배치된 기둥형 스페이서(172)의 단부로부터 러빙되지 않은 영역까지의 영역은 2 μm 이하이다. 러빙 처리 중에 정전기의 발생이 문제로 되는 일이 있다. 구동회로의 TFT 위에도 스페이서(172)가 형성되면, 스페이서로서의 본래의 역할과 정전기로부터의 TFT의 보호 효과 모두를 얻을 수 있다.

<134> 그리하여, 기판들 사이의 간격을 유지하는 기둥형 스페이서(172)와 기판(101)이 일체화된 액티브 매트릭스 기판이 완성된다. 또한, 배향막(173)을 형성한 후 기둥형 스페이서(172)를 형성한 구성으로 할 수도 있다.(도 7, 도 11(A)~도 11(C)).

<135> 액티브 매트릭스 기판과 쌍이 되는 대향 기판에는, 도 8에 도시된 바와 같이, 기판(251) 위에 차광막(252), 컬러 필터(도시되지 않음), 투명 도전막(253) 및 배향막(254)이 형성되어 있다. 차광막(252)으로는, Ti, Cr, Al 등이 150~300 nm의 두께로 형성된다.

<136> 그 다음, 도 8에 도시된 바와 같이, 화소부 및 구동회로가 형성된 액티브 매트릭스 기판과 대향 기판을 밀봉제(179)에 의해 함께 부착한다. 밀봉제(179)에는 충전제(filler)가 혼합되어 있고, 이 충전제와 기둥형 스페이서

(172)에 의해 균일한 간격을 유지하여 2개의 기판을 함께 부착한다. 그 다음, 기판들 사이에 액정 재료(260)를 주입하고, 봉지제(도시되지 않음)에 의해 완전히 봉지하여, 액정 패널이 완성된다.

<137> 또한, 액티브 매트릭스 기판(100) 위의 회로들을 화상 신호를 입력하기 위한 회로 및 전력을 공급하기 위한 전원 등에 접속하기 위해, 도 12에 도시된 바와 같이, 단자부(182)에서 이방성 도전막(195)에 의해 접속 배선(183)과 FPC(191)가 전기적으로 접속된다. 도 12(A)는 단자부(182)의 배선의 길이 방향에 수직인 면의 단면도이고, 도 12(B)는 상기 길이 방향에 따른 단면도이다.

<138> 도 12(A) 및 도 12(B)에 도시된 바와 같이, 이방성 도전막(195)은 접착제(195a)내에, 금, 크롬 등이 도금된 수십~수 백  $\mu\text{m}$ 의 입자(195b)를 포함한다. 이 입자(195b)가 접속 배선(183) 및 FPC(191b)의 배선과 접촉함으로써 액티브 매트릭스 기판(100)과 FPC(191)가 전기적으로 접속될 수 있다. FPC(191)와 기판(101) 사이의 접착 강도를 증가시키기 위해, FPC(191)는 외부 단자부(182)의 외측에 배치되고, 수지층(192)이 옛지부에 배치되어, 기계적 강도를 증가시킨다.

<139> [실시예 2]

<140> 실시예 1에서는 접속 배선(183)이 TFT의 소스/드레인 배선과 동일한 제작공정에서 형성되었으나, 본 실시예에서는, 접속 배선(183)이 게이트 배선과 동일한 제작공정에서 형성된다. 이하, 본 실시예를 도 15를 참조하여 설명한다. TFT의 제작공정은 실시예 1을 이용한다. 도 3~도 8의 부호들과 동일한 도 15의 부호들은 동일한 구성요소들을 나타낸다.

<141> 먼저, 도 9(C)까지의 제작공정을 실시예 1에 따라 행한다. 그 다음, 게이트 배선을 구성하는 도전막(301)과 투명 도전막(302)의 적층막을 형성한다. 도전막(301)에는 실시예 1에서 게이트 배선을 구성하는 도전막(110, 111)을 형성하는 재료가 사용될 수 있고, 투명 도전막(302)에는, TFT의 소스/드레인 배선의 표면에 형성되는 투명 도전막(141)을 형성하기 위해 사용되는 재료가 이용될 수 있다. 도전막(301)으로서는, WN 막/W 막으로 된 적층막이 스퍼터링법에 의해 형성되고, 투명 도전막(302)으로서는, ITO 막이 형성된다.(도 15(A))

<142> 그 다음, 도 4(A)에 도시된 바와 같이, 레지스트 마스크를 형성한다. 도전막(301) 및 투명 도전막(302)을 에칭한 다음, 도 15(B)에 도시된 바와 같이 TFT의 게이트 배선 및 접속 배선(303)을 형성한다. 이들 막이  $\text{W}$ 을 주성분으로 하는 재료로 형성되는 경우에는, 신속하고 정확한 에칭을 행하기 위해 고밀도 플라즈마를 사용한 건식에칭법을 적용하는 것이 바람직하다.

<143> 고밀도 플라즈마를 얻는 한가지 수단으로서, ICP(Inductively Coupled Plasma) 에칭 장치를 이용하는 것이 좋다. ICP 에칭 장치를 이용한  $\text{W}$ 의 에칭 방법에서는, 에칭 가스로서 2종류의 가스, 즉,  $\text{CF}_4$  및  $\text{Cl}_2$ 가 반응실 내로 도입되고, 압력은 0.5~1.5 Pa(바람직하게는, 1 Pa)로 하고, 200~1000  $\text{W}$ 의 고주파(13.56 MHz) 전력이 유도결합부에 인가된다. 이때, 기판이 배치된 스테이지에 20  $\text{W}$ 의 고주파 전력이 인가되고, 셀프 바이어스에 의해 부(-)의 전위로 대전(帶電)함으로써, 양이온이 가속되어 이방성 에칭을 행한다. ICP 에칭 장치를 사용함으로써,  $\text{W}$ 과 같은 경질의 금속막으로부터도 2~5 nm/sec의 에칭 속도가 얻어질 수 있다. 또한, 어떤 잔재도 남지기 않고 에칭을 행하기 위해서는, 에칭 시간을 10%~20% 정도 증가시켜 오버에칭을 행하는 것이 좋다.

<144> 그러나, 이때 하지막에 대한 에칭의 선택비에 주목하여야 한다. 예를 들어, 산화질화규소막(게이트 절연막(109))에 대한  $\text{W}$  막의 선택비는 2.5~3이다. 이러한 오버에칭 공정으로 인해, 산화질화규소막의 노출된 표면이 20~50 nm의 범위에서 에칭되어, 두께가 실질적으로 얇게 된다.

<145> 그 다음, 실시예 1에서 설명한 바와 같이, TFT의 반도체막에 인 및 붕소를 첨가하여, 도 5(A)에 도시된 바와 같이 보호 절연막(138)을 형성한다. 그 다음, 반도체막에 첨가된 인 및 붕소를 활성화한다.(도 15(C))

<146> 그후, 도 5(C)에 도시된 바와 같이, 층간절연막(139)을 형성한다. 층간절연막(139)을 형성하기 위한 재료는 실시예 1에서 설명된 재료들로부터 선택되거나, 또는 층간절연막(139)이 실리콘계 무기 절연막 또는 아크릴 수지와 같은 유기 수지막일 수도 있다.(도 15(D))

<147> 도 6에 도시된 바와 같이, 섭 모양의 반도체막상에 형성된 소스 영역 또는 드레인 영역에 이르는 콘택트 홀을 보호 절연막(138) 및 층간절연막(139)에 형성한다. 동시에, 접속 배선(303)의 단자부에서는, 그 단자부의 측면을 덮는 보호막(304)을 형성한다.(도 15(E))

<148> 이후의 공정은 실시예 1에서와 동일한 방식으로 행해져, 액티브 매트릭스 기판(100)을 완성한다. 그 다음, 액티브 매트릭스 기판(100)과 대향 기판(250) 사이에 액정 재료(260)를 끼우고 밀봉제(179)에 의해 양 기판을 밀

봉한다. 접속 배선(303)과 FPC(191)를 이방성 도전막(195)에 의해 전기적으로 접속한다.(도 15(F))

<149> 본 실시예에서는, 접속 배선(303)의 도전막(131)의 측면이 보호막(304)으로 덮여져 있기 때문에, 도전막(301)이 보호막(304), 게이트 절연막(109) 및 투명 도전막(302)에 의해 둘러싸인 구조로 되어, 대기에 노출되지 않는다.

<150> [실시예 3]

<151> 본 실시예는 게이트 배선의 단면 형상이 테이퍼 형상이 되도록 한, 실시예 1의 변형례이다. 또한, 접속 배선을 게이트 배선과 동일한 제작공정에서 형성하는 예이다. 이하, 본 실시예의 액티브 매트릭스 기판의 제작공정을 도 17~도 19를 참조하여 설명한다. 본 실시예에서는, 화소부의 화소 TFT 및 보유용량과, 화소부의 주변에 배치된 구동회로의 TFT를 동시에 제조하는 방법을 공정에 따라 상세히 설명한다. 도 21(A)~도 21(F)는 접속 배선의 제조방법을 나타내는 도면이다.

<152> 도 17(A)에서, 유리 기판(601)의 표면에, 산화규소막, 질화규소막 또는 산화질화규소막으로 이루어진 절연막으로 형성된 하지막(602)을 형성한다. 본 실시예에서는, 플라즈마 CVD법에 의해 SiH<sub>4</sub>, NH<sub>3</sub> 및 N<sub>2</sub>O로부터 10~200 nm의 두께로 형성된 산화질화규소막과, 그 산화질화규소막 표면에 SiH<sub>4</sub> 및 N<sub>2</sub>O로부터 50~200 nm(바람직하게는, 100~150 nm)의 두께로 형성된 산화질화수소화규소막(602)을 적층 형성한다.

<153> 다음에, 플라즈마 CVD법에 의해 비정질 규소막을 55 nm의 두께로 형성하고, 실시예 1과 마찬가지로 결정화하여, 결정성 규소막을 형성한다. 그리고, 포토마스크(PM11)를 사용하여, 포토리소그래피 기술에 의해 결정성 규소막 상에 레지스트 패턴을 형성한다. 건식 에칭에 의해 결정성 반도체막을 섬 모양으로 분할하여, 섬 모양의 반도체막(604~608)을 형성한다. 결정성 규소막의 건식 에칭에는 CF<sub>4</sub> 및 O<sub>2</sub>의 혼합 가스가 사용된다. 그 다음, 게이트 절연막(609)을 플라즈마 CVD법에 의해 산화질화규소막으로부터 120 nm의 막 두께로 형성한다.

<154> 이어서, 게이트 절연막(609)상에 게이트 배선을 형성하기 위해, 금속막(611, 612)과 투명 도전막(613)의 적층막으로부터 내열성의 도전막을 형성한다. 금속막(611)은 WN 막으로 형성되고, 금속막(612)은 W 막으로 형성되고, 투명 도전막(613)은 산화인듐-산화아연 합금(I<sub>2</sub>O<sub>3</sub>-ZnO)으로 형성된다.(도 17(A), 도 21(A))

<155> 제2 포토마스크(PM12)를 이용하여 포토리소그래피 기술에 의해 레지스트 마스크(RM21~RM27)를 형성하고, 투명 도전막(613)을 에칭하여, 게이트 배선(618~622)과 보유용량(623), 및 접속 배선(683)의 최상층(618a~623a, 683a)을 형성한다.(도 17(B), 도 21(B))

<156> 도 18(B) 및 도 21(B)에 도시된 바와 같이, 투명 도전막으로 형성된 최상층(618a~623a, 683a)의 측면을 레지스트 마스크(RM21~RM27)보다도 후퇴하도록 에칭한다. 그 다음, 금속막(611, 612)을 함께 에칭하여, 테이퍼 형상의 단면을 가지는 게이트 배선(618~622)과, 보유용량(623), 및 접속 배선(683)을 완성한다(도 17(C), 도 21(C)). 이들 배선(618~623, 683)은 투명 도전막(613)으로 형성된 최상층(618a~623a, 683a)과, 금속막(612)으로 형성된 층(618b~623b, 683b), 및 금속막(611)으로 형성된 층(618c~623c, 683c)이 적층된 구조로 된다.

<157> 이때, 적어도 게이트 배선(618~622)의 엣지부에 테이퍼부가 형성되도록 에칭을 행한다. 이 에칭 공정은 ICP 에칭 장치로 행해진다. 에칭 조건은, 에칭 가스를 CF<sub>4</sub> 및 Cl<sub>2</sub>의 혼합 가스로 하고 그의 유량을 각각 30 SCCM으로 하고, 방전 전력을 3.2 W/cm<sup>2</sup>(13.56 MHz)로 하고, 바이어스 전력을 244 mW/cm<sup>2</sup>(13.56 MHz)로 하고, 압력을 1.0 Pa로 한다. 그러한 에칭 조건에 의해, 게이트 배선(618~622)의 엣지부에서, 그 엣지부로부터 내측으로 갈 수록 두께가 서서히 증가하는 테이퍼부가 형성되고, 그의 각도는 25° ~35° , 바람직하게는, 30°로 된다. 이 테이퍼부의 각도는 나중에 LDD 영역을 형성하는 저농도 n형 불순물 영역의 농도 구배에 크게 영향을 미친다. 테이퍼부의 각도( $\Theta$ 1)는 테이퍼부의 길이(WG)와 두께(HG)를 사용하여 Tan( $\Theta$ 1) = HG/WG로 표현된다.

<158> 또한, 잔재를 남기지 않고 에칭을 행하기 위해서는, 절연막(609)의 두께의 10%~20% 정도까지 오버에칭을 행한다. 그러나, 이때, 하지막에 대한 에칭의 선택비에 주의할 필요가 있다. 예를 들어, 표 1에 나타낸 바와 같이, W 막 대 산화질화규소막(게이트 절연막(609))의 선택비는 2~4(대표적으로는 3)이다. 이러한 오버에칭 처리로 인해, 산화질화규소막의 노출된 표면이 20~50 nm 정도 에칭되어, 실질적으로 얇게 됨으로써, 새로운 형상의 게이트 절연막(610)이 형성된다.

<159> 그리고, 화소 TFT 및 구동회로의 n채널형 TFT의 LDD 영역을 형성하기 위해, n형을 부여하는 불순물 원소를 첨가하는 공정(n⁻ 도핑 공정)을 행한다. 게이트 전극의 형성에 사용된 레지스트 마스크(112~117)는 그대로 유지되

고, 옛지부에 테이퍼부를 가진 게이트 배선(618~622)을 마스크로 사용하여, n형을 부여하는 불순물 원소로서 인을 이온 도핑법에 의해 자기정합적으로 첨가한다.(도 18(A))

<160> 여기서는, 이 공정에서, n형을 부여하는 불순물 원소가 배선(618~623)의 테이퍼부와 게이트 절연막(610)을 통과하여 그 아래에 배치된 반도체막에 도달하도록 그 불순물 원소를 첨가하기 위해, 가속 전압을 80~160 keV로 높게 하고, LDD 영역을 형성하기 위해 도스량을  $1 \times 10^{13} \sim 5 \times 10^{14}$  원자/cm<sup>3</sup>로 낮게 한다. 반도체막에 첨가되는 불순물 원소는  $1 \times 10^{16} \sim 1 \times 10^{17}$  원자/cm<sup>3</sup>의 농도 범위로 첨가된다. 그리하여, 도 18(A)에 도시된 바와 같이, 섬 모양의 반도체막에 저농도 n형 불순물 영역(624~629)이 형성된다.

<161> 이 공정에서, 저농도 n형 불순물 영역(624~628)에서, 적어도 게이트 배선(618~622)과 겹치는 부분에 포함되는 인의 농도 구배가 게이트 배선(618~622)의 테이퍼부의 막 두께의 변화를 반영한다. 즉, 저농도 n형 불순물 영역(624~628)에 첨가되는 인의 농도가 게이트 배선의 겹치는 영역에서 게이트 배선의 측면쪽으로 서서히 높게 된다. 이것은 테이퍼부의 막 두께의 차이로 인해 반도체막에 도달하는 인의 농도가 변화하기 때문이다. 도 18(A)는 저농도 n형 불순물 영역(624~628)의 사시도를 나타내는 도면이다. 그러나, 이 도면은 인이 도핑된 영역을 직접적으로 나타내는 도면이 아니고, 게이트 배선(618~622)의 테이퍼부의 형상에 따라 일어나는 인의 상기한 농도 변화를 나타내는 도면이다.

<162> 다음에, n채널형 TFT의 소스 영역 또는 드레인 영역으로서 기능하는 고농도 n형 불순물 영역을 형성한다(<sup>†</sup> 도 16(A) 도핑 공정). 레지스트 마스크(RM21~RM26)를 그대로 두고, 10~30 keV의 낮은 가속 전압의 조건에서 이온 도핑법에 의해 인을 첨가하고, 이때 게이트 배선(618~622)이 인을 차단하는 마스크로서 기능하도록 한다. 그리하여, 고농도 n형 불순물 영역(630~635)이 형성된다. 이들 n형 불순물 영역(630~635)을 덮는 게이트 절연막(610)이 게이트 배선을 형성하는 공정에서 오버에칭되었기 때문에, 게이트 절연막의 막 두께는 120 nm의 초기 두께에 비해 70~100 nm로 더 얇게 되어 있다. 따라서, 낮은 가속 전압과 같은 조건에서도 인을 적절히 도핑할 수 있다. 이들 n형 불순물 영역(630~635)의 인의 농도는  $1 \times 10^{20} \sim 1 \times 10^{21}$  원자/cm<sup>3</sup>의 농도 범위가 되도록 한다.(도 18(B))

<163> 그리고, p채널형 TFT를 형성하기 위한 섬 모양의 반도체막(604, 606)에 소스 영역 및 드레인 영역으로서의 고농도 p형 불순물 영역(636~637)을 형성한다. 여기서는, 게이트 배선(618, 120)을 마스크로 사용하여, p형을 부여하는 불순물 원소를 첨가하여, 고농도 p형 불순물 영역(636, 637)을 자기정합적으로 형성한다. 이때, n채널형 TFT를 형성하기 위한 섬 모양의 반도체막(605, 107, 108)이 제3 포토마스크(PM23)를 사용하여 형성된 레지스트 마스크(RM29~RM31)로 완전히 덮인다.(도 18(C))

<164> 여기서 형성되는 불순물 영역(636, 637)은 디보란(B<sub>2</sub>H<sub>6</sub>)을 사용한 이온 도핑법에 의해 형성된다. 게이트 배선과 겹치지 않는 고농도 p형 불순물 영역에서의 붕소(B) 농도는  $3 \times 10^{20} \sim 3 \times 10^{21}$  원자/cm<sup>3</sup>가 되게 한다. 또한, 불순물 원소가 게이트 절연막 및 게이트 전극의 테이퍼부를 통하여 게이트 배선과 겹치는 불순물 영역에도 첨가되기 때문에, 그 영역이 적어도  $1.5 \times 10^{19}$  원자/cm<sup>3</sup> 이상의 농도를 가진 실질적으로 저농도의 p형 불순물 영역으로서 형성된다. 붕소(B)의 농도는 도 18(A)의 공정에서 첨가된 인의 농도의 1.5~3배가 되도록 한다. 따라서, p채널형 TFT의 소스 영역 및 드레인 영역으로서 기능하는 p형 불순물 영역에 아무런 문제가 발생하지 않는다.

<165> 그후, 도 19(A) 및 도 21(D)에 도시된 바와 같이, 산화질화규소로 된 보호 절연막(638)을 형성한다. 산화질화규소막은 플라즈마 CVD법에 의해 SiH<sub>4</sub>, N<sub>2</sub>O 및 NH<sub>3</sub>으로부터 형성된다. 그후, 각각의 농도로 첨가된 n형 또는 p형을 부여하는 불순물 원소를 활성화시키는 공정을 어닐 노(furnace)를 사용한 열 어닐에 의해 행한다.

<166> 활성화 공정 후에, 분위기 가스를 3%~100%의 수소를 함유하도록 변경한 분위기에서 300~450°C로 1~12시간 열 처리를 행한 다음, 섬 모양의 반도체막에 대한 수소화 공정을 행한다. 이 공정은 열적으로 여기된 수소에 의해 섬 모양의 반도체막에 있는  $10^{16} \sim 10^{18}$  /cm<sup>3</sup>의 맹글링 결합을 종단시키는 공정이다.

<167> 활성화 및 수소화 공정의 종료 후, 유기 절연 재료로 된 층간절연막(639)을, 1.0~2.0 μm의 평균 막 두께로 형성한다.(도 19(B), 도 21(E))

<168> 그후, 제4 포토마스크(PM24)를 사용하여 소정 패턴의 레지스트 마스크를 형성하고, 각각의 섬 모양의 반도체막에 형성된 소스 영역 또는 드레인 영역에 이르는 콘택트 홀을 형성하고, 도 21(E)에 도시된 바와 같이 접속 배선(683)의 측면을 덮는 보호막(673)을 형성한다.

- <169> 이 공정은 건식 에칭법에 의해 행해진다. 이 경우, 먼저, 에칭 가스로서 CF<sub>4</sub>, O<sub>2</sub> 및 He의 혼합 가스를 사용하여, 유기 수지 재료로 된 층간질연막(639)을 에칭한 다음, 에칭 가스로서 CF<sub>4</sub> 및 O<sub>2</sub>의 혼합 가스를 사용하여 보호 절연막(638)을 에칭한다. 또한, 섬 모양의 반도체막에 대한 선택비를 높이기 위해, 에칭 가스를 CHF<sub>3</sub>으로 변경하여 게이트 절연막(610)을 에칭하여, 콘택트 홀을 양호하게 형성할 수 있다.
- <170> 도 21(E)에 도시된 바와 같이, 접속 배선(683)의 측면이 보호막(673)으로 덮여 있기 때문에, 접속 배선(683)의 금속막으로부터 형성된 층(683b, 683c)의 표면이 투명 도전막으로부터 형성된 층(683a), 게이트 절연막(610) 및 보호막(673)에 의해 둘러싸이고 이들과 접촉하는 상태로 된다. 따라서, 층(683a, 683b)의 표면이 대기에 노출되지 않는다.
- <171> 그 다음, Ti 막(50~150 nm)/Al 막(300~400 nm)의 적층막으로 형성된 금속막 및 투명 도전막이 금속막의 표면에 투명 도전막이 80~120 nm의 두께로 형성된 상태로 형성된다. 도 19(C)에 도시된 바와 같이, 금속막은 스퍼터링법 또는 진공증착법에 의해 형성되고, 레지스트 마스크 패턴이 제5 포토마스크(PM25)를 사용하여 형성되고, 금속막 및 투명 도전막이 에칭되어 소스 배선(648~652) 및 드레인 배선(653~657)을 형성한다. 여기서, 드레인 배선(657)은 화소 전극으로서 기능한다. 드레인 배선(658)은 이웃 화소의 화소 전극을 나타낸다.
- <172> 구동회로의 제1 p채널형 TFT(700)에는, 섬 모양의 반도체막(604)에 채널 형성 영역(706)과, 고농도 p형 불순물 영역으로 형성된 소스 영역(707) 및 드레인 영역(708)이 형성되어 있다. 그 소스 및 드레인 영역(707, 708)에서, 게이트 전극과 겹치는 영역이 저농도의 붕소를 가진 LDD 영역이 된다.
- <173> 제1 n채널형 TFT(701)에는, 섬 모양의 반도체막(605)에 채널 형성 영역(709)과, 저농도 n형 불순물 영역으로 형성되고 게이트 배선과 겹치는 LDD 영역(710, 711)과, 고농도 n형 불순물 영역으로 형성된 드레인 영역(712) 및 소스 영역(713)이 형성되어 있다.
- <174> LDD 영역에서의 인의 농도 분포는 채널 형성 영역(709)으로부터 멀어질 수록 증가한다. 이 증가 비율은 이온 도핑에서의 가속 전압 및 도스량, 테이퍼각( $\theta$ ) 및 게이트 배선(619)의 두께와 같은 조건에 따라 다르다. 이와 같이, 게이트 전극의 옛지부를 테이퍼 형상으로 하여, 그 테이퍼부를 통해 불순물 원소가 첨가될 수 있다. 따라서, 불순물 원소의 농도가 서서히 변하는 불순물 영역이 테이퍼부 아래에 존재하는 반도체막에 형성될 수 있다. 본 발명은 상기한 불순물 영역을 적극적으로 이용한다. n채널형 TFT에 이러한 LDD 영역을 형성함으로써, 드레인 영역 근방에서 발생하는 높은 전기장이 완화되어 핫 캐리어의 발생을 방지할 수 있고, TFT의 열화를 방지할 수 있다.
- <175> TFT(700)와 마찬가지로, 구동회로의 제2 p채널형 TFT(702)는 섬 모양의 반도체막(606)에 채널 형성 영역(714)과, 고농도 p형 불순물 영역으로 형성된 소스 영역(715) 및 드레인 영역(716)을 가지고 있다. 그 소스 및 드레인 영역(715, 716)에서, 게이트 배선과 겹치는 영역이 저농도의 붕소를 포함하는 p형 LDD 영역이 된다.
- <176> 제2 n채널형 TFT(703)에는, 섬 모양의 반도체막(607)에 채널 형성 영역(717)과, 게이트 전극(621)과 겹치는 LDD 영역(718, 719), 및 고농도 n형 불순물 영역으로 형성된 소스 영역(720) 및 드레인 영역(721)이 형성되어 있다. LDD 영역(718, 719)은 LDD 영역(711, 712)과 유사하게 구성된다.
- <177> 화소 TFT(704)에는, 섬 모양의 반도체막(608)에 채널 형성 영역(723, 724)과, 저농도 n형 불순물 영역으로 형성된 LDD 영역(725~728), 및 고농도 n형 불순물 영역으로 형성된 소스 또는 드레인 영역(729~731)이 형성되어 있다. LDD 영역(725~728)은 LDD 영역(711, 712)과 유사하게 구성된다.
- <178> 또한, 보유용량(705)에서는, 반도체막(608)의 채널 형성 영역(732), LDD 영역(733, 734), 및 고농도 n형 불순물 영역(735)이 개정되어, 게이트 절연막(610)을 유전체로 하고, 보유용량(623) 및 반도체막(608)을 전극으로 한다.
- <179> 이어서, 실시예 1과 마찬가지로, 제6 포토마스크를 사용하여, 기판들 사이의 간격을 유지하기 위한 기둥형 스퍼터링(672)를 형성하고, 배향막(674)을 형성하고 러빙을 행한다. 실시예 1과 마찬가지로, 대향 기판(250)과 액티브 매트릭스 기판(700) 사이에 액정 재료(260)가 수용된 채 양 기판을 밀봉제(686)에 의해 함께 부착한다. 대향 기판(250)의 구성은 도 8의 것과 동일하다.
- <180> 또한, 도 21(F)에 도시된 바와 같이, 접속 배선(683)의 단자부에서, 접착제(195a)에 도전성 입자(195b)가 분산되어 있는 이방성 도전막(195)에 의해 FPC(191)를 전기적으로 접속한다. FPC(191)에서, 부호 191a는 폴리이미드

드와 같은 재료로 된 기판을 나타내고, 부호 191b는 구리 등으로 된 배선을 나타낸다.

<181> 실시예 1~3에서는 탑 게이트 TFT를 나타내었지만, 당업자는 이것을 보텀 게이트 TFT로 용이하게 대체할 수 있다. 또한, 이들 실시예에서는 액티브 매트릭스 기판에 대하여 설명하였지만, 이들 실시예의 접속 배선의 구조는 다른 반도체장치에도 적용 가능하다는 것은 물론이다. 실시예 2 및 3에서와 같이 TFT의 층간절연막으로부터 접속 배선의 보호막을 형성하는 경우에는, 액티브 매트릭스형 EL 표시장치와 같은, TFT로 형성된 회로를 구비한 반도체장치에 적용 가능하다.

<182> [실시예 4]

<183> 본 발명에 따라 제조된 액티브 맥트릭스 기판, 액정표시장치 및 EL 표시장치는 다양한 전기광학장치에 사용될 수 있다. 본 발명은 그러한 전기광학장치를 표시 매체를 구비하는 모든 전자 장치에 적용될 수 있다. 그러한 전자 장치의 예로서는, 퍼스널 컴퓨터, 디지털 카메라, 비디오 카메라, 휴대형 정보 단말기(모바일 컴퓨터, 휴대 전화기, 전자 책 등), 및 내비게이션 시스템을 들 수 있다. 도 23(A)~도 23(F)는 이들의 예를 나타낸다.

<184> 도 23(A)는 마이크로프로세서 및 메모리 등을 구비한 본체(2001), 화상 입력부(2002), 표시장치(2003), 및 키보드(2004)를 가지는 퍼스널 컴퓨터를 나타낸다. 본 발명은 표시장치(2003) 또는 다른 신호 처리 회로를 형성할 수 있다.

<185> 도 23(B)는 본체(2101), 표시장치(2102), 음성 입력부(2103), 조작 스위치(2104), 배터리(2105), 및 수상(受像)부(2106)를 가지는 비디오 카메라를 나타낸다. 본 발명은 표시장치(2102) 또는 다른 신호 제어 회로에 적용될 수 있다.

<186> 도 23(C)는 본체(2201), 화상 입력부(2202), 수상부(2203), 조작 스위치(2204), 및 표시장치(2205)를 가지는 휴대형 정보 단말기를 나타낸다. 본 발명은 표시장치(2205) 또는 다른 신호 제어 회로에 적용될 수 있다.

<187> 그러한 휴대형 정보 단말기는 실내는 물론이고 실외에서도 사용되는 일이 많다. 그 단말기를 장시간 사용할 수 있게 하기 위해서는, 외부 광을 이용하는 반사형 액정표시장치가 백 라이트를 사용하는 방식보다 저소비전력형에 더 적합하다. 그러나, 주위가 어두운 경우에는, 백 라이트를 장착한 투과형 액정표시장치가 더 적합하다. 그러한 배경에서, 반사형과 투과형 모두의 특징을 가지는 하이브리드형 액정표시장치가 개발되고 있다. 본 발명은 하이브리드형 액정표시장치에도 적용될 수 있다.

<188> 도 22는 실시예 1의 액정 표시 패널을 휴대형 정보 단말기에 적용하는 예를 나타낸다. 표시장치(2205)는 터치 패널(3002), 액정표시장치(3003) 및 LED 백 라이트(3004)를 포함한다. 터치 패널(3002)은 휴대형 정보 단말기를 용이하게 조작하기 위해 제공되어 있다. 터치 패널(3002)의 한쪽 단부에 LED와 같은 발광 소자(3100)가 설치되어 있고, 터치 패널(3002)의 다른쪽 단부에 포토 다이오드와 같은 수광 소자(3200)가 설치되어 있다. 이들 소자 사이에 광로가 형성되어 있다. 터치 패널(3002)을 눌러 광로를 차단하면, 수광 소자(3200)의 출력이 변한다. 이 원리를 이용하여 발광 소자와 수광 소자가 액정표시장치상에 매트릭스 형태로 배치되면, 터치 패널은 입력 매체로서 기능할 수 있게 된다.

<189> 도 23(D)는 텔레비전 게임기 또는 비디오 게임기와 같은 전자 게임기를 나타낸다. 이 전자 게임기는 CPU와 같은 전자 회로(2308), 기록 매체(2304) 등이 탑재된 본체(2301), 컨트롤러(2305), 표시장치(2303), 및 본체(2301)에 조립된 표시장치(2302)를 포함한다. 표시장치(2303) 및 본체(2301)에 조립된 표시장치(2302)는 동일한 정보를 표시할 수 있다. 또는, 표시장치(2303)는 주 표시장치로서 사용되고, 표시장치(2302)는 기록 매체(2304)의 정보를 표시하거나, 기기의 동작 상태를 표시하거나, 또는 터치 센서의 기능을 부가하여 조작 보드로 할 수 있는 부 표시장치로서 사용될 수 있다. 본체(2301), 컨트롤러(2305) 및 표시장치(2303)는 이들 사이에서 신호를 전달하는 유선 통신 기능을 가지거나, 또는 무선 통신 또는 광 통신 기능을 달성하기 위한 센서 유닛(2306, 2307)을 구비할 수 있다. 본 발명은 표시장치(2302, 2303)에 적용될 수 있다. 표시장치(2303)에는 종래의 CRT가 사용될 수도 있다.

<190> 도 23(E)는 프로그램을 기록한 기록 매체(이하, "기록 매체"라 부른다)를 사용하는 플레이어를 나타낸다. 이 플레이어는 본체(2401), 표시장치(2402), 스피커 유닛(2403), 기록 매체(2404) 및 조작 스위치(2405)를 포함한다. 또한, 기록 매체에는, DVD(Digital Versatile Disc) 또는 컴팩트 디스크(CD)가 사용되어, 음악 프로그램의 재생이나 영상 표시, 비디오 게임(또는 텔레비전 게임) 또는 인터넷을 통한 정보 표시 등을 행할 수 있다. 본 발명은 표시장치(2402) 및 다른 신호 제어 회로에 적절히 이용될 수 있다.

<191> 도 23(F)는 본체(2501), 표시장치(2502), 접안부(2503), 조작 스위치(2504), 및 수상부(도시되지 않음)를 가지

는 디지털 카메라를 나타낸다. 본 발명은 표시장치(2502) 또는 다른 신호 제어 회로에 적용될 수 있다.

<192> 도 24(A)는 광원 광학계 및 표시장치(2601)와 스크린(2602)을 포함하는 프론트(front)형 프로젝터를 나타낸다. 본 발명은 표시장치 및 다른 신호 제어 회로에 적용될 수 있다.

<193> 도 24(B)는 본체(2701), 광원 광학계 및 표시장치(2702), 거울(2703), 및 스크린(2704)을 포함하는 리어(rear)형 프로젝터를 나타낸다. 본 발명은 표시장치 및 다른 신호 제어 회로에 적용될 수 있다.

<194> 한편, 도 24(C)는 도 24(A) 및 도 24(B)의 광원 광학계 및 표시장치(2601, 2702)의 구조의 일 예를 나타낸다. 광원 광학계 및 표시장치(2601, 2702)는 광원 광학계(2801), 거울(2802, 2804~2806), 디아크로익(dichroic) 거울(2803), 비임 분할기(2807), 액정표시장치(2808), 위상차 판(2809), 및 투사 광학계(2810)를 포함한다. 그 투사 광학계(2810)는 다수의 광학 렌즈를 포함한다.

<195> 도 24(C)는 3개의 액정표시장치(2808)를 사용하는 3판식의 예를 나타내지만, 본 발명은 3판식에 한정되지 않고, 단판식의 광학계에도 적용될 수 있다. 또한, 도 24(C)에서 화살표로 나타낸 광로에, 광학 렌즈, 편광 기능을 가진 필름, 위상을 조절하기 위한 필름, IR 필름 등이 적절히 삽입될 수도 있다.

<196> 도 24(D)는 도 24(C)의 광원 광학계(2801)의 구조 예를 나타낸다. 본 실시예에서는, 광원 광학계(2801)가 반사기(2811), 광원(2812), 렌즈 어레이(2813, 2814), 편광 변환 소자(2815), 및 집광 렌즈(2816)를 포함한다. 도 24(D)에 도시된 광원 광학계는 일 예이고, 도시된 구성에 한정되는 것은 아니다.

<197> 여기서는 도시되지 않았지만, 본 발명은 내비게이션 시스템 또는 이미지 센서의 판독 회로에도 적용될 수 있다. 따라서, 본 발명의 적용범위는 매우 넓고, 본 발명이 모든 분야의 전자 기기에 적용될 수 있다.

<198> 삭제

### 발명의 효과

본 발명을 실시함으로써, 이방성 도전막에 의해 다른 회로에 접속되는 접속 배선에서, 금속막이 보호막과 투명 도전막으로 덮인 구조가 되기 때문에, 제작 과정이나 이방성 도전막의 접착제와의 접촉에 의해 야기되는 금속막의 부식 및 변질이 방지될 수 있어, 신뢰성이 높은 콘택트 구조를 형성할 수 있다.

### 도면의 간단한 설명

<1> 도 1(A) 및 도 1(B)는 액티브 매트릭스 기판의 구성을 설명하기 위한 상면도.

<2> 도 2는 액정표시장치의 회로 구성을 나타내는 블록도.

<3> 도 3(A)~도 3(D)는 액티브 매트릭스 기판의 제작공정을 나타내는 단면도.

<4> 도 4(A)~도 4(D)는 액티브 매트릭스 기판의 제작공정을 나타내는 단면도.

<5> 도 5(A)~도 5(C)는 액티브 매트릭스 기판의 제작공정을 나타내는 단면도.

<6> 도 6(A) 및 도 6(B)는 액티브 매트릭스 기판의 제작공정을 나타내는 단면도.

<7> 도 7은 액티브 매트릭스 기판의 제작공정을 나타내는 단면도.

<8> 도 8은 액정 패널의 단면도.

<9> 도 9(A)~도 9(C)는 접속 배선의 단자부의 제작공정을 나타내는 단면도.

<10> 도 10(A)~도 10(C)는 접속 배선의 단자부의 제작공정을 나타내는 단면도.

<11> 도 11(A)~도 11(C)는 접속 배선의 단자부의 제작공정을 나타내는 단면도.

<12> 도 12(A) 및 도 12(B)는 접속 배선의 단자부와 이방성 도전막의 콘택트 구조를 나타내는 단면도.

<13> 도 13은 화소부의 1개 화소의 상면도.

<14> 도 14는 기동형 스페이서의 형상을 설명하기 위한 도면.

<15> 도 15(A)~도 15(F)는 접속 배선의 단자부의 제작공정을 나타내는 단면도.

- <16> 도 16은 접속 배선의 단자부와 이방성 도전막의 콘택트 구조를 나타내는 단면도.
- <17> 도 17(A)~도 17(C)는 액티브 매트릭스 기판의 제작공정을 나타내는 단면도.
- <18> 도 18(A)~도 18(C)는 액티브 매트릭스 기판의 제작공정을 나타내는 단면도.
- <19> 도 19(A)~도 19(C)는 액티브 매트릭스 기판의 제작공정을 나타내는 단면도.
- <20> 도 20은 액정 패널의 단면도.
- <21> 도 21(A)~도 21(F)는 접속 배선의 단자부의 제작공정을 나타내는 단면도.
- <22> 도 22는 반도체장치의 일 예를 나타내는 도면.
- <23> 도 23(A)~도 23(F)는 반도체장치의 예들을 나타내는 도면.
- <24> 도 24(A)~도 24(D)는 투영(投影)형 액정표시장치의 구성을 나타내는 도면.
- <25> 도 25는 ICP 에칭장치의 플라즈마 생성 기구를 나타내는 도면.
- <26> 도 26은 다중 나선 코일 방식의 ICP 에칭장치를 나타내는 도면.
- <27> 도 27은 바이어스 파워에 대한 테이퍼각( $\Theta$ )의 의존성을 나타내는 도면.
- <28> 도 28은  $CF_4$  유량비에 대한 테이퍼각( $\Theta$ )의 의존성을 나타내는 도면.
- <29> 도 29는 텅스텐 대 레지스트(W/레지스트)의 선택비에 대한 테이퍼각( $\Theta$ )의 의존성을 나타내는 도면.
- <30> 도 30은 액티브 매트릭스 기판의 단자부와 이방성 도전막의 종래의 콘택트 구조를 나타내는 단면도.

\* 도면의 주요 부분에 대한 부호의 설명

101: 기판

140: 금속막

141: 투명 도전막

172: 기둥형 스페이서

174: 보호막

182: 단자부

183: 접속 배선

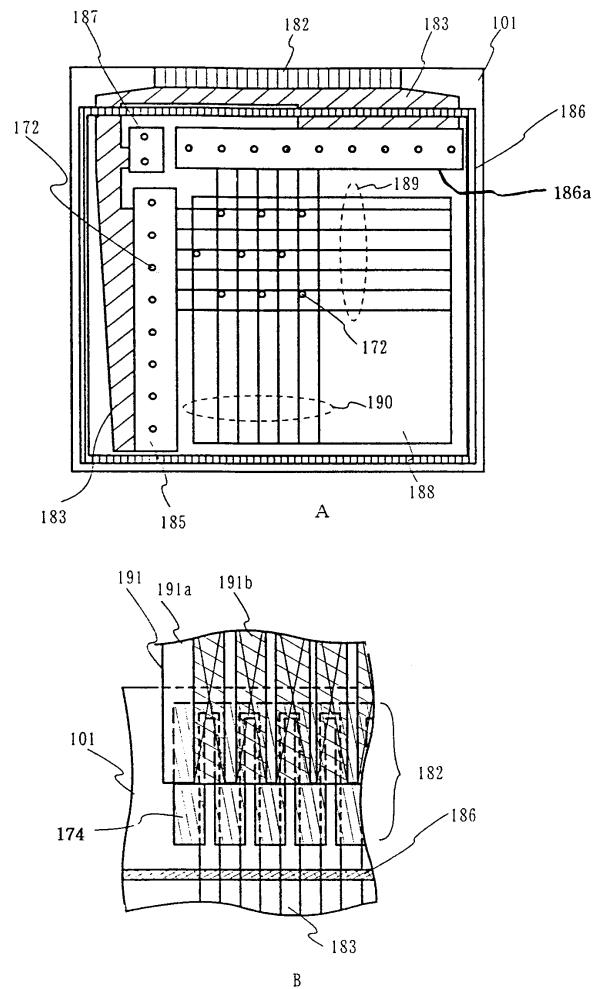
186: 밀봉제

191: FPC

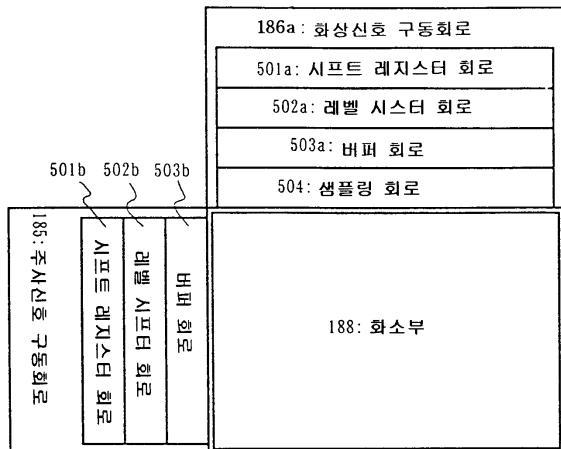
195: 이방성 도전막

## 도면

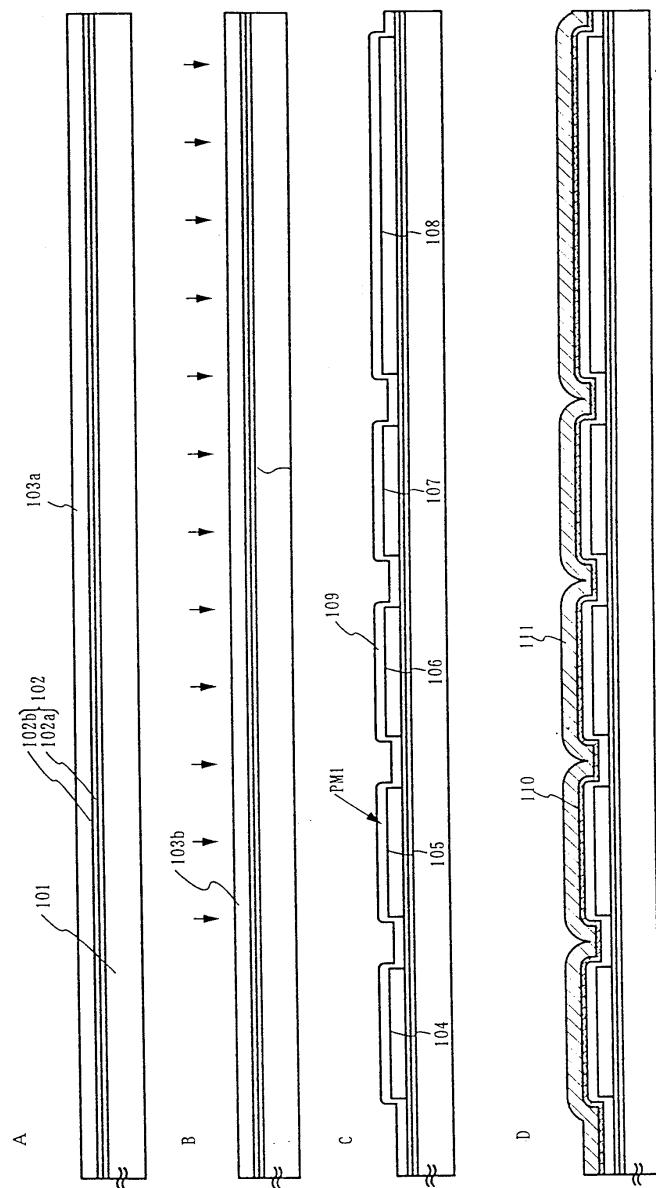
## 도면1



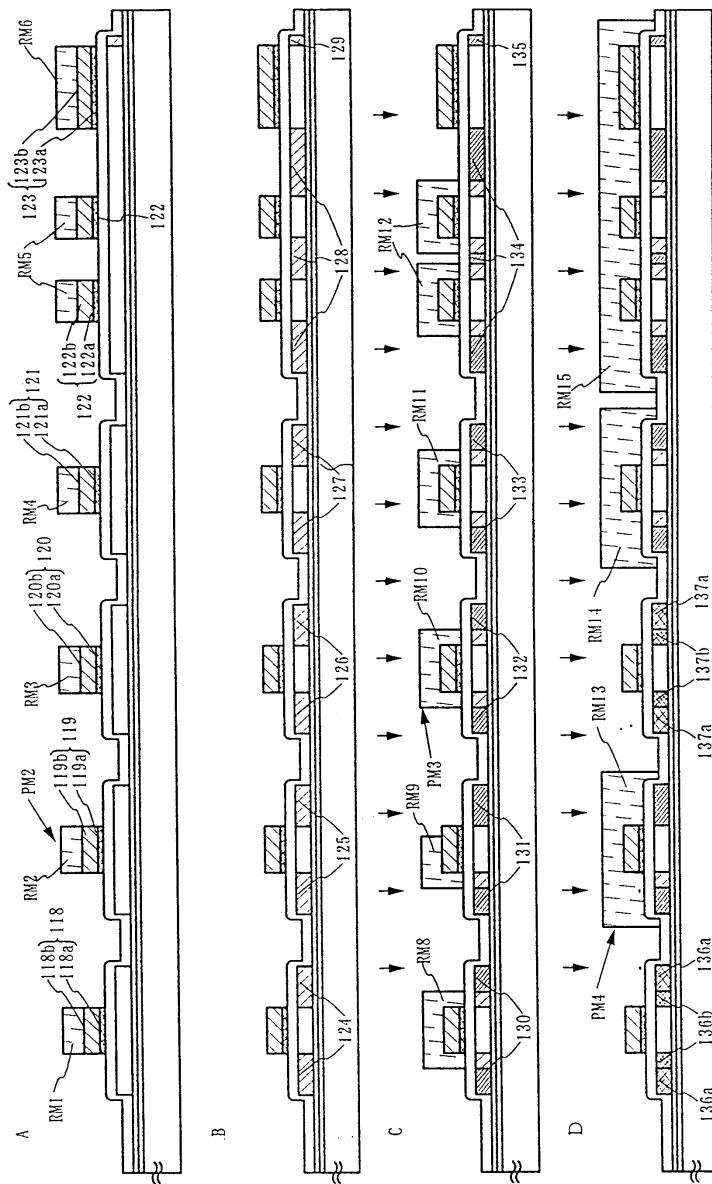
도면2



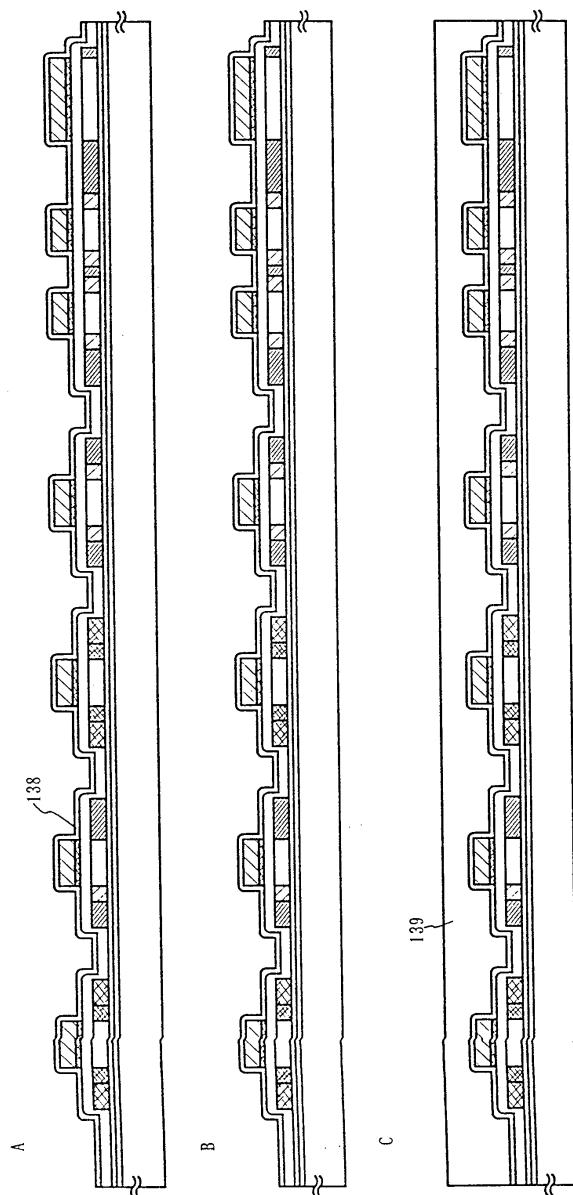
## 도면3



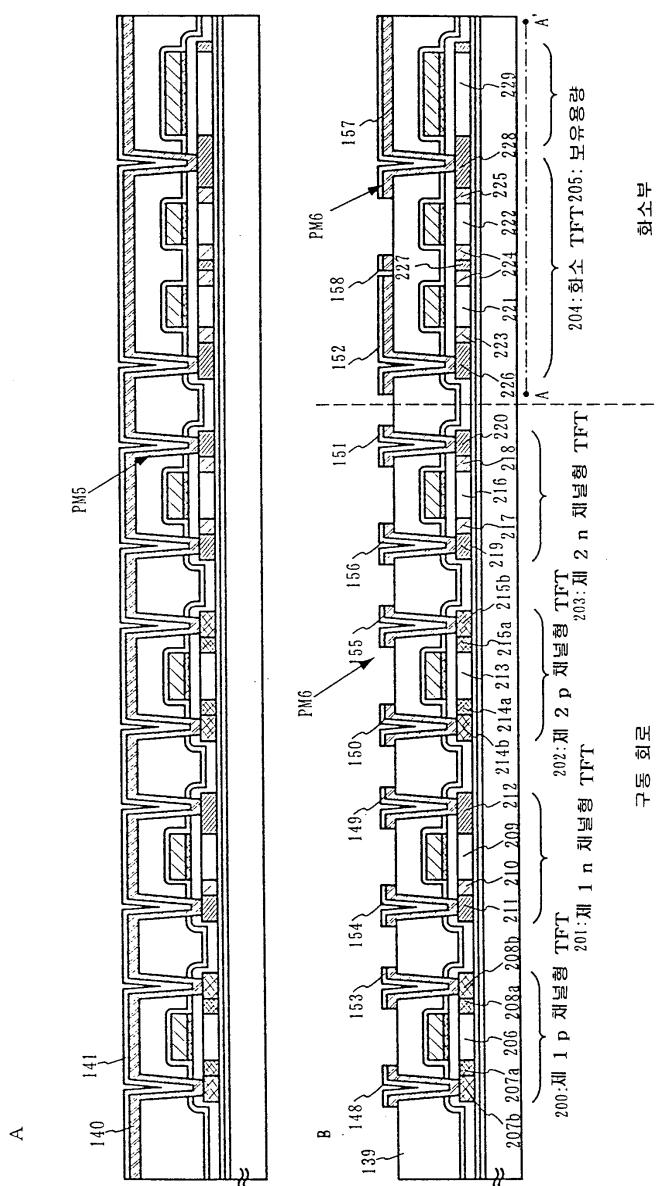
## 도면4



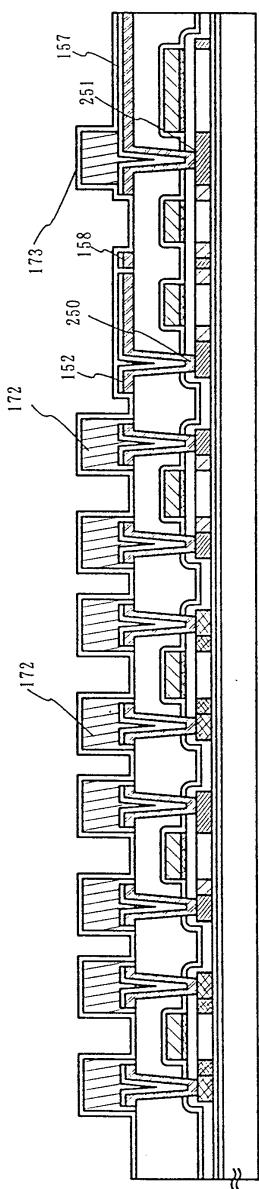
도면5



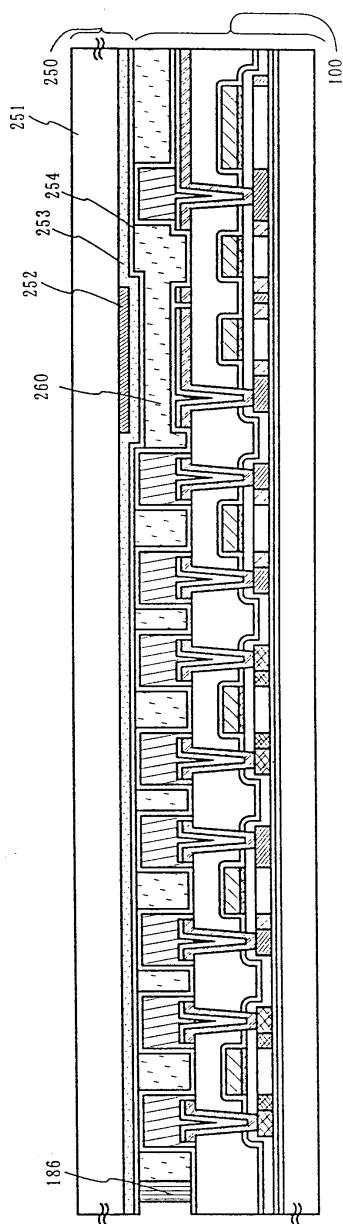
도면6



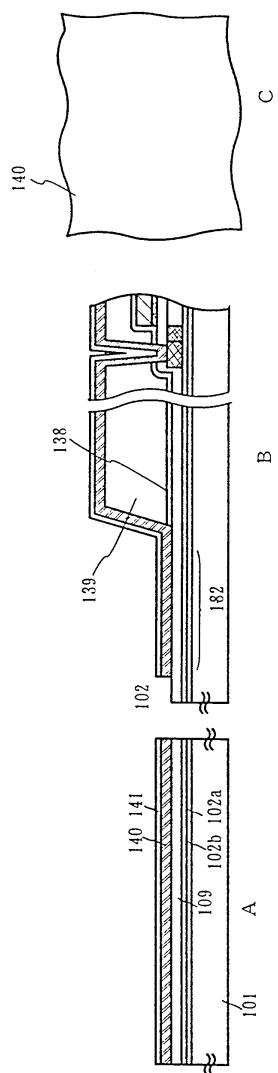
도면7



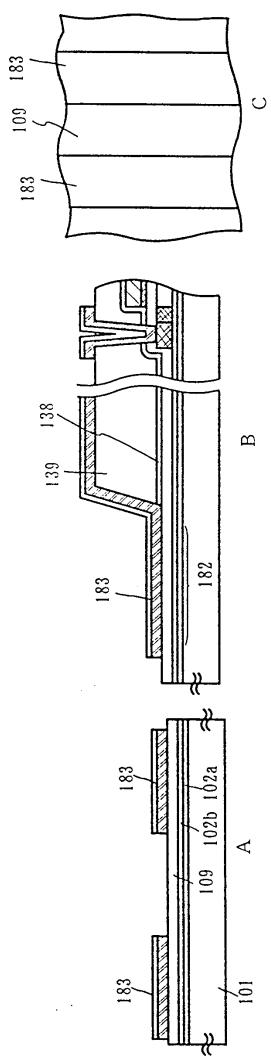
도면8



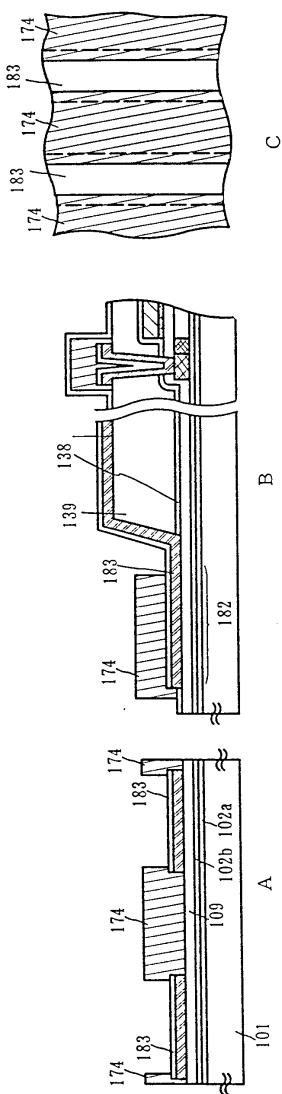
도면9



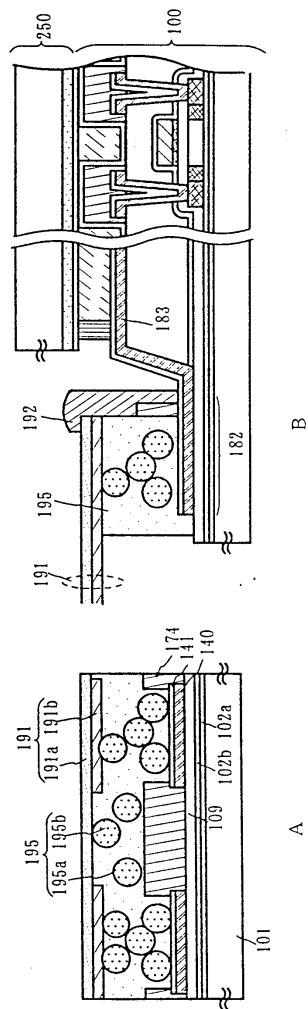
도면10



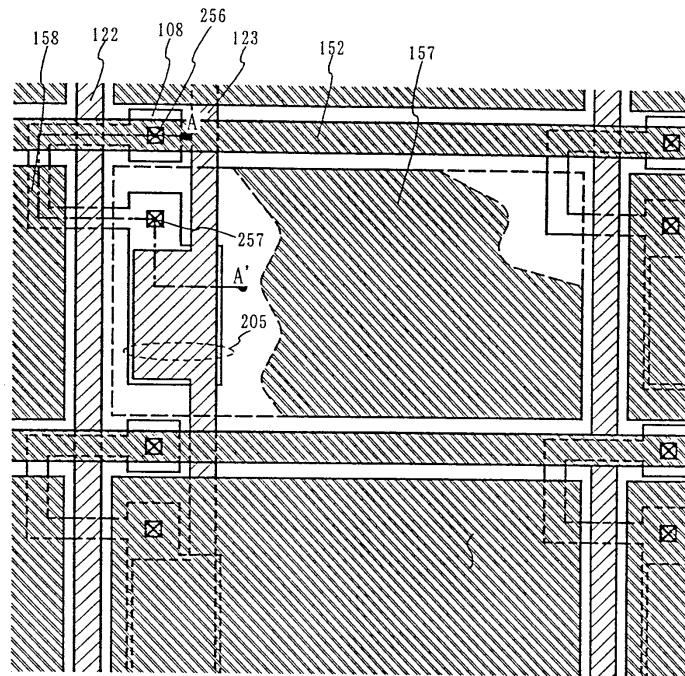
도면11



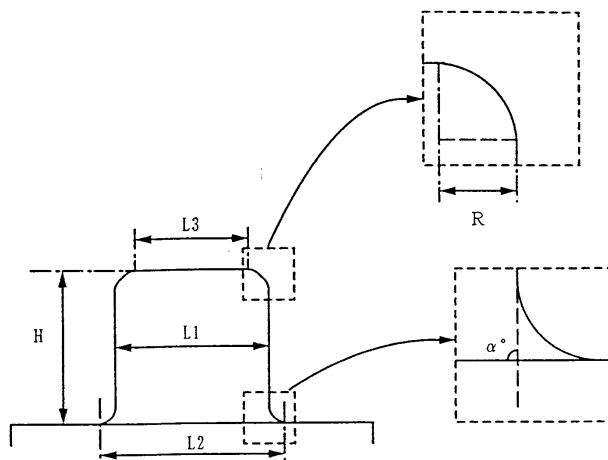
도면12



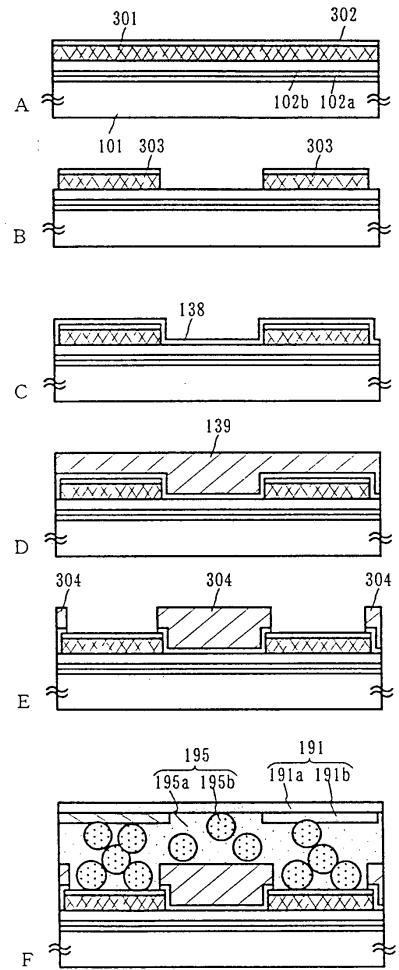
도면13



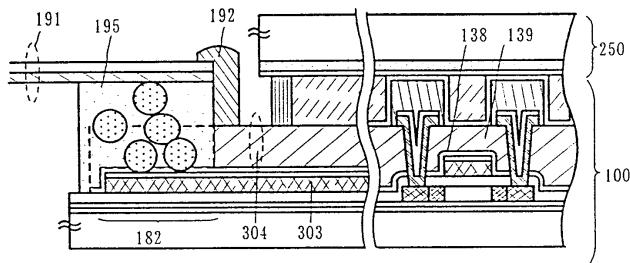
도면14



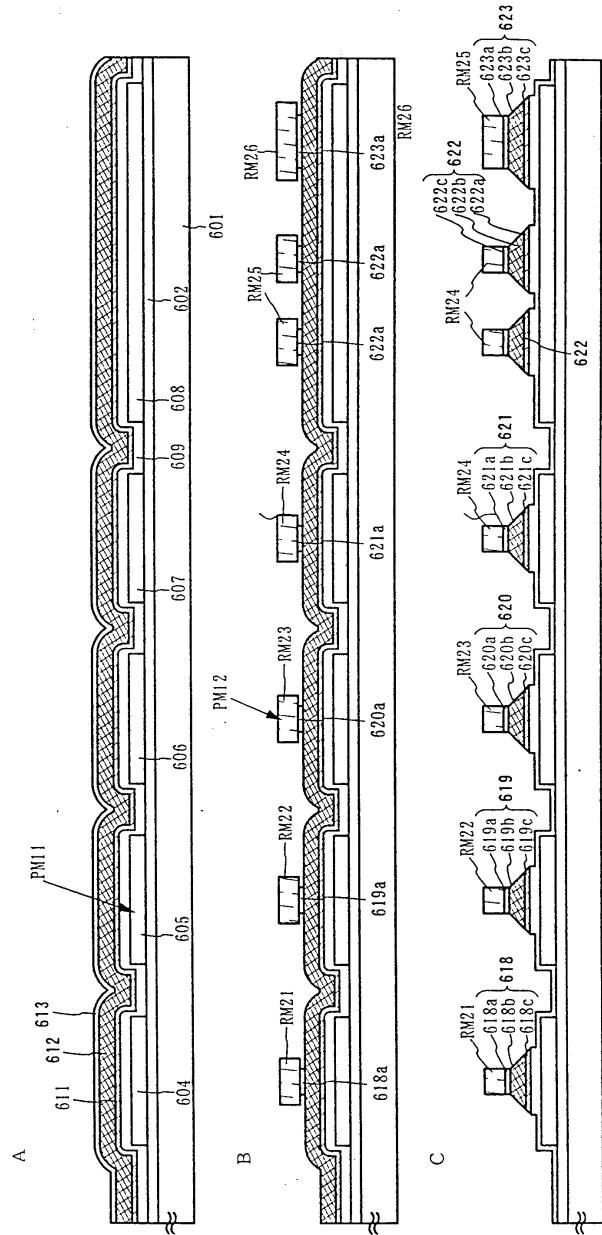
도면15



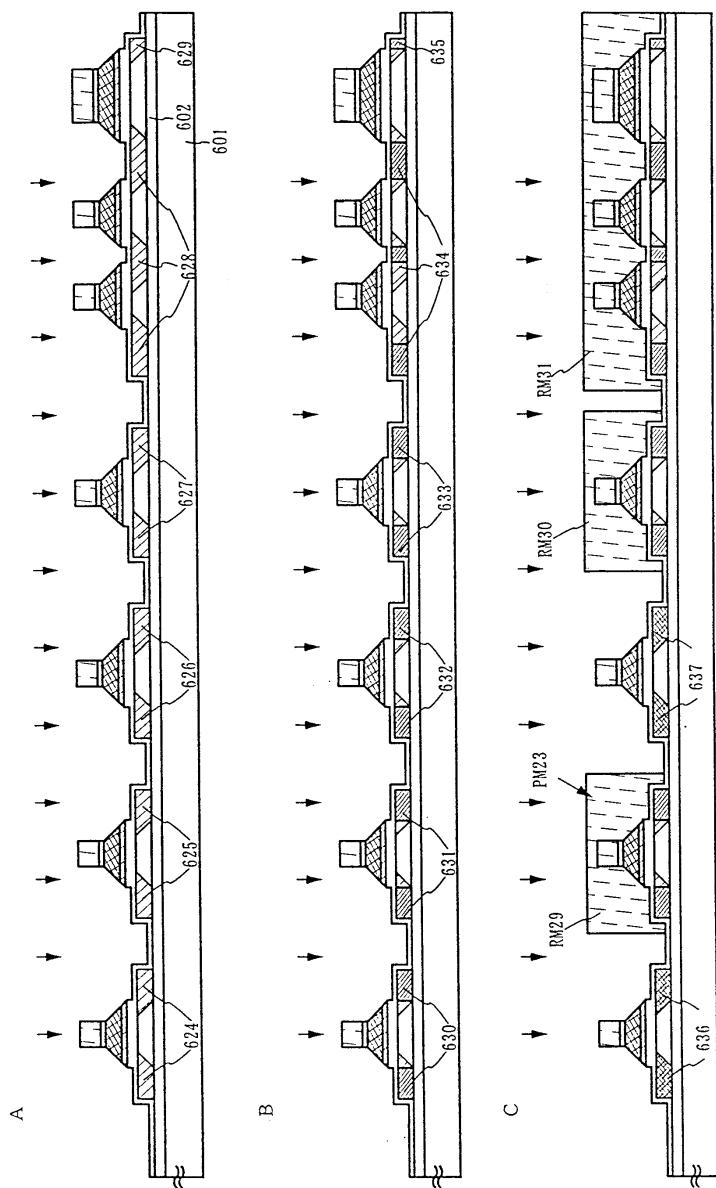
도면16



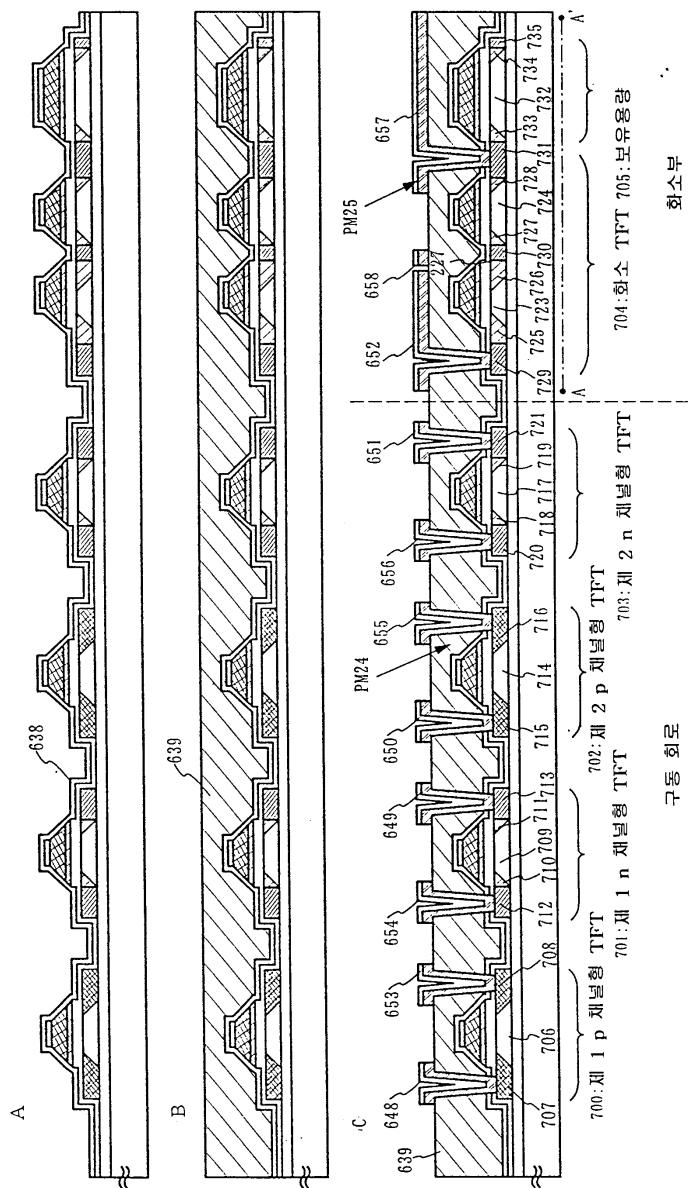
## 도면17



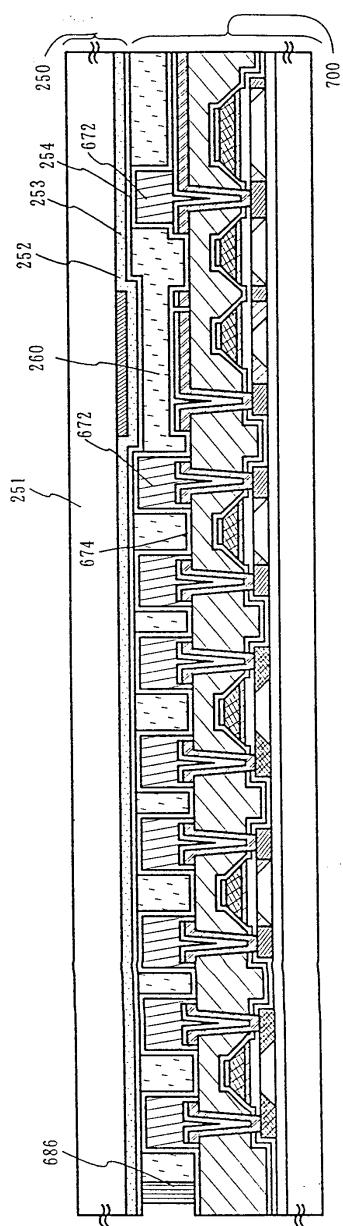
도면18



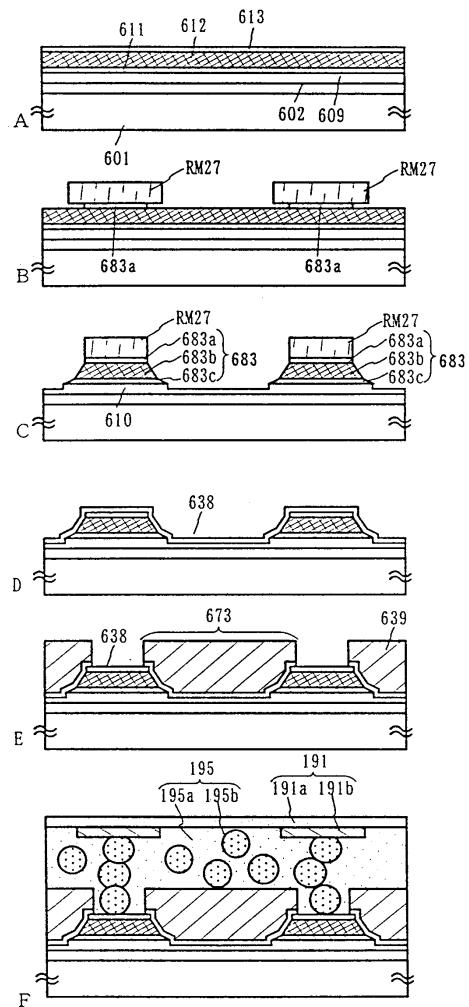
도면19



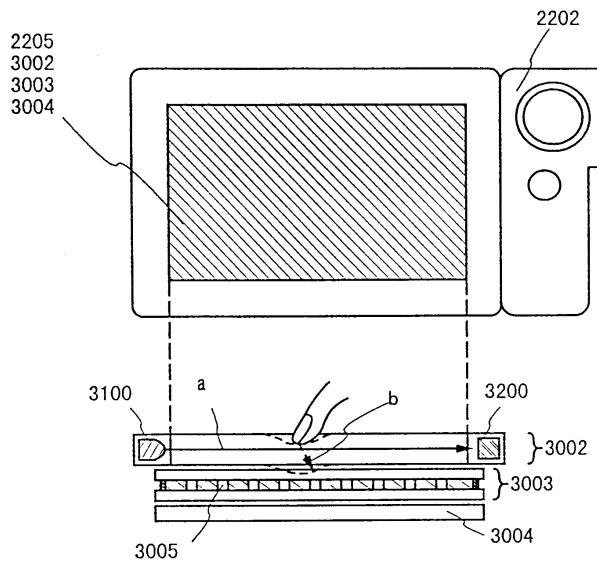
도면20



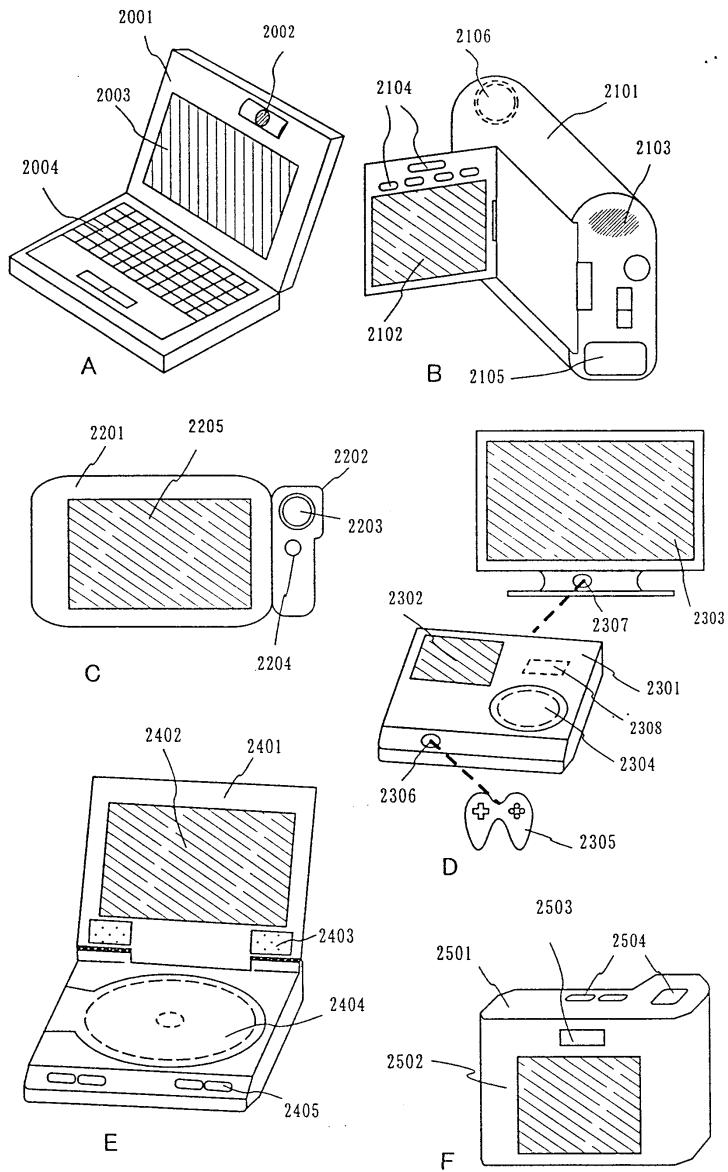
도면21



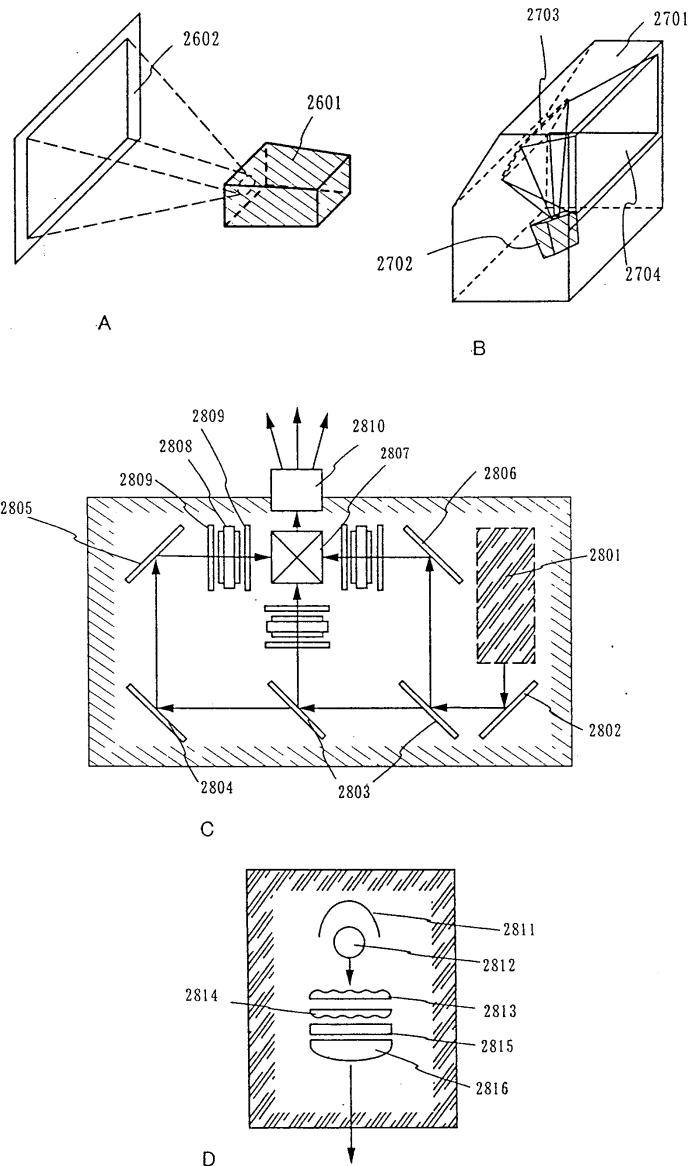
도면22



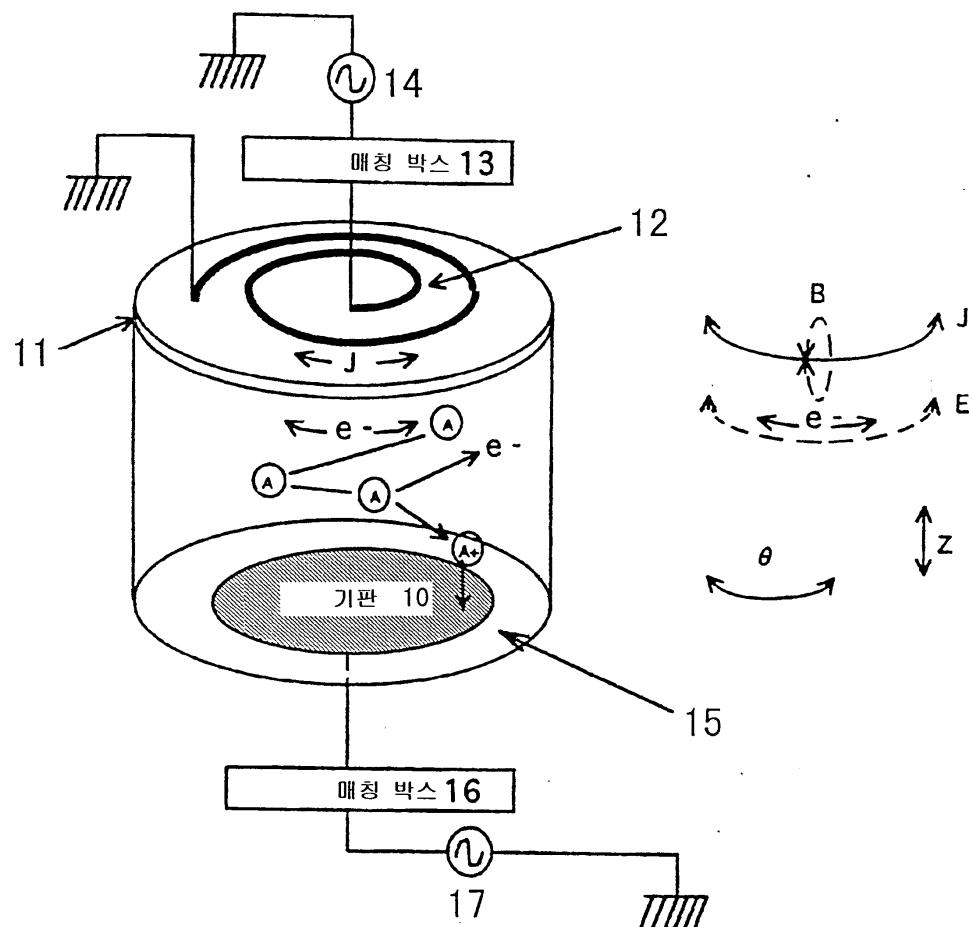
## 도면23



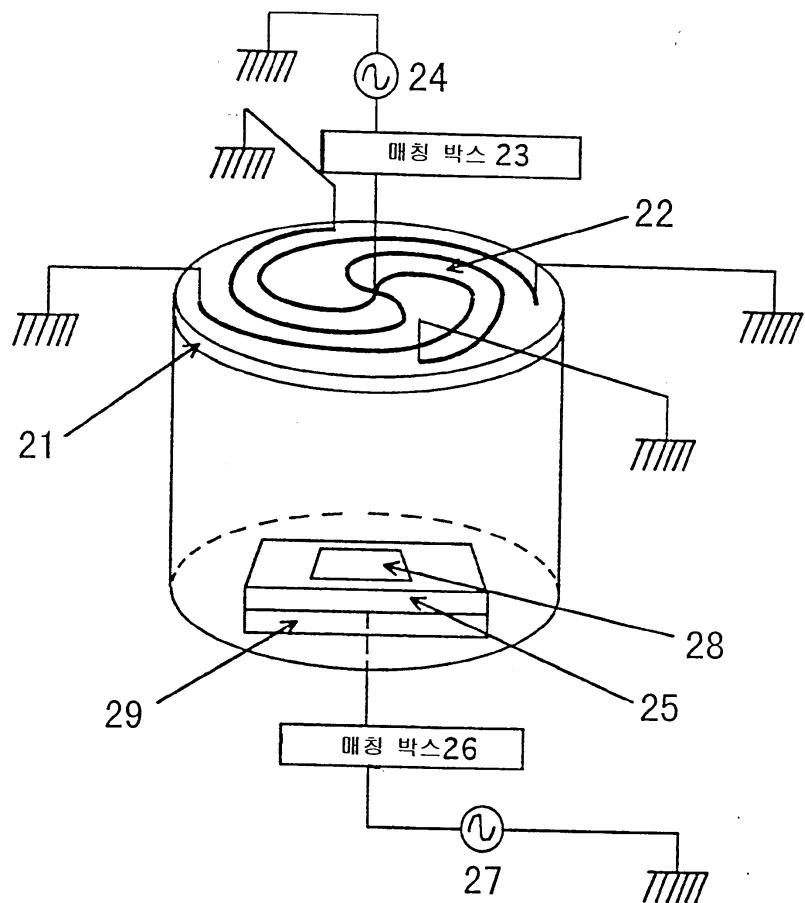
## 도면24



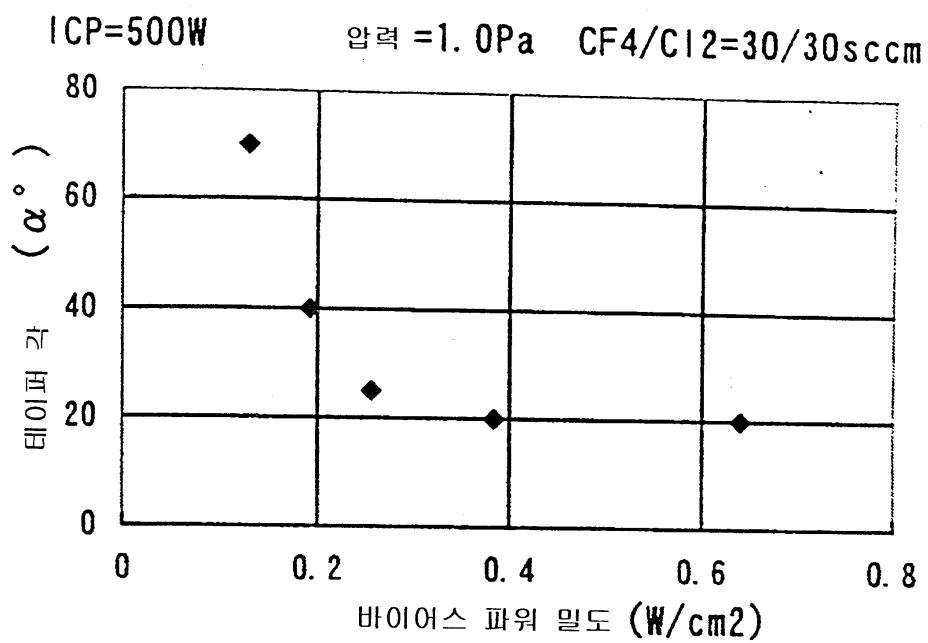
도면25



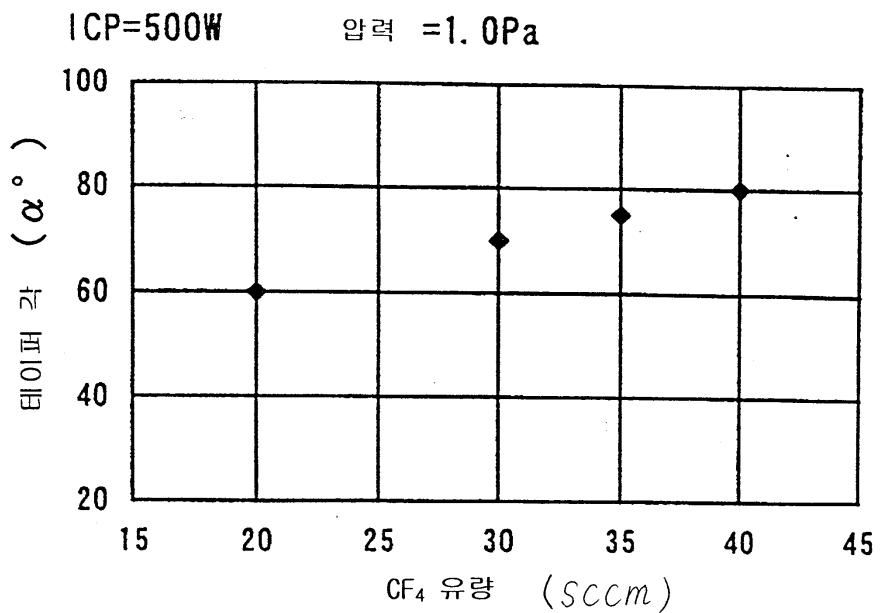
도면26



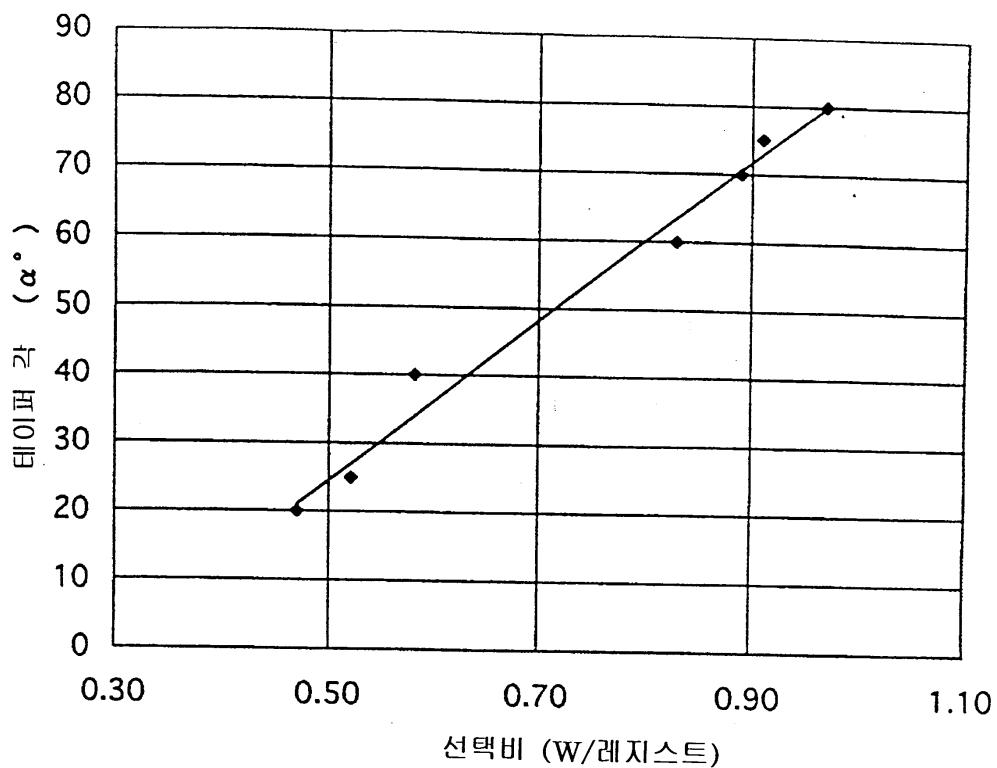
도면27



도면28



도면29



도면30

