

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7477647号
(P7477647)

(45)発行日 令和6年5月1日(2024.5.1)

(24)登録日 令和6年4月22日(2024.4.22)

(51)国際特許分類

F I

G 0 9 F 9/30 (2006.01) G 0 9 F 9/30 3 4 9 Z

G 0 9 F 9/33 (2006.01) G 0 9 F 9/33

H 0 1 L 33/48 (2010.01) H 0 1 L 33/48

請求項の数 8 (全20頁)

(21)出願番号	特願2022-565957(P2022-565957)	(73)特許権者	503433420
(86)(22)出願日	令和3年4月29日(2021.4.29)		華為技術有限公司
(65)公表番号	特表2023-523758(P2023-523758 A)		HUAWEI TECHNOLOGIES CO., LTD.
(43)公表日	令和5年6月7日(2023.6.7)		中華人民共和国 5 1 8 1 2 9 広東省深
(86)国際出願番号	PCT/CN2021/090892		▲チェン▼市龍崗区坂田 華為総部▲ベ
(87)国際公開番号	WO2021/219069		ン▼公楼
(87)国際公開日	令和3年11月4日(2021.11.4)		Huawei Administrat
審査請求日	令和4年12月6日(2022.12.6)		ion Building, Banti
(31)優先権主張番号	202010362184.1		an, Longgang Distri
(32)優先日	令和2年4月30日(2020.4.30)		ct, Shenzhen, Guang
(33)優先権主張国・地域又は機関	中国(CN)	(74)代理人	dong 5 1 8 1 2 9, P. R. C
			hina
			100132481
			弁理士 赤澤 克豪
			最終頁に続く

(54)【発明の名称】 積層構造体、表示スクリーン、および表示装置

(57)【特許請求の範囲】

【請求項 1】

積層された、基板と、少なくとも1つの駆動チップと、各駆動チップに対応する少なくとも1つの画素ユニットとを備える積層構造体であって、

前記基板は第1の表面を有し、配線層が前記第1の表面上に配置され、

各駆動チップは、前記配線層の表面であって前記第1の表面から離れる方に面する前記表面上に配置され、

各画素ユニットおよび対応する駆動チップが積層され、

各画素ユニット内に位置するサブ画素が、前記配線層および前記対応する駆動チップに別々に電氣的に接続され、

前記配線層上に前記駆動チップが配置された領域は、前記駆動チップから絶縁され、

各駆動チップの表面であって前記配線層から離れる方に面する前記表面上に結合ポストが配置され、前記結合ポストは、前記駆動チップおよび前記配線層に電氣的に接続され、各駆動チップに対応する前記サブ画素は、前記対応する駆動チップの前記表面であって前記配線層から離れる方に面する前記表面上に配置され、

各駆動チップに対応する第1のパッケージング層をさらに備え、各第1のパッケージング層は、前記対応する駆動チップをパッケージングし、

各駆動チップに対応する前記サブ画素は、前記第1のパッケージング層上に配置される積層構造体。

【請求項 2】

各駆動チップに対応する第2のパッケージング層をさらに備え、各第2のパッケージング層は、前記対応する駆動チップおよび複数のサブ画素をパッケージングする請求項1に記載の積層構造体。

【請求項3】

分離層をさらに備え、前記分離層は、前記配線層と前記基板との間に配置される請求項1に記載の積層構造体。

【請求項4】

各サブ画素は、発光層と、前記発光層に別々に接続されたP極およびN極とを備え、前記P極は、前記対応する駆動チップに接続され、前記N極は、前記配線層に接続されるか、または、前記P極は、前記配線層に接続され、前記N極は、前記対応する駆動チップに接続される請求項1に記載の積層構造体。

10

【請求項5】

前記P極、前記発光層、および前記N極が積層され、前記発光層は、前記P極と前記N極との間に位置する請求項4に記載の積層構造体。

【請求項6】

前記P極、前記発光層、および前記N極が積層され、前記P極および前記N極は、同じ層上に配置される請求項4に記載の積層構造体。

【請求項7】

ハウジングと、前記ハウジングの内部に配置され、請求項1に記載された前記積層構造体とを備える表示スクリーン。

20

【請求項8】

請求項1に記載された前記積層構造体を備える表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置技術の分野に関し、具体的には、積層構造体、表示スクリーン、および表示装置に関する。

【背景技術】

【0003】

マイクロLED(micro LED)は、新しい表示技術である。マイクロLEDは、各ユニットが100マイクロメートル未満となり、各素子が別々にアドレス指定され、別々に駆動されて、一般に自発光として知られている光を発することができるように、LEDの発光粒子(light-emitting particle)を薄くし、小型化し、整列することが意図されている。マイクロLEDは、OLED(有機電界発光表示、有機発光半導体)に類似しているが、マイクロLEDの実用寿命は、OLEDスクリーンの実用寿命よりも長い。加えて、マイクロLEDの応答速度は、ナノ秒レベルに達することができ、OLEDの応答速度よりも速い。加えて、マイクロLEDはさらに、高輝度、低電力消費、および超高分解能などの複数の利点を有する。手短に言えば、マイクロLEDは、OLEDよりも有利である。

30

【0004】

現在、既存のマイクロLEDの表示パネルの一般的な構造は、以下の通りである。

40

【0005】

表示パネルは、いくつかの表示画素を含み、各画素は、3つの色、R、G、およびBの発光粒子(light-emitting particle)を含むか、またはマイクロドライバユニット(μ IC)を含む。現在、 μ ICについて、発光粒子の物理的な組立構造は、発光粒子と表示ドライバICとの間の接続方法とは設計が異なる。このことは、表示パネル全体の不十分な表示効果および性能を直接引き起こす。

【発明の概要】

【0006】

本出願は、表示スクリーンの表示効果を向上させるための積層構造体、表示スクリーン

50

、および表示装置を提供する。

【 0 0 0 7 】

第 1 の態様によれば、積層構造体が提供され、積層構造体は、表示スクリーンに適用され、表示スクリーン内の表示構造として使用される。積層構造体の構造は、主に、基板、駆動チップ、および画素ユニットを含む。基板、駆動チップ、および画素ユニットが積層され、各駆動チップは少なくとも 1 つの画素ユニットに対応する。基板は、第 1 の表面を有する。配線層が第 1 の表面上に配置され、駆動チップが、配線層の表面であって第 1 の表面から離れる方に面する表面上に配置され、画素ユニットおよび対応する駆動チップが積層される。各画素ユニット内に位置するサブ画素は、配線層および対応する駆動チップに別々に電氣的に接続されて発光ループを形成する。画素ユニットおよび駆動チップが積層されるとき、駆動チップと画素ユニットとは、異なる層に位置することがあり、より多くの駆動チップが、基板上に配列されることがあり、より多くの画素ユニットが、駆動チップ上に配列されることがあることが上述の説明から分かる。積層構造体全体は、画素ユニットの層全体を形成することがあり、駆動チップは、画素ユニットの配列領域を占有せず、それによって、配列された画素ユニットの数量を増加させ、表示スクリーンの表示効果をさらに向上させる。

10

【 0 0 0 8 】

特定の実装可能な解決法では、駆動チップが配線層上に配置される領域は、駆動チップに電氣的に接続されてないか、または駆動チップから絶縁されている。駆動チップに対応する領域が駆動チップに電氣的に接続されていないか、または駆動チップから絶縁されているとき、メンテナンスが容易にされ得る。

20

【 0 0 0 9 】

特定の実装可能な解決法では、内側層のワイヤリングは、駆動チップが配線層上に配置された領域には配列されない。メンテナンスが容易にされる。

【 0 0 1 0 】

特定の実装可能な解決法では、結合ポストが、各駆動チップの表面であって配線層から離れる方に面する表面上に配置される。結合ポストは、駆動チップおよび配線層に電氣的に接続される。駆動チップは、結合ポストを介して配線層に接続される。

【 0 0 1 1 】

特定の実装可能な解決法では、各駆動チップに対応するサブ画素は、対応する駆動チップの表面であって配線層から離れる方に面する表面上に配置される。駆動チップは、対応する画素ユニットのサブ画素を直接担持する。

30

【 0 0 1 2 】

特定の実装可能な解決法では、各駆動チップに対応する第 1 のパッケージング層がさらに含まれ、各第 1 のパッケージング層は、対応する駆動チップをパッケージングする。

【 0 0 1 3 】

各駆動チップに対応するサブ画素は、第 1 のパッケージング層上に配置される。画素ユニットを配置するための領域は、駆動チップに接続される画素ユニットの数量が増加されるように、第 1 のパッケージング層を使用することによって拡張される。

【 0 0 1 4 】

特定の実装可能な解決法では、各駆動チップは、複数の画素ユニットに対応し、複数の画素ユニットは、2 つの行に配列される。これは、画素ユニットを配置するための領域を拡大させる。

40

【 0 0 1 5 】

特定の実装可能な解決法では、各駆動チップに対応する第 2 のパッケージング層がさらに含まれ、各第 2 のパッケージング層は、対応する駆動チップおよび複数のサブ画素をパッケージングする。第 2 のパッケージング層は、サブ画素および駆動チップの保護を強化する。

【 0 0 1 6 】

特定の実装可能な解決法では、分離層がさらに含まれ、分離層は、配線層と基板との間

50

に配置される。これは、配線層の交換またはメンテナンスを容易にする。

【 0 0 1 7 】

特定の実装可能な解決法では、各画素ユニットは、3つのサブ画素を含み、3つのサブ画素はそれぞれ、赤色、青色、および緑色を発することができるサブ画素である。

【 0 0 1 8 】

特定の実装可能な解決法では、各サブ画素は、発光層と、発光層に別々に接続されたP極およびN極とを含む。P極は対応する駆動チップに接続され、N極は配線層に接続される。代替として、P極は配線層に接続され、N極は対応する駆動チップに接続される。表示部は、サブ画素を使用することによって実装される。

【 0 0 1 9 】

特定の実装可能な解決法では、P極、発光層、およびN極が積層され、発光層は、P極とN極との間に位置する。積層構造体を使用することによって、サブ画素の体積が低減される。

【 0 0 2 0 】

特定の実装可能な解決法では、P極、発光層、およびN極が積層され、P極およびN極は、同じ層上に配置される。電力は、水平方向に供給される。

【 0 0 2 1 】

第2の態様によれば、表示スクリーンが提供される。表示スクリーンは、ハウジングと、ハウジングの内部に配置され、前述の実装可能な解決法のいずれか1つにおいて説明された積層構造体とを含む。画素ユニットおよび駆動チップが積層されるとき、駆動チップと画素ユニットとは、異なる層に位置することがあり、より多くの駆動チップが、基板上に配置されることがあり、より多くの画素ユニットが、駆動チップ上に配置されることもあることが上述の説明から分かる。積層構造体全体は、画素ユニットの層全体を形成することがあり、駆動チップは、画素ユニットの配列領域を占有せず、それによって、配列された画素ユニットの数量を増加させ、表示スクリーンの表示効果をさらに向上させる。

【 0 0 2 2 】

第3の態様によれば、表示装置が提供される。表示装置は、本体と、本体の内部に配置され、前述の実装可能な解決法のいずれか1つにおいて説明された積層構造体とを含む。画素ユニットおよび駆動チップが積層されるとき、駆動チップと画素ユニットとは、異なる層に位置することがあり、より多くの駆動チップが、基板上に配列されることがあり、より多くの画素ユニットが、駆動チップ上に配列されることもあることが上述の説明から分かる。積層構造体全体は、画素ユニットの層全体を形成することがあり、駆動チップは、画素ユニットの配列領域を占有せず、それによって、配列された画素ユニットの数量を増加させ、表示スクリーンの表示効果をさらに向上させる。

【図面の簡単な説明】

【 0 0 2 3 】

【図1】本出願の実施形態による表示スクリーンの構造の概略図である。

【図2】本出願の実施形態による積層構造体の上面図である。

【図3】本出願の実施形態による積層構造体の側面図である。

【図4】本出願の実施形態による発光粒子の構造の概略図である。

【図5】本出願の実施形態による発光粒子の別の構造の概略図である。

【図6】本出願の実施形態による積層構造体の側面図である。

【図7】従来技術における積層構造体の側面図である。

【図8a】本出願の実施形態による積層構造体の作製中の基板の上面図である。

【図8b】図8aの線A - Aの断面図である。

【図9a】本出願の実施形態による積層構造体の作製中の構成要素の上面図である。

【図9b】図9aの線A - Aの断面図である。

【図10a】本出願の実施形態による積層構造体の作製中の構成要素の上面図である。

【図10b】図10aの線A - Aの断面図である。

【図11a】本出願の実施形態による積層構造体の作製中の構成要素の上面図である。

10

20

30

40

50

【図 1 1 b】図 1 1 a の線 A - A の断面図である。

【図 1 2 a】本出願の実施形態による積層構造体の作製中の構成要素の上面図である。

【図 1 2 b】図 1 2 a の線 A - A の断面図である。

【図 1 3】本出願の実施形態による積層構造体を作製するフローチャートである。

【図 1 4】本出願の実施形態による積層構造体を作製するフローチャートである。

【図 1 5】本出願の実施形態による積層構造体を作製するフローチャートである。

【図 1 6】本出願の実施形態による積層構造体を作製するフローチャートである。

【図 1 7】本出願の実施形態による積層構造体を作製するフローチャートである。

【図 1 8】本出願の実施形態による別の積層構造体の概略図である。

【図 1 9】本出願の実施形態による別の積層構造体の構造の概略図である。

10

【図 2 0】本出願の実施形態による別の積層構造体の上面図である。

【発明を実施するための形態】

【0 0 2 4】

本出願の目的、技術的解決法、および利点をより明確にするために、以下は、添付の図面を参照して本出願について詳細にさらに説明する。

【0 0 2 5】

本出願の実施形態において提供される積層構造体 2 は、表示スクリーンに適用される。図 1 に示されるように、現在、既存の表示スクリーンパネルは、いくつかの表示画素を含む。表示スクリーンは、複数の表示画素 2 を有し、複数の表示画素 2 は、方向 a に沿った行および方向 b に沿った列に配列される。複数の表示画素 2 は、表示スクリーンの表示領域内に位置し、表示画素 2 の発光を介して表示スクリーンの表示機能を実施する。複数の表示画素 2 は、表示スクリーンの D D I C 1 (表示駆動集積回路、表示ドライバ I C) に接続されており、積層構造体 2 の電圧制御は、D D I C 1 の駆動信号を使用することによって実行され、それによって、表示スクリーン全体の画像表示を実施する。

20

【0 0 2 6】

最初に、図 2 を参照されたい。図 2 は、本出願の実施形態による積層構造体の上面図である。本出願のこの実施形態において提供される積層構造体は、基板 (図 2 には図示せず)、配線層 5 0、駆動チップ 2 0、および画素ユニット 3 0 を含み、駆動チップ 2 0 および画素ユニット 3 0 は、積層構造体内に発光ユニットを構成する。耐荷構造として、基板は、発光ユニット (駆動チップ 2 0 および画素ユニット 3 0) のためのベース (支持) 機能を提供する。基板は、特定の支持強度を有する材料で作られることがある。例えば、基板の材料は、ガラス、シリコン、サファイア、または P I (主鎖にイミド基を含むポリマーであるポリイミド) であり得る。配線層 5 0 は、基板とともに積層され、駆動チップ 2 0 および画素ユニット 3 0 に接続される。配線層 5 0 は、D D I C と発光ユニットとの間の電氣的接続を実施するために、D D I C にさらに接続される。

30

【0 0 2 7】

駆動チップ 2 0 は、基板上に配置される。図 2 に示される基板は、駆動チップ 2 0 を担持する。駆動チップ 2 0 は、矩形形状であり、駆動チップ 2 0 の長さ方向は、方向 a に配列される。駆動チップ 2 0 は、マイクロ集積回路 (Micro Integrated circuit, μ I C) であり得る。

40

【0 0 2 8】

本出願では、基板上に担持される駆動チップ 2 0 の数量は特に限定されない。例えば、任意選択の解決法では、基板は、2 つ、3 つ、4 つ、または 5 つの駆動チップ 2 0 をさらに担持することがある。特定の実装解決法では、表示スクリーン内のすべての積層構造体は、1 つの基板を共有することがある。表示スクリーン内の駆動チップ 2 0 は、基板上にアレイ状に配列され、駆動チップ 2 0 は、基板に電氣的に接続され、基板を介して D D I C に接続される。

【0 0 2 9】

画素ユニット 3 0 が、駆動チップ 2 0 内に配置される。図 2 に示される駆動チップ 2 0 は、2 つの画素ユニット 3 0 を担持し、2 つの画素ユニット 3 0 は、方向 a に配列される

50

。しかしながら、駆動チップ 20 上に担持される画素ユニット 30 の数量は、本出願のこの実施形態に限定されない。例えば、駆動チップ 20 は、異なる数量の画素ユニット 30、例えば、1つの画素ユニット 30、3つの画素ユニット 30、または4つの画素ユニット 30を担持し得る。駆動チップ 20 が複数の画素ユニット 30 を担持するとき、複数の画素ユニット 30 は、方向 a の単一の行に配列される。

【0030】

異なる画素ユニット 30 は、同じ構造を有する。各画素ユニット 30 は、同じ層に配置された3つのサブ画素を含み、3つのサブ画素は、方向 a の単一の行に配列される。3つのサブ画素は、それぞれ、赤色、青色、および緑色を発することができるサブ画素である。図 2 に示される3つのサブ画素は、それぞれ、赤色光を発することができる第 1 のサブ画素 31 a、青色光を発することができる第 2 のサブ画素 31 b、および緑色光を発することができる第 3 のサブ画素 31 c である。駆動チップ 20 は、3つのサブ画素の動作状態を制御することによって、様々な色の光を発するように画素ユニット 30 を制御することができる。

10

【0031】

任意選択の実装解決法では、画素ユニット 30 は、表示スクリーンが様々な色の光を発するという要件を満たすことができる他のサブ画素、例えば、単色を使用するサブ画素、または3つの色 R、G、および B を使用するサブ画素をさらに含むことがある。本出願では、各画素ユニット 30 内のサブ画素の数量および各サブ画素によって発される光の色は、特に限定されない。特定の設定中、サブ画素は、要件に基づいて設定されることがある。

20

【0032】

さらに、図 3 を参照されたい。図 3 は、図 2 に示される積層構造体の側面図であり、本出願のこの実施形態において提供される積層構造体の特定の積層状態を直接反映し得る。説明を容易にするために、方向 z が定義される。方向 z は、表示スクリーンの内部から表示スクリーンの表示面に向かう方向である。基板 10、駆動チップ 20、および画素ユニットは、方向 z に沿って3層構造を形成するように積層され、画素ユニットは、表示スクリーンの表示面に近接している。

【0033】

基板 10 は第 1 の表面を有し、配線層 50 が第 1 の表面上に配置され、配線層 50 は、DDIC と駆動チップ 20 とサブ画素 31 とを接続する回路層 52 を有する。図 3 に示される配線層 50 は、支持層 51 および回路層 52 を含み、支持層 51 は、様々な物質を使用してよい。例えば、配線層 50 の材料は、PI またはエポキシ樹脂であってよい。回路層 52 は、支持層 51 の内側で多層配線を実行するために使用され得るか、または、配線層 50 の表面上でワイヤリングを実行するために使用され得る。任意選択の解決法では、回路層 52 は、基板 10 上に直接配置されることがあり、基板 10 は、回路層 52 の支持構造として使用され、その結果、回路層 52 を支持するために追加の支持層 51 が作製される必要がない。例えば、プリント回路板または回路付き基板が使用される。

30

【0034】

駆動チップ 20 は、配線層 50 の表面であって第 1 の表面から離れる方に面する表面上に配置される。具体的には、駆動チップ 20 は、フィルム接着、金属結合、またはペースト材料接着を介して配線層 50 の表面に固定され得る。駆動チップ 20 は、結合ポスト 21 を有する。結合ポスト 21 は、駆動チップ 20 の表面であって配線層 50 から離れる方に面する表面上に配置され、結合ポスト 21 は、回路層 52 に電氣的に接続される。具体的には、結合ポスト 21 は、接続ワイヤ 70 を使用することによって駆動チップ 20 の IO パッド 22 に接続される。例えば、結合ポスト 21 は、駆動チップ 20 と回路層 52 との間の電氣的接続を実施するために、RDL (Redistribution Layer) を使用することによって配線層 50 の IO (Input Output、電気信号入力/出力) パッド 54 に接続され得るか、またはファンアウト (fanout) 配線を使用することによって配線層 50 の IO パッド 54 に接続され得る。接続ワイヤ 70 の材料は、Cu ピラー (銅ピラーバンプ)、ITO (Information Technol

40

50

ogy Outsourcing、インジウムスズ酸化物)、Cu、またはAuなどの導電性材料であり得る。

【0035】

各画素ユニット内に位置するサブ画素31は、配線層50および対応する駆動チップ20に別々に電氣的に接続されて発光ループを形成する。具体的には、サブ画素31は、転写プロセスおよびボンディング(bonding)プロセスを使用することによって、駆動チップ20の表面(第1の表面から離れる方に面する表面)上に組み立てられる。具体的には前述のサブ画素が配置されるとき、各駆動チップに対応するサブ画素は、対応する駆動チップの表面であって配線50から離れる方に面する表面上に配置される。第1の表面上の複数のサブ画素の垂直突起部は、第1の表面上の駆動チップの垂直突起部内に位置する。前述の対応関係は、電氣的接続ループを形成するための駆動チップとサブ画素との間の対応関係である。

10

【0036】

サブ画素31の構造は、図4および図5を参照して説明される。任意選択の実装解決法では、サブ画素は、マイクロ発光ダイオード(Micro Light-emitting diode, μ LED)を使用してよい。本出願のこの実施形態において提供されるサブ画素31は、発光層312と、発光層312に別々に接続されたP極313およびN極311とを含む。図4では、サブ画素31のP極313、発光層312およびN極311が積層され、発光層312は、P極313とN極311との間に位置する。前述の垂直積層構造体を使用されるとき、サブ画素31の体積は低減されることがあり、サブ画素31のサイズは、 $5 \times 5 \mu\text{m}$ と $100 \times 100 \mu\text{m}$ との間に制御されることがある。図5に示されるサブ画素31の別の構造では、サブ画素31はフリップチップ型であり、すなわち、P極313、発光層312、およびN極311が積層され、P極313およびN極311は、同じ層に配置される。図4および図5に示される構造が、本出願のこの実施形態において提供される積層構造体に適用されることがある。図4に示されるサブ画素31が図3に示される積層構造体に適用されるとき、サブ画素31のP極313は、駆動チップのPパッド23に接続される。サブ画素31のN極311は、接続ワイヤ60を使用することによって配線層50のGNDパッド53に接続される。例えば、サブ画素31と回路層52との間の電氣的接続を実施するために、サブ画素31のN極311は、RDLを使用することによって配線層50のGNDパッド53に接続され得るか、またはファンアウト配線を使用することによって配線層50のGNDパッド53に接続され得る。接続ワイヤ60の材料は、Cuピラー、ITO、Cu、またはAuなどの導電性材料であり得る。積層構造体全体の回路ループを実施するために、駆動チップ20およびサブ画素31が、RDLプロセスまたはファンアウトプロセスを使用することによって、回路層52上の駆動チップ20およびサブ画素31の対応する極(GNDパッド53およびIOパッド54)に接続される。任意選択の例では、代替として、サブ画素が、回路層のIOパッドに接続されることがあり、駆動チップのIOパッドが、回路層のGNDパッドに接続されることがある。同様に、駆動チップおよびサブ画素が、回路層に電氣的に接続されることがある。

20

30

【0037】

さらに図3を参照すると、積層構造体は、基板上に配置された分離層40をさらに含む。本出願のこの実施形態において、分離層40は、任意選択の層構造として使用されることがある。配線層50は、分離層40上に配置され、分離層40は、基板から剥離されることができる。発光ユニット(画素ユニットまたは駆動チップ20)によって損傷が検出されたとき、分離層40は、損傷された画素ユニットを交換するために、レーザー剥離を介して分離されることができる。前述の分離層40は、レーザー感光材料(例えば、窒化カリウムまたは窒化ヒ素)または化学腐食材料から作られることがある。発光ユニットを確実に分離することができるように、駆動チップ20が配線層50上に配置される領域は、駆動チップ20から絶縁されることを理解されたい。具体的には、駆動チップ20が配線層50に固定されるとき、駆動チップ20によって覆われる領域内に回路が配置されない。任意選択の解決法では、内側層のワイヤリングは、駆動チップ20が配線層50上に

40

50

配置された領域には配列されない。図 3 に示されるように、第 1 の領域 5 3 は、駆動チップ 2 0 が配線層 5 0 上に配置されたときに駆動チップ 2 0 を覆う領域である。分離層を使用することによって発光ユニットが分離されるとき、発光ユニットに接続された配線層 5 0 がともに分離される必要があることが図 3 から分かる。内側層のワイヤリングが第 1 の領域 5 3 内に配列されない場合、配線層 5 0 が切断されるとき、駆動チップ 2 0 とともに剥離された配線層部分が回路を有しないことを確実にすることができ、修理された駆動チップ 2 0 が基板上に再配置されるとき、駆動チップ 2 0 は、元の位置に直接置かれ得る。

【 0 0 3 8 】

任意選択の解決法では、積層構造体は、各駆動チップ 2 0 に対応する第 2 のパッケージング層 8 0 をさらに含み、各第 2 のパッケージング層 8 0 は、対応する駆動チップ 2 0 および複数のサブ画素 3 1 を保護するために、駆動チップ 2 0 およびサブ画素 3 1 をパッケージングする。例えば、第 2 のパッケージング層 8 0 は、台形構造であり、駆動チップ 2 0 およびサブ画素 3 1 を包む。第 2 のパッケージング層 8 0 は、サブ画素 3 1 によって発された光が透過することができるように、透明なプラスチックのパッケージング材料で作られる。例えば、第 2 のパッケージング層 8 0 の材料は、COF (Chip On Flex、またはChip On Film、チップオンフィルム) 材料であるか、透明なフォトレジスト材料であるか、または別の透明なエポキシ樹脂材料であることができる。積層構造体が第 2 のパッケージング層 8 0 を有するとき、駆動チップ 2 0 およびサブ画素 3 1 を回路層に接続する接続ワイヤが第 2 のパッケージング層 8 0 内に配置されることがあり、第 2 のパッケージング層 8 0 は、接続ワイヤを駆動チップ 2 0 およびサブ画素 3 1 とともにパッケージングするために使用される。代替として、図 3 に示されるように、接続ワイヤは、第 2 のパッケージング層 8 0 の表面に取り付けられることがある。発光ユニットが第 2 のパッケージング層 8 0 を含むとき、配線層 5 0 の回路層 5 1 は、配線層が切断されるときに回路層が損傷されないことを確実にするために、第 2 のパッケージング層 8 0 に対応する領域内に配置された回路を有しない。

【 0 0 3 9 】

任意選択の解決法では、結合ポスト 2 1 は、金属ビアを使用することによって、またはカラム構造を使用することによって、第 2 のパッケージング層 8 0 上に配置され得る。実際の作製中に、ビアが第 2 のパッケージング層 8 0 内に提供されることがある。結合ポストとして使用される金属ビアを形成するために、ビアが金属層でめっきされることがあるか、または、結合ポストとして使用されるカラム構造を形成するために、ビアが金属材料で充填されることがある。

【 0 0 4 0 】

任意選択の解決法では、積層構造体が、より多くの機能的な構成要素を統合し、それによって、基板上の表示に関わらない構成要素によって占有される面積を低減するように、前述のサブ画素 3 1 に加えて、表示スクリーンの別の構成要素またはチップが、駆動チップ 2 0 上にさらに置かれ得る。

【 0 0 4 1 】

本出願のこの実施形態において提供される積層構造体が、駆動チップおよび画素ユニットを積層することによって形成されるとき、基板上で発光ユニットによって占有される面積を効果的に低減することができる。積層構造体の効果を直感的に理解するために、本出願のこの実施形態において提供される積層構造体が、従来技術における積層構造体と比較される。以下は、図 6 および図 7 を参照して、本出願における積層構造体と従来技術における積層構造体とについて説明する。理解を容易にするために、2 つの積層構造体間の差について説明するのに、長さ方向の比較が使用される。

【 0 0 4 2 】

図 6 は、本出願の実施形態による積層構造体の側面図である。積層構造体において、基板 1 0 の長さは H 1 であり、駆動チップ 2 0 の長さは H 2 であり、画素ユニットの長さ (サブ画素 3 1 の長さ) は H 3 である。発光ユニットによって占有される基板 1 0 の全長は H 2 であり、発光ユニット内の発光部分 (画素ユニット) によって占有される長さは H 3

であり、その結果、非発光部分によって占有される長さは、 $H_2 - H_3$ である。基板 10 の長さ方向において、配置される発光ユニットの数量は、 H_1 および H_2 の値に基づいて決定され得ることが分かる。

【0043】

図7は、従来技術における積層構造体の側面図である。積層構造体において、基板3の長さは H_4 であり、駆動チップ4の長さは H_2 であり、画素ユニットの長さ（サブ画素6の長さ）は H_3 である。駆動チップ4および画素ユニットが基板3の同じ層上に配置されるとき、基板3上の発光ユニットによって占有される全長は $H_3 + H_2$ （部品間のギャップが除去された後に得られるサイズ）であることが図7から分かる。発光ユニットの発光部分（画素ユニット）によって占有される長さは H_3 であり、非発光部分によって占有されるサイズは H_2 である。基板3の長さ方向において、配置される発光ユニットの数量は、 H_4 および $(H_2 + H_3)$ の値に基づいて決定され得ることが分かる。

10

【0044】

同じサイズの基板上で、図7の発光ユニットによって占有されるサイズは、図6の発光ユニットによって占有されるサイズよりも大きいことが、図6と図7との間の比較から分かる。加えて、図6および図7に示される発光ユニットにおいて、図7に示される発光ユニット内の発光部分比率 $H_3 / (H_2 + H_3)$ は、図6に示される発光ユニット内の発光部分比率 H_3 / H_2 よりも小さい。加えて、図7の発光ユニットのサイズ $H_2 + H_3$ は、図6に示される発光ユニットのサイズ H_2 よりも大きい。したがって、図6に示されるより多くの発光ユニットが、同じサイズの基板上に配置され得る。発光ユニットが表示スクリーンに適用されるとき、同じ表示領域では、画素ユニットの数量が増加され、それによって、表示スクリーンの表示精度を向上させ、表示効果を向上させ得る。

20

【0045】

本出願のこの実施形態において提供される積層構造体の理解を容易にするために、以下は、積層構造体を作製するための具体的な方法について、添付の図面を参照して詳細に説明する。

【0046】

ステップ001：基板を提供する。

【0047】

図8aは、基板10の上面図であり、図8bは、図8aの線A-Aの断面図である。基板10上に、配線層50および分離層40が配置されている。DDIC制御信号に接続するための配線層50のワイヤリングおよびパッド（図示せず）は、完全に処理されている。配線層50と基板10との間の分離層40は、レーザー犠牲層材料から作られる。配線層50は、IOパッド54およびGNDパッド53を有する。IOパッド54は、 $3\mu\text{m}$ の厚さを有するInから作られ、GNDパッド53は、 $0.05\mu\text{m}$ の厚さを有するAuから作られる。また、DDICワイヤリングとパッドめっき層とを接続するために、同じめっき層構造が使用されてよい。

30

【0048】

ステップ002：駆動チップを配置する。

【0049】

図9aは、構成要素の上面図であり、図9bは、図9aの線A-Aの断面図である。図9aおよび図9bにおけるいくつかの参照番号については、図8aおよび図8bの同じ参照番号を参照されたい。駆動チップ20は、転写プロセスおよびダイアタッチ（die attach）プロセスを使用することによって、配線層50上に組み立てられる。転写プロセスは、ウエハ製造プロセスに応じてレーザー転写方式または物理的転写方式を使用し得る。駆動チップ20は、フィルムまたは接着ダイアタッチ（adhesive die attach）によって配線上に固定され、駆動チップ20のIOパッド22およびPパッド23は、上を向いている（図9bの基板10の置き方向が基準方向として使用される）。

40

【0050】

50

ステップ 003 : サブ画素を配置する。

【 0051】

図 10 a は、構成要素の上面図であり、図 10 b は、図 10 a の線 A - A の断面図である。図 10 a および図 10 b のいくつかの参照番号については、図 9 a および図 9 b の同じ参照番号を参照されたい。サブ画素 31 は、図 4 に示される垂直構造を使用する。サブ画素 31 は、転写プロセスおよびボンディングプロセスを使用することによって駆動チップ 20 の表面上に組み立てられる。サブ画素 31 の P 極（正極）は、駆動チップ 20 の P パッド 23 に接続される。

【 0052】

ステップ 004 : パッケージング層を作製する。

10

【 0053】

図 11 a は、構成要素の上面図であり、図 11 b は、図 11 a の線 A - A の断面図である。図 11 a および図 11 b のいくつかの参照番号については、図 10 a および図 10 b の同じ参照番号を参照されたい。サブ画素 31 および駆動チップ 20 は、第 2 のパッケージング層 80 を形成するために P L N（平坦化）印刷プロセスを使用することによってパッケージングされ、サブ画素 31 の負極（N 極）および駆動チップ 20 の I O パッド 22 は、フォトリソグラフィプロセスを使用することによって露出される。第 2 のパッケージング層 80 の材料は、透明の材料であり、具体的には C O F（Chip On Flex、または、Chip On Film、通常はチップオンフィルムと呼ばれる）材料であるか、透明のフォトレジスト材料であるか、または別の透明のエポキシ樹脂材料であってよい。

20

【 0054】

ステップ 005 : ファンアウト（fanout）およびワイヤリングを実行する。

【 0055】

図 12 a は、構成要素の上面図であり、図 12 b は、図 12 a の線 A - A の断面図である。図 12 a および図 12 b のいくつかの参照番号については、図 11 a および図 11 b の同じ参照番号を参照されたい。駆動チップ 20 の I O パッド 22 のワイヤリングは、ファンアウトプロセスを使用することによって、（具体的には、結合ポスト 21 を配置することによって）モジュール表面上の信号パッドに配線される。各サブ画素 31 の負極は、配線層 50 の G N D パッド 54 に接続される。駆動チップ 20 のグランドは、サブ画素 31 のグランドに接続され、すべての信号ピンを接続する表示スクリーンのグランドに接続される。駆動チップ 20 と配線層 50 との間の接続およびワイヤリングは、C u、A l、または I T O の配線プロセスであり得る、 μ バンプ（マイクロバンプ）プロセスを使用することがある。

30

【 0056】

ステップ 006 : 試験を実行する。

【 0057】

具体的には、積層構造体上で、D D I C を使用することによって、点灯試験が実行される。欠陥のある発光ユニットが存在する場合、欠陥のある発光ユニットの位置が特定される。

【 0058】

40

ステップ 007 : 欠陥のある発光ユニットを切断する。

【 0059】

図 13 に示されるように、図 13 のいくつかの番号については、図 12 b の同じ参照番号を参照されたい。欠陥のある発光ユニットが、レーザーを使用することによって切断される。欠陥のある発光ユニットが分割されるように、レーザーが、配線層 50 および分離層 40 を切断する。

【 0060】

ステップ 008 : 欠陥のある発光ユニットを除去する。

【 0061】

図 14 に示されるように、図 14 のいくつかの番号については、図 12 b の同じ参照番

50

号を参照されたい。欠陥のある発光ユニットは、基板 10 の表面上の分離層 40 に対してレーザーアブレーションを実行することによって基板 10 から除去される。

【0062】

ステップ009：発光ユニットを欠陥のあった位置に転写し固定する。

【0063】

図15に示されるように、図15のいくつかの番号については、図12bの同じ参照番号を参照されたい。合格になった発光ユニットは、メンテナンスデバイスを使用することによって空白の位置に転写され、加熱またはUV（紫外線、ultraviolet）方式で硬化され、基板10に固定される。

【0064】

ステップ010：修復された発光ユニットの周りのギャップに充填する。

【0065】

図16に示されるように、図16のいくつかの番号については、図12bの同じ参照番号を参照されたい。修復された発光ユニットの周りのギャップの位置は、印刷デバイスを使用することによって充填され、硬化される。

【0066】

ステップ011：発光ユニットと基板の配線層との間の接続を実施するためにワイヤリングを実行する。

【0067】

図17に示されるように、図17のいくつかの番号については、図12bの同じ参照番号を参照されたい。発光ユニットのワイヤリングは、連続性を実施するために、CVD（Chemical Vapor Deposition、化学気相蒸着）または銀ペースト印刷溶剤を使用することによって、配線層50のワイヤリングに接続される。

【0068】

画素ユニットおよび駆動チップが積層されるとき、駆動チップと画素ユニットとは、異なる層に位置することがあり、より多くの駆動チップが、基板上に配列されることがあり、より多くの画素ユニットが、駆動チップ上に配列されることもあることが上述の説明から分かる。積層構造体全体は、画素ユニットの層全体を形成することがあり、駆動チップは、画素ユニットの配列領域を占有せず、それによって、配列された画素ユニットの数量を増加させ、表示スクリーンの表示効果をさらに向上させる。加えて、作製中に分離層を使用することによって、積層構造体内の発光ユニットが交換され、それによって、使用中の積層構造体の信頼性を向上させることがある。

【0069】

サブ画素が駆動チップ20内に直接配置されるとき、サブ画素は、単一の行に配列されることがあるか、または、2つの行に配列されることがある。図18に示されるように、各駆動チップ20は、2行のサブ画素31を担持するが、第1の表面上の各サブ画素の垂直突起部は、第1の表面上の駆動チップの垂直突起部内に位置する。第1の表面は、基板の表面であって、配線層に面する表面である。

【0070】

図19は、本出願の実施形態による別の積層構造体の例を示す。図19のいくつかの参照番号については、図3の同じ参照番号を参照されたい。この積層構造体は、サブ画素31を配置するための位置が変更されたという点において、図3に示される積層構造体とは異なる。図19に示される積層構造体は、第1のパッケージング層90を含む。基板10上の各駆動チップ20は、1つの第1のパッケージング層90に対応する。各第1のパッケージング層90は、対応する駆動チップ20をパッケージし、各駆動チップ20に対応する複数のサブ画素31は、第1のパッケージング層90上に配置される。

【0071】

任意選択の解決法では、第1の表面上の複数のサブ画素31の垂直突起部は、第1の表面上の駆動チップ20の垂直突起部内に位置する。第1の表面は、基板10の表面であって、配線層50に面する表面である。

10

20

30

40

50

【 0 0 7 2 】

図 1 9 に示される第 1 のパッケージング層 9 0 は、直方体形状の矩形構造を使用する。サブ画素 3 1 が第 1 のパッケージング層 9 0 上に配置されるとき、サブ画素 3 1 が駆動チップ 2 0 上に直接配置される、図 3 に示される方式と比較して、図 1 9 に示されるサブ画素 3 1 を配置する方式は、各駆動チップ 2 0 によって担持されるサブ画素 3 1 の数量を増加させる。2 つの積層構造体間の差を容易に理解するために、図 2 および図 2 0 を参照されたい。図 2 0 は、駆動チップが複数の画素ユニット 3 0 を担持する例示的な上面図である。図 2 では、駆動チップ 2 0 のサイズの影響の下で、単一の行に配列された画素ユニット 3 0 のみが、駆動チップ 2 0 上に配置されることが可能である。図 2 0 に示される構造では、第 1 のパッケージング層 9 0 が画素ユニット 3 0 を配置するための領域を拡張するので、駆動チップ 2 0 は、複数の画素ユニット 3 0 に対応することがあり、複数の画素ユニット 3 0 は、2 つの行に配列され、それによって、駆動チップ 2 0 に対応する画素ユニット 3 0 の数量を増加させる。図 2 0 に示されるように、1 つの駆動チップ 2 0 が 4 つの画素ユニット 3 0 を制御することを確実にするために、4 つの画素ユニット 3 0 は、駆動チップ 2 0 の 4 つの角に分散され、ワイヤリングを介して駆動チップ 2 0 に接続される。これは、配置される駆動チップ 2 0 の数量を低減し、表示スクリーン内の画素ユニット 3 0 の数量を増加させ、表示スクリーンの表示効果を向上させることができる。

10

【 0 0 7 3 】

図 2 0 では、各駆動チップ 2 0 内に、3 行の接続ポート 2 4、2 5、および 2 6 が配置される。中間の行の接続ポート 2 5 は、結合ポストに接続され、両側の 2 つの行の接続ポート 2 4 および 2 6 は、画素ユニット 3 0 内のサブ画素 3 1 に別々に接続される。電気的接続の実施中に、中間の結合ポストは、配線層 5 0 の I O パッド 5 4 に接続され、各サブ画素 3 1 は、配線層 5 0 の G N D パッド 5 3 に接続される。図 2 0 では、各駆動チップ 2 0 のサブ画素 3 1 は、並列に接続され、次いで、配線層 5 0 に接続される。しかしながら、図 2 0 は、特定の例のみを示しており、代替として、別の接続方式が使用されてよい。例えば、各駆動チップ 2 0 のサブ画素 3 1 は、配線層 5 0 に別々に接続される。この場合、異なる色のサブ画素 3 1 が、発光するのを別々に制御されることがある。加えて、前述のことは、サブ画素 3 1 と配線層 5 0 との間の具体的な接続方式の単なる例について説明していることを理解されたい。本出願のこの実施形態において提供される積層構造体は、代替として、別の接続方式で配線層 5 0 によるサブ画素 3 1 の制御を実施することがあり、それは本出願において具体的には限定されない。

20

30

【 0 0 7 4 】

図 1 9 に示される積層構造体を作製するための方法については、図 3 に示される積層構造体を作製するための方法を参照されたい。唯一の差は、第 1 のパッケージング層 9 0 を作製するプロセスが追加されていることにある。駆動チップ 2 0 が作製された後、駆動チップ 2 0 は、P L N 印刷プロセスを使用することによってパッケージングされることがあり、フォトリソグラフィプロセスを使用することによって、駆動チップ 2 0 の I O パッドおよび P パッドが露出される。P L N 材料は、透明の材料であっても、不透明の材料であってもよい。透明の材料が使用されるとき、第 1 のパッケージング層 9 0 の材料は、第 2 のパッケージング層の材料と同じ材料、例えば、C O F 材料であり得るか、または透明のフォトレジスト材料もしくは別の透明のエポキシ樹脂材料であり得る。サブ画素 3 1 が作製されるとき、サブ画素 3 1 は、第 1 のパッケージング層 9 0 上に作製され、サブ画素 3 1 は、ワイヤリングによって駆動チップ 2 0 に接続される。

40

【 0 0 7 5 】

本出願のこの実施形態において提供される積層構造体では、発光ユニットのサブ画素が駆動チップ 2 0 の上方に積層され、2 つの層内に置かれることが前述の説明から分かる。表示スクリーン内の限られたスペースについて、3 色、R、G、および B の画素（発光ユニット）のサイズが、最小で $30 \times 30 \mu\text{m}$ にされ得る。従来の非積層の置き方と比較して、3 色、R、G、および B の画素は、 $50 \times 50 \mu\text{m}$ の最小サイズを有する。加えて、分離層は、レーザーまたは化学的腐食方式で反応し得、損傷された画素モジュールは剥離

50

される。GNDおよびI/Oパッド回路は、損傷された画素モジュールが完全な画素モジュールと交換されるように、便利に維持され得る。

【0076】

表示スクリーンでは、高いppi (Pixels Per Inch、1インチ(2.54 cm)当たりの画素数)の配列条件の下で、より小さいサイズのサブ画素が選択される必要がある。それに応じて、フリップチップ(flip chip)型のサブ画素の2つのパッド(N極およびP極)の間の間隔が、さらに低減される。この場合、パッドのサイドオーバーフローにより、ボンディングが、短絡回路を容易に発生させる。この解決法では、垂直のサブ画素が使用され、ボンディングが2つの極(N極およびP極)に対して別々に実行され、その結果、前述の場合が回避される。加えて、本出願のこの実施形態では、垂直のサブ画素が使用される。垂直のサブ画素の発光面積が一定である(フリップチップ型のサブ画素の発光面積が、サブ画素の総面積の約50%のみを占め、垂直のサブ画素の発光面積が、サブ画素の総面積の約100%を占める)ことが確実にされるとき、垂直のサブ画素は、構成要素の面積を低減する。したがって、同じppiおよび輝度の下で、サブ画素は、より小さい面積を占める。この特性を使用することは、ppi限界を最大化し得る。ppi限界に達していないとき、透明の表示が実施され得るか、または別の小型構成要素が統合され得る。

10

【0077】

本出願の実施形態は、表示スクリーンをさらに提供する。表示スクリーンは、ハウジングと、ハウジングの内部に配置され、前述の解決法のいずれか1つにおいて説明された積層構造体とを含む。画素ユニットおよび駆動チップが積層されるとき、駆動チップと画素ユニットとは、異なる層に位置することがあり、より多くの駆動チップが基板上に配列されることがあり、より多くの画素ユニットが駆動チップ上に配列されることもあることが、上述の説明から分かる。積層構造体全体は、画素ユニットの層全体を形成することがあり、駆動チップは、画素ユニットの配列領域を占有せず、それによって、配列された画素ユニットの数量を増加させ、表示スクリーンの表示効果をさらに向上させる。

20

【0078】

本出願の実施形態は、表示装置をさらに提供する。表示装置は、本体と、本体の内部に配置され、前述の解決法のいずれか1つにおいて説明された積層構造体とを含む。画素ユニットおよび駆動チップが積層されるとき、駆動チップと画素ユニットとは、異なる層に位置することがあり、より多くの駆動チップが基板上に配列されることがあり、より多くの画素ユニットが駆動チップ上に配列されることもあることが、上述の説明から分かる。積層構造体全体は、画素ユニットの層全体を形成することがあり、駆動チップは、画素ユニットの配列領域を占有せず、それによって、配列された画素ユニットの数量を増加させ、表示スクリーンの表示効果をさらに向上させる。

30

【0079】

前述の説明は、本出願の特定の実装にすぎず、本出願の保護範囲を限定することを意図するものではない。本出願において開示された技術的範囲内で当業者によって容易に考え出される任意の変形形態または交換は、本出願の保護範囲に入るものとする。したがって、本出願の保護範囲は、特許請求の範囲の保護範囲に従うものとする。

40

【図面】

【図 1】

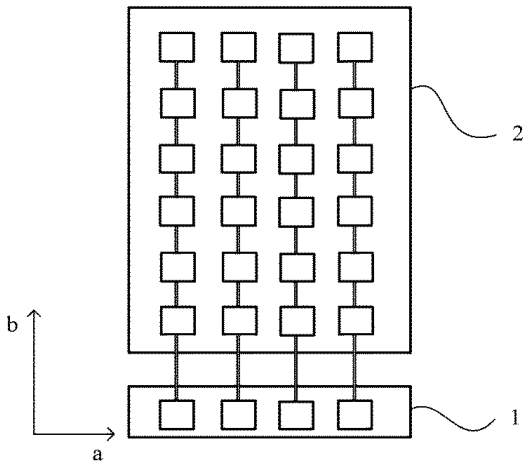


FIG. 1

【図 2】

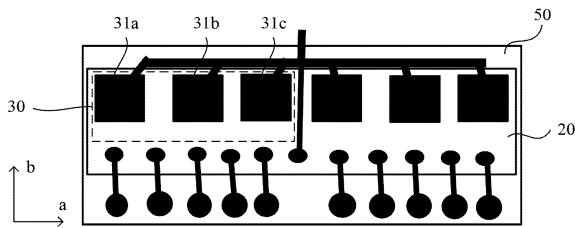


FIG. 2

10

20

【図 3】

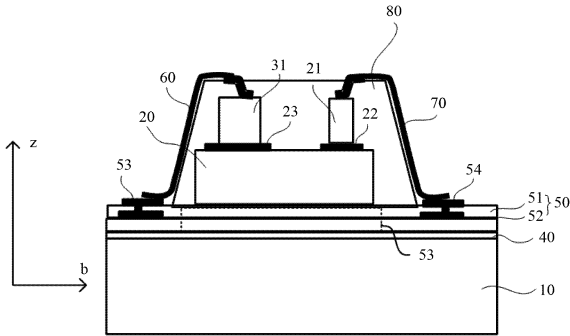


FIG. 3

【図 4】

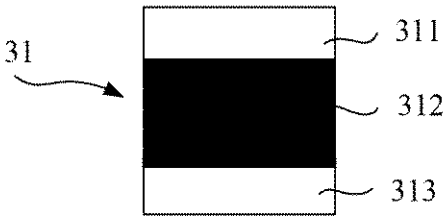


FIG. 4

30

40

50

【図 5】

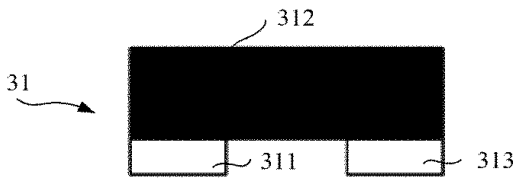


FIG. 5

【図 6】

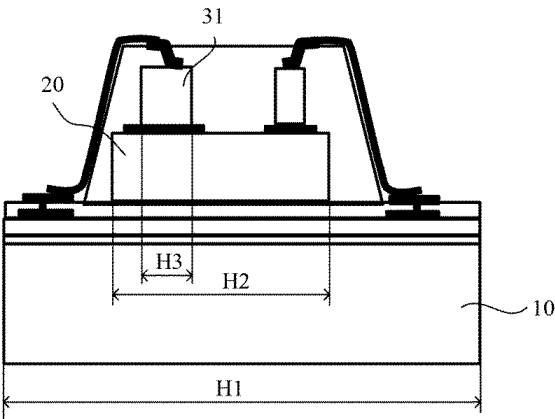


FIG. 6

【図 7】

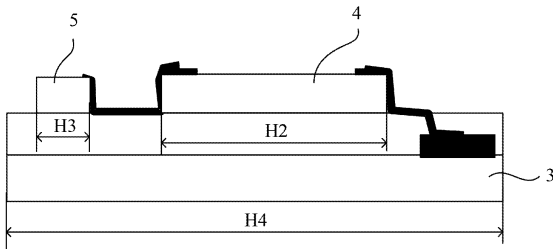


FIG. 7

【図 8 a】

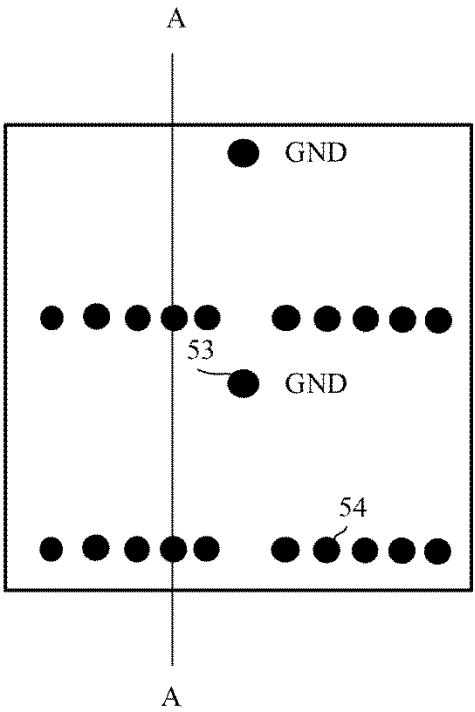


FIG. 8a

10

20

30

40

50

【図 8 b】

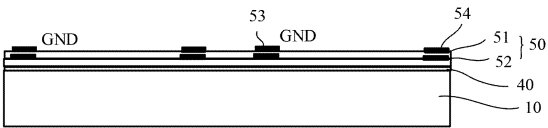


FIG. 8b

【図 9 a】

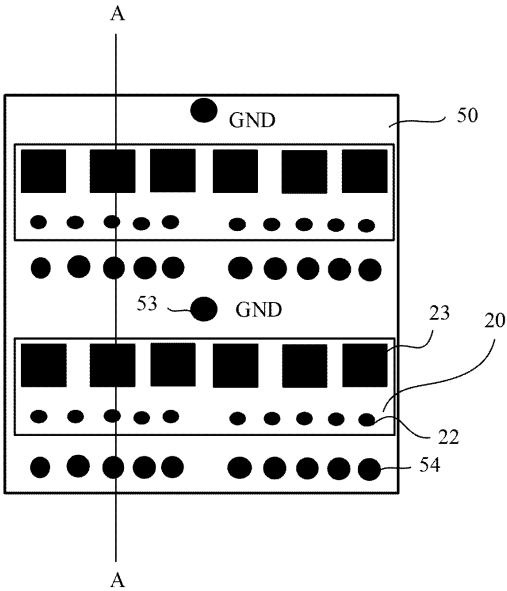


FIG. 9a

【図 9 b】

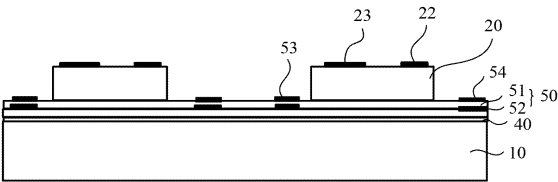


FIG. 9b

【図 10 a】

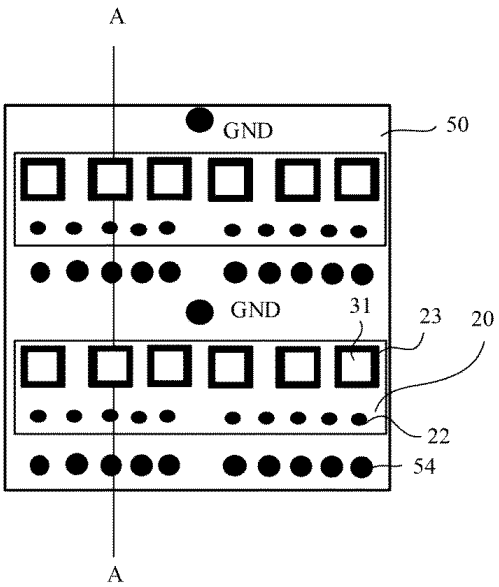


FIG. 10a

10

20

30

40

50

【図 1 2 b】

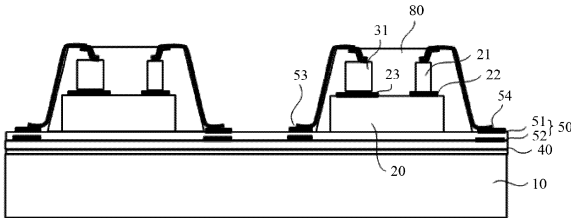


FIG. 12b

【図 1 3】

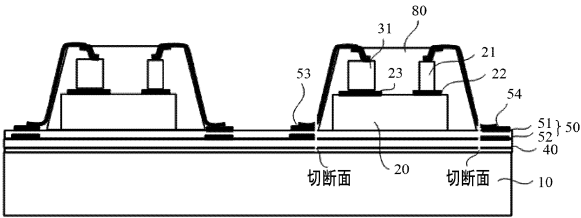


FIG. 13

10

【図 1 4】

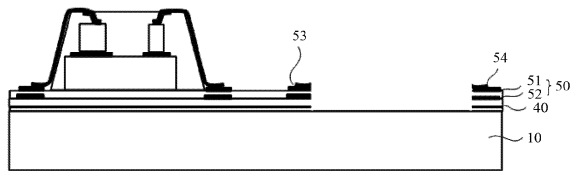


FIG. 14

【図 1 5】

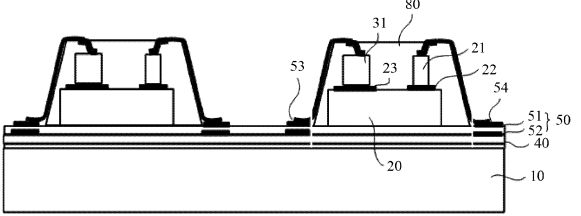


FIG. 15

20

【図 1 6】

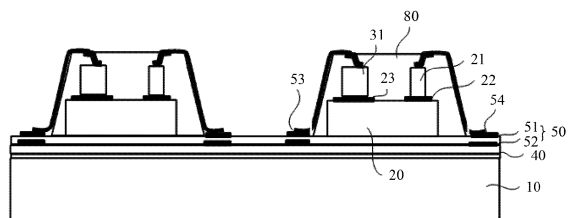


FIG. 16

【図 1 7】

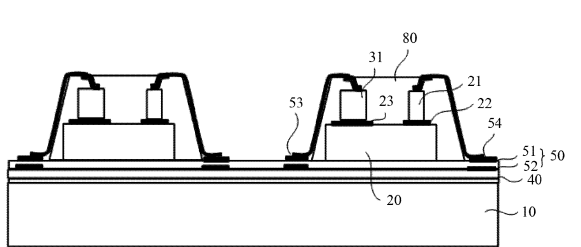


FIG. 17

30

40

50

【図 18】

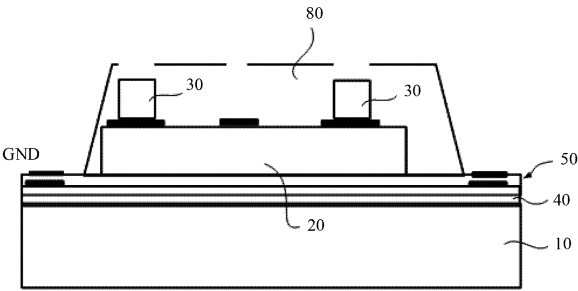


FIG. 18

【図 19】

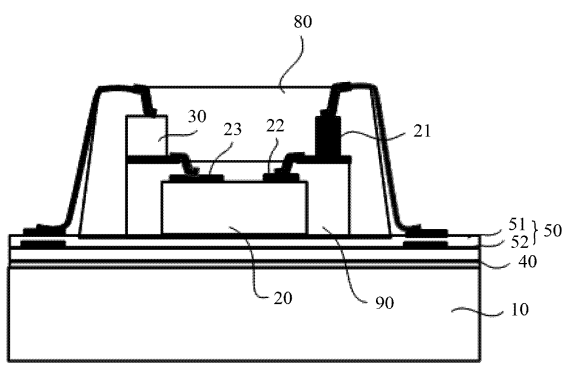


FIG. 19

【図 20】

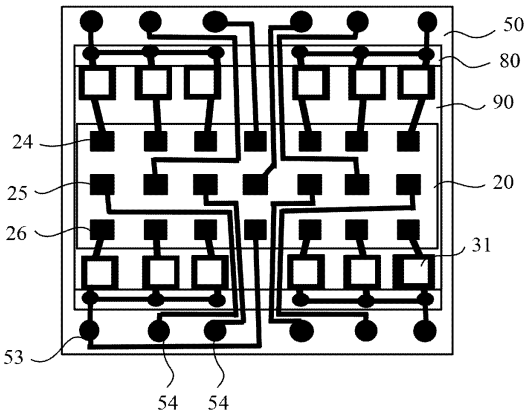


FIG. 20

10

20

30

40

50

フロントページの続き

- (74)代理人 100115635
弁理士 窪田 郁大
- (72)発明者 何 大▲鵬▼
中華人民共和国 5 1 8 1 2 9 広東省深▲チェン▼市龍岗区坂田 華為総部▲ベン▼公楼
- (72)発明者 黄 文▲進▼
中華人民共和国 5 1 8 1 2 9 広東省深▲チェン▼市龍岗区坂田 華為総部▲ベン▼公楼
- 審査官 小野 博之
- (56)参考文献 特開 2 0 1 0 - 2 3 2 5 7 7 (J P , A)
特開 2 0 1 2 - 0 6 0 1 3 3 (J P , A)
特開 2 0 1 2 - 2 2 7 5 1 4 (J P , A)
米国特許出願公開第 2 0 1 8 / 0 2 6 1 1 4 9 (U S , A 1)
米国特許出願公開第 2 0 1 9 / 0 0 9 6 8 6 4 (U S , A 1)
米国特許出願公開第 2 0 2 0 / 0 0 3 5 6 5 7 (U S , A 1)
中国特許出願公開第 1 1 0 4 1 6 1 7 1 (C N , A)
中国特許出願公開第 1 0 3 5 4 5 3 0 4 (C N , A)
中国特許出願公開第 1 1 0 6 0 0 4 6 3 (C N , A)
- (58)調査した分野 (Int.Cl. , D B 名)
G 0 9 F 9 / 0 0 - 9 / 4 6
H 0 1 L 3 3 / 0 0 - 3 3 / 6 4