

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-174704

(P2012-174704A)

(43) 公開日 平成24年9月10日(2012.9.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 7 F	
HO 1 L 27/04 (2006.01)	HO 1 L 29/78 6 5 2 H	
HO 1 L 21/76 (2006.01)	HO 1 L 29/78 6 5 2 R	
	HO 1 L 29/78 6 5 2 S	

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願2011-31836 (P2011-31836)
 (22) 出願日 平成23年2月17日 (2011.2.17)

(71) 出願人 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 100150441
 弁理士 松本 洋一
 (72) 発明者 田村 隆博
 東京都品川区大崎一丁目11番2号 富士
 電機システムズ株式会社内
 (72) 発明者 大西 泰彦
 東京都品川区大崎一丁目11番2号 富士
 電機システムズ株式会社内

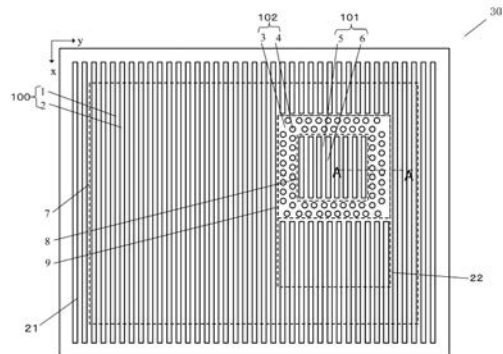
(54) 【発明の名称】 超接合半導体素子

(57) 【要約】

【課題】電流検出用センス素子領域を備える超接合半導体素子において、主素子領域とセンス素子領域とを電氣的に分離しても耐圧の低下を抑えることができること。

【解決手段】n型基板の一方の主面の垂直に長い形状の複数のn型領域1とp型領域2が、前記主面方向に平行に交互に隣接配置してなる並列pn層100を共通のドリフト層として備え、前記一方の主面に、主ゲート電極14と主ソース電極16aを有する主素子領域7と、センスゲート電極14とセンスソース電極16bを有するセンス素子領域8とを備え、他方の主面に共通のドレイン電極を備え、前記一方の主面の主素子領域7とセンス素子領域8の間に分離領域9を有し、該分離領域9が、n型領域3中に前記並列pn層に平行および直交する方向で電氣的にフローティング状態に配設される複数のp型領域4を備える超接合半導体素子30とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 導電型半導体基板の一方の主面の垂直方向に長い形状の複数の第 1 導電型領域と第 2 導電型領域が、前記主面に平行な方向に交互に隣接配置してなる並列 p n 層を共通のドリフト層として備え、前記一方の主面に、主ゲート電極と主ソース電極を有する主素子セルを含む主素子領域と、センスゲート電極とセンスソース電極を有するセンスセルを含むセンス素子領域とを備え、他方の主面に共通のドレイン電極を備える超接合半導体素子において、前記半導体基板の一方の主面の主素子領域とセンス素子領域の間に分離領域を有し、該分離領域が、第 1 導電型領域中に前記並列 p n 層に平行および直交する方向で電氣的にフローティング状態に配設される複数の第 2 導電型領域を備えることを特徴とする超接合半導体素子。

10

【請求項 2】

前記主素子領域と前記センス素子領域に形成される並列 p n 層がストライプ状平面パターンを備えることを特徴とする請求項 1 に記載の超接合半導体素子。

【請求項 3】

前記第並列 p n 層が、主素子領域とセンス素子領域との間の分離領域内では第 1 導電型領域内に第 2 導電型領域が格子状平面パターンで配設される構成を有することを特徴とする請求項 1 または請求項 2 に記載の超接合半導体素子。

【請求項 4】

前記分離領域における並列 p n 層の繰り返しピッチが、主素子領域とセンス素子領域における並列 p n 層の繰り返しピッチより狭いことを特徴とする請求項 1 乃至 3 のいずれか一項に記載の超接合半導体素子。

20

【請求項 5】

前記センス素子領域が、前記分離領域を介して前記主素子領域に囲まれていることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の超接合半導体素子。

【請求項 6】

前記分離領域の表面上の酸化膜の厚さが、前記ゲート電極直下のゲート酸化膜より厚いことを特徴とする請求項 1 乃至 5 のいずれか一項に記載の超接合半導体素子。

【請求項 7】

前記分離領域内の第 1 導電型領域と第 2 導電型領域の主面間方向の厚さが、主素子領域の並列 p n 層の主面間方向の厚さより厚いことを特徴とする請求項 1 乃至 6 のいずれか一項に記載の超接合半導体素子。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、MOSFET（絶縁ゲート型電界効果トランジスタ）、IGBT（絶縁ゲート型バイポーラトランジスタ）、バイポーラトランジスタ等に適用可能な高耐圧且つ大電流容量の超接合半導体素子に関する。

【背景技術】

【0002】

パワー用縦型半導体素子において、不純物濃度をそれぞれ高めた複数の n 型領域と p 型領域を、主面に垂直方向に長いと共に幅が狭い形状にするとともに、主面に平行な方向には交互に隣接配置させてなる並列 p n 層のドリフト層を有する半導体デバイスが知られている。この並列 p n 層のドリフト層を有する半導体デバイスを、以降、超接合半導体素子と称することにする。この超接合半導体素子は、オフ状態では、前述の並列 p n 層内で、主面に垂直方向に配向し、主面に平行方向には相互に平行に並ぶ複数の p n 接合から空乏層がその両側の n 型領域と p 型領域内へ主面に平行方向にそれぞれ伸張し、速やかにドリフト層全体を空乏化する構成にされているため、高耐圧化と低オン抵抗化を同時に図ることができる。

40

【0003】

50

一方、パワー半導体素子では、一般に短絡等の発生時に素子に過電流が流れると、破壊を起こす可能性があるため、素子と別に電流検出部を設けることにより素子に流れる過電流を前もって検出し、この過電流信号を基にゲート制御により電流を制御して素子の破壊を防止する方法が多く採用されている。この素子破壊防止方法では、主素子に並列に接続した別個の副素子に電流検出抵抗を直列接続し、過電流が流れたときに電流検出抵抗両端に発生する電位差を検知する電流検出方法が一般的である。

【0004】

このような電流検出方法を超接合半導体素子に適用したものが既に発表されている（特許文献1）。この特許文献1の記載によれば、図3の超接合半導体素子の並列pn層の平面パターンを示す平面図のように、電流検出部となる電流検出セル領域（センス素子領域8）を主素子領域7と同一チップ内に形成して一体化することにより、部品の簡素化・小型化を図ることを特徴としている。図3の符号に関し、未説明符号を以下説明する。1は主素子領域内のn領域、2は主素子領域内のp領域、3は分離領域内のn領域、4は分離領域内のp領域、5はセンス素子領域内のn領域、6はセンス素子領域内のp領域、9は分離領域である。

10

【0005】

また、絶縁ゲートトランジスタが半導体基板に複数のセルの集合体として形成されてなる半導体装置であって、メインセルとセンスセルの、各ゲート端子および各ソース端子がそれぞれ共通接続され、センスセルのドレインが電流検出抵抗を介してメインセルのドレインと共通接続される半導体装置がメインセルに流れる電流を精度良く検出することが知られている（特許文献2）。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2006-351985号公報

【特許文献2】特開2009-152506号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、前記特許文献1の記載のように、図3のように、ドリフト層を構成する並列pn層100を、主素子領域とセンス素子領域とで共通するストライプ状の平面パターンで連続的に形成すると、両領域はp型領域2の内部抵抗を介して電氣的に接続されているので、相互に電流が分流することが避けられないため電流検出精度が低下する。従って、主素子領域7とセンス素子領域8とを電氣的に分離する必要があるが、単純に主素子領域7とセンス素子領域8の間でp型領域2を分離切断して切り離すと、その部分で並列pn層100が途切れてしまうため耐圧が低下する問題がある。

30

【0008】

本発明は、以上説明した点に鑑みてなされたものである。本発明の目的は、電流検出用の電流センス素子領域を備える超接合半導体素子において、主素子領域とセンス素子領域とを電氣的に分離しても耐圧の低下を抑えることができる超接合半導体素子を提供することである。

40

【課題を解決するための手段】

【0009】

前記本発明の目的を達成するために、n型半導体基板の一方の主面の垂直方向に長い形状の複数のn型領域とp型領域が、前記主面に平行な方向に交互に隣接配置してなる並列pn層を共通のドリフト層として備え、前記一方の主面に、主ゲート電極と主ソース電極を有する主素子セルを含む主素子領域と、センスゲート電極とセンスソース電極を有するセンスセルを含むセンス素子領域とを備え、他方の主面に共通のドレイン電極を備える超接合半導体素子において、前記半導体基板の一方の主面の主素子領域とセンス素子領域の間に分離領域を有し、該分離領域が、n型領域中に前記並列pn層に平行および直交する方

50

向で電氣的にフローティング状態に配設される複数のp型領域を備える超接合半導体素子とする(請求項1)。前記主素子領域と前記センス素子領域に形成される並列pn層がストライプ状平面パターンを備えることが好ましい(請求項2)。前記並列pn層が、主素子領域とセンス素子領域との間の分離領域内ではn型領域内にp型領域が格子状平面パターンで配設される構成を有することも好ましい(請求項3)。前記分離領域における並列pn層の繰り返しピッチが、主素子領域とセンス素子領域における並列pn層の繰り返しピッチより狭くすることもできる(請求項4)。前記センス素子領域が、前記分離領域を介して前記主素子領域に囲まれている構成の超接合半導体素子とすることが望ましい(請求項5)。前記分離領域の表面上の酸化膜の厚さが、前記ゲート電極直下のゲート酸化膜より厚くすることがより好ましい(請求項6)。前記分離領域内のn型領域とp型領域の主面間方向の厚さが、主素子領域の並列pn層の主面間方向の厚さより厚い超接合半導体素子とすることがより望ましい(請求項7)。

10

【発明の効果】

【0010】

本発明によれば、電流検出用の電流センス素子領域を備える超接合半導体素子において、主素子領域とセンス素子領域とを電氣的に分離しても耐圧の低下を抑えることができる超接合半導体素子を提供することができる。

【図面の簡単な説明】

【0011】

【図1】本発明の実施例1にかかる超接合MOSFETの並列pn層の平面パターンを示す平面図である。

20

【図1-1】前記図1のA-A線断面図である。

【図2】本発明の実施例2にかかる超接合MOSFETの並列pn層の平面パターンを示す平面図である。

【図3】従来の超接合MOSFETの並列pn層の平面パターンを示す平面図である。

【図3-1】前記図3のB-B線断面図である。

【図4】本発明の実施例3にかかる超接合MOSFETの並列pn層の平面パターンを示す平面図である。

【図5】前記図4のC-C線断面図である。

【図6】本発明の実施例4にかかる超接合MOSFETの並列pn層の平面パターンを示す平面図である。

30

【図7】前記図4のD-D線断面図である。

【図8】本発明の超接合半導体素子に接続して過電流を検出して素子の破壊を防止する過電流保護回路を含む等価回路図である。

【発明を実施するための形態】

【0012】

以下、本発明の超接合半導体素子にかかる実施例について、図面を参照して詳細に説明する。本発明はその要旨を超えない限り、以下に説明する実施例の記載に限定されるものではない。

【実施例1】

40

【0013】

超接合半導体素子を破壊する程度の過電流が流れた場合に、超接合半導体素子に流れる過電流を検出して主素子のゲート信号にフィードバックし、主素子に流れる電流を制御することにより主素子の破壊を防ぐ方法が多く採用されている。たとえば、図8は本発明にかかる主素子31とセンス素子32を有する超接合半導体素子30に過電流保護回路36を接続させた等価回路である。この図8に示す等価回路によれば、本発明の超接合半導体素子30のドレインから過電流が流れた場合、センス素子32のソース側に接続された過電流検出用抵抗33の両端の電位差として検知された電圧 V_s は、接続されている V_G 制御用素子35のゲート入力電圧 V_s となる。この過電流の検出により生じたゲート入力電圧 V_s が V_G 制御用素子35に入力されると、制御用素子35のしきい値電圧以上で導通

50

する。その結果、主素子 31 に入力されるゲート電圧 V_G が V_G 制御用素子 35 の導通により短絡され低下し、主素子 31 の電流を低下させるので、過電流による超接合半導体素子 30 の破壊を防止することができる。34 はゲート - ソース間の過電圧保護用のツェナーダイオードである。図 8 では主素子 31 とセンス素子 32 のゲート V_G は共通に接続されているが、図 8 の主素子とセンス素子のゲートを別個に独立させてもよい。この場合、図 8 の V_G は主素子のゲートになる。

【0014】

図 1、図 1 - 1 に、本発明の超接合半導体素子 30 にかかる実施例 1 として、縦型超接合 MOSFET の平面図および図 1 の A - A 断面図を示す。図 1 では、判り易くするために縦型超接合 MOSFET の半導体基板の表面上に通常備えている絶縁膜や金属電極膜を省略し、基板表面に表れる並列 pn 層 100、101、102 の平面パターンを示している。この並列 pn 層 100、101、102 は、破線で示す主素子領域 7 内の並列 pn 層 100 および破線で示すセンス素子領域 8 内の並列 pn 層 101 ではいずれもストライプ状の平面パターン形状が採用されている。並列 pn 層 100 の p 型領域 2 と並列 pn 層 101 の p 型領域 6 は、センス素子領域 8 の近辺では、主素子領域 7 とセンス素子領域 8 とを分離する分離領域 9 により連続せず分断された構造となっている。センス素子領域 8 は分離領域 9 によって四方を取り囲まれる配置を有する。分離領域 9 内では、n 型領域 3 内に p 型領域 4 が格子状の平面パターンで配置される構成となっている。主素子領域 7 が前記図 8 に示す超接合半導体素子 30 の主素子 31 に、同じくセンス素子領域 8 がセンス素子 32 にそれぞれ相当する。

10

20

【0015】

図 1 では省略されているが、ゲート電極 14 およびドレイン電極 20 は主素子領域 7 とセンス素子領域 8 とでそれぞれ共用であり、それぞれ個別に複数のセル同士が電氣的に接続された一体の電極膜で形成される。主素子領域 7 のソース電極 16a およびセンス素子領域 8 のセンスソース電極 16b は、それぞれの領域の表面の電極膜として別個に形成され、電氣的には分離されている。ソース電極をそれぞれの領域に別個に設けることで電流経路を分離し、センスソース側に外部接続された抵抗 33 によりその電位差を検出して過電流の検出を行っている。

【0016】

ここで、並列 pn 層の p 型領域 1、3 が主素子領域 7 とセンス素子領域 8 で分断されていなかった従来の構造について、前記図 3 の超接合半導体素子の並列 pn 層の平面パターンを示す平面図および図 3 - 1 の断面図を用いて説明する。図 3 に示すように、ストライプ状の平面パターンの長手方向（図中 x 方向）と直交する方向（図中 y 方向）では、n 型領域 1 と p 型領域 2 とはドリフト層中では電氣的に分離されているので、図 3 - 1 に示すように、分離領域 9 内の p ベース領域 10 中に設けられる n ソース領域 12 を省略することにより、主素子領域 7 とセンス素子領域 8 を分離することは容易にできる。しかし、ストライプの長手方向（図中 x 方向）と平行な方向（図中 x 方向）では、図 3、図 3 - 1 に示すように、p 型領域 2、4、6 が主素子領域 7 と分離領域 9 とセンス素子領域 8 との間で連続しており、主素子領域 7 とセンス素子領域 8 を電氣的に完全に分離することは困難である。つまり、主素子領域 7 の p ベース領域 10a はセンス素子領域のセンス p ベース領域 10b と p 型領域 2、4、6 内の電流経路に沿って発生する内部抵抗を介して接続されることになる。前記特許文献 1 の記載のように、この内部抵抗を過電流検出抵抗とすると、過電流検出の高精度化に問題が生じることがある。これを回避するため単純に p 型領域 2、4、6 を分断して、たとえば、分離領域 9 中のみの p 型領域 4 を削除すると、主素子領域 7 とセンス素子領域 8 の間で空乏層が拡がりづらくなり、耐圧の低下を招くことになる。

30

40

【0017】

そこで、図 1 のように主素子領域 7 とセンス素子領域 8 の間の分離領域 9 に p 型領域 4 をストライプ状ではなく格子状の平面パターンで配置することで、並列 pn 層のストライプ形状と直交する方向および平行な方向のいずれにおいても、p 型領域 2、6 は格子状の

50

p型領域4で分離されるため、主素子領域7とセンス素子領域8を電氣的に分離することが可能となる。さらに、主素子領域7とセンス素子領域8の間のp型領域を完全に分断するのではなく、格子状平面パターンのp型領域4が配置されることで、主素子領域7とセンス素子領域8と分離領域9のそれぞれの境界でも空乏層を拡げ易くし、耐圧を維持し耐圧低下を招かないようにすることができる。さらに、図1-1に示すように、分離領域9内における並列pn層の主面間の厚さ t_{sj-sep} を主素子領域やセンス素子領域における並列pn層の厚さ $t_{sj-main}$ よりも厚くすることができるため、並列pn層による耐圧も向上するメリットも得られる。なお、主素子領域7の外周側には耐圧構造部21が、破線22で囲まれた領域内にはゲート電極パッドがそれぞれ設けられる。

【0018】

10

以上説明した実施例1によれば、耐圧低下を招くこと無く、センス素子領域のソース電極に接続される過電流保護回路により、超接合半導体素子を過電流から保護することができる。

【実施例2】

【0019】

図2は本発明の実施例2にかかる縦型超接合MOSFETの電極膜を除いた並列pn層を示す平面パターンの平面図である。

実施例2は実施例1の変形例であり、実施例1と異なるのは、分離領域9内の格子状の平面パターンの並列pn層102のピッチを、主素子領域7およびセンス素子領域8での並列pn層100、101のピッチより狭くしていることである。実施例2にかかる縦型超接合MOSFETは並列pn層102のピッチを狭くすることで、空乏層がより拡がりやすく電界が緩和されやすくなるので、高耐圧化が可能となる。

20

【実施例3】

【0020】

図4、図5は、それぞれ本発明の実施例3にかかる縦型超接合MOSFETの並列pn層の平面パターンを示す平面図(図4)と図4のC-C線断面図(図5)である。図4では、判り易くするために、半導体基板の表面上に通常備えている絶縁膜や金属電極膜を省略し、その下側の基板表面の並列pn層100、101、102の平面パターンを示している。

【0021】

30

前記図1と同様に、素子領域の並列pn層は、主素子領域7およびセンス素子領域8のいずれもストライプ状の形状を採用しており、主素子領域7とセンス素子領域8の間の分離領域9にてp型領域2、6が分断された構造となっている。センス素子領域8は分離領域9に四方を取り囲まれた配置にされており、分離領域9では、n型領域3内にp型領域4が格子状の平面パターンで配置されている。

【0022】

図4に示す平面図では実施例1の図1と同様の図面になっているが、実施例3では図5に示すように、ゲート電極14およびドレイン電極20は主素子領域7とセンス素子領域8で共用であり、主素子領域7のソース電極16aおよびセンス素子領域8のセンスソース電極16bは、それぞれ個別に複数のセル同士が電氣的に接続された一体の電極膜で形成される。ソース電極16a、16bをそれぞれの領域に別個に設けることで電流経路を分離し、センス素子領域8のソース側に接続された外部抵抗33(図8に示す)によりその電位差を検知して過電流の検出を行っている。

40

【0023】

主素子領域7、センス素子領域8およびその分離領域9において、それらの表面の酸化膜の厚さが同じであった場合、分離領域9において耐圧の低下が生じ易くなる。その理由は、分離領域9では、他の領域のストライプ状平面パターンと異なり格子状平面パターンの並列pn層を有しており、ストライプ状の並列pn層から格子状の並列pn層へと異なる構造へ遷移するため、耐圧低下防止に欠かせない並列pn層の電荷バランスが崩れやすくなっているからである。そのため、分離領域9における耐圧の低下がない超接合半導体

50

素子を作製するには、厳密な素子設計・正確なプロセス制御が必要となる。

【0024】

そこで、実施例3にかかる本発明では、図5のように分離領域9の表面における酸化膜の厚さ t_{ox1} をその他領域の表面におけるゲート酸化膜の厚さ t_{ox2} より厚くしたのである。このことにより、厚くなった酸化膜により並列pn層の電界緩和が可能であるため、分離領域9で前述のように電荷バランスが崩れた場合でも、低下した耐圧がフィールドプレート効果により酸化膜に分担されて分離領域9での耐圧低下を防止することが可能となるのである。また、分離領域9の表面の酸化膜を厚くすることにより、製造工程上で分離領域9の表面において、pベース領域およびnソース領域を形成することができなくなる。しかし、分離領域9はドレイン/エミッタ電流に寄与しないため、元来これら領域は不要であるから問題ない。図5に示すように、逆に、分離領域内における並列pn層の主面間の厚さ t_{sj-sep} を他領域における並列pn層の厚さ $t_{sj-main}$ よりも厚くすることができるため、並列pn層による耐圧も向上する。

10

【0025】

以上の説明では、ゲート酸化膜厚 t_{ox2} より厚い分離領域酸化膜厚 t_{ox1} を分離領域9の表面に形成することにより、分離領域9にて耐圧が低下することなく、一つの半導体素子中に、電氣的に分離された電流検出用のセンス素子領域を作り込むことができる。

【実施例4】

【0026】

図6、図7は、それぞれ本発明の実施例4にかかる縦型超接合MOSFETの電極膜を除いた並列pn層を示す平面パターンの平面図と図6のD-D線断面図である。前記実施例3の変形例であり、実施例3と異なるのは、分離領域9における格子状の並列pn層101の繰り返しピッチ $W1$ を、主素子領域7およびセンス素子領域8における並列pn層100、102の繰り返しピッチ $W2$ より狭くしていることである。実施例4にかかる縦型超接合MOSFETは分離領域9の並列pn層のピッチを狭くすることで、空乏層が拡がりやすく電界が緩和される。従って、酸化膜の厚さを厚くすること合わせ、実施例4にかかる縦型超接合MOSFETでは、分離領域9内の並列pn層においても電界の緩和が可能となるため、いっそうの高耐圧化が期待できる。

20

【0027】

以上、説明したように、本発明の実施例1、2、3、4にかかる超接合MOSFETによれば、耐圧が低下することなく、一つの半導体素子中に過電流検出用のセンス素子領域を作りこむことができ、過電流保護回路を接続することにより、超接合MOSFETを過電流から保護することができる。また、以上の実施例の説明では、本発明の超接合半導体素子として、超接合MOSFETを用いて説明してきたが、超接合IGBTにも適用することができる。超接合IGBTに本発明を適用する場合は、前述の実施例の説明中のソースをエミッタに、ドレインをコレクタに読み替えるとともに、周知の製法により半導体基板の裏面を研削後、裏面にp型コレクタ層および必要に応じてn型フィールドストップ層を形成する必要がある。

30

【符号の説明】

【0028】

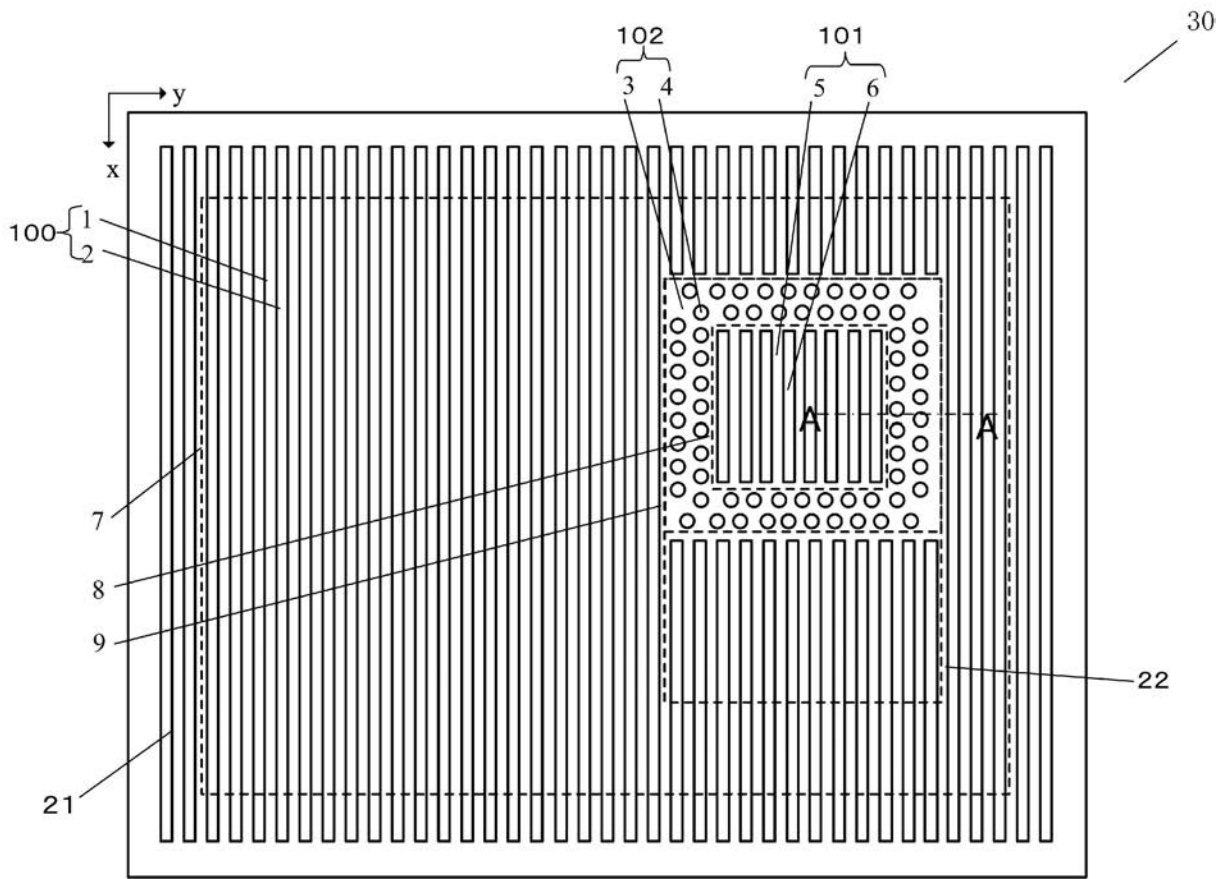
- | | |
|-------|---------|
| 1、3、5 | n型領域 |
| 2、4、6 | p型領域 |
| 7 | 主素子領域 |
| 8 | センス素子領域 |
| 9 | 分離領域 |
| 10 | pベース領域 |
| 12 | nソース領域 |
| 13 | ゲート酸化膜 |
| 14 | ゲート電極 |
| 15 | 層間絶縁膜 |

40

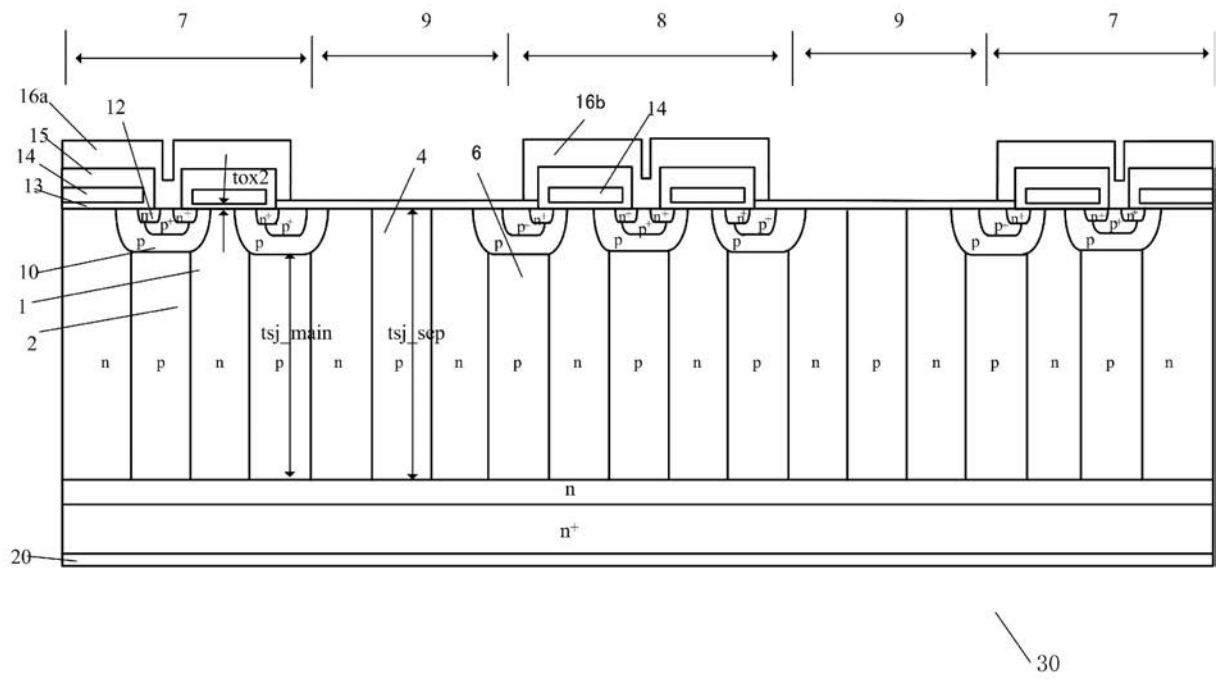
50

- 1 6 a、1 6 b
- 1 7 酸化膜
- 2 0 ドレイン電極
- 3 0 超接合半導体素子
- 3 1 主素子
- 3 2 センス素子
- 3 3 過電流検出用抵抗
- 3 4 ツェナーダイオード
- 3 5 V_G 制御素子
- 3 6 過電流保護回路
- 1 0 0、1 0 1、1 0 2 並列 p n 接合

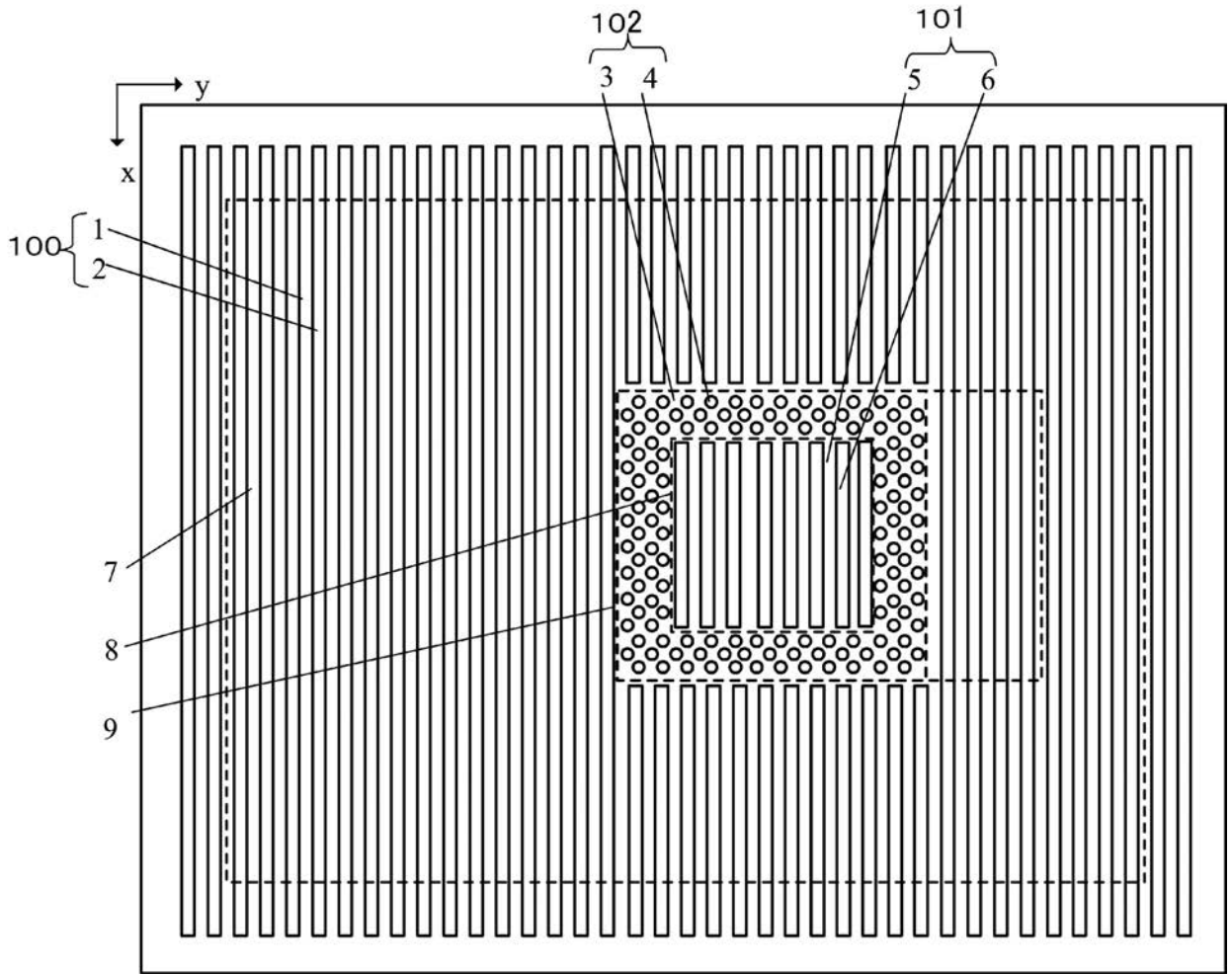
【 図 1 】



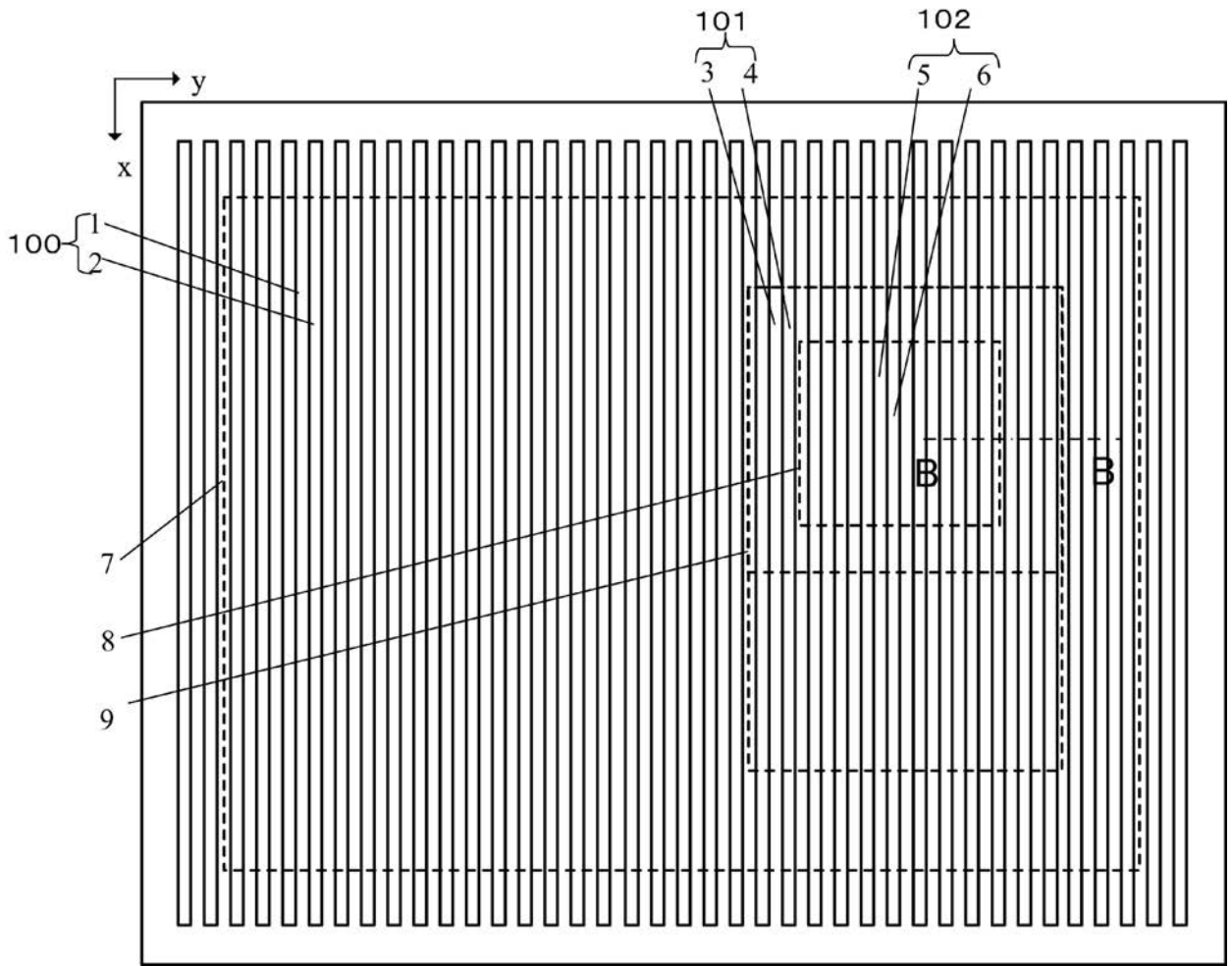
【 図 1 - 1 】



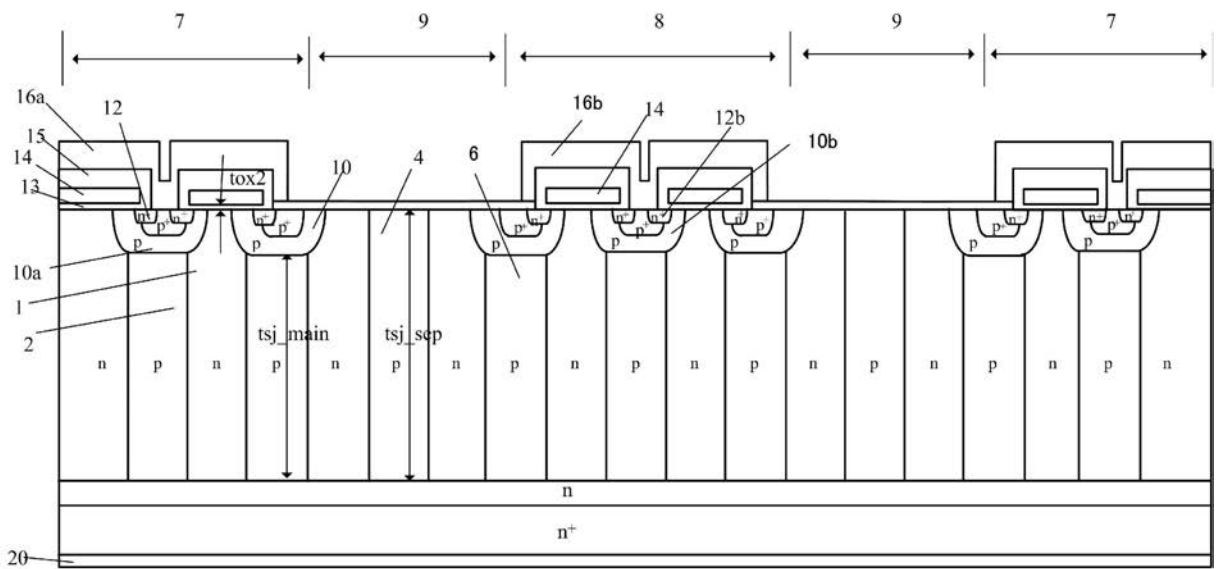
【 図 2 】



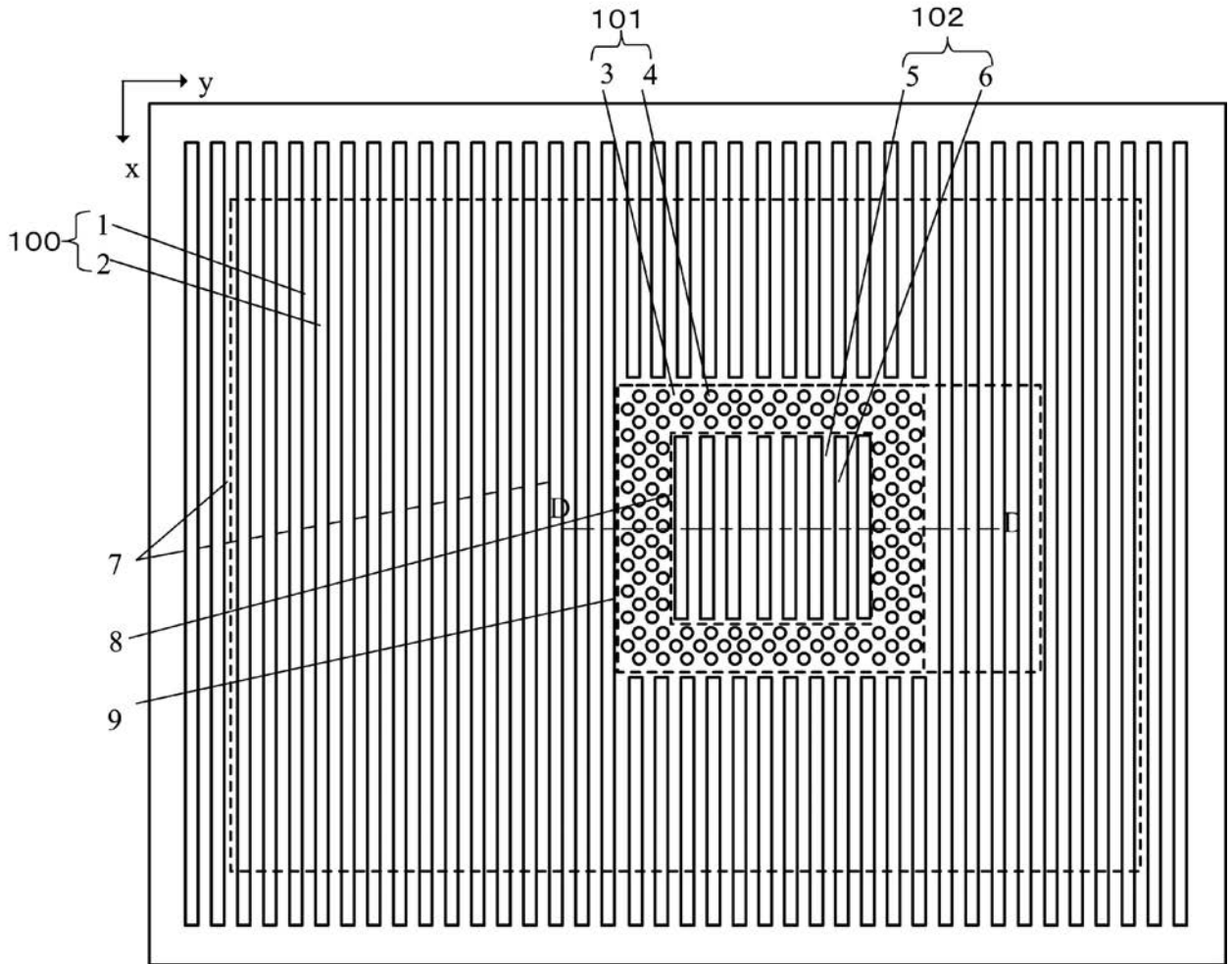
【 図 3 】



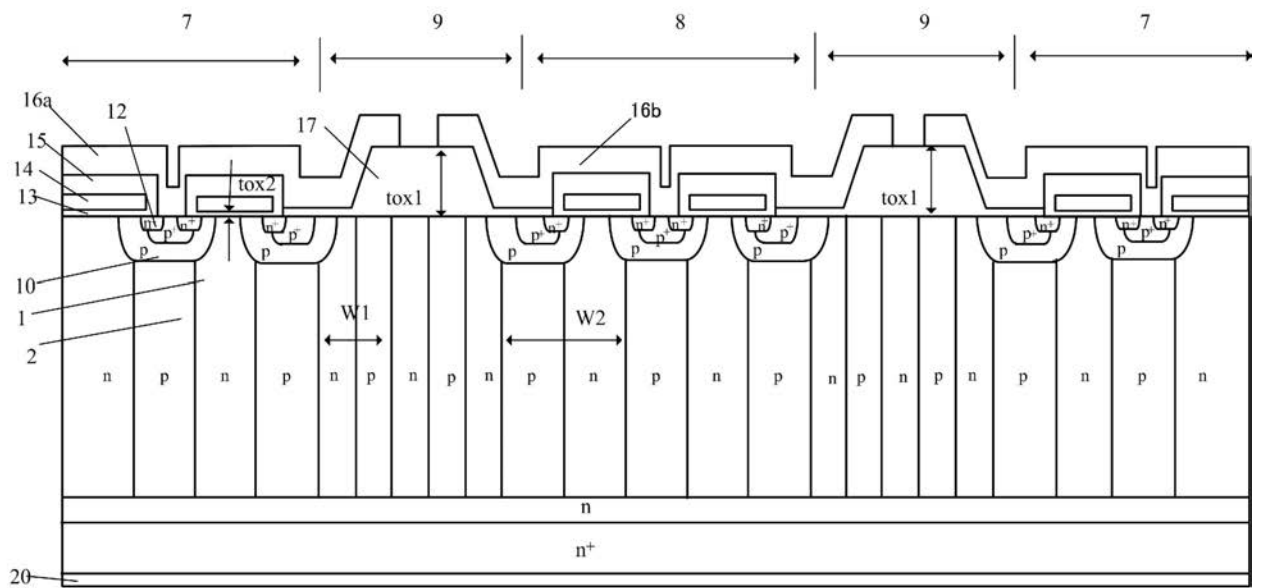
【 図 3 - 1 】



【 図 6 】



【 図 7 】



【 図 8 】

