



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0129965
(43) 공개일자 2009년12월17일

(51) Int. Cl.

B82B 3/00 (2006.01) H01L 21/027 (2006.01)

(21) 출원번호 10-2009-0052411

(22) 출원일자 2009년06월12일

심사청구일자 2009년06월12일

(30) 우선권주장

1020080055633 2008년06월13일 대한민국(KR)

(71) 출원인

서울대학교산학협력단

서울 관악구 신림동 산 56-1

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

홍승훈

서울특별시 송파구 잠실동 아시아선수촌아파트
6-205

이형우

경기도 안양시 동안구 부흥동 은하수벽산아파트
204-1004

남궁선

서울특별시 마포구 상암동 월드컵아파트 206-201

(74) 대리인

특허법인 신성

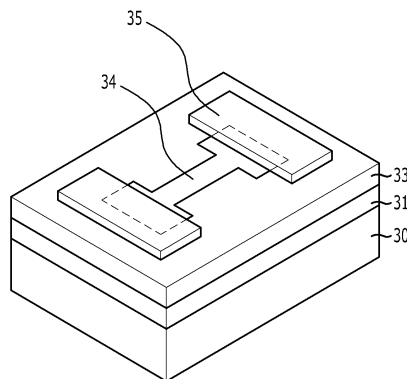
전체 청구항 수 : 총 13 항

(54) 채널막을 포함하는 소자 제조 방법 및 그를 이용하여 제조된 센서 소자

(57) 요약

본 기술은 전기 잡음을 감소시키는 채널막 형성 방법 및 그를 이용하여 제조된 센서 소자에 관한 것이다. 본 기술은 채널막 형성 방법에 있어서, 복수의 나노 구조의 네트워크로 이루어지는 채널막을 포함하는 소자 제조 방법에 있어서, 기판 상에, 전극과 교차하는 영역에서 폭이 증가하는 형상을 갖는 채널막을 형성하는 단계; 및 상기 채널막이 형성된 결과물 상에, 상기 채널막과 교차하는 전극을 형성하는 단계를 포함한다. 본 기술에 따르면, 채널막과 전극의 접촉 면적을 증가시킴으로써, 전기 잡음을 감소시켜 소자의 특성을 향상시킬 수 있다. 특히, 센서 소자의 경우, 채널막과 전극의 접촉 면적 즉, 검지부의 면적을 증가시킴으로써, 센서 소자의 동작을 향상시킬 수 있다.

대표도 - 도3d



이 발명을 지원한 국가연구개발사업

과제고유번호 GR070045

부처명 서울특별시

연구사업명 서울시 산학연 협력사업

연구과제명 안전한 식수확보를 위한 신속 정확한 휴대형 유해물질 검출시스템 개발

주관기관 고려대학교 산학협력단

연구기간 2007년 08월 01일 ~ 2009년 07월 31일

특허청구의 범위

청구항 1

복수의 나노 구조의 네트워크로 이루어지는 채널막을 포함하는 소자 제조 방법에 있어서,
 기관 상에, 전극과 교차하는 영역에서 폭이 증가하는 형상을 갖는 채널막을 형성하는 단계; 및
 상기 채널막이 형성된 결과물 상에, 상기 채널막과 교차하는 전극을 형성하는 단계
 를 포함하는 소자 제조 방법.

청구항 2

제 1 항에 있어서,
 상기 채널막은,
 소정 폭의 라인형을 갖되, 전극과 교차하는 영역에서 폭이 증가하는 형상을 갖는
 소자 제조 방법.

청구항 3

제 1 항에 있어서,
 상기 채널막은,
 소정 폭의 라인형을 갖되, 말단의 폭이 증간된 덤벨 형상인
 소자 제조 방법.

청구항 4

제 1 항에 있어서,
 상기 나노 구조는,
 나노입자, 나노튜브 또는 나노선
 를 포함하는 소자 제조 방법.

청구항 5

제 1 항에 있어서,
 상기 채널막 형성 단계는,
 상기 기관의 채널 영역 외의 영역에 비흡착성 물질막을 형성하는 단계; 및
 상기 비흡착성 물질막이 형성된 기관을 나노 구조 용액에 넣어 상기 채널 영역에 채널막을 형성하는 단계
 를 포함하는 소자 제조 방법.

청구항 6

제 5 항에 있어서,
 상기 비흡착성 물질막 형성 단계는,
 상기 기관의 채널 영역에 포토레지스트 패턴을 형성하는 단계;
 상기 포토레지스트 패턴이 형성된 기관을 소수성 분자를 포함하는 용액에 넣어, 상기 채널 영역 외의 영역에
 소수성 분자막을 형성하는 단계; 및
 상기 포토레지스트 패턴을 제거하는 단계

를 포함하는 소자 제조 방법.

청구항 7

제 1 항에 있어서,

상기 채널막 형성 단계는,

상기 나노 구조 용액에 포함된 복수의 나노 구조가 상기 채널 영역에 흡착되어 상호 네트워크를 형성함으로써, 상기 채널막을 형성하는

소자 제조 방법.

청구항 8

제 1 항에 있어서,

상기 기판은,

표면에 SiO_2 , Al_2O_3 , ZrO_2 또는 HfO_2 로 이루어지는 산화막이 형성된

소자 제조 방법.

청구항 9

복수의 나노 구조의 네트워크로 이루어지는 채널막을 포함하는 센서 소자에 있어서,

전극과 교차하는 영역에서 폭이 증가하는 형상을 갖는 채널막; 및

상기 채널막과 교차하는 전극

을 포함하는 센서 소자.

청구항 10

제 9 항에 있어서,

상기 채널막은,

소정 폭의 라인형을 갖되, 전극과 교차하는 영역에서 폭이 증가하는 형상을 갖는

센서 소자.

청구항 11

제 9 항에 있어서,

상기 채널막은,

소정 폭의 라인형을 갖되, 말단의 폭이 증간된 덩벨 형상인

센서 소자.

청구항 12

제 9 항에 있어서,

상기 나노 구조는,

나노입자, 나노튜브 또는 나노선

를 포함하는 센서 소자.

청구항 13

제 9 항에 있어서,

상기 채널막과 전극의 교차 영역은,
소정 물질을 감지하는 검지부인
센서 소자.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 복수의 나노 구조의 네트워크로 이루어지는 채널막을 포함하는 소자 제조 방법 및 그를 이용하여 제조된 센서 소자에 관한 것으로, 보다 상세히는 전기 잡음을 감소시키는 채널막 형성 방법 및 그를 이용하여 제조된 센서 소자에 관한 것이다.

배경 기술

<2> 나노와이어는 전기적, 광학적, 기계적으로 우수한 특성을 갖기 때문에, 화학, 바이오, 공학 등의 다양한 분야에 적용되어 사용되고 있다. 또한, 탄소나노튜브(carbon nano tube;CNT)는 탄소 6개로 이루어진 육각형들이 서로 연결되어 관 모양을 이루고 있는 신소재로서, 전기전도도, 열전도율, 강도 등의 물리적 특성이 뛰어나 고 집적도의 반도체 소자, 센서 소자 등을 구현함에 있어 최적의 소재로 각광받고 있다.

<3> 종래에는 나노와이어를 이용하여 채널을 형성하는 경우, 전극을 형성한 후 전극 상에 단일 나노와이어를 형성하거나, 단일 나노와이어를 형성한 후 나노와이어 상에 전극을 형성하는 방법을 사용한다.

<4> 그러나, 이와 같은 종래기술에 따르면, 공정 과정이 복잡하고, 복수의 나노와이어들이 동일한 전기적 특성을 갖도록 형성하는 것이 어렵기 때문에 대량생산이 불가능하다는 문제점이 있다. 특히, 탄소나노튜브의 경우, 금속성을 갖는 탄소나노튜브와 반도체성을 갖는 탄소나노튜브가 형성될 확률이 약 1:2이기 때문에, 그 전기적인 특성을 조절하는데 어려움이 있다.

<5> 또한, 단일 나노와이어를 이용하여 채널을 형성하는 경우, 전기 잡음(electrical noise)이 크다는 문제점이 있다.

<6> 따라서, 종래기술은 복수의 나노와이어의 네트워크로 이루어지는 채널막을 형성하는 방안을 제안한다. 이하, 도면을 참조하여, 종래기술에 따른 채널막 형성 방법에 대해 살펴보도록 한다.

<7> 도 1a는 종래기술에 따른 채널막이 형성된 센서 소자의 평면도를 나타낸다.

<8> 도시된 바와 같이, 센서 소자(10)는 기판 상에 형성된 라인형의 채널막(11) 및 채널막(11)과 교차하는 전극(12)을 포함한다.

<9> 센서 소자(10)는 소정 물질을 감지하고 그 농도를 측정하기 위한 것이다. 채널막(11)의 표면에는 반응 물질이 흡착되어 있는데, 반응 물질은 감지하고자하는 소정 물질과 반응시키기 위한 것으로서, 감지하고자하는 소정 물질의 종류에 따라 각각 다른 반응 물질을 사용하게 된다.

<10> 따라서, 센서 소자(10)는 시료 내에 포함된 소정 물질과 반응 물질의 반응에 따라 채널막(11)의 컨덕턴스(conductance)가 변화되며, 그에 따라, 채널막(11)에 흐르는 전류의 양이 달라진다.

<11> 이를 이용하여, 센서 소자(10)는 채널막(11)과 전극(12)의 교차영역 즉, 채널막(11)과 전극(12)이 맞닿은 검지부에서 채널막(11)에 흐르는 전류의 양을 검지함으로써, 시료 내에 포함된 소정 물질의 농도를 측정할 수 있다.

<12> 그러나, 전술한 바와 같은 종래기술에 따르면, 검지부는 도체인 전극(12)과 반도체인 채널막(11)이 접촉하기 때문에, 쇼트키 장벽(shottky barrier)에 의해 저주파 노이즈가 발생한다. 즉, 전기 잡음(electrical noise)이 발생하게 된다.

<13> 특히, 종래기술에 따른 센서 소자(10)는 라인형의 채널막(11)을 포함하기 때문에, 검지부의 면적이 좁아 전기 잡음이 크다는 문제점이 있다.

<14> 물론, 복수의 나노와이어의 네트워크로 이루어지는 채널막을 이용하는 경우, 종래의 단일 나노와이어를 이용하는 경우에 비해서는 전기 잡음이 감소한다고 볼 수 있지만, 여전히 실리콘 소자에 비해서는 전기 잡음이 크기

때문에, 센서 소자의 특성이 저하되는 문제점이 유발된다.

발명의 내용

해결 하고자하는 과제

- <15> 본 발명은 상기 문제점을 해결하기 위해 제안된 것으로, 전극 영역과 교차하는 영역에서 폭이 증가하는 형상의 채널막을 포함하는 소자 제조 방법 및 그를 이용하여 제조된 센서 소자를 제공하는 것을 목적으로 한다.
- <16> 본 발명의 목적들은 이상에서 언급된 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있으며, 본 발명의 실시예에 의해 보다 분명하게 이해될 것이다. 또한, 본 발명의 목적 및 장점들은 특허청구범위에 나타난 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

과제 해결수단

- <17> 이러한 목적을 달성하기 위해 제안된 본 발명은 복수의 나노 구조의 네트워크로 이루어지는 채널막을 포함하는 소자 제조 방법에 있어서, 기판 상에, 전극과 교차하는 영역에서 폭이 증가하는 형상을 갖는 채널막을 형성하는 단계; 및 상기 채널막이 형성된 결과물 상에, 상기 채널막과 교차하는 전극을 형성하는 단계를 포함하는 것을 일 특징으로 한다.
- <18> 또한, 본 발명은 복수의 나노 구조의 네트워크로 이루어지는 채널막을 포함하는 센서 소자에 있어서, 전극과 교차하는 영역에서 폭이 증가하는 형상을 갖는 채널막; 및 상기 채널막과 교차하는 전극을 포함하는 것을 다른 특징으로 한다.

효 과

- <19> 본 발명에 따르면, 전극과 교차하는 영역에서 폭이 증가되는 형상으로 채널막을 형성함으로써 채널막과 전극의 접촉 면적을 증가시킬 수 있다. 특히, 라인형의 채널막을 형성하되, 말단의 폭이 증간된 덩벨 형상을 갖는 채널막을 형성함으로써, 전기 잡음을 감소시켜 소자의 특성을 향상시킬 수 있다.
- <20> 또한, 센서 소자의 경우, 채널막과 전극의 접촉 면적 즉, 검지부의 면적을 증가시킴으로써, 센서 소자의 검지 한계를 증가시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <21> 상술한 목적, 특징 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이며, 그에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 또한, 본 발명을 실현함에 있어서 본 발명과 관련된 공지기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에 그 상세한 설명을 생략하기로 한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명하기로 한다.
- <22> 도 2a 내지 도 2c는 본 발명의 일 실시예에 따른 채널막 형성 방법을 설명하기 위한 공정 단면도이다.
- <23> 도 2a에 도시된 바와 같이, 채널 영역(A)을 포함하는 기판(20)을 제공한다. 여기서, 채널 영역(A)은 후속 공정에 의해 복수의 나노 구조의 네트워크로 이루어지는 채널막이 형성될 영역을 의미한다.
- <24> 이어서, 기판(20)의 채널 영역(A) 외의 영역에 비흡착성 물질막(22)을 형성한다.
- <25> 여기서, 비흡착성 물질막(22)은 채널 영역(A) 외의 영역에 나노 구조가 흡착되는 것을 방지하기 위한 것으로서, 소수성 물질막으로 이루어지는 것이 바람직하다. 예를 들어, OTS(octadecyltrichlorosilane), OTMS(octadecyltrimethoxysilane) 또는 OTE(octadecyl-triethoxysilane)로 이루어지는 것이 더욱 바람직하다.
- <26> 또한, 비흡착성 물질막(22)은 마이크로 프린팅(micro printing, 포토리소그래피(photolithography) 또는 딥-펜 리소그래피(dip-pen lithography) 공정에 의해 형성될 수 있는데, 이하, 일 실시예로서, 포토리소그래피 공정에 의해 비흡착성 물질막을 형성하는 경우에 대해 설명하도록 한다.
- <27> 먼저, 기판(20)의 채널 영역(A)에 포토레지스트 패턴(21)을 형성한다. 이어서, 포토레지스트 패턴(21)이 형성된 기판(20)을 소수성 분자를 포함하는 용액에 넣는다. 이때, 채널 영역(A) 외의 영역 즉, 포토레지스트 패턴(21)

이 형성된 영역을 제외한 영역에 소수성 분자가 흡착되어 소수성 분자막으로 이루어지는 비흡착성 물질막(22)이 형성된다.

- <28> 도 2b에 도시된 바와 같이, 포토레지스트 패턴(21)을 제거하여, 채널 영역(A)의 기판(20) 표면을 노출시킨다.
- <29> 예를 들어, AZ 계열의 포토레지스트를 이용하여 포토레지스트 패턴(21)을 형성하는 경우, 아세톤(acetone)을 이용하여 포토레지스트 패턴(21)을 용이하게 제거할 수 있다.
- <30> 이어서, 비흡착성 물질막(22)이 형성된 결과물의 채널 영역(A)에 흡착성 물질막을 형성한다. 여기서, 흡착성 물질막(23)은 친수성 물질막으로 이루어지는 것이 바람직하다. 친수성 물질막은 예를 들어, SiO_2 , Al_2O_3 , ZrO_2 또는 HfO_2 로 이루어지는 산화막이거나, APTES(aminopropyltriethoxysilane) 또는 MPTMS(3-mercaptopropyl trimethoxysilane)인 것이 바람직하다.
- <31> 도 2c에 도시된 바와 같이, 흡착성 물질막(23)이 형성된 채널 영역(A)에 복수의 나노 구조를 흡착시켜, 복수의 나노 구조의 네트워크로 이루어지는 채널막(24)을 형성한다.
- <32> 여기서, 나노 구조는 지름이 수~수십 나노미터인 극미세 구조를 의미하는 것으로서, 입자형, 선형 또는 튜브형을 모두 포함하는데, 예를 들어, 나노 입자, 나노 와이어 또는 나노 튜브가 포함된다. 이와 같은 나노 구조의 형성 방법은 당업자에게 널리 알려진 사실이므로, 본 명세서에서 나노 구조의 형성의 구체적인 공정에 대한 설명은 생략하도록 한다.
- <33> 이때, 비흡착성 물질막(22) 및 흡착성 물질막(23)이 형성된 기판(20)을 나노 구조 용액에 넣음으로써, 나노 구조 용액에 포함된 복수의 나노 구조를 채널 영역(A) 즉, 흡착성 물질막(23) 상에 증착시켜 채널막(24)을 형성하는 것이 바람직하다.
- <34> 나노 구조 용액은 예를 들어, 탄소나노튜브를 포함하는 용액으로서, 나노 구조의 전기적 또는 화학적 성질에 영향을 주지 않는 용매를 이용하여 형성하는 것이 바람직하다. 예를 들어, 1,2-ortho-dichlorobenzene을 용매로 이용하는 것이 더욱 바람직하다.
- <35> 비흡착성 물질막(22)이 형성된 기판(20)을 나노 구조 용액에 넣으면, 소수성 물질막으로 이루어지는 비흡착성 물질막(22) 상에는 나노 구조가 흡착되지 않는다. 반면에, 노출된 채널 영역(A)은 앞서 설명한 바와 같이, 친수성 물질막으로 이루어지므로, 나노 구조가 용이하게 흡착된다. 특히, 용액 내의 복수의 나노 구조가 채널 영역(A)에 흡착되면서 그물망으로 상호 네트워크를 이루게 되며, 이와 같은 나노 구조 네트워크에 의해 채널막(25)이 형성된다.
- <36> 전술한 바와 같은 본 발명에 따르면, 채널 영역 외의 영역에는 비흡착성 물질막을 형성하고, 채널 영역에는 친수성 물질막을 형성함으로써, 채널 영역에 한해 복수의 나노 구조의 네트워크로 이루어지는 채널막을 용이하게 형성할 수 있다.
- <37> 도 3a 내지 도 3d는 본 발명의 일 실시예에 따른 나노 구조 네트워크 채널막을 포함하는 소자의 제조 방법을 설명하기 위한 공정사시도이다. 본 실시예에서는 앞서 도 2a 내지 도 2c에서 설명한 채널막을 포함하는 소자의 제조 방법에 대해 설명하기 위한 것으로, 앞서 설명한 내용과 중복되는 내용은 생략하도록 한다.
- <38> 도 3a에 도시된 바와 같이, 채널 영역(A) 및 전극 영역(B)을 포함하는 기판(30)을 제공한다.
- <39> 기판(30)은 표면에, SiO_2 , Al_2O_3 , ZrO_2 또는 HfO_2 로 이루어지는 산화막(31)이 형성된 것이 바람직하다. 여기서, 산화막(31)은 절연막(insulating layer)으로서 역할을 할 뿐만 아니라, 친수성 분자막으로서 후속 채널막 형성 공정시, 나노 구조를 용이하게 흡착시킬 수 있다.
- <40> 또한, 기판(30)은 채널 영역(A) 및 전극 영역(B)을 포함하는데, 채널 영역(A)은 후속 공정에서 복수의 나노 구조의 네트워크로 이루어지는 채널막이 형성될 영역을 의미하며, 전극 영역(B)은 후속 공정에서 전극이 형성될 영역을 의미한다. 예를 들어, 센서 소자의 경우, 채널 영역(A)과 전극 영역(B)의 교차 영역 즉, 채널막과 전극이 맞닿는 부분이 검지부로서 역할을 하게 된다.
- <41> 여기서, 채널 영역(A)은 전극 영역(B)과 교차하는 영역 즉, 채널 영역(A)과 전극 영역(B)이 맞닿는 부분에서 폭이 증가하는 형상을 갖는다. 특히, 라인형을 갖되, 전극 영역(B)과 교차하는 영역에서 폭이 증가하는 형상을 갖는 것이 바람직하다.
- <42> 예를 들어, 채널 영역(A)은 제1폭(W1)을 가지며 소정 방향으로 확장되되, 말단에서 제2폭(W2)으로 확장되는 덤

벨(dumbbell) 형상일 수 있다. 물론, 채널 영역(A)은 양측 말단의 폭이 모두 증가되는 형상을 갖거나, 일측 말단의 폭만이 증가되는 형상을 갖는 것 모두 가능하다.

- <43> 이와 같이, 말단의 폭(W2)을 확장시킴으로써, 채널 영역(A)과 전극 영역(B)이 교차되는 영역의 면적을 증가시킬 수 있으며, 이를 통해, 소자의 전기 잡음을 감소시킬 수 있다.
- <44> 도 3b에 도시된 바와 같이, 기판(30)의 채널 영역(A) 외의 영역에 비흡착성 물질막(33)을 형성한다. 포토리소그래피 공정에 의해 비흡착성 물질막(33)을 형성하는 경우를 살펴보면 다음과 같다.
- <45> 먼저, 기판(30)의 채널 영역(A)에 포토레지스트 패턴(32)을 형성한다. 이때, 채널 영역(A)의 형상에 따라 포토레지스트 패턴(32)을 형성하는데, 라인형을 갖되, 채널 영역(A)과 전극 영역(B)의 교차 영역에서 폭이 증가하는 형상을 갖도록 포토레지스트 패턴(32)을 형성한다.
- <46> 이어서, 포토레지스트 패턴(32)이 형성된 기판(30)을 소수성 분자를 포함하는 용액에 넣는다. 이때, 채널 영역(A) 외의 영역 즉, 포토레지스트 패턴(32)이 형성된 영역을 제외한 영역에 소수성 분자가 흡착되어 소수성 분자막으로 이루어지는 비흡착성 물질막(33)이 형성된다.
- <47> 이밖에, 비흡착성 물질막(33) 형성 단계의 구체적인 사항은 앞서 도 2a에서 설명한 바와 동일하다.
- <48> 도 3c에 도시된 바와 같이, 포토레지스트 패턴(32)을 제거하여, 채널 영역(A)에 형성된 산화막(31)의 표면을 노출시킨다. 물론, 기판(30) 상에 별도의 산화막(31)을 형성하지 않은 경우에는 채널 영역(A)의 기판(30) 표면이 노출된다.
- <49> 이어서, 채널막(34) 형성하기에 앞서, 비흡착성 물질막(33)이 형성된 결과물의 채널 영역(A)에 흡착성 물질막(미도시됨)을 추가로 형성하는 것이 바람직하다.
- <50> 여기서, 추가로 형성되는 흡착성 물질막은 친수성 물질막으로 이루어지는 것이 바람직하며, 특히, APTES(aminopropyltriethoxysilane) 또는 MPTMS(3-mercaptopropyl trimethoxysilane)인 것이 바람직하다. 이를 통해, 채널막 형성시 나노 구조를 용이하게 흡착시킬 수 있다.
- <51> 도 3d에 도시된 바와 같이, 비흡착성 물질막(33)이 형성된 기판(30)을 나노 구조 용액에 넣어 채널 영역(A)에 채널막(34)을 형성한다. 이로써, 전극 영역(B)과 교차하는 영역에서 폭이 증가하는 형상의 채널막(34)이 형성된다.
- <52> 이어서, 채널막(34)이 형성된 결과물의 전체 구조 상에 도전막을 형성한 후, 형성된 도전막을 선택적으로 식각하여 채널막(34)과 교차되는 전극(35)을 형성한다.
- <53> 여기서, 전극(35)은 금속으로 이루어지는 것이 바람직하며, 예를 들어, 금(Au), 팔라듐(Pd) 또는 알루미늄(Al)으로 이루어지는 것이 더욱 바람직하다. 또한, 전극(35) 형성 공정은 전자빔 증발법(e-beam evaporator) 또는 열 증발법(thermal evaporator)에 의해 수행되는 것이 바람직하다.
- <54> 진술한 바와 같은 본 발명에 따르면, 라인형을 갖되 전극과 교차하는 영역에서 폭이 증가하는 형상의 채널막(34)을 포함하는 소자를 제조할 수 있다. 따라서, 채널막(34)과 전극(35)의 접촉 면적을 증가시켜 쇼트키 장벽을 감소시킴으로써, 전기 잡음을 감소시킬 수 있다.
- <55> 또한, 본 발명의 채널막 형성 방법은 나노 구조 네트워크로 이루어지는 채널막을 포함하는 모든 소자에 대해 적용될 수 있으며, 예를 들어, 센서 소자에 적용되어 센서 소자의 감지 한계를 증가시킬 수 있다.
- <56> 도 4는 본 발명의 일 실시예에 따른 나노 구조 네트워크 채널막을 포함하는 센서 소자의 평면도를 나타낸다.
- <57> 도시된 바와 같이, 센서 소자(40)는 복수의 나노 구조의 네트워크로 이루어지는 채널막(41) 및 채널막(41)과 교차하는 전극(42)을 포함한다. 여기서, 채널막(41)은 소정 폭의 라인형을 갖되, 전극(42)과 교차하는 영역에서 폭이 증가하는 형상을 갖도록 형성되는데, 예를 들어, 말단의 폭이 증가된 덤벨 형상으로 형성될 수 있다.
- <58> 센서 소자의 동작을 간단히 살펴보면 다음과 같다.
- <59> 먼저, 센서 소자의 동작을 위해 전극(42)에 소정 전압을 인가한다. 여기서, 각 전극(42)은 소스/드레인 전극(source/drain electrode)으로서 사용된다.
- <60> 이어서, 감지하고자하는 소정 물질이 포함된 시료를 채널막(41)으로 투입한다(도면 부호 "C" 참조). 시료 내의 소정 물질은 채널막(41)의 표면에 흡착된 반응 물질과 반응하여 채널막(41)의 컨덕턴스(conductance)를 변화시

키며, 그에 따라, 채널막(41)에 흐르는 전류의 양이 달라진다.

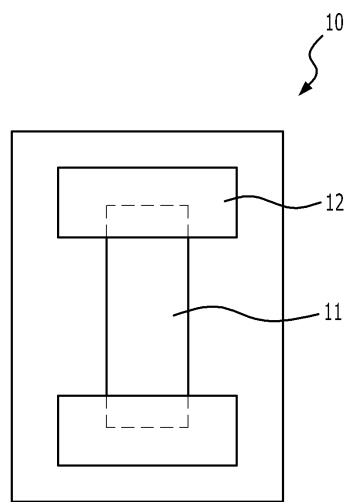
- <61> 이어서, 검지부(도면 부호 "D" 참조)에서 채널막(41)를 통해 흐르는 전류의 양을 감지하여, 소정 물질의 농도를 측정한다. 여기서, 검지부는 채널막(41)과 전극(42)의 교차 영역 즉, 채널막(41)과 전극(42)이 맞닿은 부분을 의미한다.
- <62> 진술한 바와 같은 본 발명에 따르면, 검지부의 면적 증가에 따라 쇼트키 장벽이 감소되므로, 전기 잡음이 감소되어 센서 소자의 검지 한계가 증가된다.
- <63> 도 5는 본 발명의 일 실시예에 따른 채널막이 형성된 소자의 평면 사진으로서, 탄소나노튜브를 이용하여 채널막을 형성한 경우를 나타낸다.
- <64> 도시된 바와 같이, 채널 영역(A) 외의 영역에는 비흡착성 물질막(22)이 형성되며, 채널 영역(A)에는 복수의 탄소나노튜브가 흡착되어 네트워크를 형성한 채널막이 형성된다. 이때, 채널막(25)은 라인형을 갖되, 말단의 폭이 확장되는 형상을 갖는다.
- <65> 도 6은 종래기술에 따른 채널막을 포함하는 소자와 본 발명의 일 실시예에 따른 채널막을 포함하는 소자의 전기 잡음 계수를 비교한 그래프이다.
- <66> 종래기술에 따른 채널막을 포함하는 소자는 전기 잡음 계수가 클 뿐만 아니라 저항의 분포가 넓은 반면에, 본 발명의 일 실시예에 따른 채널막을 포함하는 소자는 전기 잡음 계수가 작을 뿐만 아니라 저항의 분포가 한 곳에 집중되어 있는 것을 확인할 수 있다.
- <67> 즉, 본 발명에 따르면, 채널막과 전극의 접촉 면적을 증가시켜 전기 잡음 계수를 감소시키고, 이를 통해, 소자의 전기적 특성을 향상시킴을 알 수 있다. 특히, 센서 소자의 경우, 전기 잡음을 감소시킴으로써 검지 한계를 증가시킬 수 있다.
- <68> 이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니다.

도면의 간단한 설명

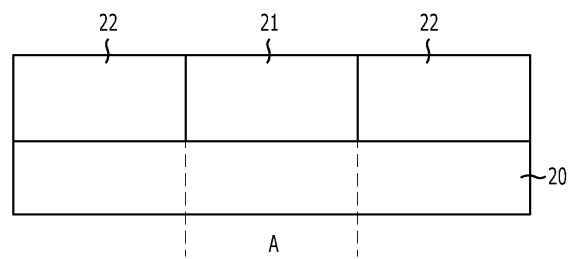
- <69> 도 1은 종래기술에 따른 채널막이 형성된 소자의 평면도.
 - <70> 도 2a 내지 도 2c는 본 발명의 일 실시예에 따른 채널막 형성 방법을 설명하기 위한 공정 단면도.
 - <71> 도 3a 내지 도 3d는 본 발명의 일 실시예에 따른 나노 구조 네트워크 채널막을 포함하는 소자의 제조 방법을 설명하기 위한 공정 단면도.
 - <72> 도 4는 본 발명의 일 실시예에 따른 채널막이 형성된 센서 소자의 평면도.
 - <73> 도 5는 본 발명의 일 실시예에 따른 채널막이 형성된 소자의 평면 사진.
 - <74> 도 6는 종래기술에 따른 채널막을 포함하는 센서 소자와 본 발명의 일 실시예에 따른 채널막을 포함하는 센서 소자의 전기 잡음 계수를 비교한 그래프.
 - <75> [도면의 주요 부분에 대한 부호의 설명]
 - <76> 30: 기판31: 산화막
 - <77> 32: 포토레지스트 패턴33: 비흡착성 물질막
 - <78> 34: 채널막35: 전극

도면

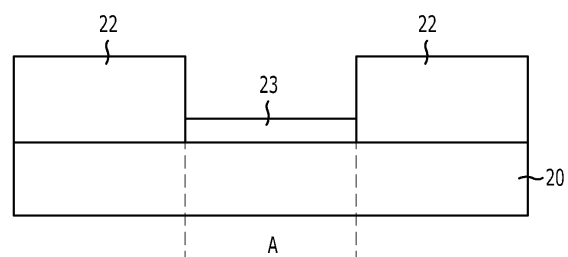
도면1



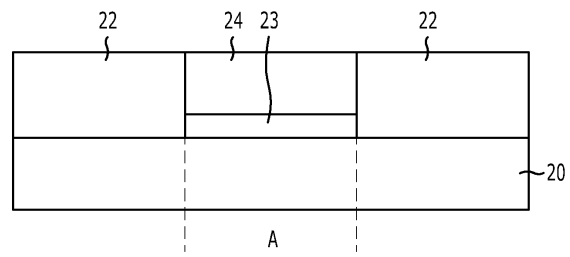
도면2a



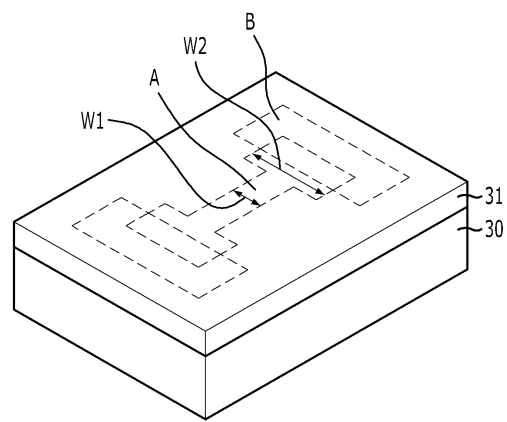
도면2b



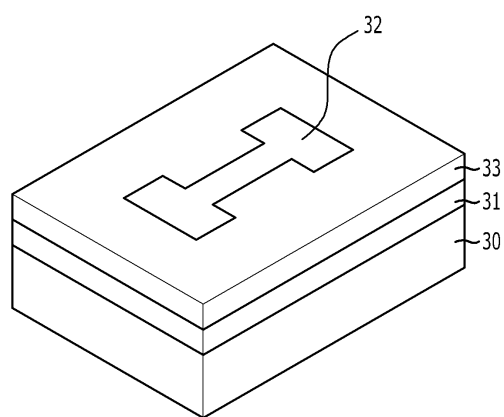
도면2c



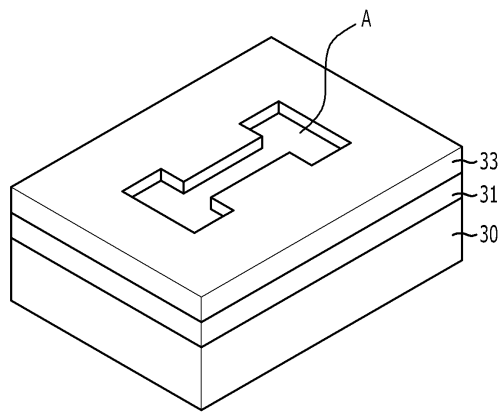
도면3a



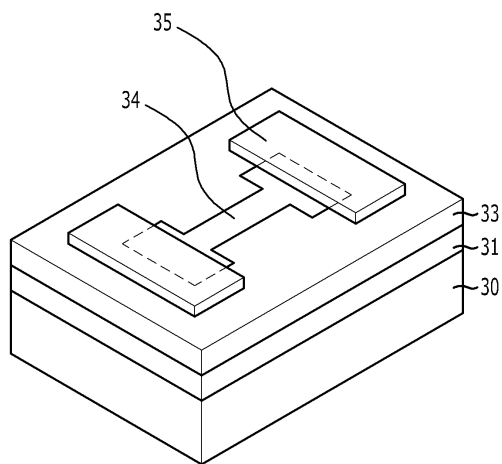
도면3b



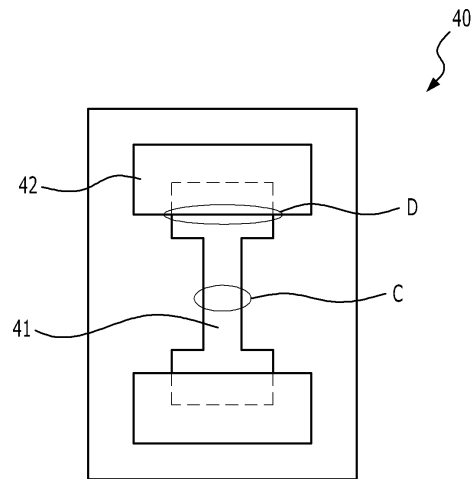
도면3c



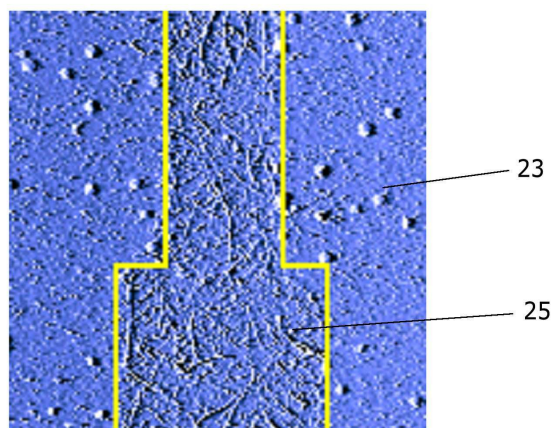
도면3d



도면4



도면5



도면6

