



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년10월17일

(11) 등록번호 10-1786278

(24) 등록일자 2017년10월10일

(51) 국제특허분류(Int. Cl.)

H01L 29/78 (2006.01) H01L 29/66 (2006.01)

(52) CPC특허분류

H01L 29/7813 (2013.01)

H01L 29/66734 (2013.01)

(21) 출원번호 10-2015-7017449

(22) 출원일자(국제) 2013년12월27일

심사청구일자 2015년08월28일

(85) 번역문제출일자 2015년06월30일

(65) 공개번호 10-2015-0103017

(43) 공개일자 2015년09월09일

(86) 국제출원번호 PCT/US2013/078129

(87) 국제공개번호 WO 2014/106127

국제공개일자 2014년07월03일

(30) 우선권주장

13/732,284 2012년12월31일 미국(US)

(56) 선행기술조사문헌

US20110298042 A1

US20040245570 A1

US20120043602 A1

JP2007529115 A

(73) 특허권자

비쉐이-실리코닉스

미국 95054 캘리포니아주 산타 클라라 로렐우드  
로드 2201

(72) 발명자

티퍼네니 나빈

미국 캘리포니아주 95054 산타 클라라 아파트먼트  
236 애그뉴 로드 700

파타나야크 테바 엔

미국 캘리포니아주 95070 사라토가 브룩헤이븐 드  
라이브 19123

(74) 대리인

제일특허법인

전체 청구항 수 : 총 14 항

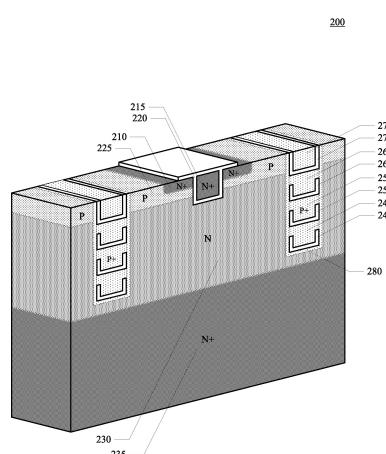
심사관 : 최정민

(54) 발명의 명칭 적응형 전하 보상 MOSFET 장치 및 그 제조 방법

### (57) 요 약

적응형 전하 균형 MOSFET 디바이스는 전계판 스택, 게이트 구조체, 소스 영역, 드리프트 영역 및 바디 영역을 포함한다. 게이트 구조체는 게이트 절연체 영역에 의해 둘러싸인 게이트 영역을 포함한다. 전계판 구조체는 복수의 전계판 절연체 영역, 복수의 전계판 영역, 및 필드 링 영역을 포함한다. 복수의 전계판은 각각의 전계판 절연체에 의해 서로 분리된다. 바디 영역은 게이트 구조체, 소스 영역, 드리프트 영역 및 필드 링 영역 사이에 배치된다. 2개 이상의 전계판의 각각은 필드 링에 커플링된다.

대 표 도 - 도2a



(52) CPC특허분류  
*H01L 2924/13091 (2013.01)*

---

## 명세서

### 청구범위

#### 청구항 1

드레인 영역,

상기 드레인 영역 상에 배치된 드리프트 영역,

상기 드레인 영역과 대향하여 상기 드리프트 영역 상에 배치되는 복수의 바디 영역,

상기 드리프트 영역에 대향하여 상기 복수의 바디 영역 상에 배치되는 복수의 소스 영역 - 상기 복수의 소스 영역, 상기 복수의 바디 영역 및 상기 드리프트 영역은 복수의 게이트 구조체에 인접함 -,

상기 복수의 게이트 구조체 - 각각의 게이트 구조체는,

상기 복수의 소스 영역과 상기 복수의 바디 영역을 통해 연장하여 상기 드리프트 영역 안으로 부분적으로 연장하는 복수의 평행하고 긴 게이트 영역과,

상기 복수의 소스 영역, 상기 복수의 바디 영역 및 상기 드리프트 영역과 상기 복수의 게이트 영역 사이에 각각 배치된 복수의 게이트 절연체 영역을 포함함 -, 및

복수의 전계판 구조체

를 포함하되,

각각의 전계판 구조체는 상기 복수의 바디 영역을 통해 배치되며 상기 드리프트 영역 안으로 연장하고, 각각의 게이트 구조체가 전계판 구조체의 세트 사이에 배치되고,

각각의 전계판 구조체는

복수의 전계판 절연체 영역,

상기 복수의 전계판 절연체 영역 사이 사이에 삽입(intersperse)된 복수의 전계판 영역, 및

상기 복수의 전계판 영역과 인접한 상기 드리프트 영역 사이에 배치된 필드 링 영역- 상기 필드 링 영역에 전계판 영역의 세트가 커플링됨 -

을 포함하는

적응형 전하 보상 MOSFET 장치.

#### 청구항 2

제1항에 있어서,

상기 필드 링 영역은 다수의 부분들을 포함하고 상기 필드 링 영역의 2개 이상의 부분들의 각각은 대응하는 전계판 영역을 상기 바디 영역의 인접부에 커플링하는

적응형 전하 보상 MOSFET 장치.

#### 청구항 3

제1항에 있어서,

상기 드리프트 영역은 인(phosphorous) 또는 비소(arsonic)로 중 도핑된(moderately doped) 에피택셜 실리콘을 포함하고,

상기 복수의 바디 영역은 봉소(boron)로 중 도핑된 실리콘을 포함하고,

상기 복수의 소스 영역은 인 또는 비소로 강 도핑된(heavily doped) 실리콘을 포함하고,  
상기 복수의 게이트 영역은 인 또는 비소로 강 도핑된 폴리실리콘을 포함하고,  
상기 복수의 전계판 영역은 붕소로 강 도핑된 폴리실리콘을 포함하고,  
복수의 상기 필드 링 영역은 붕소로 강 도핑된 에피택셜 실리콘을 포함하는  
적응형 전하 보상 MOSFET 장치.

#### 청구항 4

제1항에 있어서,  
상기 드리프트 영역은 붕소로 중 도핑된 에피택셜 실리콘을 포함하고,  
상기 복수의 바디 영역은 인 또는 비소로 중 도핑된 실리콘을 포함하고,  
상기 복수의 소스 영역은 붕소로 강 도핑된 실리콘을 포함하고,  
상기 복수의 게이트 영역은 붕소로 강 도핑된 폴리실리콘을 포함하고,  
상기 복수의 전계판 영역은 인 또는 비소로 강 도핑된 폴리실리콘을 포함하고,  
복수의 상기 필드 링 영역은 인 또는 비소로 강 도핑된 에피택셜 실리콘을 포함하는  
적응형 전하 보상 MOSFET 장치.

#### 청구항 5

제1항에 있어서,  
상기 전계판 구조체의 깊이는 상기 게이트 구조체의 깊이보다 더 깊은  
적응형 전하 보상 MOSFET 장치.

#### 청구항 6

제1항에 있어서,  
상기 전계판 영역과 상기 필드 링 영역 사이의 콘택 면적과 상기 전계판 절연체 영역의 두께는, 드레인 전압이  
핀치오프 전압보다 더 높을 때 각각의 전계판 영역이 상이한 전위로 플로팅하도록 선택되는  
적응형 전하 보상 MOSFET 장치.

#### 청구항 7

제1항에 있어서,  
상기 복수의 전계판 영역은 상기 드리프트 영역과 쇼트키 콘택하여 오믹 콘택에 비해 상기 장치의 항복 전압(a  
breakdown voltage)을 증가시키는  
적응형 전하 보상 MOSFET 장치.

#### 청구항 8

제1의 타입의 도편트로 강 도핑된 반도체 층 상에 상기 제1의 타입의 도편트로 중 도핑된 반도체 층을 형성하는

단계와,

상기 제1의 타입의 도편트로 약 도핑된(lightly doped) 반도체 층 내에 복수의 전계판 스택 트렌치를 형성하는 단계와,

상기 제1의 타입의 도편트로 중 도핑된 상기 반도체 층 내에서 상기 전계판 스택 트렌치의 벽을 따라 제2의 타입의 도편트로 강 도핑된 반도체 영역을 형성하는 단계와,

상기 전계판 스택 트렌치 내에 제1의 유전체 층을 형성하는 단계와,

상기 전계판 스택 트렌치 내의 상기 제1의 유전체 층 상에 상기 제2의 타입의 도편트로 강 도핑된 제1의 반도체 층 - 상기 제1의 반도체 층의 일부는 상기 제2의 타입의 도편트로 강 도핑된 상기 반도체 영역의 제1의 부분과 콘택함 - 을 형성하는 단계와,

상기 전계판 스택 트렌치 내의 상기 제2의 타입의 도편트로 강 도핑된 상기 제1의 반도체 층 상에 제2의 유전체 층을 형성하는 단계와,

상기 전계판 스택 트렌치 내의 상기 제2의 유전체 층 상에 상기 제2의 타입의 도편트로 강 도핑된 제2의 반도체 층 - 상기 제2의 반도체 층의 일부는 상기 제2의 타입의 도편트로 강 도핑된 상기 반도체 영역의 제2의 부분과 콘택함 - 을 형성하는 단계와,

상기 제1의 타입의 도편트로 약 도핑된 상기 반도체 층 내에 복수의 게이트 트렌치를 형성하는 단계와,

상기 게이트 트렌치 내에 유전체 층을 형성하는 단계와,

상기 게이트 트렌치 내의 상기 유전체 층 상에 상기 제1의 타입의 도편트로 강 도핑된 반도체 층을 형성하는 단계와,

상기 제1의 타입의 도편트로 강 도핑된 상기 반도체 층에 대향하여 상기 제1의 타입의 도편트로 중 도핑된 상기 반도체 층 내에 그리고 상기 제2의 타입의 도편트로 강 도핑된 상기 반도체 영역과 상기 게이트 트렌치 내의 상기 유전체 층 사이에서 상기 전계판 스택 트렌치의 벽을 따라 상기 제2의 타입의 도편트로 중 도핑된 반도체 영역을 형성하는 단계와,

상기 게이트 트렌치 내의 상기 유전체 층에 인접하지만, 상기 제2의 타입의 도편트로 중 도핑된 상기 반도체 영역에 의해 상기 전계판 스택 트렌치의 상기 벽을 따라 상기 제2의 타입의 도편트로 강 도핑된 상기 반도체 영역으로부터 분리된 상기 제1의 타입의 도편트로 약 도핑된 상기 반도체 층에 대향하여 상기 제2의 타입의 도편트로 중 도핑된 상기 반도체 영역 내에 상기 제1의 타입의 도편트로 강 도핑된 반도체 영역을 형성하는 단계를 포함하는

적응형 전하 보상 MOSFET 장치 제조 방법.

## 청구항 9

제8항에 있어서,

상기 전계판 스택 트렌치 내의 상기 제2의 타입의 도편트로 강 도핑된 상기 제2의 반도체 층 상에 제3의 유전체 층을 형성하는 단계와,

상기 전계판 스택 트렌치 내의 상기 제3의 유전체 층 상에 상기 제2의 타입의 도편트로 강 도핑된 제3의 반도체 층 - 상기 제3의 반도체 층의 일부는 상기 제2의 타입의 도편트로 강 도핑된 상기 반도체 영역의 제3의 부분과 콘택함 - 을 형성하는 단계를 더 포함하는

적응형 전하 보상 MOSFET 장치 제조 방법.

## 청구항 10

제9항에 있어서,

상기 전계판 스택 트렌치 내의 상기 제2의 타입의 도편트로 강 도핑된 상기 제3의 반도체 층 상에 제4의 유전체

층을 형성하는 단계와,

상기 전계판 스택 트렌치 내의 상기 제4의 유전체 층 상에 상기 제2의 타입의 도편트로 강 도핑된 제4의 반도체 층을 형성하는 단계를 더 포함하는

적응형 전하 보상 MOSFET 장치 제조 방법.

### 청구항 11

제8항에 있어서,

상기 전계판 스택 트렌치 내에 상기 제1의 유전체 층 및 상기 제1의 반도체 층을 형성하는 단계는,

상기 전계판 스택 트렌치 내에 제1의 유전체 층을 성장시키는 단계와,

상기 전계판 스택 트렌치 내에 상기 제2의 타입의 도편트로 강 도핑된 상기 제1의 반도체 층의 일부를 증착하는 단계와,

상기 전계판 스택 트렌치 내의 상기 제2의 타입의 도편트로 강 도핑된 상기 제1의 반도체 층의 상기 일부를 제1의 미리 결정된 두께로 에치백(etching back)하는 단계와,

상기 전계판 스택 트렌치 내의 상기 제1의 유전체 층을 상기 전계판 스택 트렌치 내의 상기 제2의 타입의 도편트로 강 도핑된 상기 제1의 반도체 층의 상기 일부의 상기 제1의 미리 결정된 두께로 에치백하는 단계와,

상기 전계판 스택 트렌치 내에 상기 제2의 타입의 도편트로 강 도핑된 상기 제1의 반도체 층의 다른 부분을 증착하는 단계와,

상기 전계판 스택 트렌치 내의 상기 제2의 타입의 도편트로 강 도핑된 상기 제1의 반도체 층의 상기 다른 부분을 제2의 미리 결정된 두께로 에치백하는 단계 - 상기 제2의 미리 결정된 두께의 상기 제2의 타입의 도편트로 강 도핑된 상기 제1의 반도체 층의 상기 다른 부분은 상기 제2의 타입의 도편트로 강 도핑된 상기 반도체 영역의 상기 제1의 부분과 콘택트 - 를 포함하는

적응형 전하 보상 MOSFET 장치 제조 방법.

### 청구항 12

제8항에 있어서,

상기 제1의 타입의 도편트로 약 도핑된 상기 반도체 층 내에서 상기 전계판 스택 트렌치의 상기 벽을 따라 상기 제2의 타입의 도편트로 강 도핑된 상기 반도체 영역을 형성하는 단계는, 상기 제1의 타입의 도편트로 약 도핑된 상기 반도체 층 내로 상기 전계판 스택 트렌치의 상기 벽을 따라 상기 제2의 타입의 도편트를 경사 주입하는 (angle implanting) 단계를 포함하는

적응형 전하 보상 MOSFET 장치 제조 방법.

### 청구항 13

제8항에 있어서,

상기 제1의 타입의 도편트로 약 도핑된 상기 반도체 층 내에서 상기 전계판 스택 트렌치의 상기 벽을 따라 상기 제2의 타입의 도편트로 강 도핑된 상기 반도체 영역을 형성하는 단계는,

상기 제1의 타입의 도편트로 약 도핑된 상기 반도체 층 내에서 상기 전계판 스택 트렌치 내의 상기 제2의 타입의 도편트로 강 도핑된 상기 제1의 반도체 층의 일부와 인접한 상기 전계판 스택 트렌치의 벽을 따라 상기 제2의 타입의 도편트로 강 도핑된 제1의 반도체 영역을 형성하는 단계와,

상기 제2의 타입의 도편트로 중 도핑된 상기 반도체 영역 내에서 상기 전계판 스택 트렌치 내의 상기 제2의 타입의 도편트로 강 도핑된 상기 제2의 반도체 층의 상기 일부와 인접한 상기 전계판 스택 트렌치의 상기 벽을 따라 상기 제2의 타입의 도편트로 강 도핑된 제2의 반도체 영역을 형성하는 단계를 포함하는

적응형 전하 보상 MOSFET 장치 제조 방법.

#### 청구항 14

제13항에 있어서,

상기 제1의 타입의 도편트로 약 도핑된 상기 반도체 층 내에서 상기 전계판 스택 트렌치의 벽을 따라 상기 제1의 타입의 도편트로 강 도핑된 제1의 반도체 영역을 형성하는 단계 및 상기 제2의 타입의 도편트로 중 도핑된 상기 반도체 영역 내에서 상기 전계판 스택 트렌치의 벽을 따라 상기 제2의 타입의 도편트로 강 도핑된 제2의 반도체 영역을 형성하는 단계는, 상기 제2의 타입의 도편트를, 상기 전계판 스택 트렌치 내의 상기 제2의 타입의 도편트로 강 도핑된 상기 제1의 반도체 층 및 상기 전계판 스택 트렌치 내의 상기 제2의 타입의 도편트로 강 도핑된 상기 제2의 반도체 층으로부터 외부 확산시키는(out diffusing) 단계를 포함하는

적응형 전하 보상 MOSFET 장치 제조 방법.

#### 청구항 15

삭제

#### 청구항 16

삭제

#### 청구항 17

삭제

#### 청구항 18

삭제

#### 청구항 19

삭제

#### 청구항 20

삭제

#### 청구항 21

삭제

#### 청구항 22

삭제

#### 청구항 23

삭제

#### 청구항 24

삭제

#### 청구항 25

삭제

#### 청구항 26

삭제

## 발명의 설명

### 기술 분야

#### 관련 출원에 대한 교차 참조

[0001] 본 출원은 2012년 12월 31일자로 출원된 미국 특허 출원 제13/732,284호에 관련되며 상기 특허 문헌에 대한 우선권을 주장하며, 상기 출원은 참조에 의해 그 전체가 본원에 통합된다.

## 배경 기술

[0003] 대부분의 전자 회로 중 중요한 회로는 트랜지스터이다. 바이폴라 접합 트랜지스터 및 전계 효과 트랜지스터와 같은 수많은 트랜지스터 패밀리가 존재한다. 하나의 중요한 트랜지스터 패밀리는 MOSFET(metal-oxide-semiconductor field effect transistor, 금속 산화물 반도체 전계 효과 트랜지스터)이다. 소신호 애플리케이션(small signal application) 및 전력 애플리케이션을 위해 설계된 그 밖의 것에서 사용하기 위한 MOSFET가 존재한다. 공통 전력 MOSFET는 수직 또는 트렌치 MOSFET이다. 도 1을 참조하면, 종래기술에 따른 기본 트렌치 MOSFET가 도시되어 있다. 예시된 트렌치 MOSFET(100)의 토플로지(topology)는 일반적으로 스트라이프형 셀 MOSFET(striped cell MOSFET)로 칭해진다. 스트라이프형 트렌치 MOSFET(100)는 소스 콘택(도시되지 않음), 복수의 소스 영역(110), 복수의 게이트 영역(115), 복수의 게이트 절연체 영역(120), 복수의 바디 영역(125), 드리프트 영역(130), 드레인 영역(135), 및 드레인 콘택(도시되지 않음)을 포함한다.

[0004] 바디 영역(125)은 드레인 영역(135)에 대향하는 드리프트 영역(130) 위에 배치된다. 소스 영역(110), 게이트 영역(115) 및 게이트 절연체 영역(120)은 바디 영역(125) 내에 배치된다. 게이트 영역(115)과 게이트 절연체 영역(120)은 실질적으로 평행하고 긴 구조체로서 형성된다. 각각의 게이트 절연체 영역(120)은 대응하는 게이트 영역(115)을 둘러싸서, 주변 영역(110, 125, 130)으로부터 게이트 영역(115)을 전기적으로 절연시킨다. 게이트 영역(115)은 커플링되어 디바이스(100)의 공통 게이트를 형성한다. 소스 영역(110)은 게이트 절연체 영역(120)을 주변을 따라 실질적으로 평행하고 긴 구조체로서 형성된다. 소스 영역(110)은, 소스 콘택에 의해, 함께 커플링되어 디바이스(100)의 공통 소스를 형성한다. 또한, 소스 콘택은 소스 영역(110)을 바디 영역(125)에 커플링한다.

[0005] 소스 영역(110)과 드레인 영역(135)은, 인 또는 비소로 도핑된 실리콘과 같은 강 n 도핑된(N+) 반도체이다. 드리프트 영역(130)은, 인 또는 비소로 도핑된 실리콘과 같은 약 n 도핑된(N-) 반도체이다. 바디 영역(125)은, 봉소로 도핑된 실리콘과 같은 p 도핑된(P) 반도체이다. 게이트 영역(115)은, 인으로 도핑된 폴리실리콘과 같은 강 n 도핑된(N+) 반도체이다. 게이트 절연체 영역(120)은, 실리콘 이산화물과 같은 유전체(dielectric)일 수도 있다.

[0006] 소스 영역(110)에 대해 게이트 영역(115)의 전위가 디바이스의 임계 전압 위로 증가되면, 게이트 절연체 영역(120)의 주변을 따라 바디 영역(125) 내에 도전성 채널이 유도된다. 그러면, 스트라이프형 트렌치 MOSFET(100)는 드레인 영역(135)과 소스 영역(110) 사이에서 전류를 도통시킬 것이다. 따라서, 디바이스(100)는 온 상태에 있게 된다.

[0007] 게이트 영역(125)의 전위가 임계 전압 아래로 감소되면, 채널은 더 이상 유도되지 않는다. 결과적으로 드레인 영역(135)과 소스 영역(110) 사이에 인가되는 전압 전위는 그들 사이에 전류가 흐르게 하지 못할 것이다. 따라서, 디바이스(100)는 자신의 오프 상태에 있게 되고 바디 영역(125)과 드레인 영역(135)에 의해 형성되는 접합은 소스와 드레인 양단에 인가되는 전압을 지원한다.

[0008] 스트라이프형 트렌치 MOSFET(100)의 채널 폭은 복수의 소스 영역(110)의 폭의 합수이다. 따라서, 스트라이프형 트렌치 MOSFET(100)는 큰 채널 대 길이 비를 제공한다. 따라서, 스트라이프형 MOSFET는, PWM(pulse width modulation, 펄스 폭 변조) 전압 레귤레이터에서의 스위칭 엘리먼트와 같은 전력 MOSFET 애플리케이션에 대해 유익하게 활용될 수도 있다.

[0009] 종래기술에서, 디바이스의 성능을 향상시키기 위해 만들어진 MOSFET의 수많은 변형 예가 존재한다. 예를 들면, 트렌치 MOSFET는 초접합(super-junction), 두꺼운 산화물을 갖는 소스 실드, 두꺼운 게이트-드레인 산화물과 결

합한 드레인으로의 축소 컨덕터 경로, 등을 포함하도록 수정될 수도 있다.

[0010] 초접합 MOSFET는 온 상태 저항 값을, 주어진 반 무한의 평면 접합 항복 전압(given semi-infinite planar junction breakdown voltage)에 대한 실리콘의 한계 아래로 달성할 수 있다. 교대하는 p-n 영역의 존재는 p-n 영역 폭에 의존하는 드리프트 영역 도핑의 증가를 허용한다. 드리프트 영역 도핑은 항복 전압을 유지하는 데 필요한 낮은 측면 전계(electric field)를 유지하도록 p와 n 영역 폭을 축소하는 것에 의해 증가될 수 있다. 그러나, 측면 p-n 접합 영역은 내장된 공핍 영역의 존재로 인해 달성가능한 도전성 드리프트 영역 폭을 제한한다. 이것은, 주로 채널 저항으로 이루어진 총 온 상태 저항에서의 감소를 보는 데 필요한 에피택셜 도핑 증분이 더 많은 저전압(예를 들면, 30V 이하) 전력 MOSFET에 대해 초접합 기반의 MOSFET 디바이스가 덜 유익하게 만든다. 고전압(예를 들면 150V 이상) 전력 MOSFET에 대해, 교대하는 p-n 영역을 제조하기 위해 사용되는 다수의 에피택셜 또는 트렌치 리필 기술은 더 깊은 p-n 접합 영역에 대해 더 좁은 n 영역 폭을 달성하는 것을 어렵고 고비용이 되도록 만든다.

[0011] 상대적으로 낮은 전압(예를 들면, 150V 이하)에서, 수직 p-n 접합 재표면화(resurface) 영역을 사용하는 것과 관련된 문제점을 극복하고 온 상태 저항을 실리콘 한계 아래로 감소시키기 위해, 추가적인 n 도핑의 측면 공핍이 n 에피택셜 영역을 둘러싸는 게이트 또는 소스 연결 셀딩 구조체(gate or source connected shielding structure)를 사용하여 달성된다. 그러나, 이러한 실드 구조체에 기초한 디바이스는 더 높은 항복 전압(예를 들면, 150V 이상)을 달성하기 위해 게이트 또는 소스 실드 구조체와 실리콘 사이에 더 두꺼운(예를 들면, 0.5  $\mu\text{m}$  이상) 산화물 층을 필요로 한다. 높은 항복 전압을 달성하는 데 필요한, 기술적으로 도전과제인 트렌치 내의 더 두꺼운 산화물은 이러한 실드 기술을 활용함에 있어서 중요한 장벽이다. 또한, 낮은 온 상태 전압을 나타내는 실드 기술은 디바이스 커패시턴스를 그려므로 트랜지스터를 온오프 스위칭하는 데 필요한 전하를 필수적으로 증가시키고 결국에는 스위칭 손실의 증가로 나타나게 된다. 유사한 결점이 게이트-드레인의 두꺼운 산화물 기술에 의해 경험된다. 결과적으로, 실드 기술의 MOSFET는 상대적으로 낮은 스위칭 주파수(예를 들면 1 MHz 이하)로 제한된다. 따라서, 초접합에 대한 항상인 디바이스 구조체, 실드 구조체, 및 구조체 사이에 더 얇은 산화물 층을 사용하는 경우에도 상대적으로 높은 항복 전압 및 디바이스 커패시턴스에서의 최소의 증가로 낮은 온 상태 저항을 달성하는 게이트-드레인의 두꺼운 산화물 트랜지스터를 갖는 것이 바람직하다.

## 발명의 내용

### 과제의 해결 수단

#### 개요

[0013] 적응형 전하 보상 MOSFET 디바이스(adaptive charge compensated MOSFET device)와 그 제조 방법을 대상으로 하는 본 기술의 실시형태를 예시하기 위해 사용되는 하기의 설명 및 첨부의 도면을 참조하는 것에 의해, 본 기술은 가장 잘 이해될 수도 있을 것이다.

[0014] 일 실시형태에서, 적응형 전하 보상 MOSFET 디바이스는 드레인 영역 상에 배치된 드리프트 영역을 포함한다. 복수의 바디 영역은 드레인 영역에 대향하여 드리프트 영역 상에 배치된다. 복수의 소스 영역은 드리프트 영역에 대향하여 복수의 바디 영역 상에 배치되고, 복수의 게이트 구조체와 인접한다. 복수의 전계판 구조체(field plate structure)의 각각은 바디 영역의 세트 사이에 배치되고 드리프트 영역 안으로 부분적으로 연장한다. 각각의 전계판 구조체는 복수의 전계판 절연체 영역, 복수의 전계판 영역, 및 필드 링(field ring) 영역을 포함한다. 복수의 전계판은 복수의 전계판 절연체 사이에 삽입된다. 필드 링 영역은 복수의 전계판 영역과 바디 영역의 인접한 세트 사이에 배치되고, 그 결과 제1의 전계판이 소스/바디/전계판 콘택(contact)에 의해 복수의 바디 영역과 복수의 소스 영역에 커플링된다. 다른 전계판의 각각은 전계판 절연체 사이의 캡을 통해 필드 링에 커플링된다. 복수의 게이트 구조체의 각각은 전계판 스택의 세트 사이에 배치된다. 각각의 게이트 구조체는 복수의 실질적으로 평행하고 긴 게이트 영역과 복수의 게이트 절연체 영역을 포함한다. 복수의 실질적으로 평행하고 긴 게이트 영역은 복수의 소스 영역과 바디 영역을 통해 그리고 드리프트 영역 안으로 연장한다. 복수의 게이트 절연체 영역은 복수의 게이트 영역과 복수의 소스 영역의 각각의 하나와, 복수의 바디 영역 및 드리프트 영역 사이에 배치된다.

[0015] 다른 실시형태에서, 적응형 전하 보상 MOSFET 디바이스를 제조하는 방법은, 제1의 타입의 도편트로 강 도핑된 반도체 층 상에 제1의 타입의 도편트로 약 도핑된 반도체 층을 형성하는 것을 포함한다. 제1의 타입의 도편트로

약 도핑된 반도체 층 내에 복수의 전계판 스택 트렌치가 형성된다. 전계판 스택 트렌치의 벽을 따라 제1의 타입의 도편트로 약 도핑된 반도체 층 내에 제2의 타입의 도편트로 강 도핑된 반도체 영역을 형성하는 것에 의해 필드 링이 제조된다. 전계판 스택 트렌치 내에 제1의 유전체 층을 형성하는 것에 의해 제1의 전계판 절연체가 제조된다. 전계판 스택 트렌치 내의 제1의 전계판 절연체 상에 제2의 타입의 도편트로 강 도핑된 제1의 반도체 층을 형성하는 것에 의해 제1의 전계판이 제조되는데, 제1의 전계판의 일부는 필드 링의 제1의 부분과 콘택한다. 전계판 스택 트렌치 내의 제1의 전계판 상에 제2의 유전체 층을 형성하는 것에 의해 제2의 전계판 절연체가 제조된다. 전계판 스택 트렌치 내의 제2의 전계판 절연체 상에 제2의 타입의 도편트로 강 도핑된 제2의 반도체 층을 형성하는 것에 의해 제2의 전계판이 제조되는데, 제2의 전계판의 일부는 필드 링의 제2의 부분과 콘택한다. 그 다음, 제1의 타입의 도편트로 약 도핑된 반도체 층 내에 복수의 게이트 트렌치가 형성된다. 게이트 트렌치 내에 유전체 층을 형성하는 것에 의해 게이트 절연체가 제조된다. 게이트 트렌치 내의 게이트 절연체 상에 제1의 타입의 도편트로 강 도핑된 반도체 층을 형성하는 것에 의해 게이트가 제조된다. 제1의 타입의 도편트로 강 도핑된 반도체 층에 대향하여 제1의 타입의 도편트로 약 도핑된 반도체 층 내에, 그리고 게이트 절연체와 필드 링 사이에 제2의 타입의 도편트로 중 도핑된 반도체 층을 형성하는 것에 의해 바디 영역이 제조된다. 제1의 타입의 도편트로 약 도핑된 반도체 층의 나머지 부분은 드리프트 영역을 형성하고, 제1의 타입의 도편트로 강 도핑된 반도체 층은 드레인 영역을 형성한다는 것을 알 수 있다. 드리프트 영역에 대향하여, 그리고 게이트 절연체에 인접하지만 바디 영역에 의해 필드 링으로부터 분리된 바디 영역 내에 제1의 타입의 도편트로 강 도핑된 반도체 영역을 형성하는 것에 의해 소스 영역이 제조된다.

### 도면의 간단한 설명

[0016]

첨부 도면의 도면에서 본 기술의 실시형태가 제한이 아닌 예로서 예시되는데, 첨부 도면에서는 동일한 도면 부호가 동일한 엘리먼트를 지칭하고, 도면에서:

도 1은 종래기술에 따른 기본 트렌치 MOSFET의 단면 사시도를 도시한다.

도 2a는, 본 기술의 일 실시형태에 따른, 적응형 전하 균형(adaptive charge balanced) MOSFET의 단면 사시도를 도시한다.

도 2b는, 본 기술의 일 실시형태에 따른, 도 2a의 전계판 구조체의 확대도를 도시한다.

도 3은, 본 기술의 실시형태에 따른, 예시적인 적응형 전하 균형 MOSFET 디바이스에 대한 하프 셀 구조체와 도핑 프로파일의 시뮬레이션 플롯을 도시한다.

도 4는 100V에서의 예시적인 적응형 전하 균형 MOSFET 디바이스에 대한 시뮬레이션 전위 윤곽 플롯(contour plot)을 도시한다.

도 5는 항복(breakdown)에서의 예시적인 적응형 전하 균형 MOSFET 디바이스에 대한 시뮬레이션 전위 윤곽 플롯을 도시한다.

도 6은, 본 기술의 실시형태에 따른, 예시적인 적응형 전하 균형 MOSFET 디바이스의 시뮬레이션 IV 곡선을 도시한다.

도 7은 종래의 실드 디바이스에 대한 전계 윤곽의 시뮬레이션을 도시한다.

도 8a 및 도 8b는 종래의 초접합 디바이스와 전계판을 갖는 적응형 전하 균형 MOSFET의 항복 IV의 시뮬레이션 비교를 도시한다.

도 9a 내지 도 9e는, 본 기술의 일 실시형태에 따른, 적응형 전하 균형 MOSFET를 제조하는 방법의 흐름도를 도시한다.

도 10a 내지 도 10m은, 본 기술의 일 실시형태에 따른, 제조 동안의 전하 균형 MOSFET의 다양한 단계의 블록도를 도시한다.

도 11은, 본 기술의 다른 실시형태에 따른, 적응형 전하 균형 MOSFET의 단면 사시도를 도시한다.

### 발명을 실시하기 위한 구체적인 내용

[0017]

본 기술의 실시형태를 상세히 참조할 것인데, 실시형태의 예는 첨부 도면에서 예시된다. 본 기술이 이를 실시형

태와 연계하여 설명될 것이지만, 실시형태는 본 발명을 이들 실시형태로 제한하도록 의도되지 않음이 이해될 것이다. 오히려, 본 발명은 첨부된 특허청구범위에 의해 정의되는 바와 같은 본 발명의 범위 내에 포함될 수도 있는 대안에, 수정에 및 등가예를 포함하도록 의도된다. 또한, 본 기술의 하기의 상세한 설명에서, 다양한 특정 상세는 본 기술의 완전한 이해를 제공하기 위해 설명된다. 그러나, 본 기술은 이들 특정 상세 없이 실시될 수도 있음이 이해된다. 다른 경우에서, 공지의 방법, 프로시저, 컴포넌트, 및 회로는 본 기술의 양태를 불필요하게 모호하게 하지 않도록 상세히 설명되지 않았다.

[0019] 본 출원에서, 이접적 접속사(disjunctive)의 사용은 접속사(conjunctive)를 포함하도록 의도된다. 부정관사 또는 정관사의 사용은 기수(cardinality)를 나타내도록 의도된 것은 아니다. 특히, "그(the)" 오브젝트 또는 "한(a)" 오브젝트에 대한 참조는 가능한 복수의 그러한 오브젝트 중 하나를 또한 나타내도록 의도된다. 본원에서 사용되는 어법(phraseology) 및 전문용어(terminology)는 설명의 목적을 위한 것이며 한정하는 것으로 간주되어 선 안됨이 또한 이해되어야 한다.

[0020] 도면에 도시된 구조는 일정 비율이 아님을 알 수 있다. 도면은 본 기술의 실시형태를 예시하는 목적을 위한 것이다. 구조체는 절대적 및 상대적 양자에서 상이한 치수를 가질 수도 있고, 규칙적인 또는 불규칙한 애지, 경계, 및/또는 유사한 특성, 특징, 속성, 및/또는 파라미터를 가질 수도 있음을 알 수 있다.

[0021] 이제 도 2a를 참조하면, 본 기술의 일 실시형태에 따른, 적응형 전하 균형 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)가 도시된다. MOSFET는 복수의 소스 영역(210), 복수의 게이트 영역(215), 복수의 게이트 절연체 영역(220), 복수의 바디 영역(225), 드리프트 영역(230), 드레인 영역(235), 복수의 전계판 스택(240-280)을 포함한다. 또한, MOSFET는 게이트 콘택, 소스/바디/전계판 콘택, 드레인 콘택, 캡슐화 층 등과 같은 하나 이상의 다른 구조체를 포함하는데, 이들은 본 기술의 실시형태를 더 잘 예시하기 위해 이 도면에서는 도시되지 않는다.

[0022] 소스 영역(210), 게이트 영역(215), 게이트 절연체 영역(220), 바디 영역(225), 및 전계판 스택(240-280)은 드레인 영역(235)에 대향하여 드리프트 영역(230) 상에 배치된다. 게이트 영역(215)과 게이트 절연체 영역(220)은 실질적으로 평행하고 긴 구조체로서 형성된다. 각각의 게이트 절연체 영역(220)은 대응하는 게이트 영역(215)을 둘러싸서, 주변의 소스 영역(210), 바디 영역(225) 및 드리프트 영역(230)으로부터 게이트 영역(215)을 전기적으로 절연시킨다. 게이트 영역(215)은 인터커넥트되어(도시되지 않음) 복수의 스트라이프형 셀을 형성한다. 각각의 게이트 영역(215)과 주변의 게이트 절연체 영역(220)의 결합은 이하 게이트 구조체로서 칭해진다. 게이트 구조체(215, 220)는 바디 영역(225)을 통해 연장하고 드리프트 영역(230) 안으로 부분적으로 연장한다. 실질적으로 평행하고 긴 구조체로서 형성되는 전계판 스택(240-280)은 게이트 구조체(215, 220) 사이에 배치된다. 전계판 스택(240-280)은 바디 영역(225)을 통해 배치되고 게이트 구조체(215, 220)보다 더 깊이 드리프트 영역(230) 안으로 부분적으로 연장한다. 전계판 스택(240-280)의 각각의 세트 사이의 영역(210-225)은 이하 스택 내 메사 영역(inter-stack mesa region)으로 칭해진다. 소스 영역(210)은 게이트 절연체 영역(220)의 주변을 따라 형성되고 바디 영역(225)에 의해 전계판 스택(240-280)으로부터 분리된다. 바디 영역(225)은 또한 게이트 절연체 영역(220)의 주변을 따라 드리프트 영역(230)으로부터 소스 영역(210)을 분리한다. 드리프트 영역(230)으로부터 소스 영역(210)을 분리하는 바디 영역(225)의 부분은 디바이스의 소스-드레인 채널을 형성한다.

[0023] 각각의 전계판 스택(240-280)은 복수의 전계판 절연체 영역(240, 250, 260, 270)에 의해 서로 분리되는 복수의 전계판 영역(245, 255, 265, 275)을 포함한다. 전계판 영역(245, 255, 265, 275)과 전계판 절연체 영역(240, 250, 260, 270)의 세트는 하나 이상의 필드 링(280)에 의해 둘러싸인다. 각각의 전계판 스택에서, 전계판 영역(245, 255, 265, 275)은 몇몇 영역에서 전계판 절연체 영역(240, 250, 260, 270)에 의해 필드 링(280)으로부터 측방향에서 분리되고 다른 영역에서 필드 링(280)에 연결된다. 그러나, 각각의 전계판 영역(245, 255, 265, 275)은 필드 링(280), 또는 복수의 필드 링 중 각각의 필드 링에 오직 콘택하는데, 전계판 영역(245, 255, 265, 275)은 하나 이상의 필드 링(280)에 연결된다. 예시된 바와 같이, 전계판 영역(245, 255, 265, 275)과 전계판 절연체 영역(240, 250, 260, 270)의 세트가 단일의 필드 링(280)에 의해 둘러싸이면, 필드 링(280)은 전계판(245, 255, 265, 275)과 주변의 바디 영역(225) 및 드리프트 영역(230) 사이에 배치된다. 전계판 영역(245, 255, 265, 275)과 전계판 절연체 영역(240, 250, 260, 270)의 세트가 복수의 필드 링(280)에 의해 둘러싸이면, 각각의 필드 링(280)은 대응하는 전계판(245, 255, 265, 275)과 주변의 바디 영역(240, 250, 260, 270) 및 드리프트 영역(230) 사이에 배치된다.

[0024] 이제, 도 2b를 참조하면, 본 기술의 일 실시형태에 따른, 도 2a의 전계판 구조체의 확대도가 도시된다. 다시, 각각의 전계판 스택(240-280)은 복수의 전계판 절연체 영역(240, 250, 260, 270)에 의해 서로 분리되는 복수의 전계판 영역(245, 255, 265, 275)을 포함한다. 전계판 영역(245, 255, 265, 275)과 전계판 절연체 영역(240,

250, 260, 270)의 세트는 필드 링(280)에 의해 둘러싸인다. 각각의 전계판 스택에서, 전계판 영역(245, 255, 265, 275)은 몇몇 영역에서 전계판 절연체 영역(240, 250, 260, 270)에 의해 필드 링(280)으로부터 측방향에서 분리되고 다른 영역에서 필드 링(280)에 연결된다. 상부 전계판 영역(275)이 대응하는 전계판 절연체 영역(270)에 의해 둘러싸이는 것으로 도시되지만, 대응하는 전계판 절연체 영역(270)이 몇몇 구현예에서 상면으로 연장하지 않기 때문에, 상부 전계판 영역(275)은 대안적으로 필드 링(280)에 연결될 수도 있음을 알 수 있다. 예시적인 실시형태에서, 상부 전계판과 전계판 절연체 영역은 게이트 구조체(215, 220)의 깊이 이상으로 바디 영역(225)을 통해 드리프트 영역(230) 안으로 연장할 수도 있다. 전계판 절연체 영역(240, 250, 260, 270)의 두께(도면에서 수직으로 예시됨)는 드리프트 영역(230)을 통해 실질적으로 동일한 전계 전위 스텝 다운을 달성하도록 선택될 수도 있다. 전계판 영역(245, 255, 265, 275), 전계판 절연체 영역(240, 250, 260, 270), 이들 사이의 갭 등등의 하나 이상의 추가적인 치수는 하나 이상의 특정 설계 기준을 달성하도록 마찬가지로 변경될 수도 있다. 다시, 도 2a 및 도 2b에 도시된 구조체는 일정 비율이 아님을 알 수 있다.

[0025] 일 구현예에서, 도 2a에 예시된 바와 같이, 전계판 영역(245, 255, 265, 275)은 봉소로 도핑된 폴리실리콘과 같은 p 도핑된(P) 반도체일 수도 있다. 각각의 스택의 하나 이상의 필드 링은 봉소로 도핑된 실리콘과 같은 p 도핑된(P) 반도체일 수도 있다. 전계판 절연체 영역(240, 250, 260, 270)은 실리콘 이산화물과 같은 유전체일 수도 있다. 소스 영역(210)과 드레인 영역(235)은, 인 또는 비소로 도핑된 실리콘과 같은 강 n 도핑된(N+) 반도체일 수도 있다. 바디 영역(225)은, 봉소로 도핑된 실리콘과 같은 p 도핑된(P) 반도체일 수도 있다. 필드 링(280)과 전계판 영역(240, 250, 260, 270)은 바디 영역(225)보다 더 강 도핑된다. 게이트 영역(220)은, 인 또는 비소로 도핑된 폴리실리콘과 같은 강 n 도핑된 반도체(N+)일 수도 있다. 게이트 절연체 영역(220)은, 실리콘 이산화물과 같은 유전체일 수도 있다. 드리프트 영역(235)은, 인 또는 비소로 도핑된 실리콘과 같은 약 n 도핑된(N-) 반도체일 수도 있다.

[0026] 다른 구현예에서, 전계판 영역은, 인 또는 비소로 도핑된 폴리실리콘과 같은 n 도핑된(N) 반도체일 수도 있다. 각각의 스택의 하나 이상의 필드 링은, 인 또는 비소로 도핑된 실리콘과 같은 n 도핑된(N) 반도체일 수도 있다. 전계판 절연체 영역은 실리콘 이산화물과 같은 유전체일 수도 있다. 소스 영역과 드레인 영역은, 봉소로 도핑된 실리콘과 같은 강 p 도핑된(+P) 반도체일 수도 있다. 바디 영역은, 인 또는 비소로 도핑된 실리콘과 같은 n 도핑된(N) 반도체일 수도 있다. 필드 링과 전계판 영역은 바디 영역보다 더 강 도핑된다. 게이트 영역은, 봉소로 도핑된 폴리실리콘과 같은 강 p 도핑된(P+) 반도체일 수도 있다. 게이트 절연체 영역은, 실리콘 이산화물과 같은 유전체일 수도 있다. 드리프트 영역은, 봉소로 도핑된 실리콘과 같은 약 p 도핑된(P-) 반도체일 수도 있다.

[0027] 디바이스의 항복 전압은 스택에서의 전계판(240, 250, 260, 270)의 수와 전계판 스택의 두께에 의존한다. 또한, 항복 전압은 전계판 스택 사이의 메사의 폭( $W_{mesa}$ ), 및 소스, 바디 및 드리프트 영역(210, 225, 230)의 도핑 프로파일과 반도체 재료 자체(예를 들면, 실리콘, 갈륨 비소)에 의존한다. n형 도핑된 드리프트 영역(230)의 경우, 중 p형 도핑된 바디 영역(225)에 얹고 더 강 도핑된 p형 필드 링 영역(280)이 연결된다. p형 도핑 필드 링 영역(280)의 도핑 레벨은, 바디-드리프트 영역 항복 전압에 비해, 인가되는 드레인 전압이 충분히 낮을 때 p형 도핑된 필드 영역에 자유 전하 캐리어가 공핍되도록 선택된다. p형 필드 링(280)은 드레인-전계판 스택의 바닥부의 낮은 전압에서 시작하여 소스(210)로부터 드리프트 영역(230)으로의 그 깊이를 따라 평활하게 등급이 매겨지는, 바람직하게는 선형적으로 증가하는 전위를 달성하도록 적응된다.

[0028] 전계판 절연체 영역(240, 250, 260, 270)에 의해 필드 링(280) 및 바디 영역(225)과는 측방향에서 분리된 전계판 영역(245, 255, 265, 275)의 두께( $W_{FP}$ )는, 전계판 절연체 영역(240, 250, 260, 270)의 두께( $T_{insulator}$ )를 고려하여, MOSFET 디바이스의 주어진 항복 전압에 대해 바디 영역(225)에서 실질적으로 작은 전계 피크를 달성하도록 선택된다. 또한, 전계판 절연체 영역(240, 250, 260, 270)의 두께( $T_{insulator}$ )는, 상대적으로 낮은 디바이스 온 저항( $R_{DS-on}$ ), 및 바디 영역(225)에서 낮은 전계를 유지하면서 디바이스의 주어진 항복 전압을 달성하기 위해, 전계판(245, 255, 265, 275)의 수를 관리한다. 필드 링(280)을 통해 드리프트 영역(230)과 쇼트키 콘택하는 또는 바디 영역(225)과 오믹 콘택하는 전계판 영역(245, 255, 265, 275)의 두께( $T_{fp-c}$ )는, 전계판 영역(245, 255, 265, 275)이 콘택의 영역에서의 바디 영역(225)의 전위 레벨로 플로팅할 수 있기에 콘택 면적이 충분하도록 선택된다. 또한, 소스 영역(210)의 전위는 소스/바디/전계판 콘택(도시되지 않음)을 통해 바디 영역(225), 상부 전계판(275), 및 필드 링(280)에 커플링됨을 알 수 있다.

[0029] 오프 상태에서, 게이트 구조체(215, 220)에 인접한 바디 영역(225)의 소스-드레인 채널을 공핍시키는 데 필요한 핀치오프(pinch-off) 전압을 넘어 드레인 전압이 증가될 때, 채널의 소스측에서 드레인측으로 증가하는 공핍 영

역의 길이에 걸쳐 전위는 강하된다. 채널을 따른 전위 강하 프로파일에 의존하여, 전계판 스택에서의 인접한 전계판 영역(245, 255, 265, 275)은 소스 영역(210) 및 드레인 영역(235)에 대한 그들의 위치에 따라 상이한 전위로 플로팅한다.

[0030] 이제 도 3을 참조하면, 본 기술의 실시형태에 따른, 예시적인 적응형 전하 균형 MOSFET 디바이스에 대한 하프 셀 구조체와 도핑 프로파일이 예시된다. 이제 도 4 및 도 5를 참조하면, 100V에서의 예시적인 적응형 전하 균형 MOSFET 디바이스에 대한 전위 윤곽 플롯과 항복 전압이 각각 도시된다. 소스/바디/전계판 콘택에 커플링된 제1의 전계판은 소스 및 바디 영역의 전위에 있다. 연속하는 전계판 영역은, 드레인 영역에 가장 가까운 전계판 영역이 가장 높은 전위로 플로팅하도록, 충분적으로 더 높은 전위로 플로팅한다. 전계판 영역이 바디 영역의 전위보다 작은 전위로 플로팅하기 때문에, 전계판 영역은 바디 영역을 공핍시키기 시작한다. 소스 전위에서의 제1의 전계판은 바디 영역 전하를 공핍시키고, 공핍 영역이 제2의 전계판에 도달함에 따라, 제2의 전계판은 전계판 스택이 없는 종래의 MOSFET의 공핍되지 않은 바디 영역의 전위(예를 들면, 드레인 전위)보다 더 작은 전압으로 플로팅한다. 그 다음, 제2의 전계판의 더 작은 전위는, 공핍 영역이 다음 전계판에 도달하는 지점까지 바디 영역을 공핍시키는 데 도움이 되고, 다음 전계판은 결국에는 전계판 스택이 없는 종래의 MOSFET의 드레인 전위보다 더 작은 전위로 플로팅하게 된다. 공핍 확장과 계속 증가하는 전위로의 전계판 플로팅의 이 프로세스는 전체 바디 영역이 공핍될 때까지 계속된다. 전체 바디 영역이 공핍되면, 전위에서의 추가적인 증가는 높은 전계와 구조체의 항복으로 추가로 이끄는 공핍 영역을 더 이상 반드시 증가시키지는 않는다.

[0031] 전계판이 바디 영역의 전위에 더 가까운 전압으로 플로팅하기 때문에, 전계판과 바디 영역을 분리하는 전계판 절연체 영역에서의 전계는 얇은 절연체에 대해 더 작아진다는 것을 알 수 있다. 대조적으로, 종래의 실드된 게이트 또는 소스 디바이스에서는, 전계판 스택과 동일한 영역에서 더 작은 전계를 달성하기 위해서는 두꺼운 절연체가 필요한데, 그 이유는 실드 플레이트가 게이트 또는 소스 전위에 있고 따라서 훨씬 더 큰 전위 차에 있기 때문이다. 다시 말하면, 종래의 디바이스에서의 실딩(shielding)과 본 실시형태에서의 전계판 사이의 큰 전위차로 인해, 종래의 디바이스의 게이트 구조체 사이의 메사의 깊이를 증가시키는 것과 함께 더 큰 항복 전압을 달성하는 데 더 두꺼운 절연체가 필요하다. 그러나, 본 기술의 실시형태에서, 전계판과 메사 영역 사이의 전위차가 위에서 설명된 바와 같이 더 작기 때문에, 더 얇은 절연체 영역과 더 깊은 메사 영역에 의해 더 높은 항복 전압이 달성될 수 있다. 전계판과 바디 영역 사이의 더 작은 전위차로 인해, 디바이스 전하 또는 커패시턴스는, 종래의 실드 디바이스와 비교하여, 전계판 구조체를 갖는 디바이스에 대해 더 작다는 것이 또한 인식되어야 한다.

[0032] 이제 도 6을 참조하면, 본 기술의 실시형태에 따른, 예시적인 적응형 전하 균형 MOSFET 디바이스의 IV 곡선이 도시된다. 예시된 바와 같이, 전계판 스택을 사용하는 것에서 달성되는 항복 전압은 주어진 절연체 두께, 트렌치 깊이 및 바디 영역 도핑 프로파일에 대해 상대적으로 더 크다. 이제 도 7을 참조하면, 종래의 실드 디바이스에 대한 전계 윤곽은, 얇은 산화물 두께로 인해 항복이 트렌치 바닥 근처에서 발생하는 것을 나타낸다. 또한 낮은 항복 전압은 산화물-실리콘 계면에 형성된 홀 반전 층(hole inversion layer)의 결과임을 알 수 있다. 반전 전압은 게이트 구조체 사이의 메사에서의 도핑 프로파일과 산화물 두께의 함수이다. 본 기술의 실시형태에서 소스로부터 드레인으로의 채널을 따라 연속적으로 더 높은 전위로 플로팅하는 다수의 전계판과 함께 얇은 p 도핑된 바디 영역이, 반전 층 형성을 방지하는 것을 도우며, 더 높은 항복 전압으로 나타난다.

[0033] 그러나, 전계판 영역 바로 옆의 메사에서 n형 드리프트 영역의 반전을 방지하도록 주의하여야 한다. 전계판 바로 옆의 메사 영역의 드리프트 영역에서의 반전 층의 형성의 경우에, 디바이스의 항복 전압은 연속적인 얇은 p형 필드 링을 갖는 디바이스보다 더 낮을 것이다. 또한, 연속하는 얇은 p형 필드 링에서의 전하는 전계판 구조체의 전체적인 항복 전압 향상에 대한 초접합 다이오드의 기여를 튜닝하도록 따라서 본 기술의 실시형태에 따라 디바이스에서 전계를 미세조정하기 위한 방식을 제공하도록 변경될 수 있다.

[0034] 전계판 영역은 p형 필드 링과 바디 영역에 대해 오직 콘택을 형성해야 한다. 전계판이 메사의 드리프트 영역에 커플링되는 경우, 심지어 메사에서의 높은 도핑 프로파일과 함께 높은 항복 전압을 갖도록 디바이스를 튜닝할 수 있도록 하기 위해 전계판은 쇼트키 콘택을 형성해야 한다.

[0035] 이제 도 7을 참조하면, 종래의 초접합 디바이스에 대한 전계 윤곽이, 도 6에 도시된 적응형 전하 균형 MOSFET 디바이스와 유사한 트렌치 깊이 및 산화물 두께를 갖는 디바이스에 대해 도시된다. 이제 도 8a 및 도 8b를 참조하면, 전계판을 갖는 적응형 전하 균형 MOSFET의 항복 IV가 종래의 초접합 디바이스에 대해 정성적으로 (qualitatively) 비교된다.

[0036] 도 9a 내지 도 9e를 참조하면, 본 기술의 일 실시형태에 따른, 적응형 전하 균형 MOSFET의 제조 방법이 도시된

다. 제조 동안 전하 균형 MOSFET의 다양한 단계를 도시하는 도 10a 내지 도 10m을 참조로 제조 방법이 더 설명 될 것이다. 다시, 도 10a 내지 도 10m에 도시된 구조체는 일정 비율이 아님을 알 수 있다.

[0037] 프로세스는 반도체 웨이퍼에 대한 다양한 초기 프로세스, 예컨대 세정, 증착, 도핑, 에칭 등을 갖는 302에서 시작한다. 웨이퍼는 제1의 타입의 도편트로 제1의 농도로 도핑된 제1의 기판 반도체 층(402)일 수도 있다. 일 구현예에서, 제1의 기판 반도체 층은 인으로 강 도핑된(N+) 실리콘일 수도 있다.

[0038] 304에서, 제1의 기판 반도체 층(402) 상에 제1의 타입의 도편트로 제2의 농도로 도핑된 제2의 기판 반도체 층이 형성된다. 일 구현예에서, 제2의 기판 반도체 층은 제1의 기판 반도체 층 상에 에피택셜 증착될 수도 있다. 에피택셜 증착된 실리콘은, 인 또는 비소와 같은 소망의 불순물을 반응 챔버 안에 도입하는 것에 의해 도핑될 수도 있다. 일 구현예에서, 에피택셜 증착된 제2의 기판 반도체 층은 인으로 약 도핑된(N-) 실리콘일 수도 있다.

[0039] 306에서, 도핑된 제2의 기판 반도체 층(40) 상에 하드 마스크 층(406)이 증착된다. 일 구현예에서, 하드 마스크 층(406)은 실리콘 질화물 등일 수도 있다. 308에서, 전계판 트렌치 마스크(408)가 하드 마스크 층(406) 상에 형성된다. 전계판 트렌치 마스크(408)는 포토레지스트를 증착하고 임의의 널리 공지된 리소그래피 프로세스에 의해 레지스트를 패터닝하는 것에 의해 형성될 수도 있다. 일 구현예에서, 전계판 마스크(408)는 복수의 종방향의 (longitudinal) 평행한 개구(예를 들면, 스트라이프형)를 구비한다.

[0040] 310에서, 전계판 트렌치 마스크(408)에 의해 노출되는 제2의 기판 반도체 층(404)의 일부와 하드 마스크(406)의 일부는 에칭된다. 하드 마스크(408)와 제2의 기판 반도체 층(404)은 하나 이상의 널리 공지된 이방성 에칭 방법에 의해 에칭될 수도 있다. 복수의 전계판 스택 트렌치(410)가 트렌치(410) 사이에 전계판 메사 내 메사(inter-field plate mesa)를 배치하여 형성된다. 일 구현예에서, 전계판 스택 트렌치(410)는 대략 D의 깊이와, 대략 W의 폭을 가지며, 대략 S만큼 서로 떨어져 이격된다. 312에서, 전계판 스택 트렌치 마스크(408)는 적절한 레지스트 스트리퍼 또는 레지스터 애싱 프로세스를 활용하여 제거된다.

[0041] 이제 도 10b를 참조하면, 314에서, 복수의 전계판 트렌치(410)를 따른 제2의 기판 반도체 층(404) 내에 필드 링(414)이 형성된다. 필드 링(414)은 제2의 타입의 도편트로 제3의 농도로 도핑된다. 일 구현예에서, 임의의 널리 공지된 이온 주입 프로세스를 활용하여 제2의 타입의 도편트가 경사 주입되어, 복수의 전계판 스택 트렌치(410)의 플로어 및 벽을 따라 적층된 플레이트 링(414)을 형성한다. 하드 마스크(406)는 전계판 스택 트렌치(410) 사이의 메사의 나머지에서의 주입을 방지한다. 일 구현예에서, 대략  $W_{ring}$ 의 폭을 갖는 필드 링(414)을 형성하도록, 전계판 스택 트렌치(410)의 플로어와 벽을 따라 봉소가 이온 주입된다.

[0042] 도 9b 및 도 10c를 참조하면, 316에서, 복수의 전계판 스택 트렌치(410) 내에 제1의 전계판 유전체 층(416)이 형성된다. 유전체는, 복수의 전계판 스택 트렌치(410)의 플로어와 벽을 따라 제2의 기판 반도체 층(404)을 산화시키는 것에 의해 형성될 수도 있다. 일 구현예에서, 유전체 층(418)은  $T_{insulator}$ 의 두께를 갖는 실리콘 산화물일 수도 있다. 318에서, 복수의 전계판 스택 트렌치(410) 내의 제1의 전계판 유전체 층(416) 상에 제1의 전계판 반도체 층(418)이 형성된다. 제1의 전계판 반도체 층(418)은 제2의 타입의 도편트로 제4의 농도로 도핑된다. 일 구현예에서에서, 제1의 전계판 반도체 층(418)은 봉소로 도핑된 폴리실리콘을 등각적으로 증착하는 것에 의해 형성될 수도 있다.

[0043] 이제 도 10d를 참조하면, 320에서, 제1의 전계판 반도체 층(418)은 복수의 전계판 스택 트렌치(410) 안으로 에치백되어 전계판의 제1의 부분(420)을 형성한다. 전계판의 제1의 부분(420)은  $T_{fp-nc}$ 의 두께를 갖는다. 제1의 전계판 반도체 층(418)은 임의의 널리 공지된 선택 에칭 프로세스에 의해 에치백될 수도 있다.

[0044] 이제 도 10e를 참조하면, 322에서, 제1의 전계판 유전체 층(416)은 복수의 전계판 스택 트렌치(410) 안으로 에치백되어 제1의 전계판 절연체(422)를 형성한다. 제1의 전계판 유전체 층(416)은 임의의 널리 공지된 선택 에칭 프로세스에 의해 에치백될 수도 있다.

[0045] 이제 도 10f를 참조하면, 324에서, 복수의 전계판 스택 트렌치 내의 제1의 전계판 절연체(422)와 전계판의 제1의 부분(420) 상에 제2의 전계판 반도체 층(424)이 형성된다. 일 구현예에서, 제2의 전계판 반도체 층(424)은 p 도핑된 폴리실리콘을 등각적으로 증착하는 것에 의해 형성될 수도 있다.

[0046] 이제 도 10g를 참조하면, 326에서, 제2의 전계판 반도체 층(424)은 복수의 전계판 스택 트렌치(410) 안으로 에치백되어 전계판의 제2의 부분(426)을 형성한다. 결과적인 전계판은  $T_{fp}$ 의 두께를 갖는다. 제2의 전계판 반도체 층(424)은 임의의 널리 공지된 선택 에칭 프로세스에 의해 에치백될 수도 있다. 316-326의 프로세스가

반복되어, 복수의 전계판 절연체(422)에 의해 서로 분리되는 복수의 전계판(426)을 형성한다.

[0047] 도 9c 및 도 10h를 참조하면, 328에서, 복수의 전계판 스택 트렌치 내에 최종 전계판 유전체 층(4280)이 형성된다. 최종 전계판 유전체 층은, 복수의 전계판 스택 트렌치(410)의 벽의 나머지 부분을 따라 제2의 기판 반도체 층(404)을 산화시키는 것에 의해 형성될 수도 있다. 일 구현예에서, 최종 유전체 층은  $T_{insulator}$ 의 두께를 갖는 실리콘 산화물일 수도 있다. 330에서, 복수의 전계판 스택 트렌치(410) 내의 최종 전계판 유전체 층(428) 상에 제2의 타입의 도편트로 제4의 농도로 도핑된 최종 전계판(430)이 형성된다. 최종 전계판(430)은 반도체를 등각적으로 증착하고 그것을 복수의 전계판 스택 트렌치(410)의 상부까지 에치백하여 최종 전계판(430)을 형성하는 것에 의해 형성될 수도 있다. 각각의 전계판 스택 트렌치(410)에서의 전계판(428, 430)과 사이에 삽입된 전계판 절연체(422, 428)의 세트는, 필드 링(414)과 함께 본원에서 전계판 스택으로서 칭해진다.

[0048] 이제 도 10i를 참조하면, 332에서, 하드 마스크(406) 상에 게이트 트렌치 마스크(432)가 형성된다. 전계판 트렌치 마스크(432)는 포토레지스트를 증착하고 임의의 널리 공지된 리소그래피 프로세스에 의해 레지스트를 패터닝하는 것에 의해 형성될 수도 있다. 일 구현예에서, 게이트 트렌치 마스크(432)는,  $W_{gate}$ 의 폭을 가지며, 복수의 전계판 스택 사이에서 실질적으로 이들에 평행하게 이격된 복수의 종방향의 평행한 개구(예를 들면, 스트라이프형)를 포함한다. 334에서, 게이트 트렌치 마스크(432)에 의해 노출된 제2의 기판 반도체 층(404)의 일부 및 하드 마스크(406)가 에칭되어 복수의 게이트 트렌치(434)를 형성한다. 하드 마스크(406) 및 하드 마스크(406)와 제2의 기판 반도체 층(404)은 하나 이상의 널리 공지된 이방성 에칭 방법에 의해 에칭될 수도 있다. 일 구현예에서, 게이트 트렌치는  $D_{gate}$ 의 깊이, 및  $W_{gate}$ 의 폭을 갖는다. 336에서, 게이트 트렌치 마스크(432)는 적절한 레지스트 스트리퍼 또는 레지스트 애싱 프로세스를 활용하여 제거된다. 338에서, 하드 마스크(405)는 임의의 널리 공지된 선택 에칭 프로세스를 활용하여 제거된다.

[0049] 이제 도 9d 및 도 10j를 참조하면, 340에서, 게이트 절연체(440)의 제1의 부분이 복수의 게이트 트렌치(434) 내에 형성된다. 게이트 절연체(440)의 제1의 부분은 복수의 게이트 트렌치(434)의 플로어 및 벽을 따라 제2의 기판 반도체 층을 산화시키는 것에 의해 형성될 수도 있다. 일 구현예에서, 유전체 층(418)은  $T_{gate}$ 의 두께를 갖는 실리콘 산화물일 수도 있다. 342에서, 복수의 게이트 트렌치(434) 내에 게이트 층(442)이 형성된다. 게이트 층(442)은 제1의 타입의 도편트로 제5의 농도로 도핑된 반도체 층을 등각적으로 증착하고 그 다음 게이트 트렌치(434)의 상부까지 에치백하는 것에 의해 형성될 수도 있다. 일 구현예에서, 게이트 층(442)은 인 또는 비소로 도핑된 폴리실리콘일 수도 있다. 344에서, 복수의 게이트 구조체와 전계판 스택 사이의 제2의 기판 반도체 층(404) 내에, 그리고 제1의 기판 반도체 층(402)에 대향하여 복수의 바디 영역(444)이 형성된다. 바디 영역은 제2의 기판 반도체 층(404)에 미리 결정된 깊이까지 제2의 타입의 도편트를 제6의 농도로 주입하는 것에 의해 형성될 수도 있다. 제1의 기판 반도체 층(440)은 디바이스의 드레인을 형성하고, 한편 바디 영역(444)과 드레인 영역(402) 사이의 제2의 기판 반도체 층의 나머지 부분은 디바이스(445)의 드리프트 영역을 형성한다. 일 구현예에서, 바디 영역은 봉소로 중 도핑된(P) 실리콘일 수도 있다.

[0050] 이제 도 10k를 참조하면, 346에서, 게이트 절연체 상에 소스 영역 마스크(446)가 형성된다. 소스 영역 마스크(446)는 포토레지스트를 증착하고 레지스트를 널리 공지된 리소그래피 프로세스에 의해 패터닝하는 것에 의해 형성될 수도 있다. 일 구현예에서, 소스 영역 마스크(446)는  $W_s$ 의 폭을 가지며 게이트 트렌치(434)의 각각의 사이드를 넘어 연장하는 복수의 종방향의 평행한 개구(예를 들면, 스트라이프형)를 포함한다. 348에서, 소스 영역(448)은 복수의 게이트 구조체의 각각의 사이드에 인접한 바디 영역(444) 내에 형성된다. 소스 영역(448)은 제1의 타입의 도편트를 바디 영역(444)에 미리 결정된 깊이로 주입하는 것에 의해 형성될 수도 있다. 일 구현예에서, 소스 영역(448)은 인 또는 비소로 강 도핑된(N+) 실리콘일 수도 있다. 350에서, 소스 영역 마스크는 적절한 레지스트 스트리퍼 또는 레지스트 애싱 프로세스를 활용하여 제거된다.

[0051] 이제 도 9e 및 도 10l을 참조하면, 352에서, 웨이퍼 상에 제2의 게이트 층(452)이 형성된다. 유전체 층은 웨이퍼의 표면을 산화시키는 것에 의해 형성될 수도 있다. 354에서, 소스/바디/전계판 콘택 마스크(454)가 형성된다. 소스/바디 전계판 콘택 마스크(454)는 포토레지스트를 증착하고 임의의 널리 공지된 리소그래피 프로세스에 의해 레지스트를 패터닝하는 것에 의해 형성될 수도 있다. 356에서, 소스/바디/전계판 콘택 마스크(454)에 의해 노출되는 유전체 층은 에칭되어 유전체 내에 소스/바디 적층된 플레이트 콘택(456)을 형성하고 게이트 반도체 층 위에 게이트 절연체(457)의 제2의 부분을 형성한다. 358에서, 소스/바디 전계판 콘택 마스크(454)는 적절한 레지스트 스트리퍼 또는 레지스트 애싱 프로세스를 활용하여 제거된다.

[0052] 이제 도 10m를 참조하면, 360에서, 소스/바디 전계판 콘택 층(460)이 형성된다. 일 구현예에서, 소스/바디/전계

판 콘택 층(460)은 임의의 널리 공지된 방법 예컨대 스퍼터링에 의해 금속 층을 증착하는 것에 의해 형성될 수도 있다. 362에서, 웨이퍼의 대향측 상에 드레인 콘택 층(462)이 형성된다. 다시, 드레인 콘택 층(462)은 널리 공지된 방법 예컨대 스퍼터링에 의해 금속층을 증착하는 것에 의해 형성될 수도 있다. 364에서, 제조는 다양한 다른 프로세스로 계속된다. 다양한 프로세스는 통상적으로 에칭, 증착, 도핑, 세정, 어닐링, 패시베이션, 클리빙(cleaving) 등을 포함한다.

[0053] 도 11을 참조하면, 본 기술의 다른 실시형태에 따른, 적응형 전하 균형 MOSFET가 도시된다. 다시, 도 11에 도시된 구조체는 일정 비율이 아님을 알 수 있다. 전하 균형 MOSFET의 전계판 스택 구조체 각각은 복수의 필드 링(280, 285, 290)을 포함한다. 각각의 필드 링(280, 285, 290)은 대응하는 전계판(245, 255, 265, 275)과 주변의 바디 영역(240, 250, 260, 270) 및 드리프트 영역(230) 사이에 배치된다. 필드 링(280, 285, 290)은 전계판(245, 255, 265, 275)으로부터 인접한 바디 영역(225) 또는 드리프트 영역(230) 안으로의 외부 확산(out diffusion)에 의해 형성될 수도 있다.

[0054] 본 기술의 특정 실시형태의 상기 설명은 예시와 설명의 목적을 위해 제시되었다. 이들은 총망라하도록 또는 본 발명을 개시된 정확한 형태로 한정하도록 의도된 것이 아니며, 명백히, 많은 수정예와 변형예가 상기 교시의 견지에서 가능하다. 실시형태는, 본 기술의 원리들과 그 실제 애플리케이션을 가장 잘 설명하여, 당해 기술분야의 당업자가 본 기술 및 고려되는 특정 용도에 적합된 다양한 수정예를 갖는 다양한 실시형태를 최상으로 활용하는 것을 가능하게 하기 위해 선택되어 설명되었다. 본 발명의 범위는 본원에 첨부된 특허청구범위와 그들의 등가의 범위에 의해 정의되어야 한다는 것이 의도된다.

[0055] 본원에서 설명된 모든 엘리먼트, 부품, 단계는 포함되는 것이 바람직하다. 이들 엘리먼트, 부품 및 단계 중 임의의 것은 다른 엘리먼트, 부품 및 단계에 의해 대체될 수도 있거나 또는 당업자에게게는 명확한 바와 같이 모두 제거될 수도 있음이 이해되어야 한다.

[0056] 본원은 광의적으로 다음을 개시한다. 적응형 전하 균형 MOSFET 디바이스는 전계판 스택, 게이트 구조체, 소스 영역, 드리프트 영역 및 바디 영역을 포함한다. 게이트 구조체는 게이트 절연체 영역에 의해 둘러싸인 게이트 영역을 포함한다. 전계판 구조체는 복수의 전계판 절연체 영역, 복수의 전계판 영역, 및 필드 링 영역을 포함한다. 복수의 전계판은 각각의 전계판 절연체에 의해 서로 분리된다. 바디 영역은 게이트 구조체, 소스 영역, 드리프트 영역 및 필드 링 영역 사이에 배치된다. 2개 이상의 전계판의 각각은 필드 링에 커플링된다.

## 개념

[0058] 본 기술(writing)은 적어도 다음의 개념을 또한 개시한다.

[0059] 개념 1. 장치로서,

[0060] 복수의 전계판 절연체 영역과,

[0061] 복수의 전계판 영역 - 복수의 전계판은 복수의 전계판 절연체 사이에 삽입됨 - 과,

[0062] 필드 링 영역 - 2개 이상의 전계판의 각각은 필드 링에 커플링됨 - 을 포함하는

[0063] 전계판 스택과,

[0064] 게이트 절연체 영역에 의해 둘러싸인 게이트 영역을 포함하는 게이트 구조체와,

[0065] 소스 영역과,

[0066] 드리프트 영역과,

[0067] 게이트 구조체, 소스 영역, 드리프트 영역 및 필드 링 영역 사이에 배치되는 바디 영역을 포함한다.

[0068] 개념 2. 개념 1에 따른 장치로서, 필드 링 영역은 다수의 부분들을 포함하는데, 필드 링의 2개 이상의 부분들 각각은 대응하는 전계판 영역을 바디 영역의 인접부에 커플링한다.

[0069] 개념 3. 개념 1 또는 2에 따른 장치로서:

[0070] 드리프트 영역은 인 또는 비소로 중 도핑된 에피택셜 실리콘을 포함하고,

[0071] 복수의 바디 영역은 봉소로 중 도핑된 실리콘을 포함하고,

[0072] 복수의 소스 영역은 인 또는 비소로 강 도핑된 실리콘을 포함하고,

- [0073] 복수의 게이트 영역은 인 또는 비소로 강 도핑된 폴리실리콘을 포함하고,
- [0074] 복수의 전계판 영역은 붕소로 강 도핑된 폴리실리콘을 포함하고,
- [0075] 복수의 필드 렇 영역은 붕소로 강 도핑된 에피택셜 실리콘을 포함한다.
- [0076] 개념 4. 개념 1 또는 2에 따른 장치로서:
- [0077] 드리프트 영역은 붕소로 중 도핑된 에피택셜 실리콘을 포함하고,
- [0078] 복수의 바디 영역은 인 또는 비소로 중 도핑된 실리콘을 포함하고,
- [0079] 복수의 소스 영역은 붕소로 강 도핑된 실리콘을 포함하고,
- [0080] 복수의 게이트 영역은 붕소로 강 도핑된 폴리실리콘을 포함하고,
- [0081] 복수의 전계판 영역은 인 또는 비소로 강 도핑된 폴리실리콘을 포함하고,
- [0082] 복수의 필드 렇 영역은 인 또는 비소로 강 도핑된 에피택셜 실리콘을 포함한다.
- [0083] 개념 5. 이전 개념 중 어느 하나에 따른 장치로서, 전계판 스택의 깊이는 게이트 구조체의 깊이보다 더 깊다.
- [0084] 개념 6. 이전 개념 중 어느 하나에 따른 장치로서, 전계판 영역과 필드 렇 영역 사이의 콘택 면적과 전계판 절연체 영역의 두께는, 드레인 전압이 핀치오프 전압보다 더 높을 때 각각의 전계판 영역이 상이한 전위로 플로팅하도록 선택된다.
- [0085] 개념 7. 이전 개념 중 어느 하나에 따른 장치로서, 복수의 전계판 영역은 드리프트 영역과 쇼트키 콘택하여 오직 콘택과 비교하여 장치의 항복 전압을 증가시킨다.
- [0086] 개념 8. 방법으로서,
- [0087] 제1의 타입의 도편트로 강 도핑된 반도체 층 상에 제1의 타입의 도편트로 중 도핑된 반도체 층을 형성하는 것,
- [0088] 제1의 타입의 도편트로 약 도핑된 반도체 층 내에 복수의 전계판 스택 트렌치를 형성하는 것,
- [0089] 전계판 스택 트렌치의 벽을 따라 제1의 타입의 도편트로 중 도핑된 반도체 층 내에 제2의 타입의 도편트로 강 도핑된 반도체 영역을 형성하는 것,
- [0090] 전계판 스택 트렌치 내에 제1의 유전체 층을 형성하는 것,
- [0091] 전계판 스택 트렌치 내의 제1의 유전체 층 상에 제2의 타입의 도편트로 강 도핑된 제1의 반도체 층 - 제1의 반도체 층의 일부는 제2의 타입의 도편트로 강 도핑된 반도체 영역의 제1의 부분과 콘택함 - 을 형성하는 것,
- [0092] 전계판 스택 트렌치 내의 제2의 타입의 도편트로 강 도핑된 제1의 반도체 층 상에 제2의 유전체 층을 형성하는 것,
- [0093] 전계판 스택 트렌치 내의 제2의 유전체 층 상에 제2의 타입의 도편트로 강 도핑된 제2의 반도체 층 - 제2의 반도체 층의 일부는 제2의 타입의 도편트로 강 도핑된 반도체 영역의 제2의 부분과 콘택함 - 을 형성하는 것,
- [0094] 제1의 타입의 도편트로 약 도핑된 반도체 층 내에 복수의 게이트 트렌치를 형성하는 것,
- [0095] 게이트 트렌치 내에 유전체 층을 형성하는 것,
- [0096] 게이트 트렌치 내의 유전체 층 상에 제1의 타입의 도편트로 강 도핑된 반도체 층을 형성하는 것,
- [0097] 제1의 타입의 도편트로 강 도핑된 반도체 층에 대향하여 제1의 타입의 도편트로 중 도핑된 반도체 층 내에 그리고 전계판 스택 트렌치의 벽을 따라 제2의 타입의 도편트로 강 도핑된 반도체 영역과 게이트 트렌치 내의 유전체 층 사이에 제2의 타입의 도편트로 중 도핑된 반도체 영역을 형성하는 것, 및
- [0098] 게이트 트렌치 내의 유전체 층에 인접하지만, 제2의 타입의 도편트로 중 도핑된 반도체 영역에 의해 전계판 스택 트렌치의 벽을 따라 제2의 타입의 도편트로 강 도핑된 반도체 영역으로부터 분리된 제1의 타입의 도편트로 약 도핑된 반도체 층에 대향하여 제2의 타입의 도편트로 중 도핑된 반도체 영역 내에 제1의 타입의 도편트로 강 도핑된 반도체 영역을 형성하는 것을 포함한다.
- [0099] 개념 9. 개념 8의 방법으로서:

- [0100] 전계판 스택 트렌치 내의 제2의 타입의 도편트로 강 도핑된 제2의 반도체 층 상에 제3의 유전체 층을 형성하는 것,
- [0101] 전계판 스택 트렌치 내의 제3의 유전체 층 상에 제2의 타입의 도편트로 강 도핑된 제3의 반도체 층 - 제3의 반도체 층의 일부는 제2의 타입의 도편트로 강 도핑된 반도체 영역의 제3의 부분과 콘택함 - 을 형성하는 것을 더 포함한다.
- [0102] 개념 10. 개념 9의 방법으로서:
- [0103] 전계판 스택 트렌치 내의 제2의 타입의 도편트로 강 도핑된 제3의 반도체 층 상에 제4의 유전체 층을 형성하는 것,
- [0104] 전계판 스택 트렌치 내의 제4의 유전체 층 상에 제2의 타입의 도편트로 강 도핑된 제4의 반도체 층을 형성하는 것을 더 포함한다.
- [0105] 개념 11. 개념 8의 방법으로서, 전계판 스택 트렌치 내에 제1의 유전체 층 및 제1의 반도체 층을 형성하는 것은:
- [0106] 전계판 스택 트렌치 내에 제1의 유전체 층을 성장시키는 것,
- [0107] 전계판 스택 트렌치 내에 제2의 타입의 도편트로 강 도핑된 제1의 반도체 층의 일부를 증착하는 것,
- [0108] 전계판 스택 트렌치 내의 제2의 타입의 도편트로 강 도핑된 제1의 반도체 층의 일부를 제1의 미리 결정된 두께로 에치백하는 것,
- [0109] 전계판 스택 트렌치 내의 제1의 유전체 층을 전계판 스택 트렌치 내의 제2의 타입의 도편트로 강 도핑된 제1의 반도체 층의 일부의 제1의 미리 결정된 두께로 에치백하는 것,
- [0110] 전계판 스택 트렌치 내에 제2의 타입의 도편트로 강 도핑된 제1의 반도체 층의 다른 부분을 증착하는 것, 및
- [0111] 전계판 스택 트렌치 내의 제2의 타입의 도편트로 강 도핑된 제1의 반도체 층의 다른 부분을 제2의 미리 결정된 두께로 에치백하는 것 - 제2의 미리 결정된 두께의 제2의 타입의 도편트로 강 도핑된 제1의 반도체 층의 다른 부분은 제2의 타입의 도편트로 강 도핑된 반도체 영역의 제1의 부분과 콘택함 - 을 포함한다.
- [0112] 개념 12. 개념 8의 방법으로서, 전계판 스택 트렌치의 벽을 따라 제1의 타입의 도편트로 약 도핑된 반도체 층 내에 제2의 타입의 도편트로 강 도핑된 반도체 영역을 형성하는 것은, 전계판 스택 트렌치의 벽을 따라 제1의 타입의 도편트로 약 도핑된 반도체 층 안으로 제2의 타입의 도편트를 경사 주입하는 것(angle implanting)을 포함한다.
- [0113] 개념 13. 개념 8의 방법으로서, 전계판 스택 트렌치의 벽을 따라 제1의 타입의 도편트로 약 도핑된 반도체 층 내에 제2의 타입의 도편트로 강 도핑된 반도체 영역을 형성하는 것은: 전계판 스택 트렌치 내의 제2의 타입의 도편트로 강 도핑된 제1의 반도체 층의 일부와 인접한 전계판 스택 트렌치의 벽을 따라 제1의 타입의 도편트로 약 도핑된 반도체 층 내에 제2의 타입의 도편트로 강 도핑된 제1의 반도체 영역을 형성하는 것, 및
- [0114] 전계판 스택 트렌치 내의 제2의 타입의 도편트로 강 도핑된 제2의 반도체 층의 일부와 인접한 전계판 스택 트렌치의 벽을 따라 제2의 타입의 도편트로 중 도핑된 반도체 영역 내에 제2의 타입의 도편트로 강 도핑된 제2의 반도체 영역을 형성하는 것을 포함한다.
- [0115] 개념 14. 개념 13의 방법으로서, 전계판 스택 트렌치의 벽을 따라 제1의 타입의 도편트로 약 도핑된 반도체 층 내에 제1의 타입의 도편트로 강 도핑된 제1의 반도체 영역을 형성하는 것 및 전계판 스택 트렌치의 벽을 따라 제2의 타입의 도편트로 중 도핑된 반도체 영역 내에 제2의 타입의 도편트로 강 도핑된 제2의 반도체 영역을 형성하는 것은, 제2의 타입의 도편트를, 전계판 스택 트렌치 내의 제2의 타입의 도편트로 강 도핑된 제2의 반도체 층 및 전계판 스택 트렌치 내의 제2의 타입의 도편트로 강 도핑된 제2의 반도체 층으로부터 외부 확산시키는 것을 포함한다.
- [0116] 개념 15. 장치로서,
- [0117] 드레인 영역과,
- [0118] 드레인 영역 상에 배치되는 드리프트 영역과,

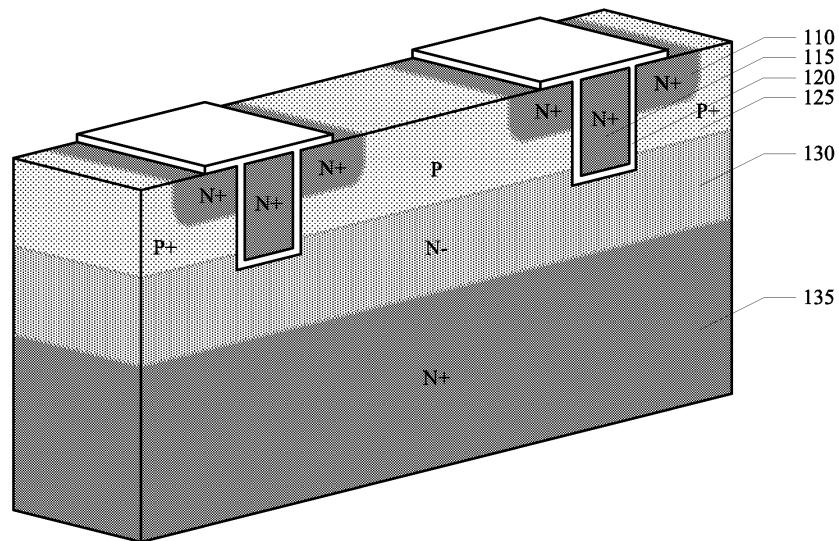
- [0119] 드레인 영역과 대향하여 드리프트 영역 상에 배치되는 복수의 바디 영역과,
- [0120] 드리프트 영역에 대향하여 복수의 바디 영역 상에 배치되는 복수의 소스 영역 - 복수의 소스 영역, 복수의 바디 영역 및 드리프트 영역은 복수의 게이트 구조체에 인접함 - 과,
- [0121] 복수의 게이트 구조체 - 각각의 게이트 구조체는: 복수의 소스 영역과 복수의 바디 영역을 통해 연장하며 드리프트 영역 안으로 부분적으로 연장하는 복수의 실질적으로 평행하고 긴 게이트 영역과, 복수의 게이트 영역과 복수의 소스 영역의 각각의 하나, 복수의 바디 영역 및 드리프트 영역 사이에 각각 배치되는 복수의 게이트 절연체 영역을 포함함 - 와,
- [0122] 복수의 전계판 구조체 - 각각의 전계판 구조체는 바디 영역을 통해 배치되며 드리프트 영역 안으로 연장하고, 각각의 게이트 구조체는 전계판 구조체의 세트 사이에 배치되고, 각각의 전계판 구조체는: 복수의 전계판 절연체 영역과, 복수의 전계판 영역 - 복수의 전계판 영역은 복수의 전계판 절연체 사이에 삽입됨 - 과, 복수의 전계판 영역과 인접한 드리프트 영역 사이에 배치되는 필드 링 영역 - 전계판의 세트는 필드 링 영역에 커플링됨 - 을 포함함 -
- [0123] 을 포함한다.
- [0124] 개념 16. 개념 15에 따른 장치로서:
- [0125] 드레인 영역은 강 n 도핑된 반도체를 포함하고,
- [0126] 드리프트 영역은 중 n 도핑된 반도체를 포함하고,
- [0127] 복수의 바디 영역은 중 p 도핑된 반도체를 포함하고,
- [0128] 복수의 소스 영역은 강 n 도핑된 반도체를 포함하고,
- [0129] 복수의 전계판 영역은 강 p 도핑된 반도체를 포함하고,
- [0130] 복수의 필드 링 영역은 강 p 도핑된 반도체를 포함한다.
- [0131] 개념 17. 개념 15에 따른 장치로서:
- [0132] 드레인 영역은 강 p 도핑된 반도체를 포함하고,
- [0133] 드리프트 영역은 중 p 도핑된 반도체를 포함하고,
- [0134] 복수의 바디 영역은 중 n 도핑된 반도체를 포함하고,
- [0135] 복수의 소스 영역은 강 p 도핑된 반도체를 포함하고,
- [0136] 복수의 전계판 영역은 강 n 도핑된 반도체를 포함하고,
- [0137] 복수의 필드 링 영역은 강 n 도핑된 반도체를 포함한다.
- [0138] 개념 18. 개념 15 내지 17 중 어느 하나에 따른 장치로서, 복수의 필드 링 영역의 각각은, 필드 링 영역의 2개 이상의 부분이 대응하는 전계판 영역에 커플링되는 다수의 부분을 포함한다.
- [0139] 개념 19. 개념 15 내지 18 중 어느 하나에 따른 장치로서, 소스 영역, 바디 영역 및 복수의 전계판 영역 중 하나의 전계판 영역 상에 배치되는 소스/바디/전계판 콘택을 더 포함한다.
- [0140] 개념 20. 개념 16에 따른 장치로서, 복수의 전계판 영역은 드리프트 영역과 쇼트키 콘택하여 오믹 콘택과 비교하여 항복 전압을 증가시킨다.
- [0141] 개념 21. 금속 산화물 반도체 전계 효과 트랜지스터로서,
- [0142] 복수의 전계판 절연체 영역과,
- [0143] 복수의 전계판 영역 - 복수의 전계판은 복수의 전계판 절연체 사이에 삽입됨 - 과,
- [0144] 필드 링 영역 - 2개 이상의 전계판의 각각은 필드 링에 커플링됨 - 을 포함하는 전계판 스택과,
- [0145] 게이트 절연체 영역에 의해 둘러싸인 게이트 영역을 포함하는 게이트 구조체와,
- [0146] 소스 영역과,

- [0147] 드리프트 영역과,
- [0148] 게이트 구조체, 소스 영역, 드리프트 영역 및 필드 링 영역 사이에 배치되는 바디 영역을 포함한다.
- [0149] 개념 22. 개념 21에 따른 금속 산화물 반도체 전계 효과 트랜지스터로서, 필드 링 영역은 다수의 부분들을 포함하고 필드 링의 2개 이상의 부분들 각각은 대응하는 전계판 영역을 바디 영역의 인접부에 커플링한다.
- [0150] 개념 23. 개념 21 또는 22에 따른 금속 산화물 반도체 전계 효과 트랜지스터로서,
- [0151] 드리프트 영역은 인 또는 비소로 중 도핑된 에피택셜 실리콘을 포함하고,
- [0152] 복수의 바디 영역은 봉소로 중 도핑된 실리콘을 포함하고,
- [0153] 복수의 소스 영역은 인 또는 비소로 강 도핑된 실리콘을 포함하고,
- [0154] 복수의 게이트 영역은 인 또는 비소로 강 도핑된 폴리실리콘을 포함하고,
- [0155] 복수의 전계판 영역은 봉소로 강 도핑된 폴리실리콘을 포함하고,
- [0156] 복수의 필드 링 영역은 봉소로 강 도핑된 에피택셜 실리콘을 포함한다.
- [0157] 개념 24. 개념 21 또는 22에 따른 금속 산화물 반도체 전계 효과 트랜지스터로서,
- [0158] 드리프트 영역은 봉소로 중 도핑된 에피택셜 실리콘을 포함하고,
- [0159] 복수의 바디 영역은 인 또는 비소로 중 도핑된 실리콘을 포함하고,
- [0160] 복수의 소스 영역은 봉소로 강 도핑된 실리콘을 포함하고,
- [0161] 복수의 게이트 영역은 봉소로 강 도핑된 폴리실리콘을 포함하고,
- [0162] 복수의 전계판 영역은 인 또는 비소로 강 도핑된 폴리실리콘을 포함하고,
- [0163] 복수의 필드 링 영역은 인 또는 비소로 강 도핑된 에피택셜 실리콘을 포함한다.
- [0164] 개념 25. 개념 21 내지 24 중 어느 하나에 따른 금속 산화물 반도체 전계 효과 트랜지스터로서, 전계판 스택의 깊이는 게이트 구조체의 깊이보다 더 깊다.
- [0165] 개념 26. 개념 21 내지 25 중 어느 하나에 따른 금속 산화물 반도체 전계 효과 트랜지스터로서, 전계판 영역과 필드 링 영역 사이의 콘택 면적과 전계판 절연체 영역의 두께는, 드레인 전압이 핀치오프 전압보다 더 높을 때 각각의 전계판 영역이 상이한 전위로 플로팅하도록 선택된다.

도면

도면1

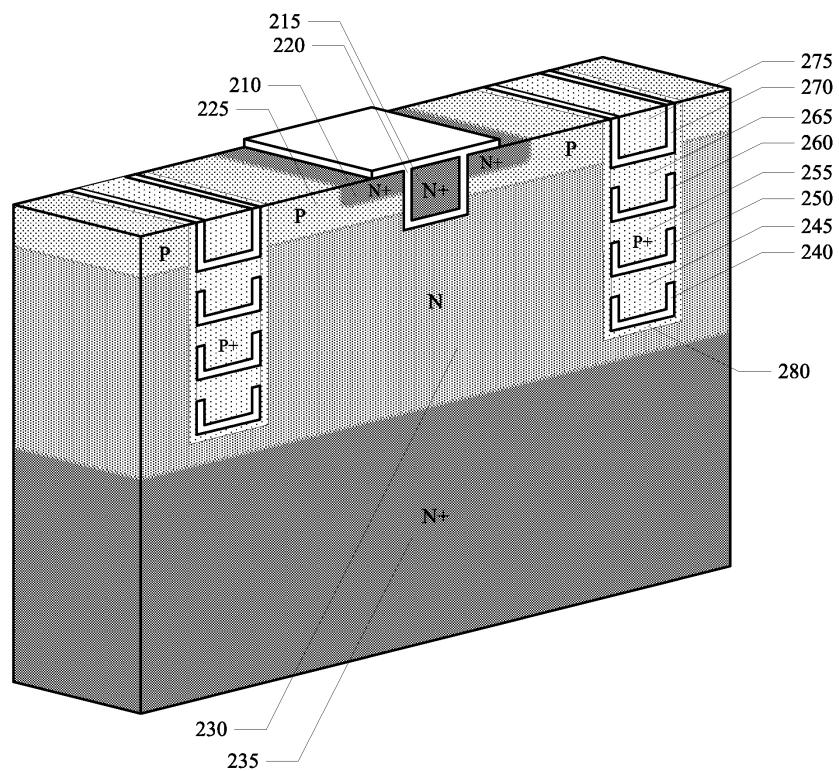
100



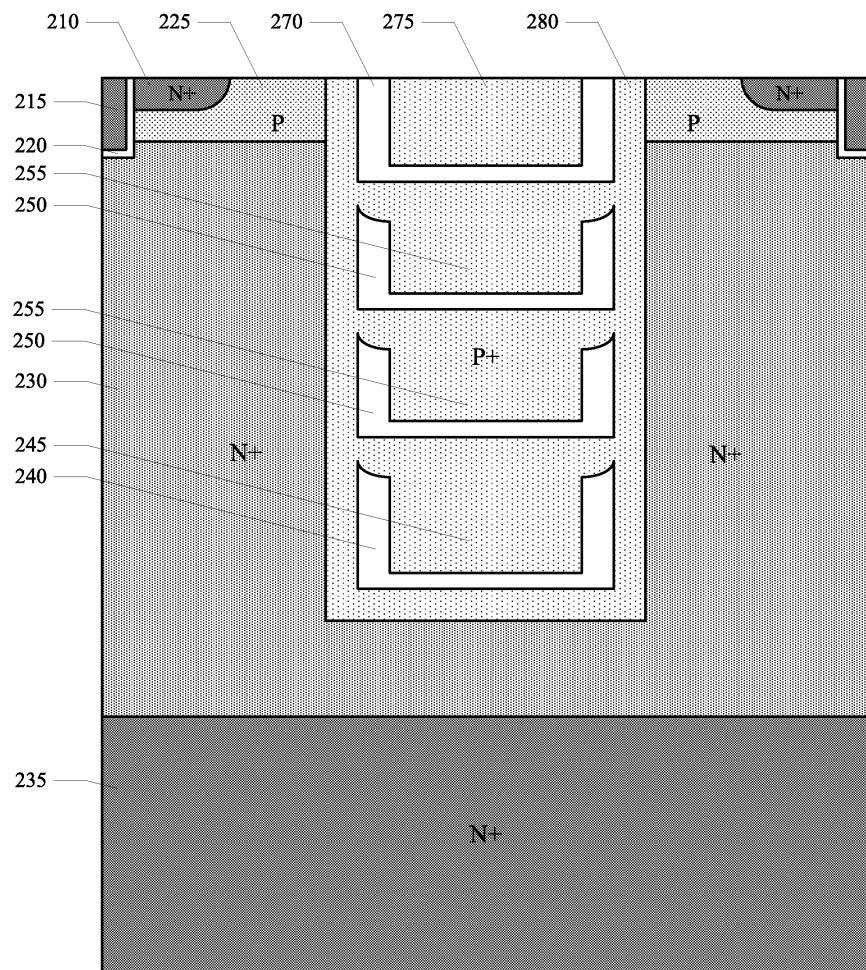
(종래기술)

도면2a

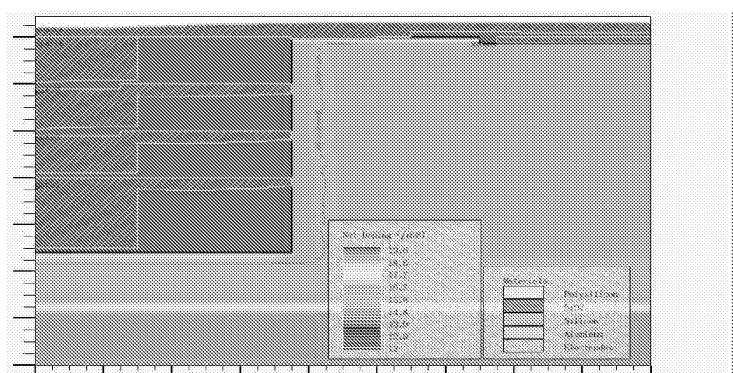
200



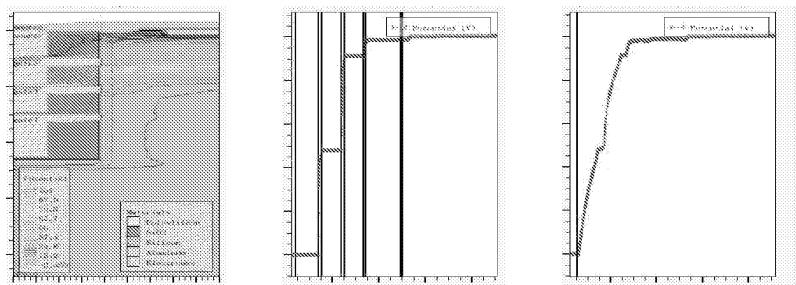
도면2b



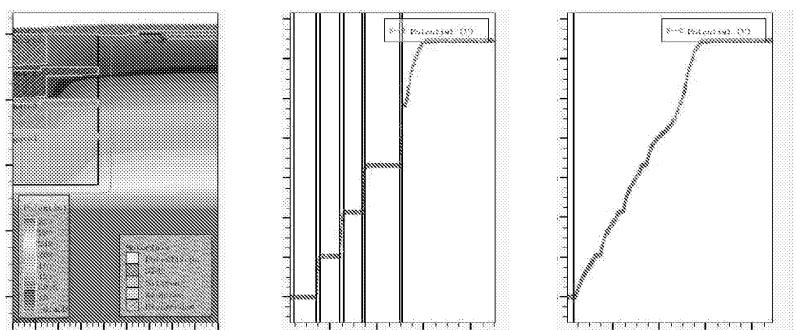
도면3



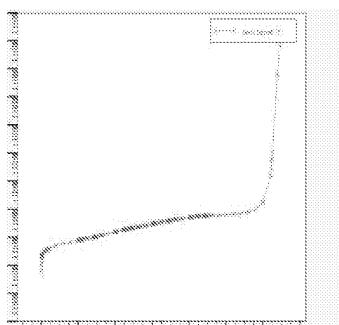
도면4



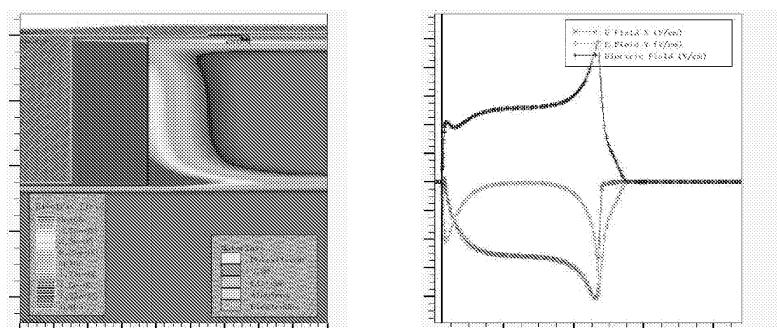
도면5



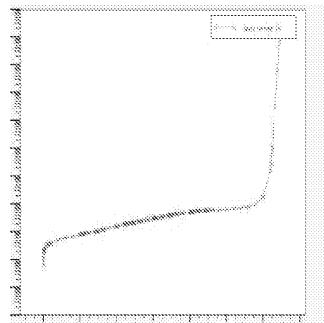
도면6



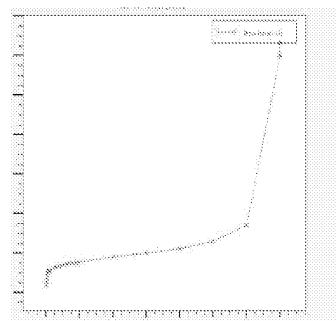
도면7



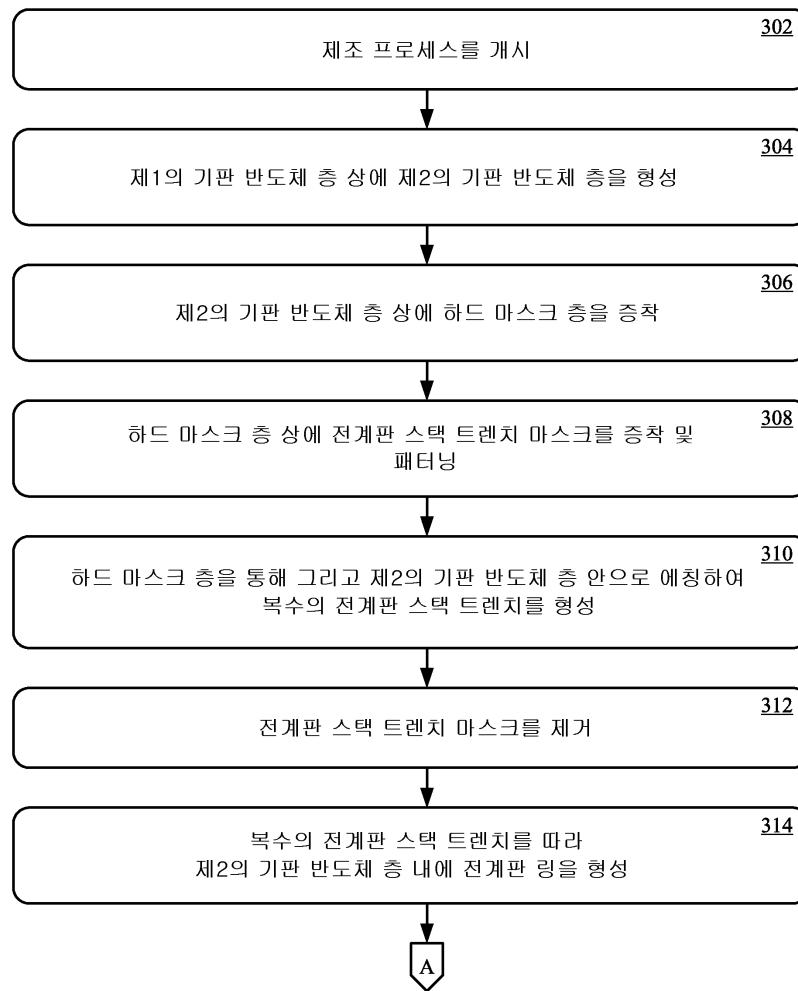
도면8a



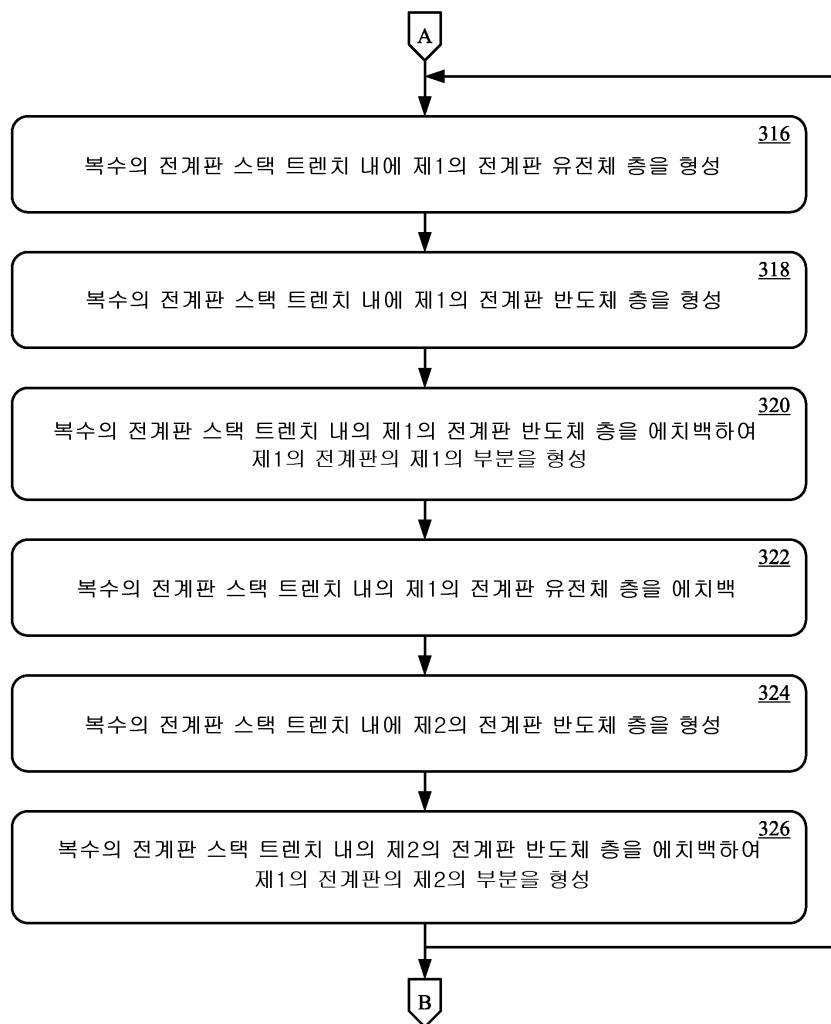
도면8b



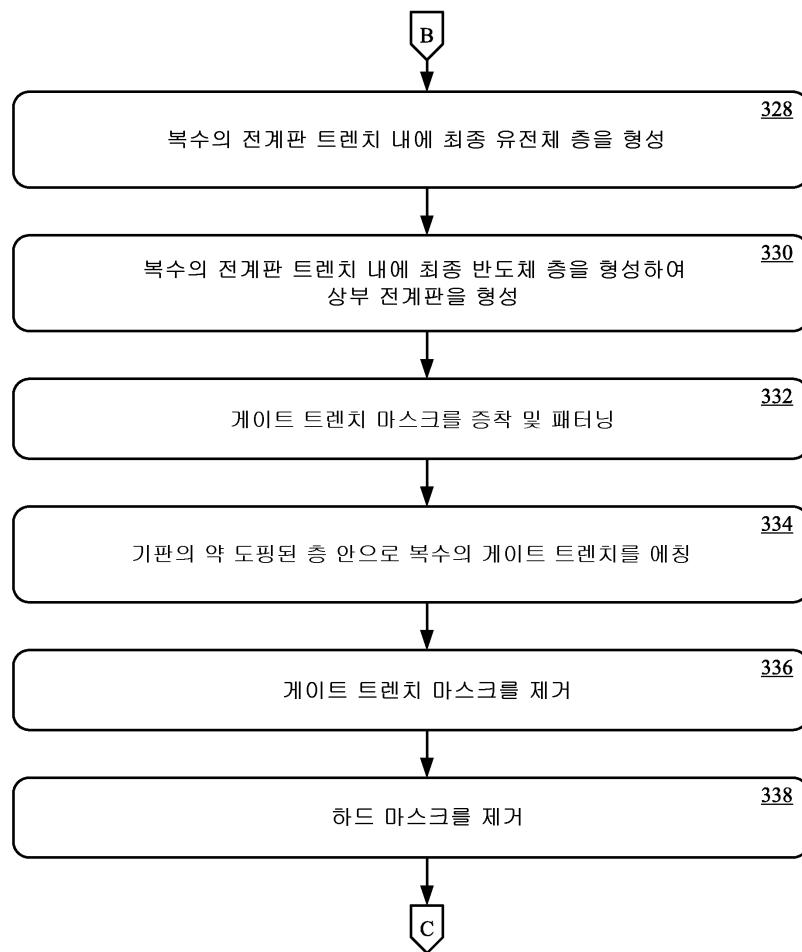
## 도면9a



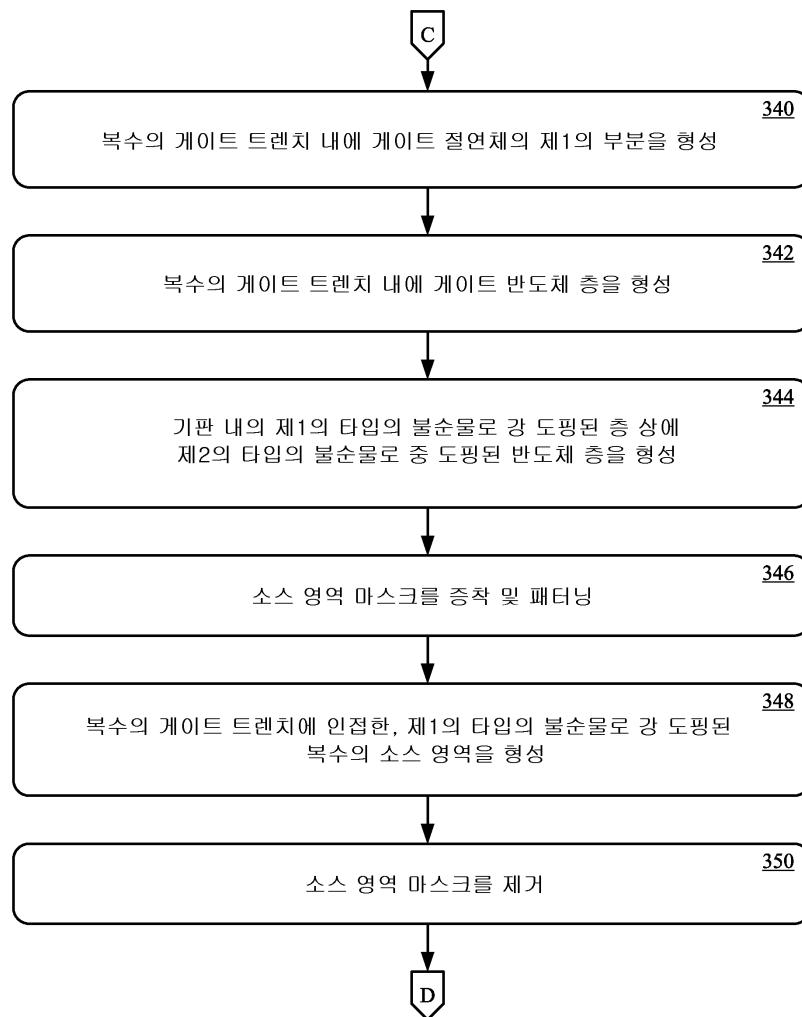
## 도면9b



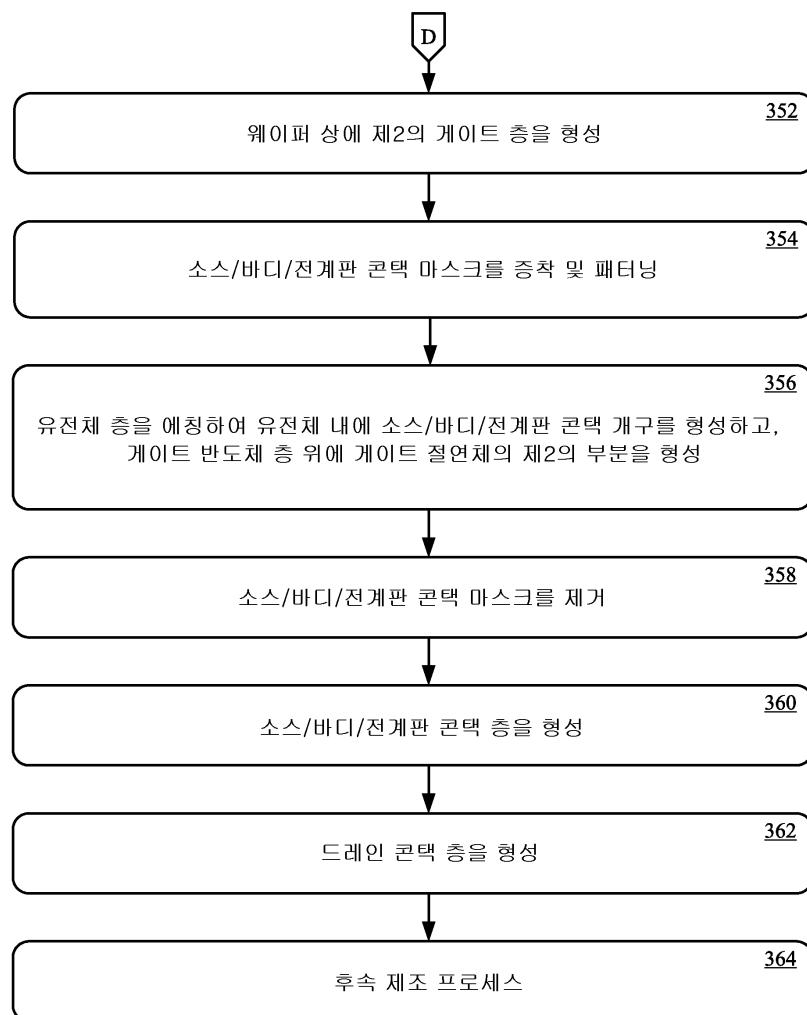
## 도면9c



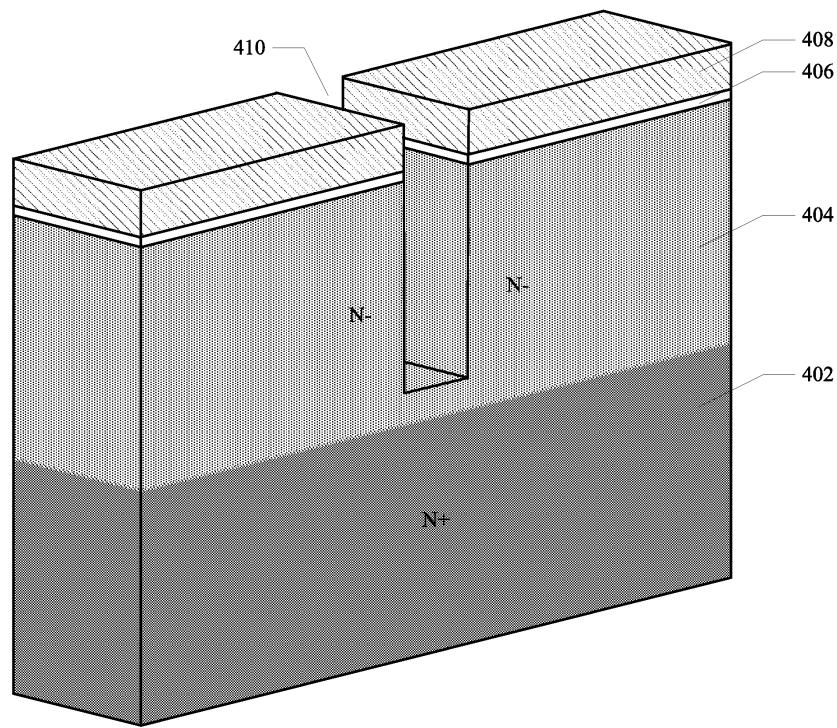
## 도면9d



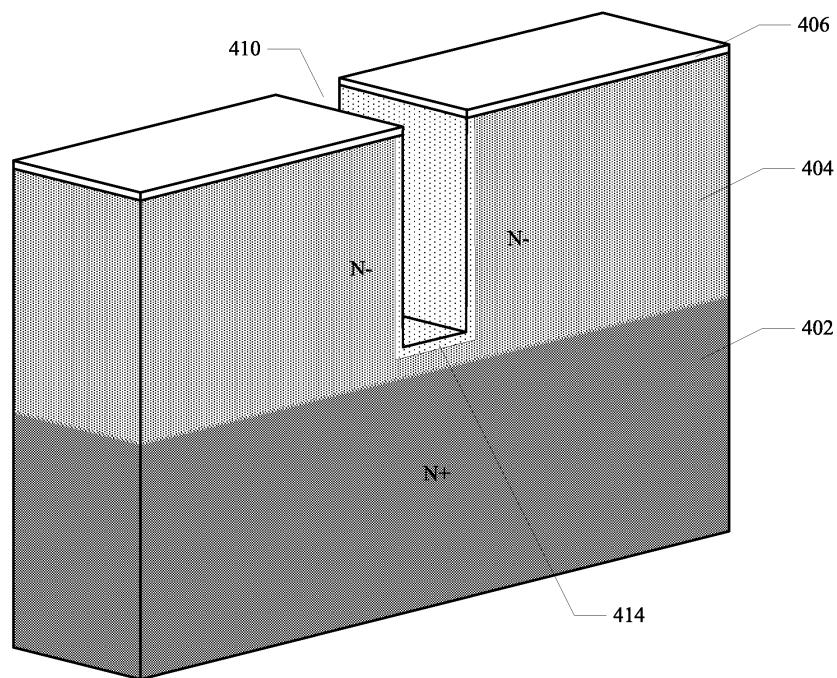
## 도면9e



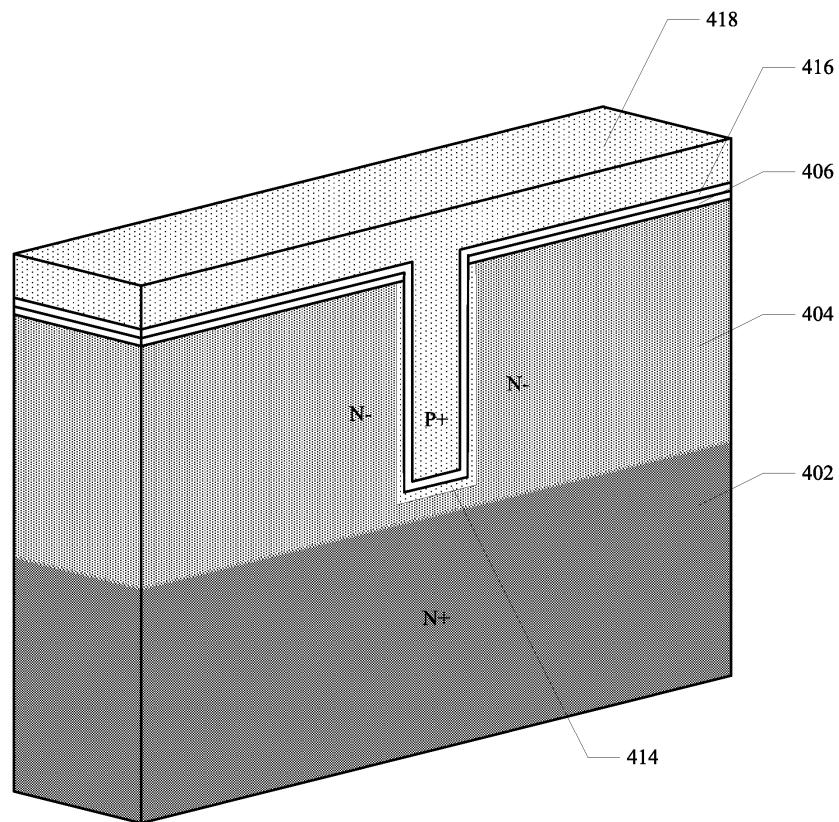
도면10a



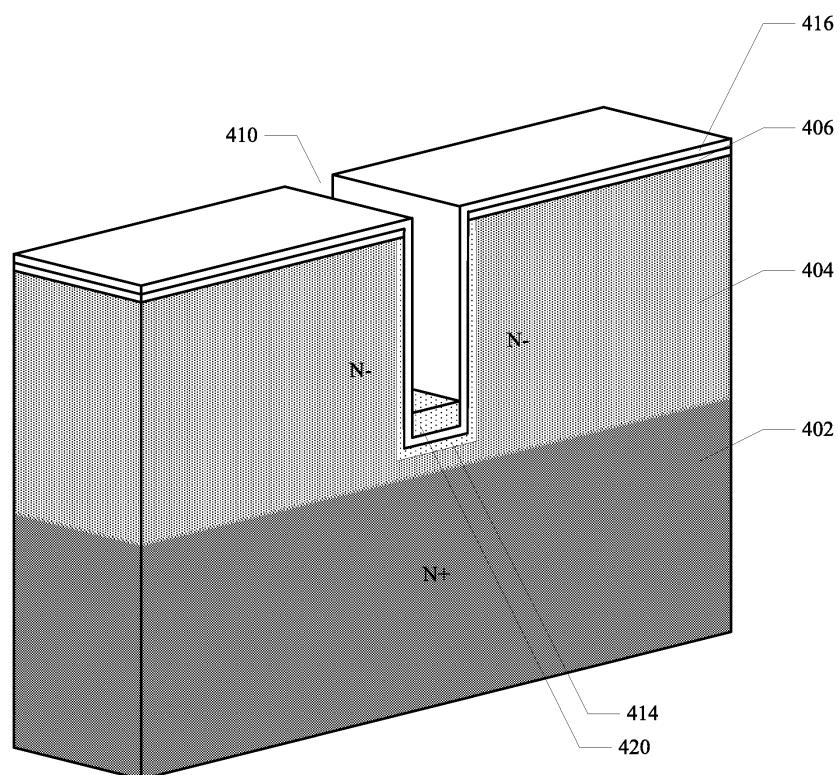
도면10b



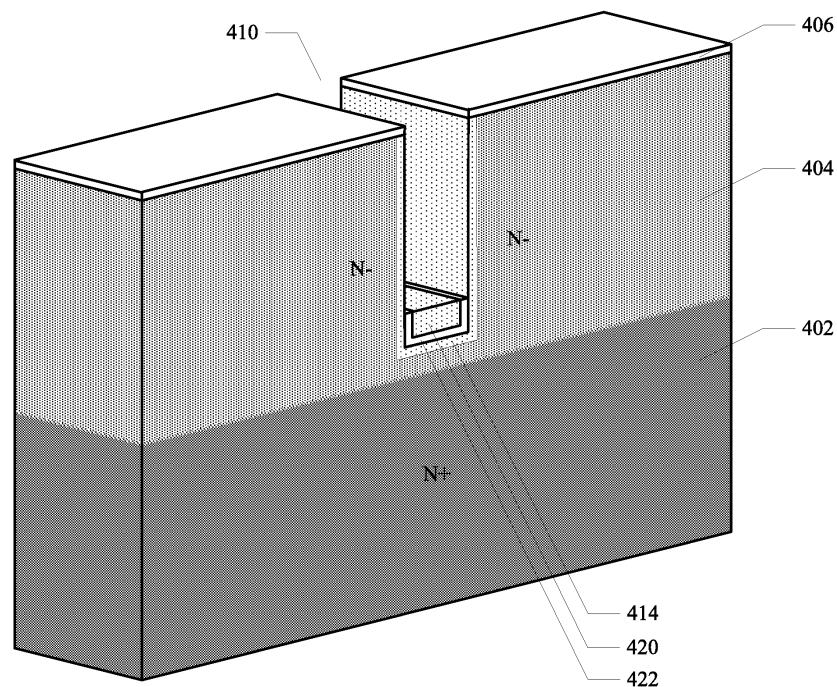
도면10c



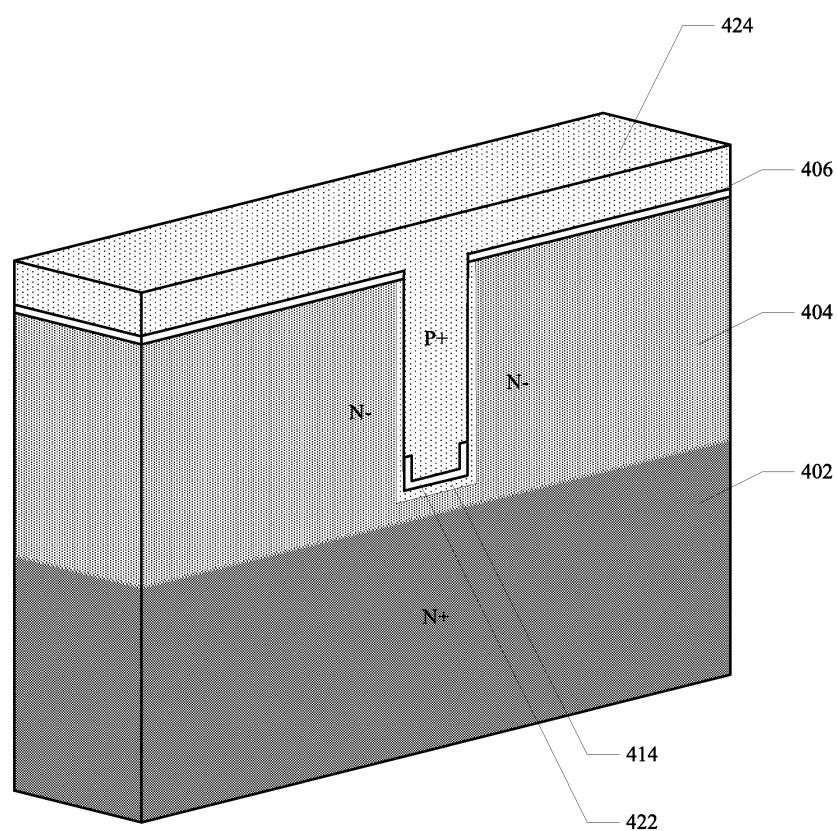
도면10d



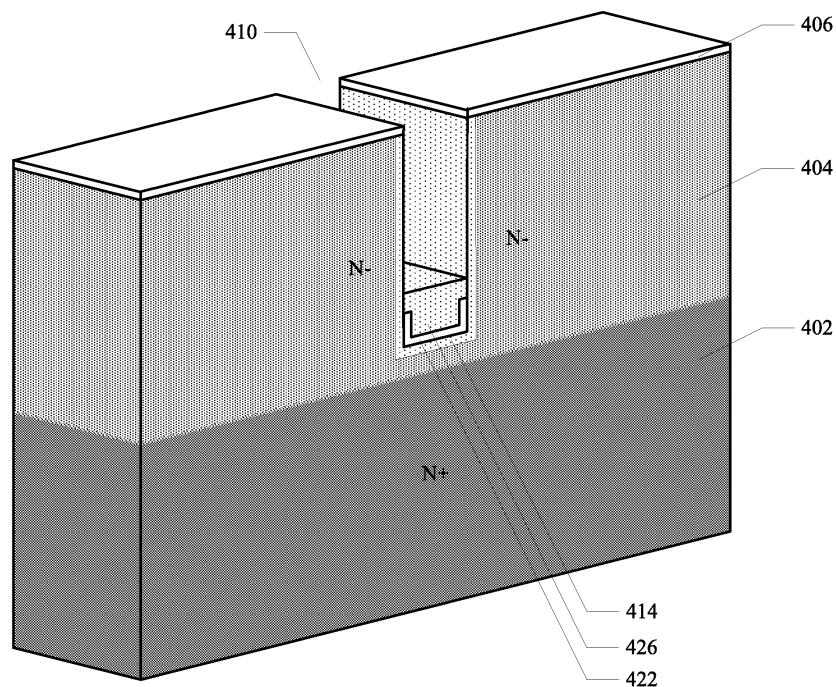
도면10e



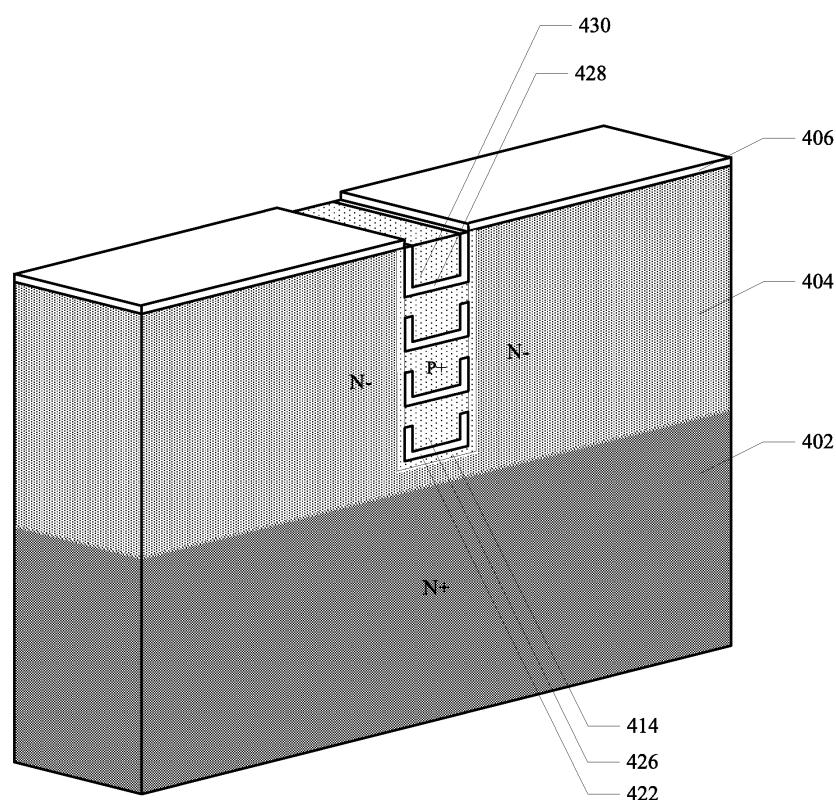
도면10f



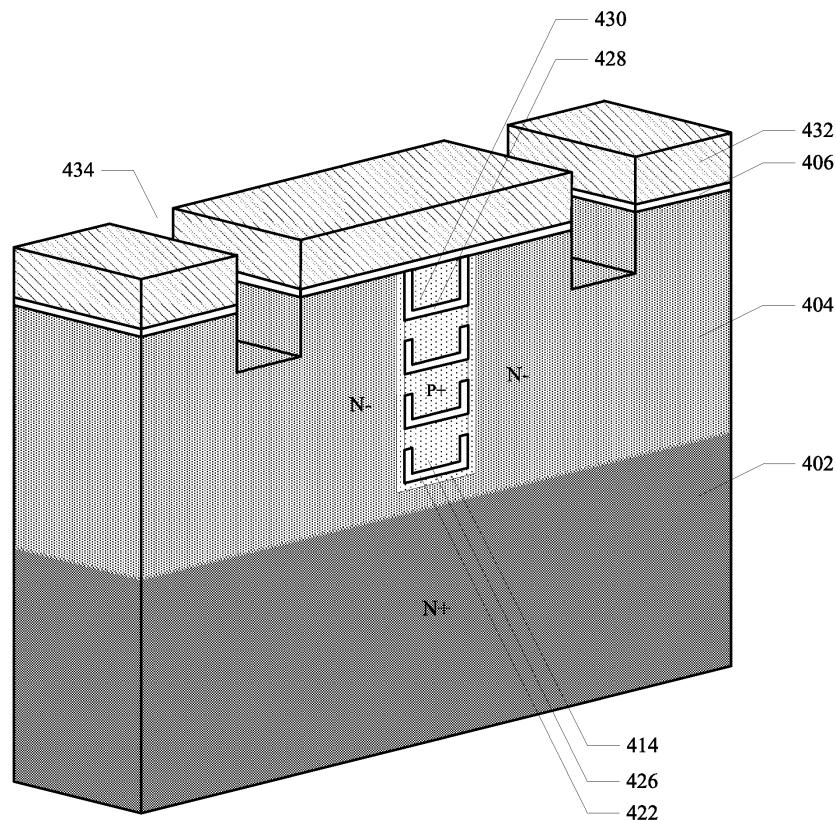
도면10g



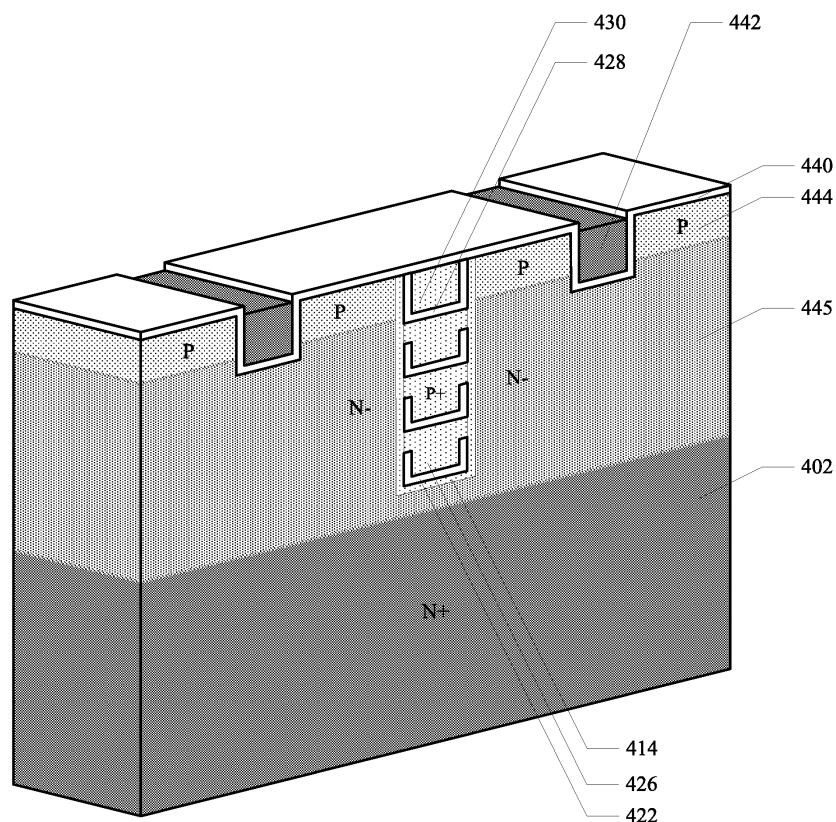
도면10h



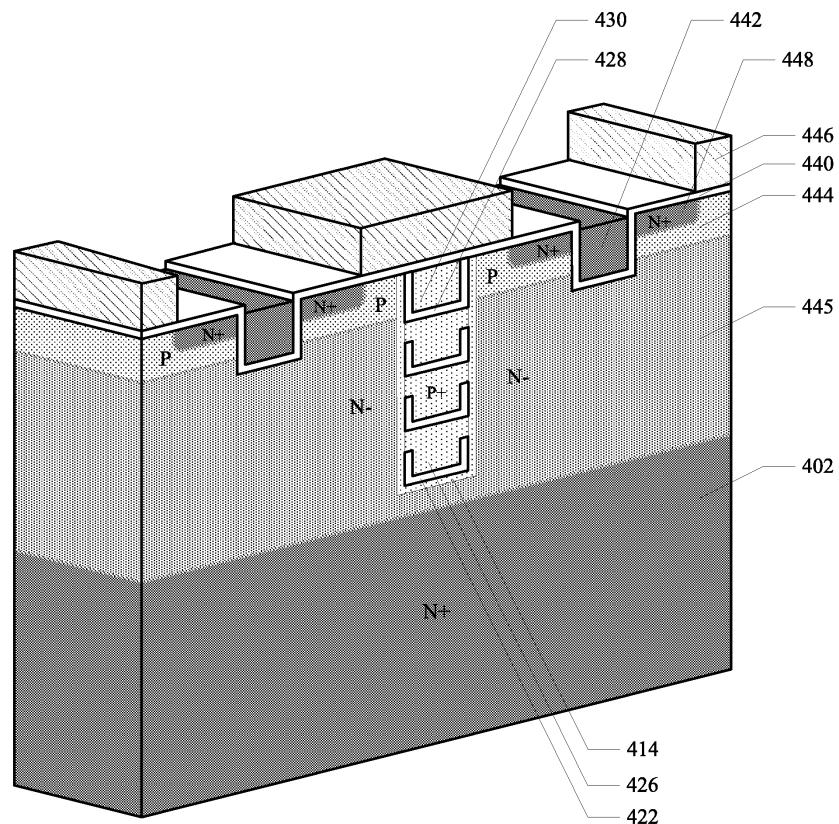
도면10i



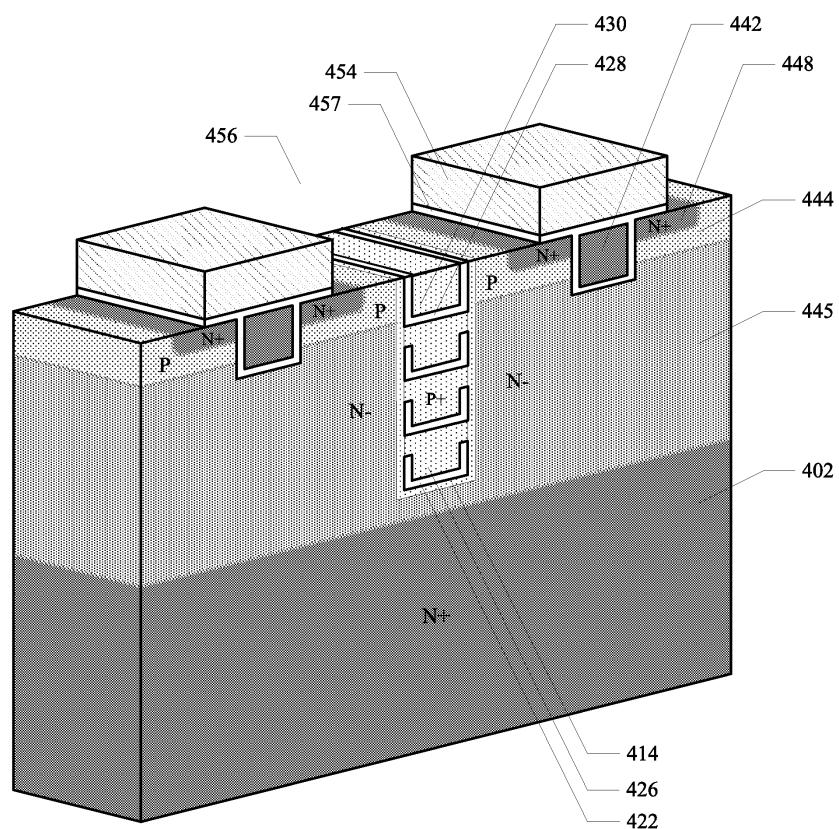
도면10j



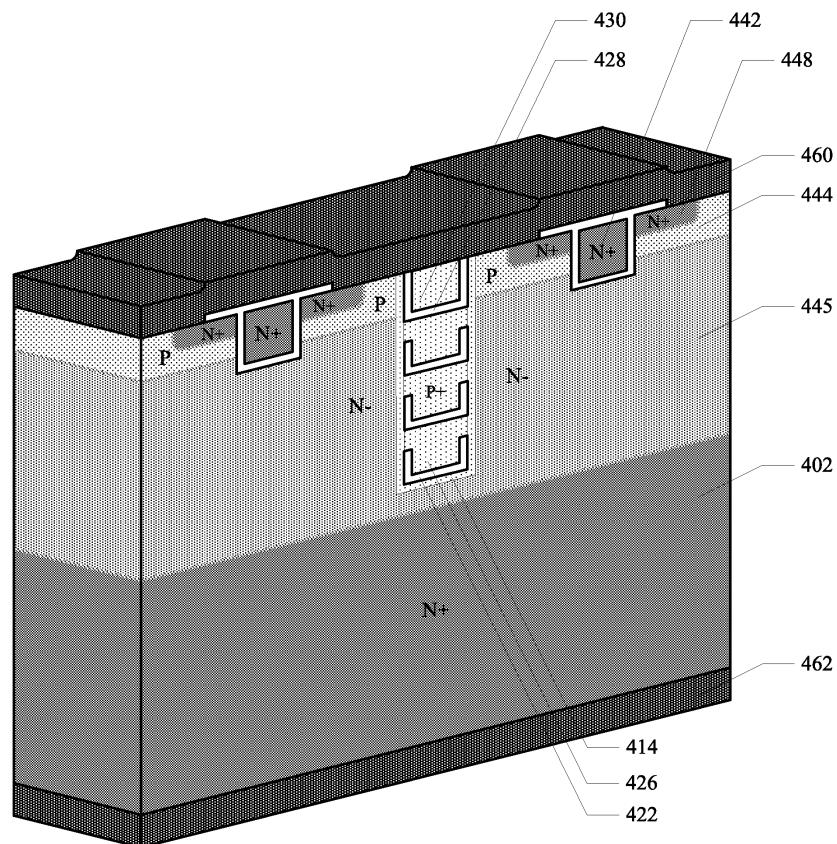
도면10k



도면10l



도면10m



## 도면11

200