



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I508442 B

(45)公告日：中華民國 104 (2015) 年 11 月 11 日

(21)申請案號：103105462

(22)申請日：中華民國 103 (2014) 年 02 月 19 日

(51)Int. Cl. : *H03K17/0812(2006.01)**H02M1/08 (2006.01)*

(30)優先權：2013/03/14 美國

13/827,074

(71)申請人：愛列果微系統公司(美國) ALLEGRO MICROSYSTEMS, LLC (US)

美國

(72)發明人：麥金塔 詹姆士 MCINTOSH, JAMES (GB)；洛比 克里斯汀 LOOBY, CHRISTY

(IE)

(74)代理人：林志剛

(56)參考文獻：

US 4904909

US 5001373

US 5790396A

US 6058031A

US 2008/0290853A1

WO 2002043236A2

審查人員：謝瑞航

申請專利範圍項數：19 項 圖式數：5 共 40 頁

(54)名稱

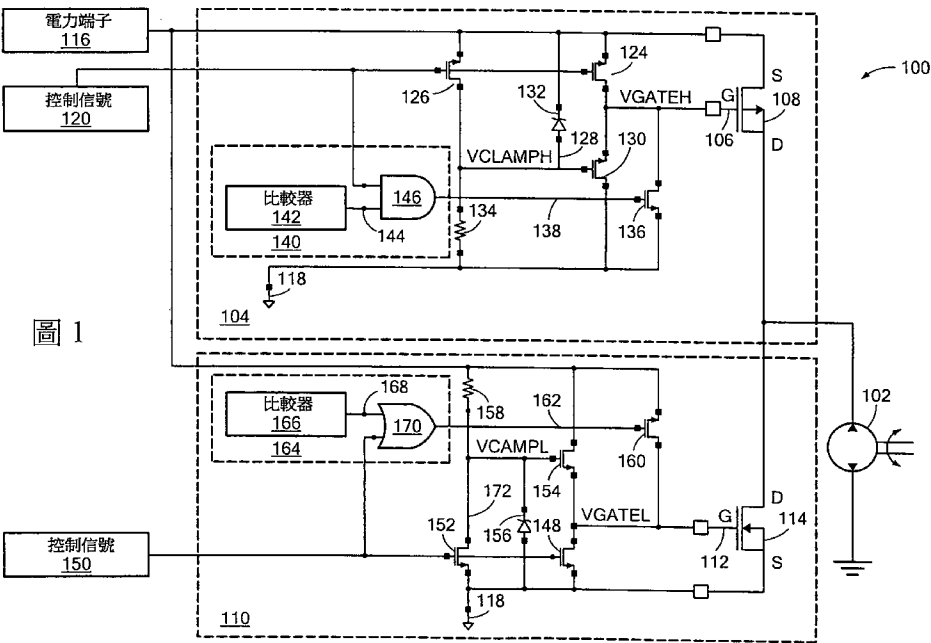
用以在各種電力條件下驅動負載的系統及方法

SYSTEMS AND METHODS FOR DRIVING A LOAD UNDER VARIOUS POWER CONDITIONS

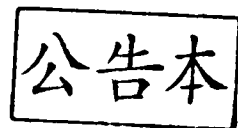
(57)摘要

一種用以驅動電子開關的電子電路，其包含：第一電壓端子，其被耦合以接收來自於電源供應器之第一電壓；及第二電壓端子，其被耦合以接收來自於該電源供應器之第二電壓。驅動器電路被組構成將在電子開關之控制端子處之電壓驅動至中間電壓位準，以便在高或正常電壓條件期間開啟該電子開關。箝位電路被組構成當作用中時用以將在該電子開關之該控制端子處之該電壓箝位至該第二電壓端子，以便在低電壓條件期間開啟該電子開關，使得該電子開關在該低電壓條件期間可提高被提供至負載的電力。低電壓偵測電路，其偵測該低電壓條件且提供信號以啟動該箝位電路。

An electronic circuit for driving an electronic switch includes a first voltage terminal coupled to receive a first voltage from a power supply and a second voltage terminal coupled to receive a second voltage from the power supply. A driver circuit is configured to drive the voltage at a control terminal of the electronic switch to an intermediate voltage level in order to turn on the electronic switch during a high or normal voltage condition. A clamp circuit is configured to clamp the voltage at the control terminal of the electronic switch to the second voltage terminal in order to turn on the electronic switch during a low voltage condition, so that the electronic switch can enhance power provided to a load during the low voltage condition. A low voltage detection circuit detects the low voltage condition and provides a signal to activate the clamp circuit.



- 100 . . . 電路
- 102 . . . 負載
- 104 . . . 子電路
- 106 . . . 閘極端子
- 108 . . . p 通道 FET
- 110 . . . 子電路
- 112 . . . 閘極端子
- 114 . . . n 通道 FET
- 116 . . . 電力端子
- 118 . . . 接地
- 120 . . . 控制信號
- 124 . . . FET
- 126 . . . FET
- 128 . . . 端子
- 130 . . . FET
- 132 . . . 電壓調節器
- 134 . . . 電阻器
- 136 . . . FET
- 138 . . . 控制信號
- 140 . . . 邏輯電路
- 142 . . . 比較器
- 144 . . . 邏輯信號
- 146 . . . AND 閘
- 148 . . . n 通道 FET
- 150 . . . 控制信號
- 152 . . . FET
- 154 . . . FET
- 156 . . . 電壓調節器
- 158 . . . 電阻器
- 160 . . . FET
- 162 . . . 控制信號
- 164 . . . 邏輯電路
- 166 . . . 比較器
- 168 . . . 邏輯信號
- 170 . . . OR 閘
- 172 . . . 端子



# 發明摘要

※申請案號：103105462

※申請日：103 年 02 月 19 日

※IPC 分類：H03K 17/0812 (2006.01)  
H02M 1/08 (2006.01)

【發明名稱】(中文/英文)

用以在各種電力條件下驅動負載的系統及方法

Systems and methods for driving a load under various power conditions

【中文】

一種用以驅動電子開關的電子電路，其包含：第一電壓端子，其被耦合以接收來自於電源供應器之第一電壓；及第二電壓端子，其被耦合以接收來自於該電源供應器之第二電壓。驅動器電路被組構成將在電子開關之控制端子處之電壓驅動至中間電壓位準，以便在高或正常電壓條件期間開啟該電子開關。箝位電路被組構成當作用中時用以將在該電子開關之該控制端子處之該電壓箝位至該第二電壓端子，以便在低電壓條件期間開啟該電子開關，使得該電子開關在該低電壓條件期間可提高被提供至負載的電力。低電壓偵測電路，其偵測該低電壓條件且提供信號以啟動該箝位電路。

## 【 英文 】

An electronic circuit for driving an electronic switch includes a first voltage terminal coupled to receive a first voltage from a power supply and a second voltage terminal coupled to receive a second voltage from the power supply. A driver circuit is configured to drive the voltage at a control terminal of the electronic switch to an intermediate voltage level in order to turn on the electronic switch during a high or normal voltage condition. A clamp circuit is configured to clamp the voltage at the control terminal of the electronic switch to the second voltage terminal in order to turn on the electronic switch during a low voltage condition, so that the electronic switch can enhance power provided to a load during the low voltage condition. A low voltage detection circuit detects the low voltage condition and provides a signal to activate the clamp circuit.

## 【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

|              |              |
|--------------|--------------|
| 100：電路       | 102：負載       |
| 104：子電路      | 106：閘極端子     |
| 108：p 通道 FET | 110：子電路      |
| 112：閘極端子     | 114：n 通道 FET |
| 116：電力端子     | 118：接地       |
| 120：控制信號     | 124：FET      |
| 126：FET      | 128：端子       |
| 130：FET      | 132：電壓調節器    |
| 134：電阻器      | 136：FET      |
| 138：控制信號     | 140：邏輯電路     |
| 142：比較器      | 144：邏輯信號     |
| 146：AND 閘    | 148：n 通道 FET |
| 150：控制信號     | 152：FET      |
| 154：FET      | 156：電壓調節器    |
| 158：電阻器      | 160：FET      |
| 162：控制信號     | 164：邏輯電路     |
| 166：比較器      | 168：邏輯信號     |
| 170：OR 閘     | 172：端子       |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

用以在各種電力條件下驅動負載的系統及方法

Systems and methods for driving a load under various power conditions

## 【技術領域】

● 本發明係有關用以驅動負載的系統及方法，且更特定而言，本發明係有關在高、正常及低電力條件下驅動負載的系統及方法。

## 【先前技術】

● 被稱為 H 電橋之電子電路經常被用來驅動（亦即，提供電力至）電動馬達。當關閉時，H 電橋可以用作為一系列的開關，用以提供電流流動通過馬達的路徑。四開關或「全」H 電橋可以被用以在正向方向上關閉馬達、開啟馬達，且在逆向方向上開啟馬達。

● 雙開關或「半」H 電橋具有兩個開關，其可以被用來提供電力至負載。半 H 電橋有時被使用在馬達驅動器電路、開關放大器電路、開關電源供應器電路等等。

在 H 電橋電路中之開關通常由電子開關，諸如電晶體（亦即，場效電晶體（FET）或 BJT 電晶體）來予以實施。誠如所已知的，為了開啟或關閉 FET，必須施加電壓至電晶體之閘極。在 BJT 的例子中，供應至電晶體之基極

的電流被用來開啟或關閉電晶體。然而，在一些 H 電橋設計中，在低電壓條件下可能難以驅動電晶體之閘極以充分地開啟或關閉該 FET。在其他 H 電橋設計中，若電晶體之閘極在高電壓條件下難以被驅動，則閘極源極電壓（ $V_{gs}$ ）會變得太大，且可能損壞該 FET。就如同業界所習知的，FET 通常具有使用於示意電路圖中之源極、汲極及閘極端子。

在許多應用中，H 電橋必須能夠在高及低電壓條件下操作。例如，在汽車中驅動泵馬達之 H 電橋可能在藉由電池或交流發電機所供應的電壓下受到大的波動。這些波動可由引擎起動、在變化的速度下引擎的運轉、電動窗或雨刷馬達開啟及關閉等等所造成。基於這些原因，提供可以在高、低及正常電壓條件下開關 H 電橋的電路將為有利的。

### 【發明內容】

在一個態樣中，用以驅動場效電晶體（FET）之閘極的電子電路，該電子電路包含第一電壓端子，其被耦合以接收來自電源供應器之第一電壓；及第二電壓端子，其被耦合以接收來自該電源供應器之第二電壓。驅動器電路被組構成驅動在電子開關之控制端子處之電壓至中間電壓位準，以便在高電壓條件或正常電壓條件期間在第一與第二電壓端子之間開啟電子開關。箝位電路被組構成當作用中時可將在電子開關之控制端子處之電壓箝位至第二電壓端

子，以便在第一與第二電壓端子之間的低電壓條件期間開啟該電子開關，使得該電子開關可以提高在低電壓條件期間提供至負載之電力。低電壓偵測電路被組構成偵測低電壓條件，並且提供信號至箝位電路，其使該箝位電路在低電壓條件期間變為作用中。

該電子電路亦可包含呈共源極組態之電晶體，其具有耦合至電子開關之控制端子之汲極端子及耦合至第一電壓端子之源極端子，以藉由將電子開關之閘極箝位至第一電壓端子而關閉電子開關。偵測電路可以包含比較器，該比較器用以判定第一及第二電壓之較高者是否已經跨越低電壓臨限值。

電子電路可被組構成用以驅動 p 通道 FET、n 通道 FET 或兩者皆有。該電子電路亦可以被組構成 h 電橋配置，且可被用來驅動負載，諸如馬達。

在一些實施例中，上述之電子電路可以包含以下一種或多種態樣之任何組合。

在一些上述之電子電路之一些實施例中，電子開關係 BJT 或 DMOS。

在一些上述之電子電路之實施例中，電子開關為 FET，且控制端子為該 FET 之閘極。

在一些上述之電子電路之實施例中，FET 為 p 通道 FET；第一電壓端子為電力線電壓端子；及第二電壓為接地電壓。

在一些上述之電子電路之實施例中，FET 為 n 通道

FET；第一電壓為接地電壓；及第二電壓為電力線電壓。

在一些上述之電子電路之實施例中，驅動器電路為單象限驅動器電路，其不是被組構成匯入電流至 FET 之閘極就是從 FET 之閘極匯出電流。

在一些上述之電子電路之實施例中，驅動器電路為雙象限驅動器電路，其不是被組構成匯入電流至 FET 之閘極就是從 FET 之閘極匯出電流。

在一些實施例中，上述之電子電路進一步包括第二箝位電路，其被耦合以將電子開關之控制端子箝位至第一電壓端子。

在一些上述之電子電路之實施例中，第二箝位電路包括呈共源極組態之電晶體，該電晶體具有耦合至 FET 之閘極之汲極端子及耦合至第一電壓端子之源極端子以藉由將 FET 之閘極箝位至第一電壓端子而關閉 FET。

在一些上述之電子電路之實施例中，驅動器電路包含被耦合呈源極隨耦器組態之電晶體，該電晶體具有耦合至電子開關之控制端子之源極端子及耦合至第二電壓端子之汲極端子，使得當該電晶體係開啟時，在電子開關之控制端子處之電壓相對於第二電壓端子浮動。

在一些上述之電子電路之實施例中，電晶體之閘極端子被連接至第一電壓端子，使得在高電壓條件下，在 FET 之閘極與 FET 之源極端子之間的閘極源極電壓（ $V_{GS}$ ）無法增加至將會損壞該 FET 的位準。

在一些上述之電子電路之實施例中，箝位電路包含耦合呈共源極組態的電晶體，該電晶體具有耦合至第二電壓端子之源極端子及耦合至電子開關之控制端子之汲極端子，使得當該箝位電路啟動時，電晶體可將電子開關之控制端子箝位至第二電壓端子。

在一些上述之電子電路之實施例中，偵測電路包含比較器，該比較器用以判定第一及第二電壓之較高者是否已經跨越低電壓臨限值。

在一些上述之電子電路之實施例中，第一及第二電壓的其中一者或兩者係藉由電池、交流發電機、發電機、電壓或電流調節器、汽車控制器或受到高及低電壓條件之汽車電源所提供。

在上述之電子電路之一些實施例中，電子開關被組構成驅動馬達。

在上述之電子電路之一些實施例中，該馬達為泵馬達。

在一些上述之電子電路之實施例中，偵測電路包括滯後作用、濾波器或兩者皆有，其限制第一電壓之快速電壓波動以避免造成第二箝位電路被佔用。

在另一個態樣中，用以驅動場效電晶體（FET）之閘極的方法包含：以驅動器電路驅動 FET 之閘極，驅動器電路被組構成驅動 FET 之閘極至在第一端子處之電壓與在第二端子處之電壓之間的中間電壓位準，以使該 FET 在第一或第二端子上之高電壓或正常電壓條件下提供電力

至負載，該方法亦包含偵測第一或第二端子是否處在低電壓條件下，若低電壓條件被偵測，則以箝位電路驅動閘極，該箝位電路將該閘極箝位至第一或第二電壓端子之任一者，使得該 FET 可以在低電壓條件下提高提供至負載之電力。

在另一個態樣中，用以驅動負載之電子電路包含電力端子，其被耦合以接收來自電源供應器之電壓；及接地端子，其耦合至該電源供應器之接地。該電子電路亦包含電路，其用以驅動 p 通道場效電晶體（FET）之閘極。用以驅動 p 通道 FET 之閘極之電路包含第一驅動器電路，其被組構成將 p 通道 FET 之閘極處之電壓驅動至中間電壓位準，以便在高電壓條件或正常電壓條件期間在電力端子與接地端子之間開啟 p 通道 FET；第一箝位電路，其被組構成當作用中時將在 p 通道 FET 之閘極處之電壓箝位至接地端子，以便在低電壓條件期間在第一與第二電壓端子之間開啟 p 通道 FET，使得 p 通道 FET 可以在低電壓條件期間提高提供至負載之電力；及電路，其被用來驅動 n 通道 FET 之閘極。用以驅動 n 通道 FET 之閘極之電路包含第二驅動器電路，其被組構成將在 n 通道 FET 之閘極處之電壓驅動至中間電壓位準，以便在高電壓條件或正常電壓條件期間在電力端子與接地端子之間開啟 n 通道 FET；第二箝位電路，其被組構成當作用中時將在 n 通道 FET 之閘極處之電壓箝位至電力端子，以便在低電壓條件期間在第一與第二電壓端子之間開啟 n 通道 FET，使得 n 通道

FET 可以在低電壓條件期間提高提供至負載之電力。該電子電路亦包含與電力端子連通之偵測電路，該偵測電路用以判定電子電路是否在低電壓條件下被操作，且與第一及第二箝位電路連通以提供允許第一及第二箝位電路在低電壓條件期間變成作用中之信號。

### 【圖式簡單說明】

圖 1 係用以驅動 p 通道及 n 通道 FET 之閘極之電子電路之電路圖。

圖 2 係在低、正常及/或高電壓條件下用以驅動 FET 之閘極之程序之流程圖。

圖 3 係在低、正常及/或高電壓條件下用以驅動 p 通道 FET 之閘極之電子電路之電路圖。

圖 4 係在低、正常及/或高電壓條件下用以驅動 n 通道 FET 之閘極之電子電路之電路圖。

圖 5 係在低、正常及/或高電壓條件下用以驅動 n 通道及 p 通道 FET 之閘極之電子電路之電路圖，其配置呈 H 電橋組態以驅動馬達。

### 【實施方式】

如在本文件中所使用的術語 FET 係指場效電晶體。該 FET 可以為 MOSFET、JFET、IGFET、碳奈米管 FET (CNTFET)、DNAFET、MESFET、NOMFET、POWER FET 或任何類型的場效電晶體。在本文中所用之術語 FET

亦可應用至電路，其相當於或相等於 FET，諸如電子開關。

當針對電晶體之操作時，如同在本文中所使用的術語「關閉」係指電晶體之非導通狀態，其中，在汲極與源極端子之間（或 BJT 之集極與射極之間）沒有電流流動。

「關閉」狀態之實例為 FET 之切斷、次臨限電壓、或弱反向模式或 BJT 之切斷模式。

當針對電晶體之操作時，如同在本文中所使用的術語「開啟」係指電晶體之導通模式，其中，電流可以在汲極與源極端子之間（或 BJT 之集極與射極之間）流動。「開啟」可以指電晶體之飽和模式或線性/電阻模式。「開啟」狀態之實例為三極管、FET 之線性、飽和、或作用中模式或 BJT 之正向作用中或飽和模式。

在本文中所用之術語「節點」及術語「端子」可以指電路之元件或分路可以被連接的點。

FET 可以為 n 通道或 p 通道。附圖使用具有從 P 指向 N 而穿過 PN 接面之箭頭之共同 FET 符號來描繪 FET。例如，在圖 1 中，針對 FET 108 及 FET 124 所用的符號描繪 p 通道 FET，且針對 FET 114 及 FET 160 所用的符號描繪 n 通道 FET。然而，熟悉此項技術之人士應可瞭解，本發明之替代實施例可以用 n 通道 FET 來代替 p 通道 FET 或反之亦然，可使用替代組件來取代如圖所示之 FET，可藉由處理器所執行或儲存在電腦可讀儲存媒體上之可執行碼來實施本發明之全部或部分，或可以各種不同實施例來實

施本發明。雖然附圖將一些 FET 描繪為增強模式 FET 且將其他的一些 FET 描繪為空乏模式 FET，但吾人不意欲對此作限制。在各種實施例中，若有需要，則增強模式 FET 可以由空乏模式 FET 來予以取代，且反之亦然。

如同在本文件中所使用者，當 FET「驅動」一端子或端子之電壓位準時，該 FET 一般係開啟的且使在汲極端子處之電壓達到特定電壓位準。在一些情況中，當 FET 被驅動時，在汲極端子處之電壓可達到源極電壓的位準。如同在本文件所用之術語「驅動」可指示在端子處之電壓被箝位或保持在特定電壓位準，但亦可以表示 FET 係開啟的，且使電流流動通過該 FET，且使得在驅動端子或源極端子處之電壓浮動至特定電壓位準。

請參考圖 1，其展示用以驅動負載 102 之電路 100。電路 100 包含子電路 104，其用以驅動 p 通道 FET 108 之閘極端子 106；及子電路 110，其用以驅動 n 通道 FET 114 之閘極端子 112。如圖所示，該 p 通道 FET 108 可具有源極端子，其被耦合至電力端子 116；汲極端子，其被耦合至負載 102；及閘極端子 106，其藉由子電路 104 來予以驅動。該 n 通道 FET 可具有源極端子，其被耦合至接地 118；汲極端子，其被耦合至負載 102；及閘極端子 112，其藉由子電路 110 來予以驅動。電力端子 116 相對於接地端子 118 可提供「高」調節 DC 電壓，諸如 3V、5V、12V、24V 或任何其他理想電壓。該電力端子 116 亦能夠匯出由電路 100 及負載 102 所需要的電流。在實施

例中，電力端子 116 可從電源接收電力，該電源包含（但不以此為限）：電池、交流發電機、發電機、電壓或電流調節器、汽車控制器或受到高及低電壓條件之另一電源。

當藉由子電路 104 及 110 來予以驅動時，p 通道 FET 108 及 n 通道 FET 114 可交替地開啟及關閉以提供電力至負載 102。例如，當 p 通道 FET 108 被開啟且 n 通道 FET 114 被關閉時，電流可從電力端子 116 流動通過 p 通道 FET 108 至負載 102。同樣地，當 p 通道 FET 108 被關閉且 n 通道 FET 114 被開啟時，負載 102 可通過 n 通道 FET 114 而被耦合至接地 118。藉由 p 通道 FET 108 及 n 通道 FET 114 交替的開啟及關閉，提供至負載 102 之電量可以被準確地控制。在實施例中，為了控制供應至負載 102 之電量，在 p 通道 FET 108 之閘極端子 106 處所供應的電壓及/或在 n 通道 FET 114 之閘極端子 112 處所供應的電壓可被脈衝寬度調變。

p 通道 FET 108 及 n 通道 FET 114 可以為任何類型的電壓控制電流源極或電子開關。在實施例中，p 通道 FET 108 及 n 通道 FET 114 可以為 JFET、MOSFET 或任何其他類型的 FET。p 通道 FET 108 及 n 通道 FET 114 亦可由繼電器、BJT、DMOS 電晶體或可以開啟及關閉之任何類型的電子組件或電路來予以取代。

雖然被描繪成馬達，但負載 102 可以為任何類型的電子負載。在實施例中，負載 102 可以為電阻器、風扇馬達、電力調整器、矽晶片、在車輛中驅動電力轉向泵的馬

達等等。

為了驅動 p 通道 FET 108 之閘極端子 106，子電路 104 可接收控制信號 120。該控制信號 120 可被耦合至 FET 124 之閘極。FET 124 之源極端子可被耦合至電力端子 116，且 FET 124 之汲極端子可被耦合至 p 通道 FET 108 之閘極端子 106。在這樣的配置中，當控制信號 120 為低值（亦即，在接地電位）時，該 FET 124 將以飽和模式開啟且將閘極端子 106 箝位至電力端子 116（亦即，較高箝位閘極端子 106 並且關閉 p 通道 FET 108）。

在實施例中，控制信號 120 可以為脈衝寬度調變信號。在控制信號 120 上之脈衝寬度可藉由控制 p 通道 FET 108 開啟及關閉多久時間來控制提供至負載 102 的電力。

該控制信號 120 亦可被耦合至 FET 126 之閘極。類似於該 FET 124，該 FET 126 亦可被配置呈共源極組態。為了驅動 FET 130 之閘極，該 FET 126 之源極可被耦合至電力端子 116，且該 FET 126 之汲極可被耦合至端子 128。

該 FET 130 可以被連接呈源極隨耦器或共汲極組態。換言之，該 FET 130 之汲極被耦合至接地 116，且該 FET 130 之源極被耦合至 p 通道 FET 108 之閘極端子 106。這使該 FET 130 用以驅動閘極端子 106 至中間電壓位準而非將閘極端子 106 箝位至接地，如同將在下文所討論者。

因此，該 FET 130 可以驅動閘極端子 106 至中間電壓，子電路 104 亦可包含電壓調節器 132 及電阻器 134。在實施例中，如圖 1 所示，電壓調節器 132 可以為齊納二

極體，或可以為任何類型的電壓調節器，其可以在電力端子 116 與 FET 130 的閘極之間維持恒定電壓。在實施例中，電壓調節器 132 可在電力端子 116 與 FET 130 的閘極之間提供最大電壓。換言之，該電壓調節器 132 可被組構成使得在電力端子 116 與 FET 130 的閘極之間的電壓可被下降而低於預定電壓，但不會增加而超過該預定電壓。電阻器 134 允許在端子 128 處之電壓相對於接地為浮動的。

子電路 104 亦包含為共源極組態之 FET 136。FET 136 之源極可被耦合至接地，FET 136 之汲極可被耦合至閘極端子 106，且 FET 136 之閘極可被耦合用以接收控制信號 138。

在電路 100 之實施例中，子電路 104 可包含產生控制信號 138 之邏輯電路 140。該邏輯電路 140 可以包含比較器 142，該比較器 142 可被耦合以產生邏輯信號 144。該比較器 142 可被組構成使得每當在電力端子 116 處之電壓下降而低於預定臨限值時使信號 144 有效（亦即，提供高電壓），且每當在電力端子 116 處之電壓係高於該預定臨限值時則使信號 144 失效（亦即，提供低電壓）。在電路 100 之實施例中，預定臨限值可以被設定成用以偵測在電力端子 116 上之低電壓條件。換言之，比較器 142 可使在電力端子 116 上之低電壓條件期間的信號 144 有效，且使在電力端子 116 上之正常或高電壓條件期間的信號 144 失效。

邏輯電路 140 亦可包含 AND 閘 146，該 AND 閘 146

被耦合以接收控制信號 120 及邏輯信號 144，並且產生控制信號 138。每當控制信號 120 及邏輯信號 144 為高值時，該 AND 閘 146 可被組構成使控制信號 138 有效，且每當控制信號 120 或邏輯信號 144 為低值時，該 AND 閘 146 則使控制信號 138 失效。在此組態中，AND 閘 142 可在低電壓條件期間用以使控制信號 120 通過 FET 136 之閘極，且在正常及高電壓條件期間關閉 FET 136。

在各種實施例中，子電路 110 係相對於子電路 104 而相反地操作。就如同業界所習知的 PNP 及 NPN 電晶體，當被使用於切換應用時，彼此係互補的。例如，當 p 通道 FET 108 在閘極端子 106 處之電壓為高值時關閉，且在閘極端子 106 處之電壓為低值時開啟，n 通道 FET 114 以相反的方式操作；該 n 通道 FET 114 在閘極端子 112 處之電壓為高值時開啟，且在閘極端子 112 處之電壓為低值時關閉。因此，當閘極端子 114 若被相反地驅動至閘極端子 106，則子電路 110 可被組構成相反地驅動閘極端子 114。確切而言，對於在子電路 104 中的元件，子電路 110 可包括互補元件。熟習此項技術者應可瞭解，雖然在子電路 110 中的邏輯及電壓位準可以相反於子電路 104 中的元件，該兩個子電路彼此係互補的且以類似方式操作。

子電路 110 可包含具有耦合至接地 110 之源極及耦合至閘極端子 112 之汲極的 n 通道 FET 148，其相對於 FET 124 呈相反配置。該 FET 148 之閘極經耦合以接收控制信號 150。FET 152 之閘極亦接收控制信號 150。該 FET 152

之源極被耦合至接地 118，且該 FET 152 之汲極被耦合至 FET 154 之閘極，使得當該 FET 152 被開啟時，該 FET 152 可以將該 FET 154 之閘極箝位至接地 118，而且當該 FET 152 被關閉時，在該 FET 154 之閘極的電壓可以被維持在中間電壓位準。

因此，該 FET 154 可以驅動閘極端子 112 至中間電壓，子電路 110 亦可包含電壓調節器 156 及電阻器 158。在實施例中，如圖 1 中所示，電壓調節器 156 可以為齊納二極體，或可以為任何類型的電壓調節器，其可以在接地 118 與 FET 154 的閘極之間維持恒定電壓。在實施例中，電壓調節器 156 可將接地 118 與 FET 154 的閘極之間的電壓限制至最大電壓。換言之，該電壓調節器 156 可被組成使在接地 118 與 FET 154 的閘極之間的電壓下降而低於預定電壓，但不會增加而超過該預定電壓。電阻器 158 可以用作為拉升電阻器，其拉升在 FET 154 之閘極處的電壓至在電力端子 116 處之電壓，而且亦使在 FET 154 之閘極處的電壓藉由 FET 152 而被箝位至接地 118。

子電路 110 亦可包含呈共源極組態之 FET 160。該 FET 160 之源極可被耦合至電力端子 116，該 FET 160 之汲極可被耦合至閘極端子 112，且該 FET 160 之閘極可被耦合以接收控制信號 162。

在電路 100 之實施例中，子電路 110 可包含邏輯電路 164，其產生控制信號 162。如圖 1 中所示，邏輯電路 164 包含比較器 166，該比較器 166 被耦合以產生邏輯信號

168。該比較器 166 可被組構成每當在電力端子 116 處之電壓下降而低於預定臨限值時使信號 168 失效（亦即，提供低電壓），且每當在電力端子 116 處之電壓係高於該預定臨限值時使信號 168 有效（亦即，提供高電壓）。在電路 100 之實施例中，預定臨限值可以被設定成用以偵測在電力端子 116 上之低電壓條件。換言之，比較器 166 可使在電力端子 116 上之低電壓條件期間的信號 168 有效，且使在電力端子 116 上之正常或高電壓條件期間的信號 168 失效。

邏輯電路 164 亦可包含 OR 閘 170，該 OR 閘 170 被耦合以接收控制信號 150 及邏輯信號 168，並且產生控制信號 138。該 OR 閘 146 可被組構成每當控制信號 150 及邏輯信號 168 為高值時使控制信號 162 有效，且每當控制信號 150 或邏輯信號 168 為低值時則使控制信號 162 失效。在此組態中，為了在正常及高電壓條件期間在關閉狀態中維持 FET 160，OR 閘 170 可作用而在低電壓條件期間使控制信號 150 通過 FET 160 之閘極，且在正常及高電壓條件期間使信號 162 維持在高電壓下以便在正常及高電壓條件期間將該 FET 160 維持在關閉狀態。

在實施例中，p 通道 FET 108 及 n 通道 FET 114 可以交替的方式來予以開啟或關閉。例如，當 p 通道 FET 108 被開啟時，n 通道 FET 114 可被關閉，且反之亦然。這樣可使電子電路 100 交替耦合負載 102 至電力端子 116，且使負載 102 耦合至接地 118。為此，控制信號 120 及 150

可具有相反的狀態，使得 FET 在電力端子 116 與接地之間不會產生短路，或電流無法流動之斷路。

亦請參考圖 2，一流程圖描繪用以驅動負載之程序 200。在各種實施例中，程序 200 可藉由電子電路 100（圖 1）來實施。開始方塊 202 表示電路 100 之操作的開始（諸如當電路 100 被通電時）。如方塊 204 所示，當電路 100 操作時，其可偵測低電壓條件是否已經發生。例如，比較器 142 及比較器 166 可偵測在電力端子 116 上的低電壓條件是否發生，且根據低電壓條件是否發生，比較器 142 及比較器 166 可分別使控制信號 144 及 168 有效及失效。

如方塊 206 所示，若沒有偵測到低電壓條件，則電子電路 100 可驅動閘極端子 106 及 112 至連接至電壓端子的中間電壓位準。例如，觀察子電路 104，邏輯電路 140 可提供恒定的電壓至 FET 136 之閘極，使得該 FET 136 保持關閉狀態。在這些條件下，只要 FET 136 呈關閉狀態，FET 130 就可將在閘極端子 106 處之電壓驅動至中間電壓。該中間電壓可以足夠低的，以使 FET 108 在正常及高電壓條件下開啟。該中間電壓亦可藉由電壓調節器 132 來予以限制，使得 FET 108 不會因高電壓條件而損壞。例如，若在電力端子 116 處之電壓由於高電力條件而增加，但在閘極端子 106 處之電壓被拉低，則跨越 p 通道 FET 108 之大的閘極源極電壓（ $V_{gs}$ ）可能損壞 p 通道 FET 108。為了減少損壞的可能性，電壓調節器 132 及電阻器

134 允許在閘極端子 106 處之電壓（當藉由 FET 130 來予以驅動時）跟隨在電力端子 116 處之電壓。

在高或正常電壓條件下，比較器 142 及 AND 閘 146 將保持邏輯信號 138 為低值，且防止控制信號 120 通過至 FET 136 之閘極。因此，在高或正常電壓條件下，FET 136 將保持關閉狀態，且在閘極端子 106 處之電壓將藉由 FET 124 及 FET 130 來予以驅動。

● 這將使在閘極端子 106 處之電壓（當藉由 FET 130 而被驅動為低時）被驅動至中間電壓而不是被拉升至接地 118。換言之，在閘極端子 106 處之電壓將跟隨在閘極端子 128 處之電壓，該閘極端子 128 處之電壓將跟隨在電力端子 116 處之電壓。因此，當在電力端子 116 處之電壓增加時，在閘極端子 106 處之電壓亦將增加，使得跨越 p 通道 FET 108 上之閘極源極電壓（ $V_{gs}$ ）不會大到足以損壞 p 通道 FET 108。

● 為了說明，當控制信號 120 為高值時，該 FET 126 關閉。當 FET 126 係關閉時，在端子 128 處之電壓藉由電阻器 134 而被下拉。然而，電壓調節器 132 在端子 128 與電力端子 116 之間維持最大的電壓，使得在端子 128 處之電壓被連接（且跟隨）至在電力端子 116 處之電壓。

假設例如電壓調節器 132 為具有 12V 的反向崩潰電壓之齊納二極體，且在電力端子 116 處之電壓係受到 24V 的高電壓條件。在此情況中，當控制信號 120 為高值時，FET 126 及 FET 124 被關閉，且在端子 128 處之電壓可以

為 12V。這是因為跨越電壓調節器 132 上的電壓可以為 12V ( $V_{\text{power}} - V_{\text{regulator}} = 24\text{V} - 12\text{V} = 12\text{V}$ )。若在電力端子 116 處之電壓係 18V 時，則在端子 128 處之電壓將係 6V ( $V_{\text{power}} - V_{\text{regulator}} = 18\text{V} - 12\text{V} = 6\text{V}$ )。因此，電壓調節器 132 可將在端子 128 處之電壓連結至低於電力端子 116 處之電壓之固定量的電壓。當在電力端子 116 處之電壓增加時，在端子 128 處之電壓亦將增加。

因為 FET 130 被耦合呈共汲極組態，所以 FET 130 可以像源極隨耦器般作用。換言之，在 FET 130 之源極處之電壓（亦即，在閘極端子 106 處之電壓）將跟隨在 FET 130 之閘極處之電壓及近似為一的增益。因此，當在電力端子 116 處之電壓增加時，在端子 128 處之電壓及閘極端子 106 將會隨而增加，使得跨越 FET 108 之  $V_{\text{gs}}$  不會大到足以損壞 FET 108。

熟習此項技術者應可瞭解，子電路 110 可以互補的方式而作用。例如，在高或正常電壓條件下，比較器 166 及 OR 閘 170 將保持邏輯信號 162 為低值，且防止控制信號 150 通過 FET 160 之閘極。在這些情況下，FET 160 保持關閉，且在閘極端子 112 處之電壓將藉由 FET 148 及 FET 154 來予以驅動。

這將使在閘極端子 112 處之電壓（當藉由 FET 154 被驅動為高時）被驅動至中間電壓而不是被箝位至電力端子 116。為了說明，當控制信號 150 為高值時，FET 148 可被開啟，且可拉升在閘極端子 112 處之電壓至接地 118。

FET 152 亦可拉升端子 172 至接地 118，使得 FET 154 關閉。然而，當控制信號 150 為低時，FET 148 及 FET 152 可關閉。當 FET 152 係關閉時，在端子 128 處之電壓可藉由電阻器 158 而被拉升。然而，電壓調節器 158 可在端子 172 與接地 118 之間維持最大電壓，使得在端子 172 處之電壓被連接至接地 118。這可允許跨越 FET 154 上之足夠的汲極源極電壓（ $V_{ds}$ ），使得在閘極端子 112 處之電壓不會變得這麼高以致於損壞 n 通道 FET 114。

為了說明，當控制信號 150 為低值時，FET 152 可關閉。當該 FET 152 係關閉時，在端子 172 處之電壓可藉由電阻器 158 而被拉升。然而，電壓調節器 156 可在端子 172 與接地 118 之間維持最小的電壓。

假設例如電壓調節器 156 為具有 12V 的反向崩潰電壓之齊納二極體，且在電力端子 116 處之電壓係受到 24V 的高電壓條件。在此情況中，當控制信號 150 為低值時，FET 152 及 FET 148 可關閉，且在端子 172 處之電壓可以為 12V。這是因為跨越電壓調節器 156 上之電壓可以為 12V（ $V_{power} - V_{regulator} = 24V - 12V = 12V$ ）。在此實例中，若在電力端子 116 處之電壓為 18V 時，則在端子 128 處之電壓將維持在 12V，且跨越 FET 154 上之  $V_{gs}$  電壓將為 6V（ $V_{power} - V_{regulator} = 18V - 12V = 6V$ ）。

請再次參考圖 2，在方塊 204 中，若偵測到低電壓條件，則電子電路可藉由箝位閘極端子 106 及 112 至各自的電壓端子來驅動閘極端子 106 及 112，如方塊 208 中所

示。例如，觀察子電路 104，若偵測到低電壓條件，則邏輯電路 140 可使控制信號 120 通過 FET 136 之閘極，使得當控制信號 120 為高值時，該 FET 136 可將閘極端子 106 箝位至接地 118。

觀察子電路 104，在低電壓條件下，藉由 FET 136 將閘極端子 106 箝位至接地 118 而不是藉由 FET 130 將閘極端子 106 驅動至中間電壓，可允許 p 通道 FET 108 提供較大電力至負載 102。針對所有電壓條件，在低電壓條件下將閘極端子 106 箝位至接地 118，使得 FET 108 及 114 一直被開啟或儘可能地開啟。這不僅使負載 102 儘可能地接收電力，其亦可限制由 FET 108 及 114 在這樣的條件下所消耗的電力。

由於 FET 136 被耦合呈共源極組態，當該 FET 136 係開啟時，跨越該 FET 136 之  $V_{ds}$  可能為較小的。此較小的汲極源極電壓（ $V_{ds}$ ）可使該 FET 136 將閘極端子 106 處之電壓拉低。相反地，因為上述較大的跨越 FET 130 上之  $V_{ds}$ ，所以共汲極 FET 130 將 p 通道 FET 108 完全開啟之能力在低電壓條件可能會被抑制。

子電路 110 可以互補的方式而作用。觀察子電路 110，在低電壓條件下，藉由 FET 160 將閘極端子 112 箝位至電力端子 116 而不是藉由 FET 154 將閘極端子 112 驅動至中間電壓，可允許 n 通道 FET 114 提供較大電力至負載 102。針對所有電壓條件，在低電壓條件下將閘極端子 112 箝位至電力端子 160（或將閘極端子 106 箝位至接地

118)，使得 FET 108 及 114 一直被開啟或儘可能地開啟。這不僅使負載 102 儘可能地接收電力，其亦可限制由 FET 108 及 114 在這樣的條件下所消耗的電力。

由於 FET 160 被耦合呈共源極組態，當該 FET 160 係開啟時，跨越 FET 160 之  $V_{ds}$  為較小的。此較小的  $V_{ds}$  可使該 FET 160 將在閘極端子 112 處之電壓拉低。相反地，因為上述較大的跨越該 FET 154 上之  $V_{ds}$ ，所以該 FET 154 將 n 通道 FET 114 完全開啟之能力在低電壓條件可能會被抑制。

請再次參考圖 2，如方塊 204 所示，程序 200 可檢查低電壓條件。若低電壓條件被偵測到，則電路 100 可藉由將閘極端子 106 箝位至接地 118 而開啟 p 通道 FET 108，且可以藉由閘極端子 112 箝位至電力端子 116 而開啟 n 通道 FET 114，如上所述，以提高提供至負載 102 的電量。若未偵測到低電壓條件，則閘極端子 106 及/或閘極端子 112 可以被驅動至中間電壓位準，使得 p 通道 FET 108 及/或 n 通道 FET 114 不會由於高電壓條件而損壞。

在實施例中，在方塊 204 中，程序 200 可持續監視電壓條件，以確定電子電路 100 是否在低、正常或高電壓條件下被操作。當電壓條件從低改變至正常或高時，電子電路可偵測到此改變，且可在將閘極端子驅動至被連接至電壓端子之中間電壓（如方塊 206 中所示）與將閘極端子箝位至電壓端子（如方塊 208 中所示）之間切換。

如圖 1 中所示，FET 130 可用作為單象限驅動器。換

言之，該 FET 130 僅可以匯入電流，而不能匯出電流。正因為如此，FET 130 及 FET 136 皆可同時開啟而不會產生短路狀態。在另一個實施例中，該 FET 130 可被配置成雙象限組態，或可被雙象限驅動器所取代。在此配置中，電子電路 100 可包含控制信號（未圖示），以確保該 FET 130 在低電壓條件期間係關閉的，使得 FET 130 及 FET 136 不會同時開啟而造成短路狀態。

同樣地，FET 154 被組構成單象限驅動器，其僅可匯出電流至端子 112，且不能從端子 112 匯入電流。正因為如此，FET 154 及 FET 160 皆可同時開啟而不會產生短路狀態。在另一個實施例中，該 FET 154 可被配置為雙象限組態，或可被雙象限驅動器所取代。在此配置中，電子電路 100 可包含控制信號（未圖示），以確保該 FET 154 在低電壓條件期間係關閉的，使得 FET 154 及 FET 160 不會同時開啟而造成短路狀態。

現請參考圖 3，程序 200 亦可藉由其他電子電路來予以實施。例如，圖 3 繪示用以驅動負載 302 之電路 300。該電子電路 300 可包含相同或類似組件如子電路 104（圖 1），且可以類似於上述子電路 104 之方式來驅動 p 通道 FET 308 之閘極端子 304。如圖所示，負載 302 可被耦合至 p 通道 FET 308 之汲極及耦合至接地 118，使得電子電路 300 可以匯出電流至負載 302。

現請參考圖 4，程序 200 可藉由用以驅動負載 402 之電子電路 400 來予以實施。該電子電路 400 可包含如子電

路 110 (圖 1) 之相同或類似組件，且可以類似於上述子電路 110 之方式來驅動 n 通道 FET 408 之閘極端子 404。如圖所示，負載 402 可被耦合至 n 通道 FET 308 之汲極及耦合至電力端子 410，使得電子電路 400 可以用作為用於負載的電流匯入，且以類似於子電路 110 之方式來驅動 n 通道 FET 408 之閘極端子 404。

現請參考圖 5，其繪示用以驅動負載（諸如，馬達 502）之電子電路 500。然而，此並非意欲作為限制；該馬達 502 可以為任何類型的負載。

如圖所示，電路 500 可被配置成 H 電橋組態，其具有用以驅動 p 通道 FET 108a 之子電路 104a；用以驅動 p 通道 FET 108b 之子電路 104b；用以驅動 n 通道 FET 114a 之子電路 110a 及用以驅動 n 通道 FET 114b 之子電路 110b。子電路 104a 及 104b 可包含相同或類似的組件如子電路 104 (圖 1)，且可以類似於子電路 104 之方式來予以操作。同樣地，子電路 110a 及 110b 可包含相同或相似的組件如子電路 110 (圖 1)，且可以類似於子電路 110 之方式來予以操作。

當被配置成 H 電橋組態時，子電路 108a、108b、110a 及 110b 可被使用來控制馬達 502 之速度及方向。為了驅動馬達 502 於第一方向上，子電路 104a 可關閉 p 通道 FET 108a，且子電路 110b 可關閉 n 通道 FET 114b。子電路 104b 可接著開啟 p 通道 FET 108b，且子電路 110a 可開啟 n 通道 FET 114a，使得從電力端子 504 產生電流

路徑，該路徑通過 p 通道 FET 108b；藉由在箭頭 506 之方向上通過馬達 502；通過 n 通道 FET 114a；且最後至接地 118。子電路 108b 及/或子電路 110a 亦可分別脈衝該 FET 108b 及/或該 FET 114a 開啟或關閉，以控制供應至馬達 502 的電量。

雖然上述之實施例使用 FET，但應瞭解，其他切換電路可被使用以取代 FET。這些電路可以包含 BJT 電晶體、繼電器、放大器、電機開關等，但不以此為限。

為了驅動馬達 502 於第二方向上，子電路 104b 可關閉 p 通道 FET 108b，且子電路 110a 可關閉 n 通道 FET 114a。子電路 104a 可接著開啟 p 通道 FET 108a，且子電路 110b 可開啟 n 通道 FET 114b，使得從電力端子 504 產生電流路徑，該路徑通過 p 通道 FET 108a；藉由在箭頭 508 之方向上通過馬達 502；通過 n 通道 FET 114b；且最後至接地 118。子電路 108a 及/或子電路 110b 亦可分別脈衝該 FET 108a 及/或該 FET 114b 開啟或關閉，以控制供應至馬達 502 的電量。

已經描述各種用以說明本專利之標的物之各種概念、結構及技術實施例，對本技藝有普通瞭解之人士而言此時將可瞭解的是，可使用併入這些概念、結構及技術之其他實施例。因此，本專利之範圍不應侷限於所描述之實施例，而是應僅由以下申請專利範疇之精神及範圍所限制。

## 【符號說明】

100 : 電路

102 : 負載

104 : 子電路

104a : 子電路

104b : 子電路

106 : 閘極端子

108 : p 通道 FET

108a : p 通道 FET

108b : p 通道 FET

110 : 子電路

110a : 子電路

110b : 子電路

112 : 閘極端子

114 : n 通道 FET

114a : n 通道 FET

114b : n 通道 FET

116 : 電力端子

118 : 接地

120 : 控制信號

124 : FET

126 : FET

128 : 端子

130 : FET

132 : 電壓調節器

134 : 電阻器  
 136 : FET  
 138 : 控制信號  
 140 : 邏輯電路  
 142 : 比較器  
 144 : 邏輯信號  
 146 : AND 閘  
 148 : n 通道 FET  
 150 : 控制信號  
 152 : FET  
 154 : FET  
 156 : 電壓調節器  
 158 : 電阻器  
 160 : FET  
 162 : 控制信號  
 164 : 邏輯電路  
 166 : 比較器  
 168 : 邏輯信號  
 170 : OR 閘  
 172 : 端子  
 200 : 程序  
 202 : 開始方塊  
 204 : 方塊  
 206 : 方塊

208 : 方塊

300 : 電子電路

302 : 負載

304 : 閘極端子

308 : p 通道 FET

400 : 電子電路

402 : 負載

404 : 閘極端子

408 : n 通道 FET

410 : 電力端子

500 : 電子電路

502 : 馬達

504 : 電力端子

506 : 方向箭頭

508 : 方向箭頭

## 申請專利範圍

1. 一種用以驅動負載之電子電路，該電子電路包括：

第一電壓端子，其被耦合以接收來自電源供應器之第一電壓；

第二電壓端子，其被耦合以接收來自該電源供應器之第二電壓；

驅動器電路，其被組構成將在電子開關之控制端子處之電壓驅動至中間電壓位準，以便在該第一與第二電壓端子之間的高電壓條件或正常電壓條件期間開啟該電子開關；

箝位電路，其被組構成當作用中時用以將在該電子開關之該控制端子處之該電壓箝位至該第二電壓端子，以便在該第一與第二電壓端子之間的低電壓條件期間開啟該電子開關，使得該電子開關在該低電壓條件期間可提高被提供至負載的電力；及

低電壓偵測電路，其與該第一電壓端子及該箝位電路電連通，該低電壓偵測電路被組構成偵測該低電壓條件且提供信號至該箝位電路，以使該箝位電路在該低電壓條件期間變為作用中。

2. 如申請專利範圍第 1 項之電子電路，其中，該電子開關為 BJT 或 DMOS。

3. 如申請專利範圍第 1 項之電子電路，其中，該電子開關為 FET 且該控制端子為該 FET 之閘極。

4. 如申請專利範圍第 3 項之電子電路，其中，該 FET 為 p 通道 FET，該第一電壓端子為電力線電壓端子，且該第二電壓為接地電壓。

5. 如申請專利範圍第 3 項之電子電路，其中，該 FET 為 n 通道 FET、該第一電壓為接地電壓，且該第二電壓為電力線電壓。

6. 如申請專利範圍第 3 項之電子電路，其中，該驅動器電路為單象限驅動器電路，其被組構成匯入電流至該 FET 之該閘極或自該 FET 之該閘極匯出電流。

7. 如申請專利範圍第 3 項之電子電路，其中，該驅動器電路為雙象限驅動器電路，其被組構成匯入電流至該 FET 之該閘極或自該 FET 之該閘極匯出電流。

8. 如申請專利範圍第 1 項之電子電路，其進一步包括第二箝位電路，該第二箝位電路被耦合以將該電子開關之該控制端子箝位至該第一電壓端子。

9. 如申請專利範圍第 8 項之電子電路，其中，該第二箝位電路包括呈共源極組態之電晶體，該電晶體具有被耦合至該 FET 之該閘極的汲極端子及被耦合至該第一電壓端子的源極端子，以便藉由將該 FET 之該閘極箝位至該第一電壓端子而關閉該 FET。

10. 如申請專利範圍第 1 項之電子電路，其中，該驅動器電路包含被耦合呈源極隨耦器組態之電晶體，該電晶體具有被耦合至該電子開關之該控制端子的源極端子及被耦合至該第二電壓端子的汲極端子，使得當該電晶體開啟

時，在該電子開關之該控制端子處之該電壓係相對於該第二電壓端子而浮動。

11. 如申請專利範圍第 10 項之電子電路，其中，該電晶體之閘極端子被連接至該第一電壓端子，使得在該高電壓條件下，在該 FET 之該閘極與該 FET 之源極端子之間的閘極源極電壓（ $V_{GS}$ ）不會增加至將會損害該 FET 之位準。

12. 如申請專利範圍第 1 項之電子電路，其中，該箝位電路包含被耦合呈共源極組態之電晶體，該電晶體具有被耦合至該第二電壓端子的源極端子及被耦合至該電子開關之該控制端子的汲極端子，使得當該箝位電路被啟動時，該電晶體可將該電子開關之該控制端子箝位至該第二電壓端子。

13. 如申請專利範圍第 1 項之電子電路，其中，該偵測電路包含比較器以判定該第一及第二電壓之較高者是否已跨越低電壓臨限值。

14. 如申請專利範圍第 1 項之電子電路，其中，該第一及第二電壓的其中一者或兩者係由電池、交流發電機、發電機、電壓或電流調節器、汽車控制器或經受高及低電壓條件之汽車電源所提供。

15. 如申請專利範圍第 1 項之電子電路，其中，該電子開關被組構成驅動馬達。

16. 如申請專利範圍第 15 項之電子電路，其中，該馬達為泵馬達。

17. 如申請專利範圍第 1 項之電子電路，其中，該偵測電路包括滯後作用、濾波器或兩者皆有，其限制該第一電壓的快速電壓波動以免造成該第二箝位電路被佔用。

18. 一種驅動場效電晶體（FET）之閘極的方法，該方法包括：

以驅動器電路驅動該 FET 之該閘極，該驅動器電路被組構成驅動該 FET 之該閘極至介於在第一端子處之電壓與在第二端子處之電壓之間的中間電壓位準，以使該 FET 在該第一或第二端子上的高電壓或正常電壓條件下提供電力至負載；

偵測該第一或第二端子是否在低電壓條件下；且

若偵測到該低電壓條件，則以箝位電路驅動該閘極，該箝位電路係將該閘極箝位至該第一或第二電壓端子，使得該 FET 可在該低電壓條件下提高被提供至該負載的電力。

19. 一種用以驅動負載的電子電路，該電子電路包括：

電力端子，其被耦合以接收來自電源供應器之電壓；

接地端子，其被耦合至該電源供應器之接地；

用以驅動 p 通道場效電晶體（FET）之閘極的電路，其包含：

第一驅動器電路，其被組構成將該 p 通道 FET 之該閘極處的該電壓驅動至中間電壓位準，以便在該電力端子與該接地端子之間之高電壓條件或正常電壓條件期間

開啟該 p 通道 FET；及

第一箝位電路，其被組構成當作用中時可用以將該 p 通道 FET 之該閘極處的該電壓箝位至該接地端子，以便在該第一與第二電壓端子之間的低電壓條件期間開啟該 p 通道 FET，使得該 p 通道 FET 可在該低電壓條件期間提高被提供至負載的電力；及

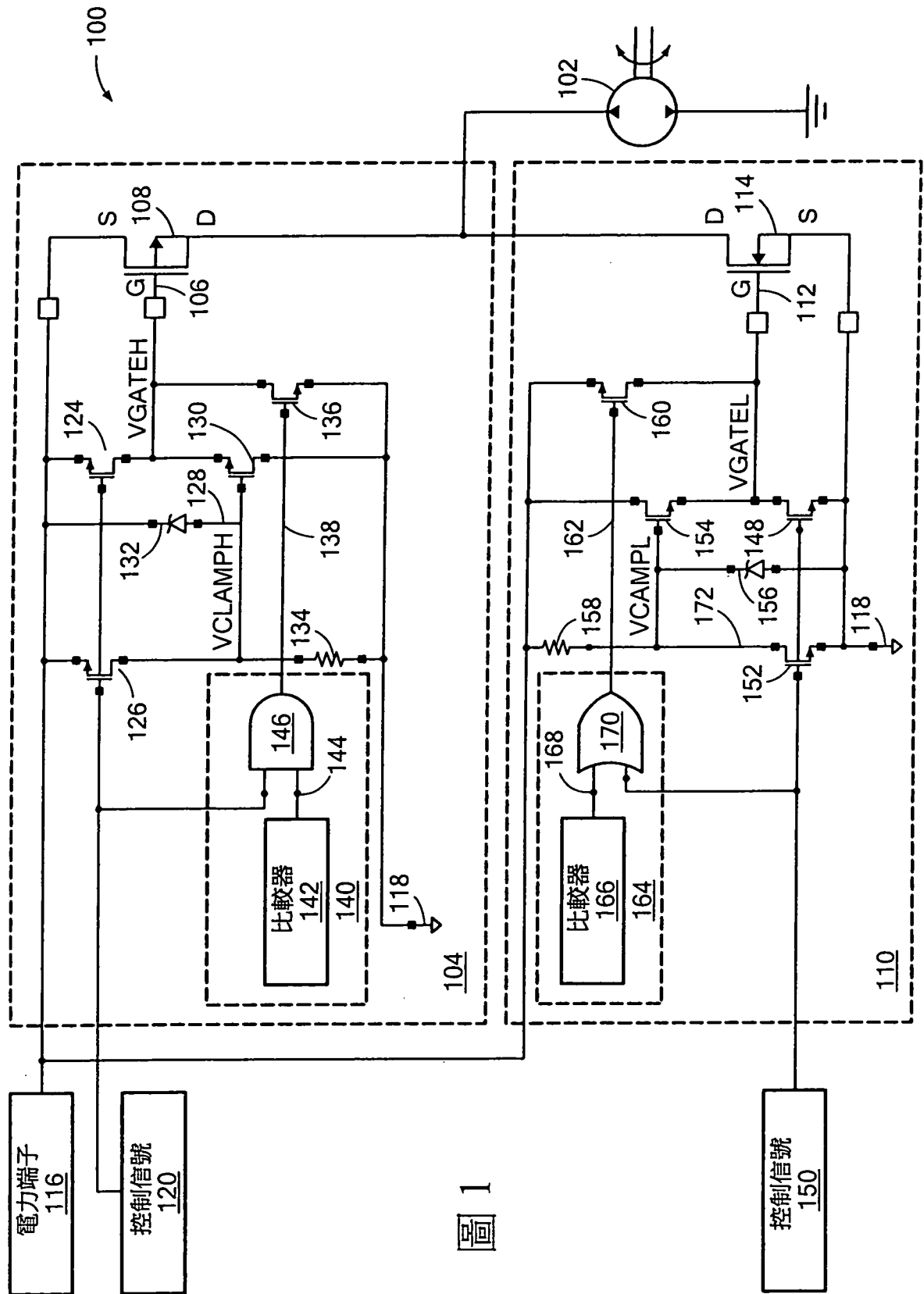
用以驅動 n 通道 FET 之閘極的電路，其包含：

● 第二驅動器電路，其被組構成將該 n 通道 FET 之該閘極處的該電壓驅動至中間電壓位準，以便在該電力端子與該接地端子之間的該高電壓條件或該正常電壓條件期間開啟該 n 通道 FET；及

● 第二箝位電路，其被組構成當作用中時可將該 n 通道 FET 之該閘極處之該電壓箝位至該電力端子，以便在該第一與第二電壓端子之間的該低電壓條件期間開啟該 n 通道 FET，使得該 n 通道 FET 可在該低電壓條件期間提高被提供至該負載的電力；及

偵測電路，其與該電力端子連通以判定該電子電路是否在該低電壓條件下被操作，且與該第一及第二箝位電路連通以提供允許該第一及第二箝位電路在該低電壓條件期間變成作用中之信號。

## 圖式



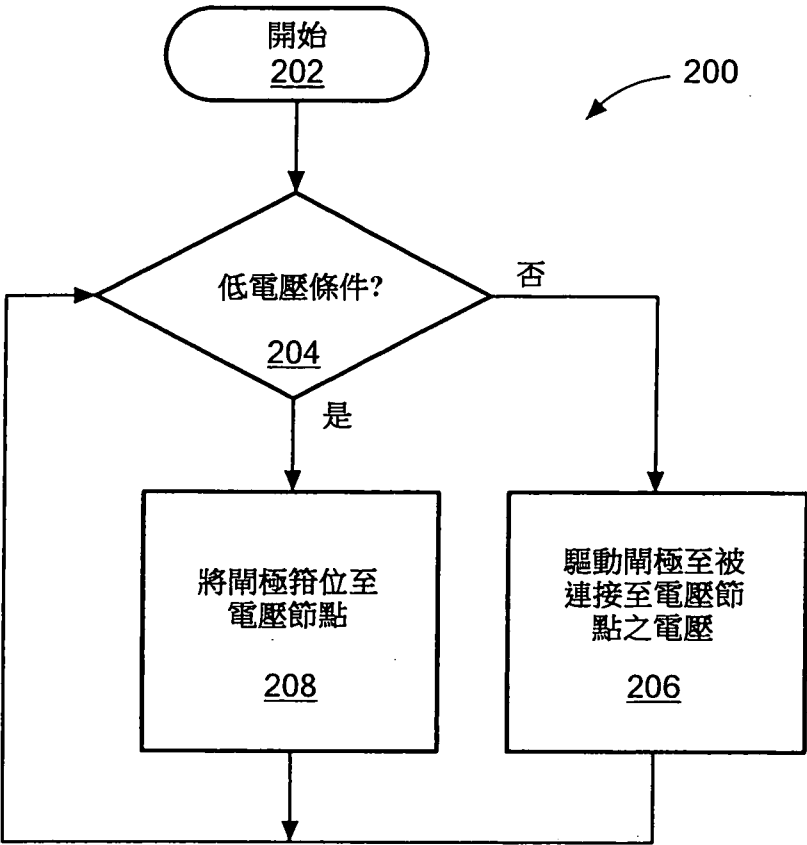


圖 2

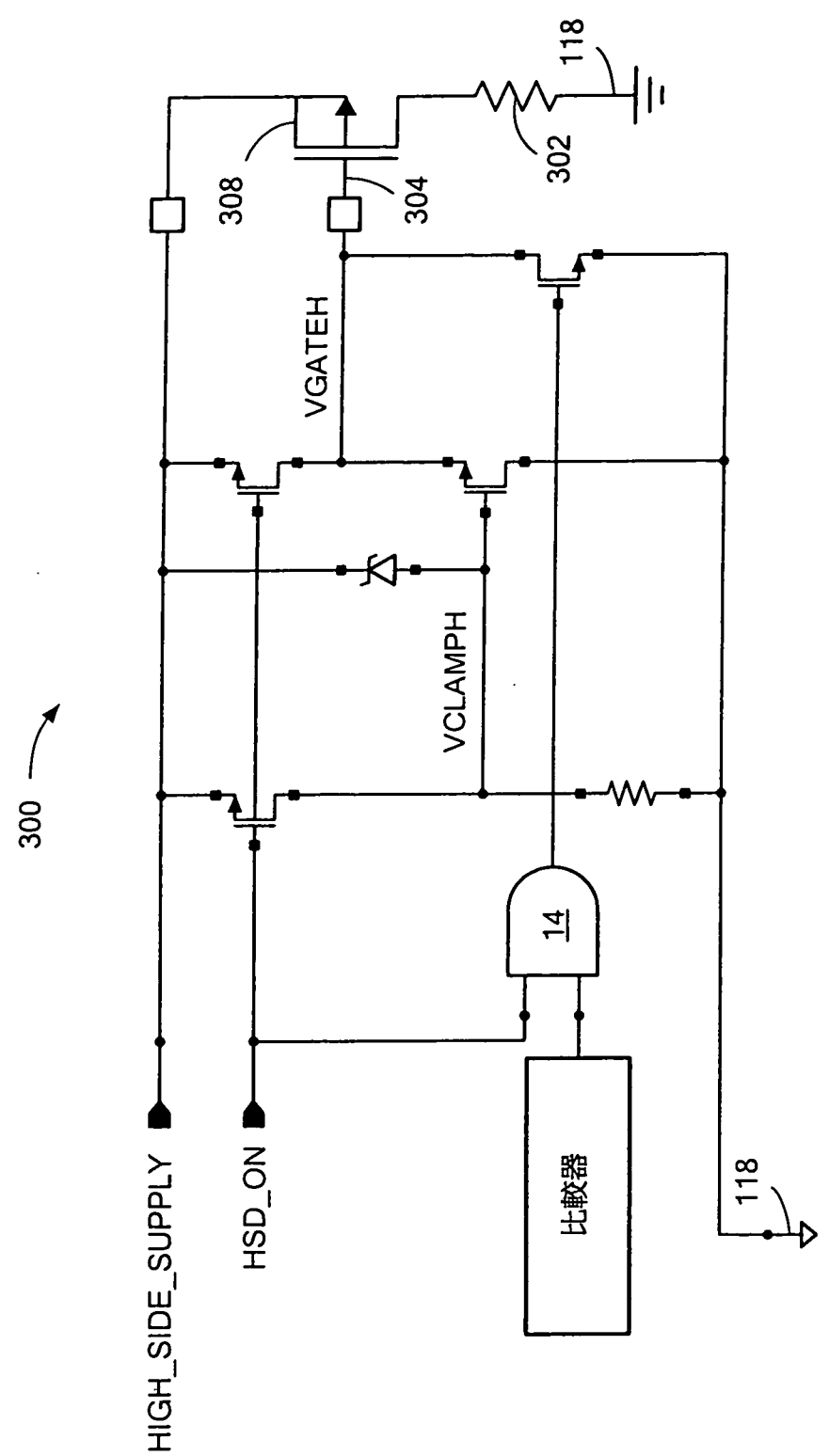


圖 3

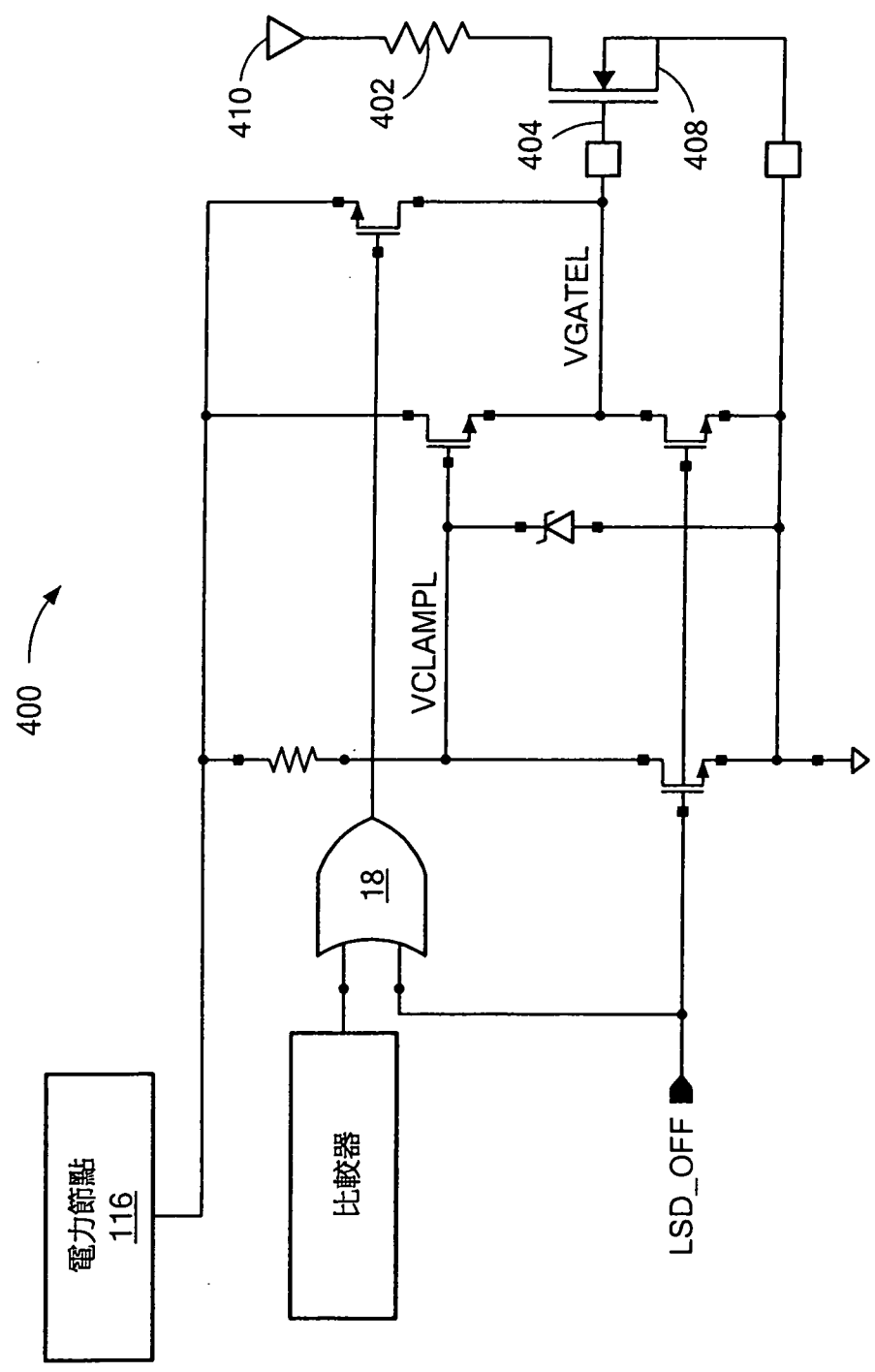


圖 4

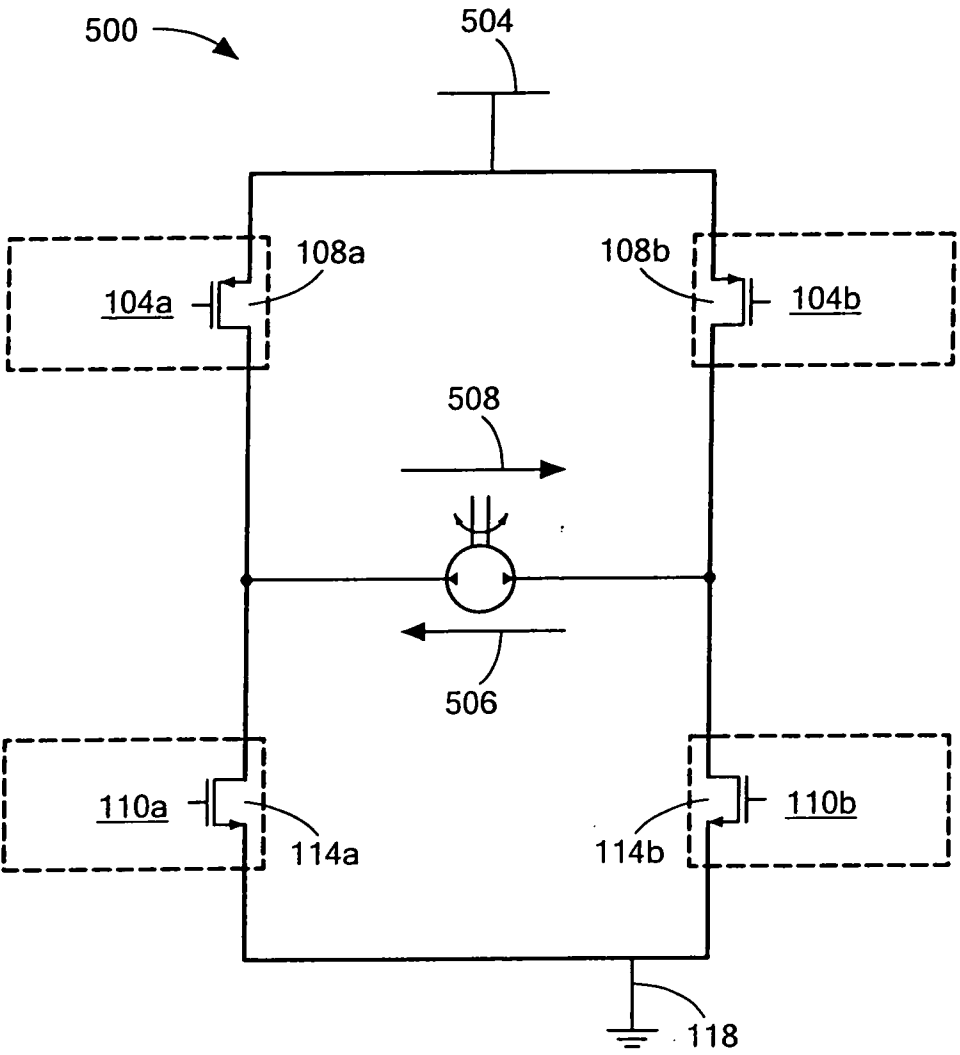


圖 5